

①9 RÉPUBLIQUE FRANÇAISE
 INSTITUT NATIONAL
 DE LA PROPRIÉTÉ INDUSTRIELLE
 PARIS

①1 N° de publication : **2 568 738**
 (à n'utiliser que pour les
 commandes de reproduction)
 ②1 N° d'enregistrement national : **84 12413**
 ⑤1 Int CI* : H 04 L 7/02.

⑫ **DEMANDE DE BREVET D'INVENTION** A1

②2 Date de dépôt : 6 août 1984.

③0 Priorité :

④3 Date de la mise à disposition du public de la
 demande : BOPI « Brevets » n° 6 du 7 février 1986.

⑥0 Références à d'autres documents nationaux appa-
 rentés :

⑦1 Demandeur(s) : *BOJARSKI Alain et RAMEL Gilles.* —
 FR.

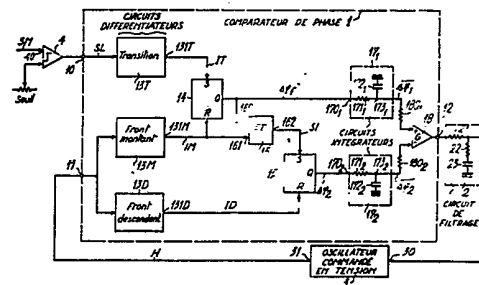
⑦2 Inventeur(s) : Alain Bojarski et Gilles Ramel.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : Martinet et Lapoux.

⑤4 Dispositif de récupération de signal d'horloge dans une transmission numérique.

⑤7 Le dispositif comprend un comparateur de phase 1 à amplificateur différentiel 18, un filtre passe-bas 2 et un oscillateur commandé en tension 3. Dans le comparateur de phase, un circuit logique 13T, 13M, 13D, 14, 15, 16 fournit un signal logique $s\theta_1$ composé de créneaux ayant une largeur variant avec le déphasage entre le signal numérique reçu SN et le signal d'horloge récupéré H et un signal logique $s\theta_2$ à créneaux à largeur constante, et des moyens 17₁, 17₂ aux entrées de l'amplificateur différentiel 18 moyennent les amplitudes des deux signaux logiques. Le comparateur de phase ne comporte aucun élément accordé sur une fréquence prédéterminée, ce qui permet d'utiliser le dispositif quel que soit le débit du signal numérique, sous réserve de choisir un oscillateur convenable.



FR 2 568 738 - A1

DISPOSITIF DE RECUPERATION DE SIGNAL D'HORLOGE DANS UNE
TRANSMISSION NUMERIQUE

La présente invention concerne, d'une manière générale, la récupération d'un signal d'horloge, dit également de rythme, à partir d'un signal numérique amplifié et régénéré à une extrémité de réception d'un moyen de transmission numérique.

5 Plus particulièrement, l'invention a trait à un dispositif de récupération d'un signal d'horloge à partir d'un signal logique, comprenant des moyens de comparaison de phase comportant des moyens d'entrée recevant le signal logique par une première entrée et le signal d'horloge par une seconde entrée ainsi qu'un amplificateur
10 différentiel, des moyens de filtrage passe-bas, et un oscillateur commandé en tension par un signal de commande fourni par l'amplificateur différentiel à travers les moyens de filtrage et délivrant le signal d'horloge récupéré à ladite seconde entrée.

Dans les dispositifs de récupération de signal d'horloge
15 connu, les moyens de comparaison de phase traitent le signal numérique au moyen de circuits purement analogiques, tels que des filtres par exemple. Les circuits analogiques ne permettent pas une intégration élevée du dispositif et, en outre, doivent être accordés à une fréquence correspondant au débit du signal
20 numérique.

L'invention vise à remédier aux inconvénients ci-dessus, et notamment à fournir des moyens de comparaison de phase ne comportant aucun élément ou circuit accordé sur une fréquence prédéterminée. Le dispositif de récupération d'horloge peut être
25 alors utilisé dans une large plage de débit de signal numérique, sans aucune modification, à l'exception de l'élément variable tel qu'un quartz contenu dans l'oscillateur.

A cette fin, un dispositif de récupération d'un signal d'horloge, tel que défini dans l'entrée en matière, est caractérisé
30 en ce que les moyens d'entrée comprennent des moyens logiques pour fournir un premier signal logique composé de créneaux ayant une largeur variable fonction d'un déphasage entre le signal logique et

le signal d'horloge et un second signal logique composé de créneaux ayant une largeur constante, et des moyens pour appliquer deux signaux ayant des amplitudes proportionnelles aux amplitudes moyennes des premier et second signaux logiques à des entrées de l'amplificateur différentiel.

Selon l'invention, la comparaison de phase est obtenue aux moyens de composants logiques ou hybrides qui se prêtent bien à une intégration élevée, par exemple en logique CMOS, de préférence lorsque le débit du signal logique est de quelques kbit/s à 1 Mbit/s, ou en logique non saturée ECL, de préférence lorsque le débit du signal logique est de quelques kbit/s à 100 Mbit/s.

Selon une caractéristique de l'invention, les moyens logiques comprennent des premiers moyens différentiateurs pour fournir des premières impulsions en réponse à des transitions entre états logiques dudit signal logique, des seconds moyens différentiateurs pour fournir des secondes impulsions en réponse à des fronts montants du signal d'horloge, des troisièmes moyens différentiateurs pour fournir des troisièmes impulsions en réponse à des fronts descendants du signal d'horloge, et un circuit logique à bascules recevant les premières, secondes et troisièmes impulsions pour fournir lesdits premier et second signaux logiques.

D'autres avantages et caractéristiques de l'invention apparaîtront plus clairement à la lecture de la description suivante de plusieurs réalisations préférées de l'invention en référence aux dessins annexés correspondants dans lesquels :

- la Fig. 1 est un bloc-diagramme d'un dispositif de récupération de signal d'horloge selon l'invention ;

- les Figs. 2A et 2B sont des formes d'onde de signaux logiques établis dans un comparateur de phase du dispositif ;

- la Fig. 3 montre une caractéristique tension-déphasage du comparateur de phase ; et

- la Fig. 4 est un mode de réalisation détaillé du dispositif pour un signal numérique à trois niveaux.

En référence à la Fig. 1, le dispositif de récupération d'un signal d'horloge H à partir d'un signal logique SL comprend un comparateur de phase 1, un circuit de filtrage passe-bas 2 et un

oscillateur commandé en tension 3. Les circuits 1, 2 et 3 sont agencés classiquement pour constituer une boucle de verrouillage de phase. Le comparateur de phase 1 présente une première entrée 10 recevant le signal logique SL et une seconde entrée 11 recevant le signal d'horloge récupéré H, délivré par une sortie 31 de l'oscillateur 3. Une sortie 12 du comparateur de phase est reliée à une entrée de commande en tension 30 de l'oscillateur 3 à travers le circuit de filtrage 2.

Le signal logique SL est obtenu à partir d'un signal numérique binaire SN transmis par un moyen de transmission numérique, telle qu'un câble coaxial, une fibre optique ou une liaison à radiofréquence. Le signal numérique SN est appliqué à une entrée 40 d'un comparateur de niveau 4 constitué par une bascule de Schmitt par exemple. Le comparateur de niveau 4 définit deux valeurs de tension α et β correspondant à un état logique haut et un état logique bas. Le signal numérique SN est régénéré en le signal logique SL par une sortie du comparateur de niveau 4 vers l'entrée 10 du comparateur de phase. Le signal SL a une amplitude $A = \alpha - \beta$. Comme montré dans des premières lignes des Figs. 2A et 2B, un élément binaire du signal SN a une durée prédéterminée T égale à la période du signal d'horloge H, pendant laquelle la phase du signal d'horloge augmente de 2π . Le signal d'horloge H est montré dans des troisièmes lignes des Figs. 2A et 2B. On a supposé que l'entrée 40 du comparateur de niveau 4 reçoit une suite de huit éléments binaires consécutifs b_0 à b_7 . les éléments b_0 , b_2 , b_3 et b_7 sont à un même état logique et les éléments b_1 , b_4 , b_5 et b_6 sont à l'autre état logique. Chaque élément binaire du signal SN est représenté par un diagramme de l'oeil schématique, correspondant à la superposition de toutes les configurations possibles d'une suite d'éléments binaires. Les transitions entre les états logiques α et β sont représentées par des croix.

Le signal logique régénéré SL en sortie du comparateur de niveau 4 peut être ensuite traité dans des circuits de filtrage, de mise en forme, démultiplexage ou décodage, en fonction des caractéristiques propres au système de transmission numérique. En général, ces différentes opérations sont commandées par différents

signaux d'horloge établis dans une base de temps recevant ledit signal d'horloge récupéré H.

Le comparateur de phase 1 comprend trois circuits différentiateurs logiques 13T, 13M et 13D, un circuit logique ayant deux bascules du type RS 14 et 15 et une porte ET 16, deux circuits intégrateurs 17_1 et 17_2 et un amplificateur différentiel 18.

Le premier circuit différentiateur 13T reçoit par la première entrée 10 du comparateur de phase le signal logique SL et détecte les fronts montants et descendants correspondant aux transitions du signal SL. Une sortie 131T du circuit 13T délivre des premières impulsions IT en réponse aux transitions du signal SL. Les deux autres circuits différentiateurs 13M et 13D reçoivent le signal d'horloge récupéré H par la seconde entrée 11 du comparateur de phase et détectent respectivement les fronts montants et les fronts descendants du signal d'horloge H. En réponse à ces fronts, des sorties 131M et 131D des circuits 13M et 13D fournissent des impulsions IM et ID respectivement. Les signaux impulsions IT, IM et ID sont montrés dans des secondes, quatrièmes et septièmes lignes des Figs. 2A et 2B.

Les sorties 131T et 131M des circuits différentiateurs 13T et 13M sont reliées à une entrée S de mise à "1" et à une entrée R de mise à "0" de la bascule 14 respectivement. Une sortie Q de la bascule 14 applique un premier signal logique $s\phi_1$ à une entrée 170_1 du premier circuit intégrateur 17_1 et à une première entrée 160 de la porte ET 16. Une seconde entrée 161 de la porte 16 est reliée à la sortie 131M du second circuit différentiateur 13M. Des entrées S et R de la seconde bascule 15 reçoivent respectivement un signal impulsionsnel SI fourni par une sortie 162 de la porte 16 et les impulsions ID fournies par la sortie 131D du troisième circuit différentiateur 13D. Une sortie Q de la bascule 15 applique un second signal logique $s\phi_2$ à une entrée 170_2 du second circuit intégrateur 17_2 .

Les signaux $s\phi_1$, SI et $s\phi_2$ sont montrés dans les cinquièmes, sixièmes et huitièmes lignes des Figs. 2A et 2B.

Suite au fonctionnement de la bascule 14, le signal $s\phi_1$ est constitué de créneaux ayant chacun un front montant synchrone avec

une impulsion de transition IT et un front descendant synchrone avec une impulsion de front montant d'horloge IM succédant à l'impulsion IT. Les créneaux du signal $s\phi_1$ ont ainsi une largeur variable $T/2 + \tau$ représentative du déphasage $\Delta\phi$ entre le signal logique SL et le signal d'horloge récupéré H. Les variables τ et $\Delta\phi$ varient entre $-T/2$ et $+T/2$ et entre $-\pi$ et $+\pi$ à $2K\pi$ près, où K désigne un entier. Les variables τ et $\Delta\phi$ sont négatives lorsque le signal d'horloge H est en avance par rapport au signal logique SL et aux impulsions de transition IT, comme montré à la Fig. 2B, et sont positives dans le cas contraire. Comme montré à la Fig. 2A, lorsque la variable τ est nulle, les fronts montants du signal d'horloge H sont au milieu des périodes élémentaires T du signal logique SL.

Les impulsions SI sortant de la porte ET 160 sont synchrones avec les fronts descendants des créneaux du signal $s\phi_1$. Suite au fonctionnement de la seconde bascule 15, le signal $s\phi_2$ est constitué de créneaux ayant chacun un front montant synchrone avec une impulsion SI et un front descendant synchrone avec une impulsion de front descendant d'horloge ID succédant à l'impulsion SI. Puisque les impulsions SI et ID sont synchrones avec des fronts montants et descendants du signal d'horloge H, la largeur des créneaux du signal $s\phi_2$ est constante et égale à $T/2$. La différence des durées moyennes des créneaux des signaux $s\phi_1$ et $s\phi_2$ est ainsi représentative du déphasage ou décalage temporel entre les signaux SL et H.

Chacun des circuits intégrateurs 17_1 et 17_2 comprend classiquement une résistance 171_1 , 171_2 et un condensateur 172_1 , 172_2 ayant des bornes communes constituant une sortie respective 173_1 , 173_2 du circuit 17_1 , 17_2 . L'autre borne de la résistance 171_1 , 171_2 est reliée à l'entrée 170_1 , 170_2 et l'autre borne du condensateur 172_1 , 172_2 est reliée à la terre. Les sorties 173_1 et 173_2 des circuits intégrateurs 17_1 et 17_2 produisent des signaux analogiques $\overline{s\phi_1}$ et $\overline{s\phi_2}$ représentatifs des amplitudes moyennes des signaux logiques $s\phi_1$ et $s\phi_2$ et données par les relations suivantes :

$$\overline{s\phi_1} = (\alpha(T/2 + \tau)/T + \beta(T/2 - \tau)/T)\delta$$

$$\overline{s\phi_2} = (\alpha (T/2)/T + \beta(T/2)/T) \delta$$

où δ désigne la densité binaire du signal logique SL, c'est-à-dire le nombre de transitions IT pendant une période élémentaire T du signal SL ; δ est égal à 1 lorsqu'il y a une transition par période
 5 T. Le paramètre δ doit être pris en compte puisque les signaux $s\phi_1$ et $s\phi_2$ ne comprennent chacun qu'un créneau pendant une suite d'éléments binaires consécutifs ayant un même état logique, délimité par deux impulsions successives de transition IT. Les largeurs des créneaux des signaux $s\phi_1$ et $s\phi_2$ étant en général
 10 différentes, les amplitudes moyennes $\overline{s\phi_1}$ et $\overline{s\phi_2}$ des signaux $s\phi_1$ et $s\phi_2$ sont donc différentes.

La différence des amplitudes des signaux $s\phi_1$ et $s\phi_2$ est déduite des deux relations précédentes :

$$\overline{s\phi_1} - \overline{s\phi_2} = (\alpha - \beta) \tau \delta / T$$

$$15 \text{ soit } \overline{s\phi_1} - \overline{s\phi_2} = A \cdot \Delta\phi \cdot \delta / (2\pi),$$

puisque τ et T sont proportionnels à $\Delta\phi$ et 2π .

La différence $\overline{s\phi_1} - \overline{s\phi_2}$ est obtenue au moyen de l'amplificateur différentiel 18 ayant un gain G. L'amplificateur 18 a des bornes d'entrée directe + et inverse - reliées respectivement
 20 aux sorties 173₁ et 173₂ des circuits intégrateurs, à travers des résistances d'entrée 180₁ et 180₂. Une sortie 12 de l'amplificateur différentiel 18 fournit un signal de commande de l'oscillateur 3 ayant une tension proportionnelle à la différence des amplitudes moyennes des signaux logiques $s\phi_1$ et $s\phi_2$ et
 25 donnée par la relation suivante :

$$V = G (\overline{s\phi_1} - \overline{s\phi_2})$$

$$\text{soit } V = G.A.\Delta\phi \cdot \delta / (2\pi).$$

La caractéristique du comparateur de phase 1 indiquant la variation de la tension V en fonction du déphasage $\Delta\phi$ est montrée à
 30 la Fig. 3. Cette caractéristique est indépendante de la fréquence de rythme 1/T du signal numérique reçu SN.

Lorsque le calage en phase du signal d'horloge récupéré H par rapport au signal logique reçu SL est parfait, comme montré à la Fig. 2A, les créneaux du signal $s\phi_1$ ont une largeur égale à T/2
 35 et donc égale à la largeur des créneaux du signal $s\phi_2$. Les amplitudes moyennes des signaux $s\phi_1$ et $s\phi_2$ sont alors égales et

la tension de commande à l'entrée 30 de l'oscillateur est constante et égale à zéro.

Le signal de commande V est appliqué à l'entrée de commande en tension 30 de l'oscillateur 3 après avoir subi classiquement un filtrage passe-bas dans le circuit 2. Le circuit de filtrage 2 comprend une résistance 21 ayant une borne reliée à la sortie 12 de l'amplificateur 18 ainsi qu'une autre résistance 22 et un condensateur 23 connectés en série entre la terre et une autre borne de la résistance 21 reliée à l'entrée 30 de l'oscillateur.

L'oscillateur commandé en tension 3 peut être un oscillateur du type VCO ayant un élément variable, tel qu'une diode à capacité variable (varicap), pour constituer un oscillateur à pont de Wien par exemple, ou peut être un oscillateur du type VCXO à quartz. Le choix de l'oscillateur 3 est dicté en fonction du débit du signal numérique reçu SN, c'est-à-dire de la fréquence $1/T$, ainsi qu'en fonction de la tolérance fixée sur la valeur de la fréquence $1/T$.

Un mode de réalisation pratique du dispositif de récupération du signal d'horloge est montré à la Fig. 4. Ce mode de réalisation concerne en général un signal numérique à multiniveau SNM. Plus particulièrement, la Fig. 4 a trait à un signal bipolaire SNM ayant trois niveaux. L'un des niveaux est le niveau logique bas "0" et les deux autres niveaux sont positifs et négatifs et représentent alternativement un élément binaire à l'état logique haut "1".

Le comparateur de niveau 4 et le premier circuit différentiateur 13T comprennent deux voies parallèles comportant chacune en série, un comparateur de niveau 4_+ , 4_- et un circuit différentiateur $13T_+$, $13T_-$. Des entrées 40_+ et 40_- reçoivent le signal SNM. Les comparateurs 4_+ et 4_- détectent respectivement les éléments bipolaires positifs et négatifs qui sont convertis en des éléments binaires "1" et appliqués aux entrées 10_+ et 10_- des circuits $13T_+$ et $13T_-$. Ainsi, des signaux logiques SL_+ et SL_- aux entrées 10_+ et 10_- sont respectivement aux états "1" et "0" lorsque l'élément bipolaire reçu est positif, aux états "0" et "1" lorsque l'élément bipolaire reçu est négatif et à l'état "0" lorsque l'élément bipolaire est un

"0". Les deux comparateurs 4_+ et 4_- sont ainsi analogues à un convertisseur bipolaire-binaire.

Chaque circuit différentiateur $13T_+$, $13T_-$ comprend un circuit de retard logique qui est constitué par des portes identiques connectées en série et ayant chacune des entrées reliées entre elles, telles que deux portes ET $132T_+$, $132T_-$, ainsi qu'une porte OU-EXCLUSIF $133T_+$, $133T_-$ ayant deux entrées respectivement reliées directement et à travers le circuit de retard $132T_+$, $132T_-$ à la sortie du comparateur de niveau 4_+ , 4_- . Les sorties des portes OU-EXCLUSIF $133T_+$ et $133T_-$ fournissent des impulsions IT_+ et IT_- qui correspondent aux fronts montants et descendants des éléments binaires "1" correspondant aux éléments bipolaires respectifs, positifs et négatifs. Une porte OU de sortie $134T$ mélange les impulsions de transition IT_+ et IT_- en un signal à impulsions IT appliqué à l'entrée S de la première bascule 14.

Selon une variante plus générale, lorsque le signal SNM a M niveaux d'amplitude, le comparateur de niveau 4 et le premier circuit différentiateur $13T$ sont remplacés par (M-1) comparateurs de niveau recevant le signal à M niveaux pour convertir le signal numérique en (M-1) signaux binaires, (M-1) circuits différentiateurs ayant des entrées respectivement connectées aux sorties des (M-1) comparateurs de niveau, et une porte OU connectée aux sorties des (M-1) circuits différentiateurs pour fournir un signal IT composé d'impulsions délivrées chacune en réponse à un changement de niveau du signal à M niveaux.

Les circuits différentiateurs $13M$ et $13D$ sont sensiblement analogues aux circuits $131T_+$ et $131T_-$ décrits précédemment. Chacun des circuits $13M$ et $13D$ comprend une porte OU-EXCLUSIF d'entrée $132M$, $132D$, un circuit de retard à deux portes ET $133M$, $133D$, et une porte ET de sortie $134M$, $134D$. Les portes OU-EXCLUSIF $132M$ et $132D$ ont chacune une entrée recevant le signal d'horloge récupéré H délivré par la sortie 31 de l'oscillateur 3. Les autres entrées des portes $132M$ et $132D$ sont portées au niveau logique bas "0" et au niveau logique haut "1" respectivement. La porte $132M$ retransmet donc le signal d'horloge H en synchronisme avec un

signal complémentaire \bar{H} du signal d'horloge H délivré par la porte 132D. Des premières entrées 135M et 135D des portes ET 134M et 134D sont reliées directement aux sorties des portes 132M et 132D respectivement. Des secondes entrées 136M et 136D des portes ET 134M et 134D sont reliées aux sorties des portes 132D et 132M à travers les circuits de retard 133M et 133D respectivement. La porte ET 134M reçoit ainsi le signal H et le signal complémentaire \bar{H} avec un substantiel retard par rapport au signal H, ce qui permet de détecter les fronts montants du signal d'horloge H fournis en sortie 131M de la porte 134M. Au contraire, la porte ET 134D reçoit le signal \bar{H} et le signal H avec un substantiel retard par rapport au signal complémentaire \bar{H} , ce qui permet de détecter les fronts descendants du signal d'horloge H fournis en sortie 131D de la porte 134D.

Il est à noter que les nombres de composants élémentaires logiques traitant les signaux logiques SL_+ et SL_- dans les circuits 131T₊ et 131T₋ et le signal d'horloge H dans les circuits 13M et 13D sont de préférence égaux, ici à deux. Les temps de propagation des signaux à travers ces circuits sont ainsi égaux. Aucun décalage temporel affectant les signaux logiques SL_+ , SL_- et H et donc la récupération du signal d'horloge n'est susceptible d'être produit directement par les circuits différentiateurs logiques.

Selon le mode de réalisation montré à la Fig. 4, les bascules RS 14 et 15 sont des bascules du type D à verrouillage ayant des entrées D et H reliées à la terre. Les composants électroniques du comparateur de phase 1 sont réalisés en technologie CMOS, technologie adaptée au traitement d'un signal numérique ayant un débit de l'ordre de quelques centaines de kbit/s.

Par ailleurs, l'amplificateur différentiel 18 est réalisé au moyen d'un amplificateur opérationnel à contre réaction par exemple résistive, et l'oscillateur 3 est un oscillateur VCXO à quartz.

Lorsque le signal numérique reçu est un signal à deux niveaux logiques SN, le circuit différentiateur 131T est analogue à l'un des circuits 13T₊ et 13T₋, et comprend un circuit de retard, tel que 132T₊ et une porte OU-Exclusif, telle que 133T₊, ayant

deux entrées reliées directement et à travers le circuit de retard à la sortie du comparateur de niveau 4.

Selon une variante de la réalisation illustrée, les entrées R des bascules 14 et 15 sont permutées ; l'entrée R de la bascule 14 est reliée à la sortie 131D du second circuit différentiateur 13D, et l'entrée R de la bascule 15 et l'entrée 161 de la porte 16 sont reliées à la sortie 131M du premier circuit différentiateur 13M.

D'autres réalisations entrent également dans l'objet de l'invention, notamment en ce qui concerne la structure du circuit logique à bascules 14-15-16. Les composants logiques de ce dernier circuit peuvent être prévus pour fournir des premier et second signaux ayant des créneaux récurrents, par exemple à une période multiple de la période T. La largeur des créneaux définis ci-dessus par rapport à T/2 peut être plus grande ou plus petite et être définie par rapport à une durée différente de T/2.

RE V E N D I C A T I O N S

1 - Dispositif de récupération d'un signal d'horloge (H) à partir d'un signal logique (SL), comprenant des moyens de comparaison de phase (1) comportant des moyens d'entrée (13T, 13M, 13D, 14, 15, 16, 17₁, 17₂) recevant le signal logique (SL) par une première entrée (10) et le signal d'horloge (H) par une seconde entrée (11), ainsi qu'un amplificateur différentiel (18), des moyens de filtrage passe-bas (2), et un oscillateur (3) commandé en tension par un signal de commande (V) fourni par l'amplificateur différentiel (18) à travers les moyens de filtrage (2) et délivrant le signal d'horloge récupéré (H) à ladite seconde entrée (11), caractérisé en ce que les moyens d'entrée comprennent des moyens logiques (13T, 13M, 13D, 14, 15, 16) pour fournir un premier signal logique ($s\phi_1$) composé de créneaux ayant une largeur variable ($T/2 + \tau$) fonction d'un déphasage ($\Delta\phi$) entre le signal logique (SL) et le signal d'horloge (H) et un second signal logique ($s\phi_2$) composé de créneaux ayant une largeur constante ($T/2$), et des moyens (17₁, 17₂) pour appliquer deux signaux ($\overline{s\phi_1}$, $\overline{s\phi_2}$) ayant des amplitudes proportionnelles aux amplitudes moyennes des premier et second signaux logiques ($s\phi_1$, $s\phi_2$), à des entrées (180₁, 180₂) de l'amplificateur différentiel (18).

2 - Dispositif conforme à la revendication 1, caractérisé en ce que les créneaux dudit premier signal logique ($s\phi_1$) ont des premiers fronts (montants) respectivement synchrones avec des transitions d'états logiques (IT) dudit signal logique (SL) et des seconds fronts (descendants) respectivement synchrones avec des fronts prédéterminés (montants ou descendants) du signal d'horloge (H) et en ce que le second signal logique ($s\phi_2$) ne comporte qu'un créneau entre deux transitions successives (IT) dudit signal logique (SL).

3 - Dispositif conforme à la revendication 1 ou 2, caractérisé en ce que les créneaux dudit premier signal logique ($s\phi_1$) ont une largeur variant entre zéro et la période (T) du signal d'horloge (H) occupée par un élément binaire dudit signal logique (SL), et

- 12 -

les créneaux dudit second signal logique ($s\phi_1$) ont une largeur constante égale à une demi-période ($T/2$) du signal d'horloge (H).

4 - Dispositif conforme à l'une quelconque des revendications 1 à 3, caractérisé en ce que lesdits moyens logiques comprennent
5 des premiers moyens différentiateurs (13T) pour fournir des premières impulsions (IT) en réponse à des transitions entre états logiques dudit signal logique (SL), des seconds moyens différentiateurs (13M) pour fournir des secondes impulsions (IM) en réponse à des fronts montants du signal d'horloge (H), des
10 troisièmes moyens différentiateurs (13D) pour fournir des troisièmes impulsions (ID) en réponse à des fronts descendants du signal d'horloge (H), et un circuit logique (14, 15, 16) à bascules recevant les premières, secondes et troisièmes impulsions (IT, IM, ID) pour fournir lesdits premier et second signaux logiques ($s\phi_1$,
15 $s\phi_2$).

5 - Dispositif conforme à la revendication 4, caractérisé en ce que le circuit logique à bascules (14, 15, 16) comprend une première bascule (14) recevant les premières et secondes, respectivement troisièmes impulsions (IT, IM ou ID) pour fournir
20 ledit premier signal logique ($s\phi_1$), une porte ET (16) recevant ledit premier signal logique ($s\phi_1$) et lesdites secondes, respectivement troisièmes impulsions (IM ; ID) pour fournir un signal impulsif (SI), et une seconde bascule (15) recevant
25 ledit signal impulsif (SI) et les troisièmes, respectivement secondes impulsions (ID ; IM) pour fournir ledit second signal logique ($s\phi_2$).

6 - Dispositif conforme à la revendication 4 ou 5, caractérisé en ce que les bascules (14, 15) sont des bascules RS, de préférence du type D.

30 7 - Dispositif conforme à l'une quelconque des revendications 4 à 6, caractérisé en ce que les premiers, seconds et troisièmes moyens différentiateurs (13T, 13M, 13D) ont des temps de propagation égaux.

8 - Dispositif conforme à l'une quelconque des revendications
35 4 à 7, caractérisé en ce que les seconds et troisièmes moyens différentiateurs (13M, 13D) comprennent chacun un circuit de retard

à plusieurs portes logiques en série (133M, 133D) associé à une porte ET (134M, 134D) ayant une entrée (136M, 136D) reliée à une sortie du circuit de retard (133M, 133D), une autre entrée (135M) de la porte ET associée (134M) et une entrée du circuit de retard (133M) des seconds moyens différentiateurs (13M) recevant respectivement ledit signal d'horloge (H) et un signal complémentaire (\bar{H}) du signal d'horloge, et une autre entrée (135D) de la porte ET associée (134D) et une entrée du circuit de retard (133D) des troisièmes moyens différentiateurs (13D) recevant respectivement ledit signal complémentaire (\bar{H}) et le signal d'horloge (H).

9 - Dispositif conforme à l'une quelconque des revendications 4 à 8, caractérisé en ce que les premiers moyens différentiateurs (13T) comprennent un circuit de retard à plusieurs portes logiques en série (132T) et une porte OU-EXCLUSIF (133T) ayant deux entrées recevant directement et à travers le circuit de retard le signal logique (SL).

10 - Dispositif conforme à l'une quelconque des revendications 4 à 8, caractérisé en ce que les premiers moyens différentiateurs (13T) sont remplacés par deux comparateurs de niveau (4_+ , 4_-) recevant un signal numérique à trois niveaux (SNM), tel qu'un signal bipolaire, pour convertir le signal numérique (SNM) en deux signaux binaires (SL_+ , SL_-) ayant des éléments binaires à l'état logique haut ("1") correspondant respectivement aux deux niveaux non nuls, et deux circuits différentiels ($13T_+$, $13T_-$) pour fournir à travers une porte OU (134T) lesdites premières impulsions en réponse à des transitions entre états logiques desdits deux signaux binaires.

11 - Dispositif conforme à la revendication 10, caractérisé en ce que chacun desdits deux circuits différentiels ($13T_+$; $13T_-$) comprend un circuit de retard à plusieurs portes logiques en série ($132T_+$; $132T_-$) et une porte OU-EXCLUSIF ($133T_+$; $133T_-$) ayant deux entrées recevant directement et à travers le circuit de retard le signal binaire respectif (SL_+ , SL_-).

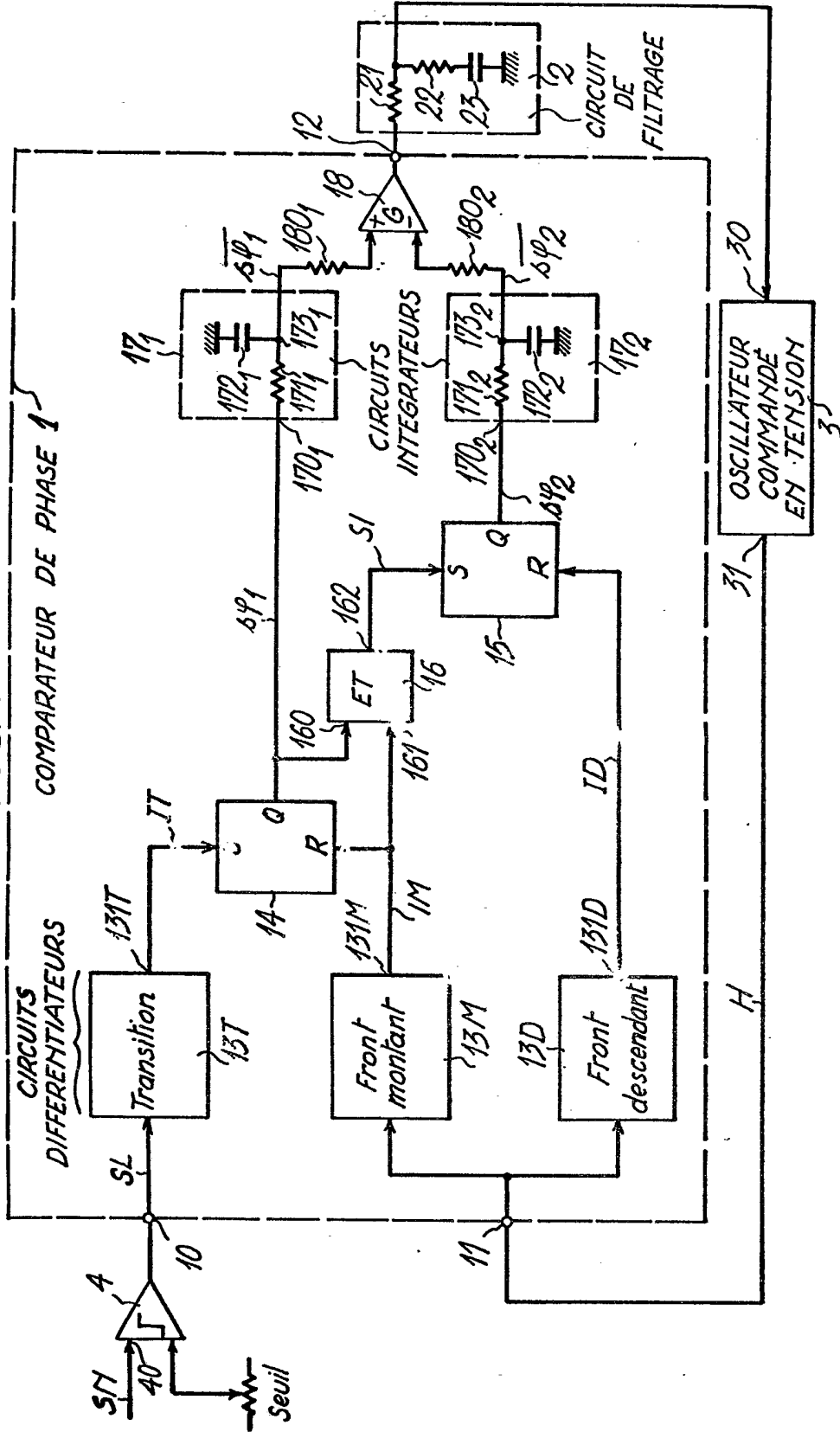
12 - Dispositif conforme à l'une quelconque des revendications 4 à 8, caractérisé en ce que les premiers moyens différentiateurs

- 14 -

(13T) sont remplacés par (M-1) comparateurs de niveau recevant un signal numérique à M niveaux (SNM) pour convertir le signal numérique (SNM) en (M-1) signaux binaires, (M-1) circuits différentiateurs ayant des entrées respectivement connectées aux
5 sorties des (M-1) comparateurs de niveau, et une porte OU connectée aux sorties des (M-1) circuits différentiateurs pour fournir un signal (IT) composé d'impulsions délivrées chacune en réponse à un changement de niveau du signal à M niveaux (SNM).

13 - Dispositif conforme à l'une quelconque des revendications
10 1 à 12, caractérisé en ce que les moyens pour appliquer deux signaux ($\overline{s\phi_1}$, $\overline{s\phi_2}$) comprennent deux circuits intégrateurs (17_1 , 17_2).

FIG.1



2/5

FIG. 2A

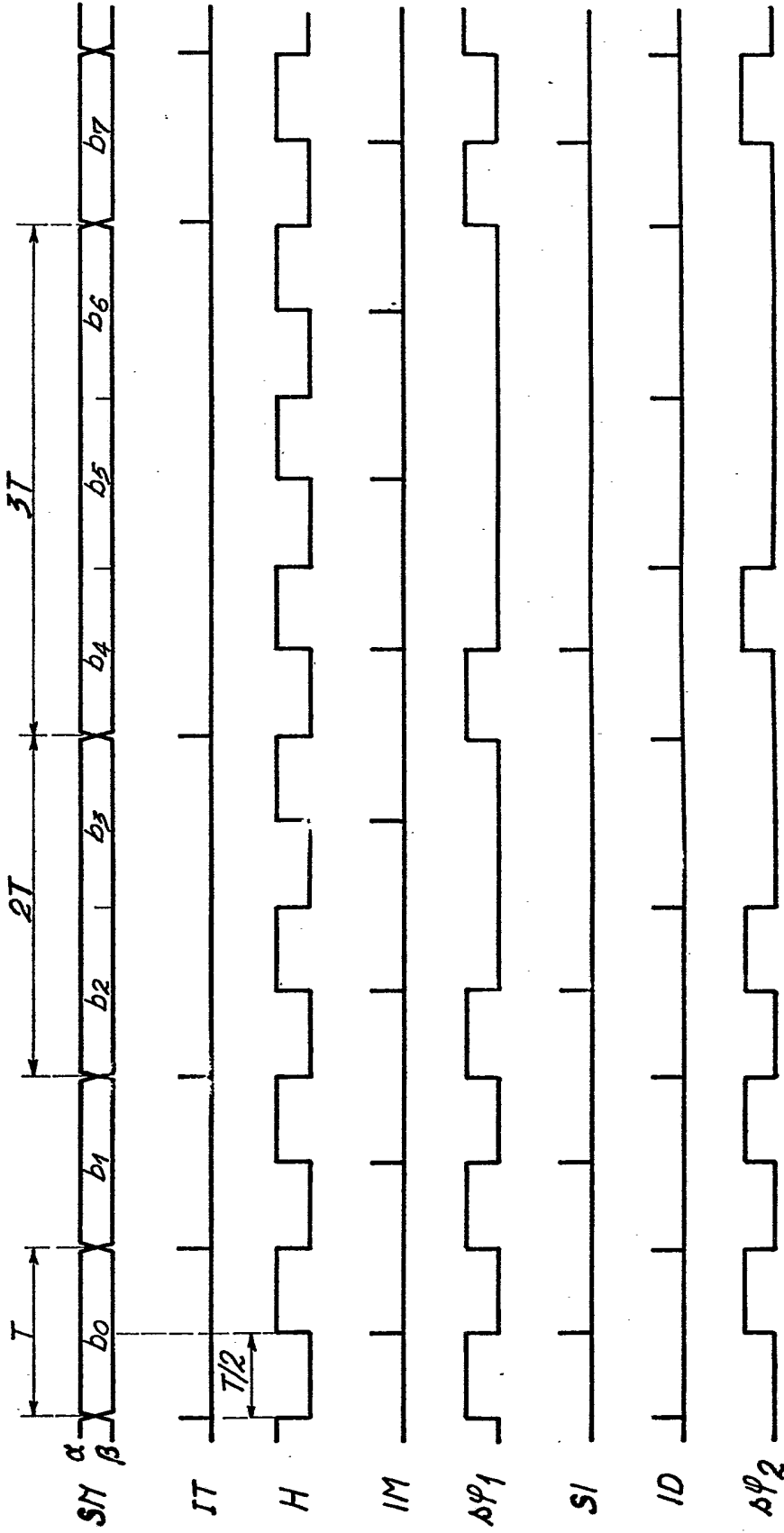
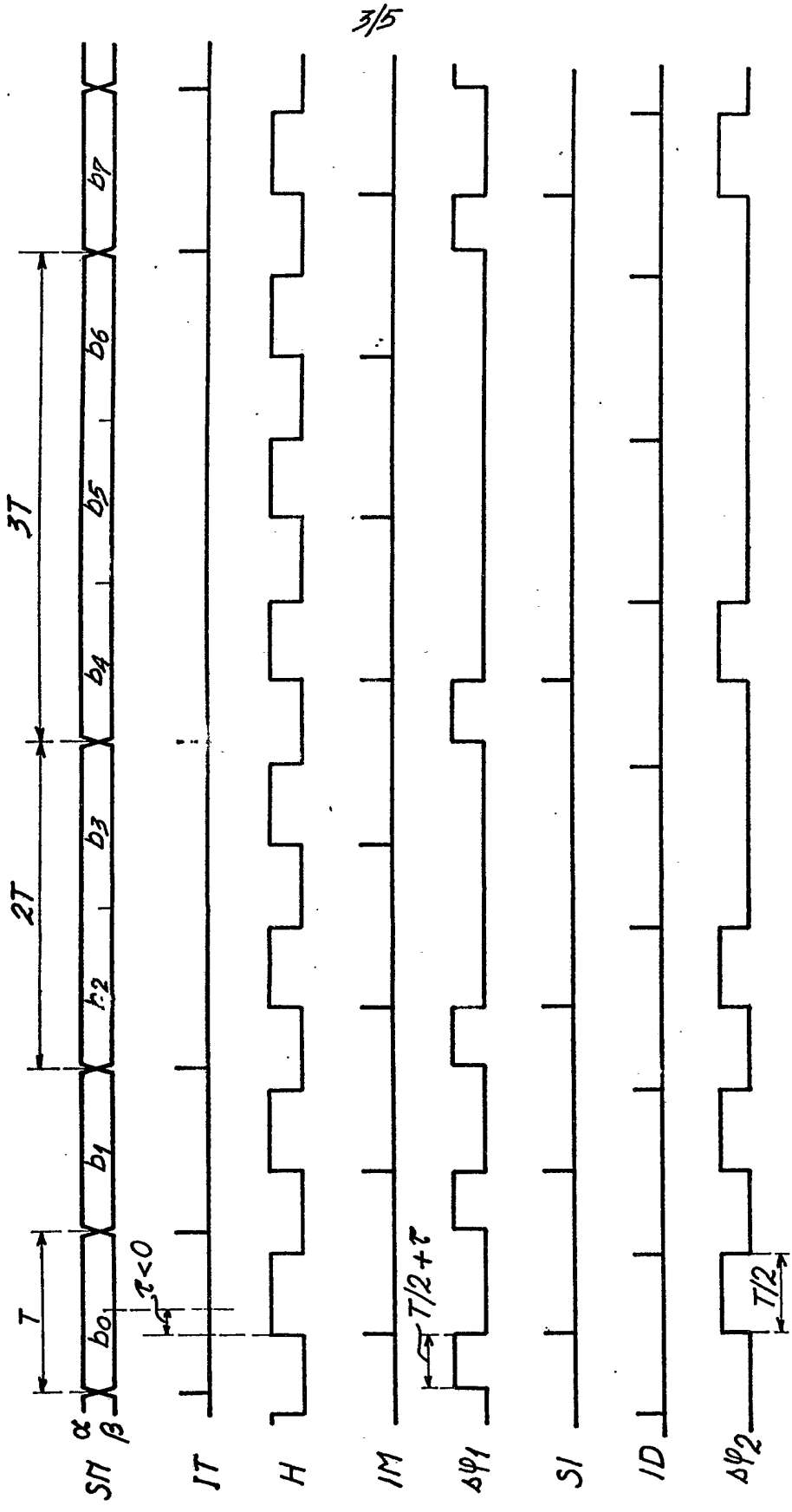
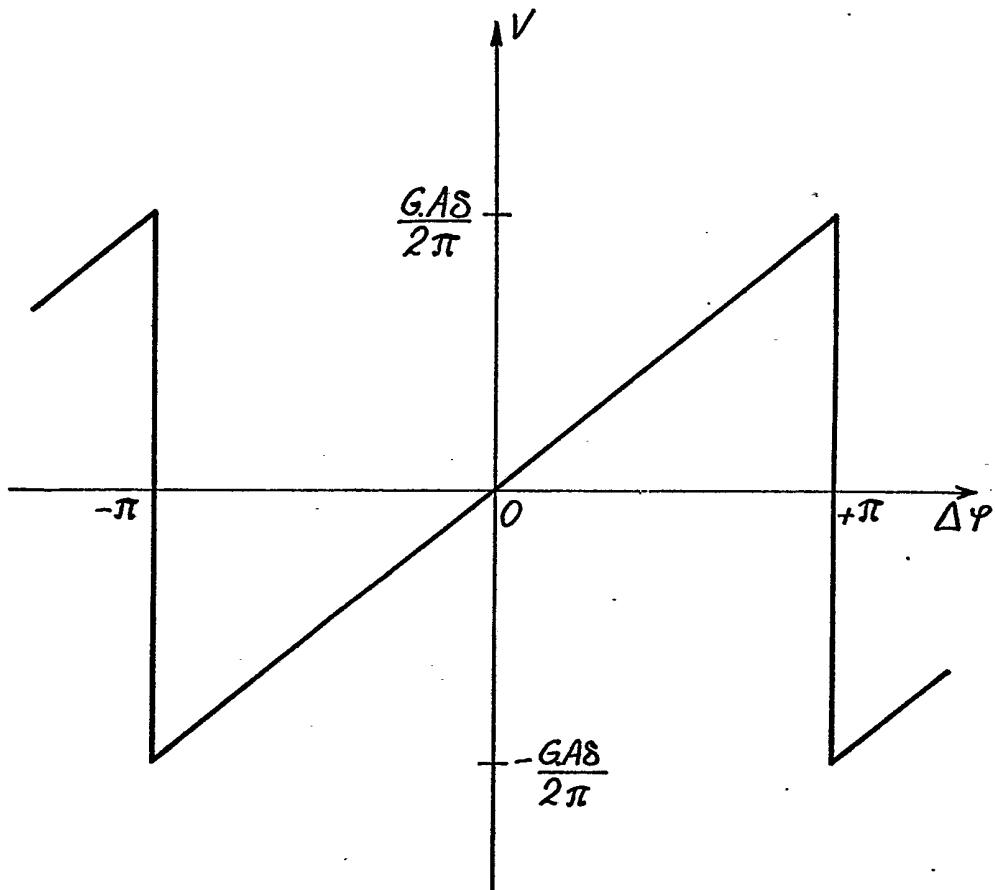


FIG. 2B



4/5

FIG.3



5/5

FIG.4

