



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I670799 B

(45)公告日：中華民國 108 (2019) 年 09 月 01 日

(21)申請案號：106130420

(22)申請日：中華民國 106 (2017) 年 09 月 06 日

(51)Int. Cl. : **H01L21/8228(2006.01)****H01L21/74 (2006.01)****H01L21/76 (2006.01)**

(71)申請人：世界先進積體電路股份有限公司(中華民國) VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION (TW)

新竹縣新竹科學工業園區園區三路 123 號

(72)發明人：邱建維 CHIU, CHIEN WEI (TW)；林鑫成 LIN, SHIN CHENG (TW)；胡鈺豪 HO, YU HAO (TW)

(74)代理人：洪澄文；顏錦順

(56)參考文獻：

TW 200824117A

TW 201133856A

TW 201314867A

US 2007/0272986A1

US 2010/0258867A1

US 2011/0057262A1

US 2011/0248342A1

US 2013/0037883A1

審查人員：劉聖尉

申請專利範圍項數：18 項 圖式數：6 共 31 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICES AND METHODS FOR MANUFACTURING THE SAME

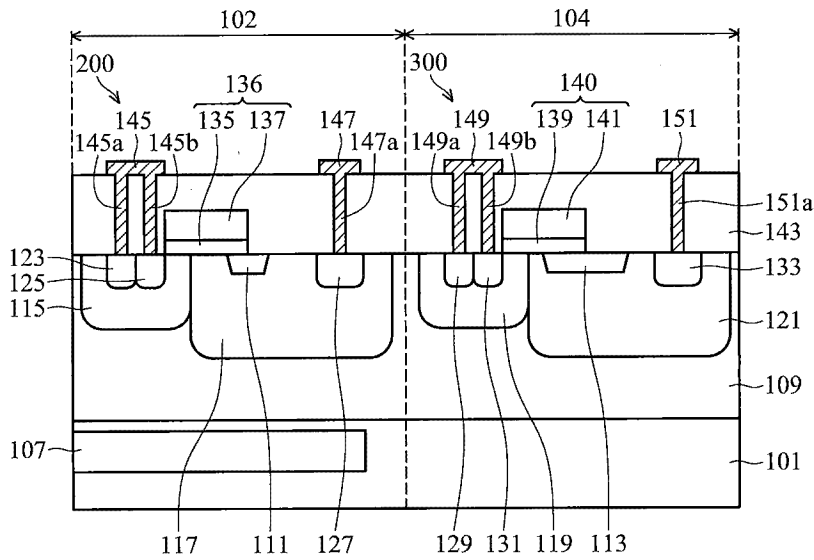
(57)摘要

本發明實施例提供了半導體裝置及其製造方法，半導體裝置包含半導體基底，具有第一導電類型，其中半導體基底包含第一區和第二區，埋置層設置於半導體基底的第一區內且具有第一導電類型，其中埋置層的摻質濃度高於半導體基底的摻質濃度，磊晶層設置於半導體基底上，第一元件設置於半導體基底的第一區上，其中第一元件包含雙載子-互補金氧半-雙擴散金氧半電晶體，以及第二元件設置於半導體基底的第二區上，其中第二元件包含超高壓電晶體。

Structures and manufacturing methods of a semiconductor device are provided. The semiconductor devices include a semiconductor substrate having a first conductivity type, wherein the semiconductor substrate includes a first region and a second region; a buried layer disposed in the first region of the semiconductor substrate and having the first conductivity type, wherein the buried layer has a dopant concentration which is greater than that of the semiconductor substrate; an epitaxial layer disposed on the semiconductor substrate; a first element disposed on the first region of the semiconductor substrate, wherein the first element includes a bipolar-CMOS-DMOS (BCD) transistor; and a second element disposed on the second region of the semiconductor substrate, wherein the second element includes an ultra-high voltage (UHV) transistor.

指定代表圖：

100 ↘



第 6 圖

符號簡單說明：

- 100 . . . 半導體裝置
- 101 . . . 半導體基底
- 102 . . . 第一區
- 104 . . . 第二區
- 107 . . . 埋置層
- 109 . . . 磊晶層
- 111 . . . 第一隔離結構
- 113 . . . 第二隔離結構
- 115 . . . 第一井區
- 117 . . . 第二井區
- 119 . . . 第三井區
- 121 . . . 第四井區
- 123 . . . 第一摻雜區
- 125 . . . 第二摻雜區
- 127 . . . 第三摻雜區
- 129 . . . 第四摻雜區
- 131 . . . 第五摻雜區
- 133 . . . 第六摻雜區
- 135 . . . 第一閘極介電層
- 136 . . . 第一閘極結構
- 137 . . . 第一閘極電極層
- 139 . . . 第二閘極介電層
- 140 . . . 第二閘極結構
- 141 . . . 第二閘極電極層
- 143 . . . 層間介電層
- 145 . . . 第一源極電極
- 145a、145b、147a、149a、149b、
- 151a . . . 導孔

147 . . . 第一汲極電
極

149 . . . 第二源極電
極

151 . . . 第二汲極電
極

200 . . . 第一元件

300 . . . 第二元件

發明專利說明書

【發明名稱】 半導體裝置及其製造方法

Semiconductor devices and methods for
manufacturing the same

【技術領域】

【0001】 本發明是關於半導體裝置，特別是關於將不同類型之元件整合在一起的半導體裝置及其製造方法。

【先前技術】

【0002】 雙載子 - 互補金氧半 - 雙擴散金氧半 (Bipolar-Complementary metal oxide semiconductor (CMOS)-Double diffused metal oxide semiconductor (DMOS), BCD, 以下簡稱BCD)是一種系統單晶片 (System on a Chip, SoC) 製程，可形成智慧型功率積體電路 (smart power integrated circuit)，這種製程能夠在同一晶片上製作雙載子 (bipolar) 電晶體、互補式金氧半電晶體 (CMOS) 和雙重擴散型金氧半電晶體 (DMOS)。

【0003】 BCD的製程可有效地整合功率晶片，其具有大幅節省封裝費用、降低功率耗損以及提高系統效能等優勢，隨著電子產品越來越趨向高密度度和小型化，BCD製程也越來越常被用於製造半導體裝置。

【發明內容】

【0004】 本發明的實施例提供了半導體裝置及其形成方法，特別是將BCD電晶體和超高壓 (ultra-high voltage, UHV,)

以下簡稱 UHV)電晶體整合於同一半導體裝置的實施例。

【0005】 本發明的實施例將半導體基底劃分為第一區和第二區，第一區內設置包含BCD電晶體的第一元件，而第二區內設置包含UHV電晶體的第二元件。在實施磊晶製程前先形成覆蓋第二區的圖案化的遮罩，利用此圖案化的遮罩對第一區實施摻雜製程，以在第一區內形成埋置層，由於此埋置層具有與半導體基底相同的導電類型，且埋置層的摻質濃度高於半導體基底的摻質濃度，可有效防止設置於半導體基底之第一區的BCD電晶體產生閃鎖(latch-up)效應，進而避免BCD電晶體因短路而燒毀。

【0006】 此外，利用前述圖案化的遮罩可避免在半導體基底的第二區內(亦即UHV電晶體設置之區域)形成與第一區(亦即BCD電晶體設置之區域)相同摻質濃度的埋置層，可防止UHV電晶體失效，並有效維持UHV電晶體的崩潰電壓(breakdown voltage)。藉由前述圖案化的遮罩可在半導體基底的第一區內設置埋置層，由於此埋置層並未延伸至半導體基底的第二區，使得BCD電晶體和UHV電晶體可順利整合於同一半導體裝置內，且同時達成避免閃鎖效應以及提高崩潰電壓的效果。

【0007】 根據一些實施例，提供半導體裝置。半導體裝置包含於具有第一導電類型的半導體基底，其中半導體基底包含第一區和第二區。半導體裝置也包含設置於半導體基底的第一區內且具有第一導電類型的埋置層，其中埋置層的摻質濃度高於半導體基底的摻質濃度，以及設置於半導體基底上的磊晶

層。半導體裝置更包含設置於半導體基底的第一區上的第一元件，其中第一元件包含雙載子-互補金氧半-雙擴散金氧半電晶體，以及設置於半導體基底的第二區上的第二元件，其中第二元件包含超高壓電晶體。

【0008】 根據一些實施例，提供半導體裝置的製造方法。半導體裝置的製造方法包含提供具有第一導電類型的半導體基底，其中半導體基底包含第一區和第二區，以及在半導體基底的第二區上形成圖案化的遮罩。半導體裝置的製造方法也包含藉由圖案化的遮罩對半導體基底實施摻雜製程，以在第一區內形成埋置層，其中埋置層具有第一導電類型，且埋置層的摻質濃度高於半導體基底的摻質濃度，以及在半導體基底上形成磊晶層。半導體裝置的製造方法更包含在半導體基底的第一區上形成第一元件，其中第一元件包含雙載子-互補金氧半-雙擴散金氧半電晶體，以及在半導體基底的第二區上形成第二元件，其中第二元件包含超高壓電晶體。

【圖式簡單說明】

【0009】 藉由以下的詳述配合所附圖式，我們能更加理解本發明實施例的觀點。值得注意的是，根據工業上的標準慣例，一些部件(feature)可能沒有按照比例繪製。事實上，為了能清楚地討論，不同部件的尺寸可能被增加或減少。

第 1-6 圖是根據本發明的一些實施例，顯示形成半導體裝置之方法的各個階段的剖面示意圖。

【實施方式】

【0010】 以下提供了很多不同的實施例或範例，用於實施

所提供的含有不同元件的半導體裝置。各元件和其配置的具體範例描述如下，以簡化本發明實施例。當然，這些僅僅是範例，並非用以限定本發明實施例。舉例而言，敘述中若提及第一元件形成在第二元件之上，可能包含第一和第二元件直接接觸的實施例，也可能包含額外的元件形成在第一和第二元件之間，使得它們不直接接觸的實施例。此外，本發明實施例可能在不同的範例中重複參考數字及/或字母。如此重複是為了簡明和清楚，而非用以表示所討論的不同實施例及/或形態之間的關係。

【0011】 以下描述實施例的一些變化。在不同圖式和說明的實施例中，相似的參考數字被用來標明相似的元件。可以理解的是，在方法的前、中、後可以提供額外的操作，且一些敘述的操作可為了該方法的其他實施例被取代或刪除。

【0012】 第 1-6 圖是根據本發明的一些實施例，顯示形成第 6 圖所示之半導體裝置 100 的方法知各個階段的剖面示意圖，其中半導體裝置 100 包含第一元件 200 和第二元件 300。

【0013】 根據一些實施例，如第 1 圖所示，提供半導體基底 101。一些實施例中，半導體基底 101 可由矽或其他半導體材料製成，或者，半導體基底 101 可包含其他元素半導體材料，例如鍺(Ge)。一些實施例中，半導體基底 101 由化合物半導體製成，例如碳化矽、氮化鎵、砷化鎵、砷化銮或磷化銮。一些實施例中，半導體基底 101 由合金半導體製成，例如矽鍺、碳化矽鍺、磷化砷鎵或磷化銮鎵。一些實施例中，半導體基底 101 包含絕緣層上覆矽(silicon-on-insulator, SOI)基底。一些實施

例中，半導體基底 101 具有第一導電類型，例如本實施例之半導體基底 101 為輕摻雜之 P 型基底，然而在其他實施例中，半導體基底 101 可為輕摻雜之 N 型基底。

【0014】 接續前述，如第 1 圖所示，將半導體基底 101 劃分為第一區 102 和第二區 104，第一區 102 為後續將形成第一元件 200 之 BCD 電晶體(參見第 6 圖)的區域，而第二區 104 為後續將形成第二元件 300 之 UHV 電晶體(參見第 6 圖)的區域。第一區 102 和第二區 104 的位置可視半導體裝置的配置需求做任意地調整。一些實施例中，第一區 102 鄰接於第二區 104。在其他實施例中，第一區 102 與第二區 104 可藉由其他區域分隔。

【0015】 根據一些實施例，如第 2 圖所示，在半導體基底 101 的第二區 104 上形成圖案化的遮罩 103。一些實施例中，先在半導體基底 101 上形成遮罩層(未繪示)，再實施圖案化製程以將遮罩層圖案化，形成圖案化的遮罩 103。圖案化製程包含微影製程和蝕刻製程。微影製程包含光阻塗佈(如：旋轉塗佈)、軟烤、遮罩對準、曝光、曝光後烘烤、光阻顯影、洗滌和烘乾(如：硬烤)。蝕刻製程包含乾式蝕刻或濕式蝕刻。

【0016】 一些實施例中，圖案化的遮罩 103 完全覆蓋半導體基底 101 之第二區 104，且延伸至第一區 102 以覆蓋半導體基底 101 之第一區 102 的一部分。換言之，圖案化的遮罩 103 暴露出半導體基底 101 之第一區 102 的一部分。

【0017】 接著，實施摻雜製程 105，利用圖案化的遮罩 103 在半導體基底 101 之第一區 102 內形成埋置層 107，埋置層 107

具有與半導體基底 101 相同的第一導電類型。一些實施例中，摻雜製程 105 包含離子植入(ion implantation)製程，可在 P 型的半導體基底 101 的第一區 102 內植入 P 型摻雜物，例如硼(B)，或者在 N 型的半導體基底 101 內植入 N 型摻雜物，例如磷(P)或砷(As)。在實施摻雜製程 105 之後，埋置層 107 具有與半導體基底 101 相同的導電類型，且埋置層 107 的摻質濃度高於半導體基底 101 的摻質濃度。

【0018】 在本實施例中，埋置層 107 和半導體基底 101 皆為 P 型，且埋置層 107 的摻質濃度在約 1×10^{15} 原子/立方公分(atom/cm^3)至約 1×10^{18} 原子/立方公分(atom/cm^3)的範圍內，而半導體基底 101 的摻質濃度在約 1×10^{14} 原子/立方公分(atom/cm^3)至約 1×10^{16} 原子/立方公分(atom/cm^3)的範圍內。

【0019】 值得注意的是，在一些實施例中，由於圖案化的遮罩 103 延伸至半導體基底 101 的第一區 102，使得利用圖案化的遮罩 103 所形成的埋置層 107 完全位於第一區 102 內，亦即埋置層 107 的範圍小於或等於第一區 102 的範圍(埋置層 107 內的摻雜物可向外擴散，使得埋置層 107 的範圍等於第一區 102 的範圍)。如第 2 圖所示，在一些實施例中，埋置層 107 靠近第二區 104 的邊界與第一區 102 和第二區 104 的界線之間具有距離 D。一些實施例中，距離 D 在約 $1 \mu\text{m}$ 至約 $100 \mu\text{m}$ 的範圍內。距離 D 為摻雜製程 105 的預留距離，用以確保埋置層 107 的摻質不會擴散至半導體基底 101 的第二區 104。

【0020】 根據一些實施例，如第 3 圖所示，在形成埋置層 107 之後，移除圖案化的遮罩 103，且在半導體基底 101 上形

成磊晶層 109。一些實施例中，磊晶層 109 可為 N 型或 P 型。磊晶層 109 形成於半導體基底 101 的第一區 102 和第二區 104 上，可藉由金屬有機物化學氣相沉積法 (metal organic chemical vapor deposition, MOCVD)、電漿增強化學氣相沉積法 (plasma-enhanced CVD, PECVD)、分子束磊晶法 (molecular beam epitaxy, MBE)、氫化物氣相磊晶法 (hydride vapour phase epitaxy, HVPE)、液相磊晶法 (liquid phase epitaxy, LPE)、氯化物氣相磊晶法 (chloride-vapor phase epitaxy, Cl-VPE)、其他相似的製程方法或前述之組合以形成。

【0021】 此外，一些實施例中，埋置層 107 與磊晶層 109 之間具有一部份的半導體基底 101，亦即，埋置層 107 完全位於半導體基底 101 內，並未暴露於半導體基底 101 的頂面上。

【0022】 接續前述，如第 4 圖所示，在磊晶層 109 內、靠近磊晶層 109 的頂面處形成第一隔離結構 111 和第二隔離結構 113，第一隔離結構 111 位於第一區 102，且第二隔離結構 113 位於第二區 104。在本實施例中，第一隔離結構 111 和第二隔離結構 113 為淺溝槽隔離 (shallow trench isolation, STI) 結構。在其他實施例中，第一隔離結構 111 和第二隔離結構 113 為矽局部氧化 (local oxidation of silicon, LOCOS) 隔離結構 (未繪示)，且矽局部氧化之第一隔離結構 111 和第二隔離結構 113 之一部分嵌入磊晶層 109，第一隔離結構 111 和第二隔離結構 113 之另一部分形成於磊晶層 109 上。

【0023】 一些實施例中，第一隔離結構 111 和第二隔離結構 113 為淺溝槽隔離結構，可由蝕刻和化學氣相沉積 (chemical

vapor deposition, CVD)製程形成。在其他實施例中，第一隔離結構 111 和第二隔離結構 113 為矽局部氧化隔離結構，可由化學氣相沉積和熱氧化製程形成。此外，第一隔離結構 111 和第二隔離結構 113 係由氧化矽、氮化矽、氮氧化矽或其他合適的介電材料形成。

【0024】 一些實施例中，第一隔離結構 111 和第二隔離結構 113 可由熱氧化(thermal oxidation)製程、化學氣相沉積(chemical vapor deposition, CVD)製程或前述之組合形成，視其隔離種類而定。此外，第一隔離結構 111 和第二隔離結構 113 係由氧化矽、氮化矽、氮氧化矽或其他合適的介電材料形成。

【0025】 值得注意的是，在第 4 圖的剖面示意圖中，第一隔離結構 111 具有第一長度 L_1 ，第二隔離結構 113 具有第二長度 L_2 ，且第二長度 L_2 大於第一長度 L_1 。一些實施例中，第一長度 L_1 在約 $0.3\ \mu\text{m}$ 至約 $3\ \mu\text{m}$ 的範圍內，且第二長度 L_2 在約 $10\ \mu\text{m}$ 至約 $50\ \mu\text{m}$ 的範圍內。

【0026】 第一隔離結構 111 為後續將形成的第一元件 200 之 BCD 電晶體的隔離結構，第二隔離結構 113 為後續將形成的第二元件 300 之 UHV 電晶體的隔離結構，為了耐受超高電壓(例如在約 300 伏特至約 800 伏特的範圍內)，第二隔離結構 113 的第二長度 L_2 大於第一隔離結構 111 的第一長度 L_1 。

【0027】 再參見第 4 圖，在磊晶層 109 內形成第一井區 115、第二井區 117、第三井區 119 和第四井區 121。第一井區 115 和第二井區 117 位於半導體基底 101 之第一區 102 上，且位於埋置層 107 的正上方。一些實施例中，第二井區 117 和埋

置層 107 在垂直於半導體基底 101 之表面的方向上的投影部分重疊，第二井區 117 在垂直於半導體基底 101 之表面的方向上的投影範圍可超出埋置層 107 在垂直於半導體基底 101 之表面的方向上的投影範圍。在其他實施例中，第二井區 117 在垂直於半導體基底 101 之表面的方向上的投影完全位於埋置層 107 的範圍內。此外，第三井區 119 和第四井區 121 係位於半導體基底 101 之第二區 104 上，第三井區 119、第四井區 121 和埋置層 107 在垂直於半導體基底 101 之表面的方向上的投影完全不重疊。

【0028】 一些實施例中，第一隔離結構 111 位於第二井區 117 內，且第二隔離結構 113 位於第四井區 121 內。第二井區 117 鄰接於第一井區 115，且第四井區 121 鄰接於第三井區 119。

【0029】 再者，第一井區 115 和第三井區 119 具有第一導電類型(在 P 型半導體基底 101 之實施例中，第一井區 115 和第三井區 119 可例如為 P 型)，而第二井區 117 和第四井區 121 具有與第一導電類型相反的第二導電類型(在 P 型半導體基底 101 之實施例中，第二井區 117 和第四井區 121 可例如為 N 型)。第一井區 115、第二井區 117、第三井區 119 和第四井區 121 可由離子植入形成。一些實施例中，第一井區 115 和第三井區 119 可由同一道離子植入製程形成，而第二井區 117 和第四井區 121 可由另一道離子植入製程形成。

【0030】 根據一些實施例，如第 5 圖所示，在磊晶層 109 上形成第一閘極結構 136 和第二閘極結構 140。第一閘極結構 136 位於第一井區 115 和第二井區 117 之界面的上方，且覆蓋

第一隔離結構 111 的一部分。第二閘極結構 140 位於第三井區 119 和第四井區 121 之界面的上方，且覆蓋第二隔離結構 113 的一部分。

【0031】 一些實施例中，第一閘極結構 136 包含第一閘極介電層 135 和設置於第一閘極介電層 135 上的第一閘極電極層 137，且第二閘極結構 140 包含第二閘極介電層 139 和設置於第二閘極介電層 139 上的第二閘極電極層 141。

【0032】 第一閘極介電層 135 和第二閘極介電層 139 可由氧化矽、氮化矽、氮氧化矽、具有高介電常數(low-k)之介電材料或前述之組合製成。一些實施例中，第一閘極介電層 135 和第二閘極介電層 139 係藉由電漿增強化學氣相沉積(PECVD)製程或旋轉塗佈(spin coating)製程同時形成。

【0033】 第一閘極電極層 137 和第二閘極電極層 141 係由導電材料製成，例如鋁(Al)、銅(Cu)、鎢(W)、鈦(Ti)、鉭(Ta)、多晶矽或其他合適的材料。一些實施例中，第一閘極電極層 137 和第二閘極電極層 141 係藉由沉積和圖案化製程同時形成。沉積製程可為化學氣相沉積(CVD)製程、物理氣相沉積(physical vapor deposition, PVD)製程、原子層沉積(atomic layer deposition, ALD)製程、高密度電漿化學氣相沉積(high density plasma CVD, HDPCVD)製程、金屬有機化學氣相沉積(MOCVD)製程、電漿增強化學氣相沉積(PECVD)製程或前述之組合。圖案化製程可包含微影製程和蝕刻製程。

【0034】 再參見第 5 圖，在第一井區 115 內形成第一摻雜區 123 和第二摻雜區 125，在第二井區 117 內形成第三摻雜區

127，在第三井區 119 內形成第四摻雜區 129 和第五摻雜區 131，在第四井區 121 內形成第六摻雜區 133。此外，第一摻雜區 123 鄰接於第二摻雜區 125，且第四摻雜區 129 鄰接於第五摻雜區 131。

【0035】 一些實施例中，第一摻雜區 123 和第四摻雜區 129 具有第一導電類型(在 P 型半導體基底 101 之實施例中，第一摻雜區 123 和第四摻雜區 129 可例如為 P 型)，第二摻雜區 125、第三摻雜區 127、第五摻雜區 131 和第六摻雜區 133 具有第二導電類型(在 P 型半導體基底 101 之實施例中，第二摻雜區 125、第三摻雜區 127、第五摻雜區 131 和第六摻雜區 133 可例如為 N 型)。一些實施例中，第一摻雜區 123、第二摻雜區 125、第三摻雜區 127、第四摻雜區 129、第五摻雜區 131 和第六摻雜區 133 的摻質濃度在約 1×10^{15} 原子/立方公分 (atom/cm^3) 至約 1×10^{18} 原子/立方公分 (atom/cm^3) 的範圍內。

【0036】 根據一些實施例，如第 6 圖所示，在磊晶層 109、第一閘極結構 136 和第二閘極結構 140 上形成層間介電 (inter-layer dielectric, ILD) 層 143。一些實施例中，層間介電層 143 係由氧化矽、氮化矽、磷矽酸鹽玻璃 (phosphosilicate glass, PSG)、硼磷矽酸鹽玻璃 (borophosphosilicate glass, BPSG) 及/或其他合適的介電材料所形成。層間介電層 143 可由化學氣相沉積 (CVD)、物理氣相沉積 (PVD)、原子層沉積 (ALD)、旋轉塗佈或其他合適的製程而形成。

【0037】 在形成層間介電層 143 之後，在層間介電層 143 上形成第一源極電極 145、第一汲極電極 147、第二源極電極

149 和第二汲極電極 151。此外，在層間介電層 143 內形成導孔 (via) 145a、145b、147a、149a、149b 和 151a。

【0038】 第一源極電極 145 透過導孔 145a 和 145b 分別電性連接於第一摻雜區 123 和第二摻雜區 125，第一汲極電極 147 透過導孔 147a 電性連接於第三摻雜區 127。此外，第二源極電極 149 透過導孔 149a 和 149b 分別電性連接於第四摻雜區 129 和第五摻雜區 131，第二汲極電極 151 透過導孔 151a 電性連接於第六摻雜區 133。一些實施例中，第一源極電極 145、第一汲極電極 147、第二源極電極 149 和第二汲極電極 151 以及導孔 145a、145b、147a、149a、149b 和 151a 可包含金屬或其他合適的導電材料。

【0039】 形成第一源極電極 145、第一汲極電極 147、第二源極電極 149 和第二汲極電極 151 之後，完成半導體裝置 100。半導體裝置 100 包含第一元件 200 和第二元件 300，第一元件 200 包含 BCD 電晶體，且第二元件 300 包含 UHV 電晶體。第一元件 200 之 BCD 電晶體位於半導體基底 101 之第一區 102 上，且第二元件 300 之 UHV 電晶體位於半導體基底 101 之第二區 104 上。

【0040】 一些實施例中，第二元件 300 之 UHV 電晶體可耐受約 500 伏特以上的高電壓。此外，半導體基底 100 之第二區 104 上還可具有可耐受約 30 伏特的中壓元件(未繪示)。由於前述之中壓元件的存在，半導體基底 101 之第二區 104 無閃鎖效應的問題，無需藉由在半導體基底 100 之第二區 104 內設置埋置層來避免閃鎖效應。

【0041】 此外，第一元件 200 之 BCD 電晶體和第二元件 300 之 UHV 電晶體的電路配置可不限於第 6 圖所示，在其他實施例中，第一元件 200 之 BCD 電晶體和第二元件 300 之 UHV 電晶體可整合於相同基板，且第一元件 200 和第二元件 300 可包含其他的主動及/或被動元件。

【0042】 在本實施例中，位於半導體基底 101 之第一區 102 的埋置層 107 為連續的摻質材料層。在其他實施例中，埋置層 107 為位於半導體基底 101 之第一區 102 內的不連續的摻質材料層。在又一實施例中，在半導體基底 101 之第二區 104 內形成另一埋置層(未繪示)，此第二區 104 內的埋置層係利用另一覆蓋半導體基底 101 之第一區 102 的圖案化遮罩而形成，且第二區 104 內的埋置層的摻質濃度遠低於第一區 102 內的埋置層 107 的摻質濃度，第二區 104 內的埋置層的摻質濃度可例如在約 1×10^{15} 原子/立方公分 (atom/cm^3) 至約 1×10^{17} 原子/立方公分 (atom/cm^3) 的範圍內，低於前述第一區 102 內的埋置層 107 的摻質濃度(約 1×10^{15} 原子/立方公分 (atom/cm^3) 至約 1×10^{18} 原子/立方公分 (atom/cm^3))。

【0043】 本發明的實施例將半導體基底劃分為第一區和第二區，第一區內設置包含 BCD 電晶體的第一元件，而第二區內設置包含 UHV 電晶體的第二元件。在實施磊晶製程前先形成覆蓋第二區的圖案化的遮罩，利用此圖案化的遮罩對第一區實施摻雜製程，以在第一區內形成埋置層，由於此埋置層具有與半導體基底相同的導電類型，且埋置層的摻質濃度高於半導體基底的摻質濃度，可有效防止設置於半導體基底之第一區的

BCD 電晶體產生閃鎖效應，進而避免 BCD 電晶體因短路而燒毀。

【0044】 此外，利用前述圖案化的遮罩可避免在半導體基底的第二區內(亦即 UHV 電晶體設置之區域)形成與第一區(亦即 BCD 電晶體設置之區域)相同摻質濃度的埋置層，可防止 UHV 電晶體失效，並提升 UHV 電晶體的崩潰電壓。藉由前述圖案化的遮罩可在半導體基底的第一區內設置埋置層，由於此埋置層並未延伸至半導體基底的第二區，使得 BCD 電晶體和 UHV 電晶體可順利整合於同一半導體裝置內，且同時達成避免閃鎖效應以及提高崩潰電壓的效果。

【0045】 以上概述數個實施例為特徵，以便在本發明所屬技術領域中具有通常知識者可以更理解本發明實施例的觀點。在本發明所屬技術領域中具有通常知識者應該理解，他們能以本發明實施例為基礎，設計或修改其他製程和結構，以達到與在此介紹的實施例相同之目的及/或優勢。在本發明所屬技術領域中具有通常知識者也應該理解到，此類等效的製程和結構並無悖離本發明的精神與範圍，且他們能在不違背本發明之精神和範圍之下，做各式各樣的改變、取代和替換。

【符號說明】

【0046】

100～半導體裝置；

101～半導體基底；

102～第一區；

103～圖案化的遮罩；

- 104～第二區；
- 105～摻雜製程；
- 107～埋置層；
- 109～磊晶層；
- 111～第一隔離結構；
- 113～第二隔離結構；
- 115～第一井區；
- 117～第二井區；
- 119～第三井區；
- 121～第四井區；
- 123～第一摻雜區；
- 125～第二摻雜區；
- 127～第三摻雜區；
- 129～第四摻雜區；
- 131～第五摻雜區；
- 133～第六摻雜區；
- 135～第一閘極介電層；
- 136～第一閘極結構；
- 137～第一閘極電極層；
- 139～第二閘極介電層；
- 140～第二閘極結構；
- 141～第二閘極電極層；
- 143～層間介電層；
- 145～第一源極電極；

145a、145b、147a、149a、149b、151a～導孔；

147～第一汲極電極；

149～第二源極電極；

151～第二汲極電極；

200～第一元件；

300～第二元件；

D～距離；

L1～第一長度；

L2～第二長度。

I670799

發明摘要

※ 申請案號：106130420

※ 申請日：106年9月6日

※IPC 分類：*H01L 21/8228* (2006.01)
H01L 21/74 (2006.01)
H01L 21/76 (2006.01)

【發明名稱】半導體裝置及其製造方法

Semiconductor devices and methods for
manufacturing the same

【中文】

本發明實施例提供了半導體裝置及其製造方法，半導體裝置包含半導體基底，具有第一導電類型，其中半導體基底包含第一區和第二區，埋置層設置於半導體基底的第一區內且具有第一導電類型，其中埋置層的摻質濃度高於半導體基底的摻質濃度，磊晶層設置於半導體基底上，第一元件設置於半導體基底的第一區上，其中第一元件包含雙載子-互補金氧半-雙擴散金氧半電晶體，以及第二元件設置於半導體基底的第二區上，其中第二元件包含超高壓電晶體。

【英文】

Structures and manufacturing methods of a semiconductor device are provided. The semiconductor devices include a semiconductor substrate having a first conductivity type, wherein the semiconductor substrate includes a first region and a second region; a buried layer disposed in the first region of the semiconductor substrate and having the first conductivity type, wherein the buried layer has a dopant concentration which

is greater than that of the semiconductor substrate; an epitaxial layer disposed on the semiconductor substrate; a first element disposed on the first region of the semiconductor substrate, wherein the first element includes a bipolar-CMOS-DMOS (BCD) transistor; and a second element disposed on the second region of the semiconductor substrate, wherein the second element includes an ultra-high voltage (UHV) transistor.

【代表圖】

【本案指定代表圖】：第（ 6 ）圖。

【本代表圖之符號簡單說明】：

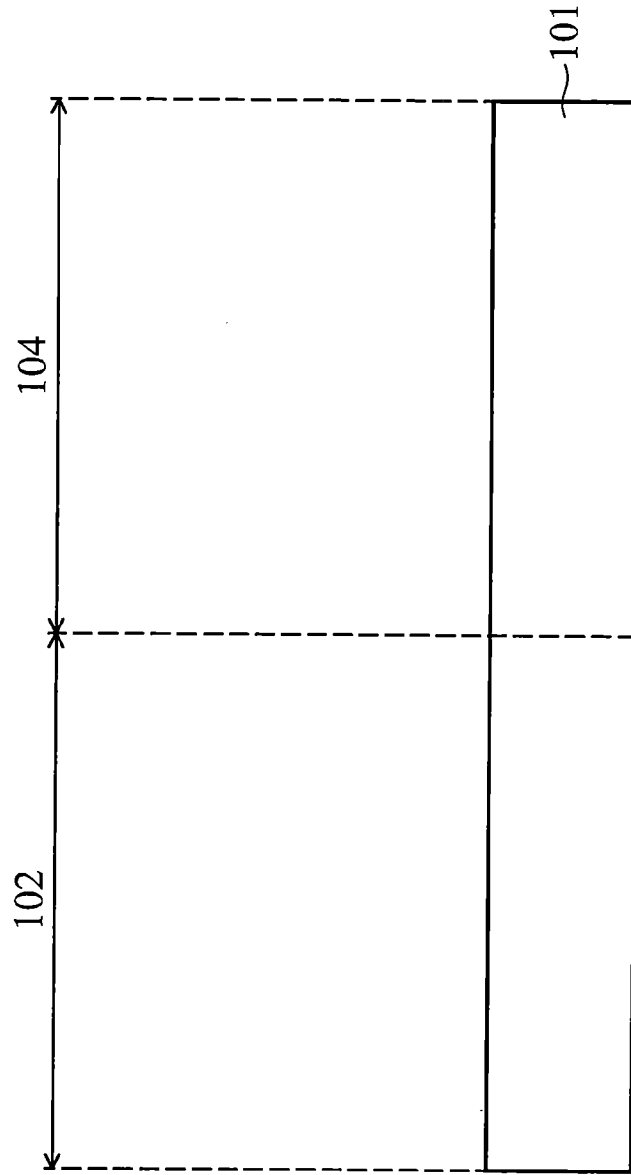
- 100～半導體裝置；
- 101～半導體基底；
- 102～第一區；
- 104～第二區；
- 107～埋置層；
- 109～磊晶層；
- 111～第一隔離結構；
- 113～第二隔離結構；
- 115～第一井區；
- 117～第二井區；
- 119～第三井區；
- 121～第四井區；
- 123～第一摻雜區；

- 125～第二摻雜區；
- 127～第三摻雜區；
- 129～第四摻雜區；
- 131～第五摻雜區；
- 133～第六摻雜區；
- 135～第一閘極介電層；
- 136～第一閘極結構；
- 137～第一閘極電極層；
- 139～第二閘極介電層；
- 140～第二閘極結構；
- 141～第二閘極電極層；
- 143～層間介電層；
- 145～第一源極電極；
- 145a、145b、147a、149a、149b、151a～導孔；
- 147～第一汲極電極；
- 149～第二源極電極；
- 151～第二汲極電極；
- 200～第一元件；
- 300～第二元件。

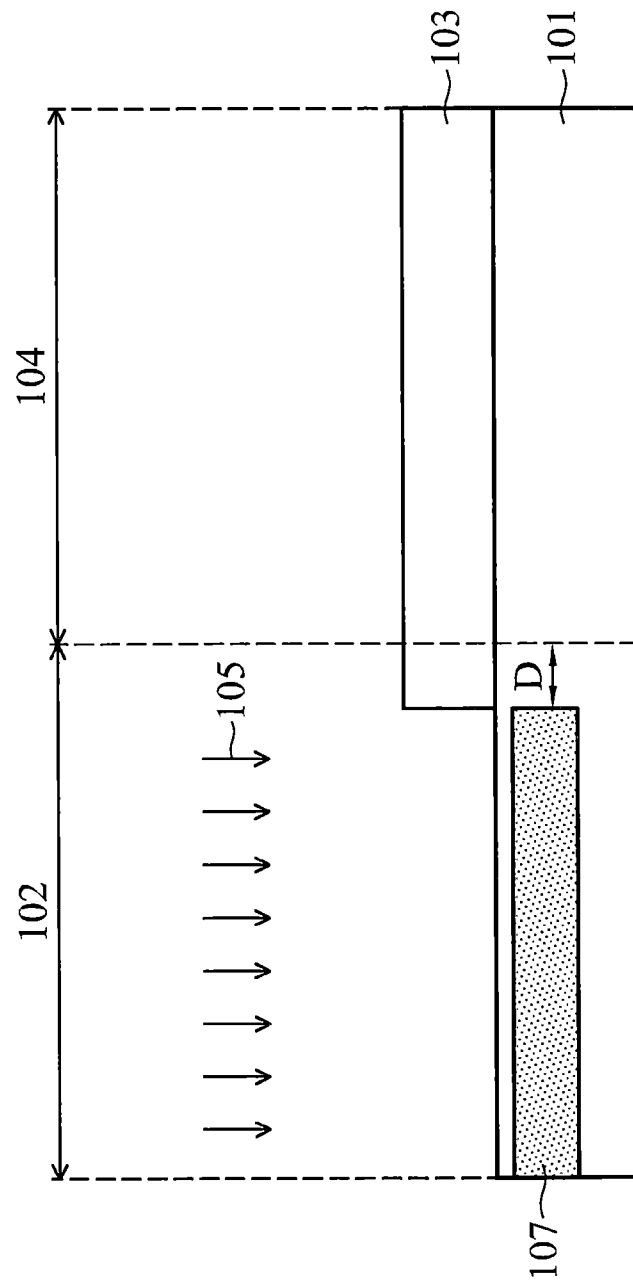
【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

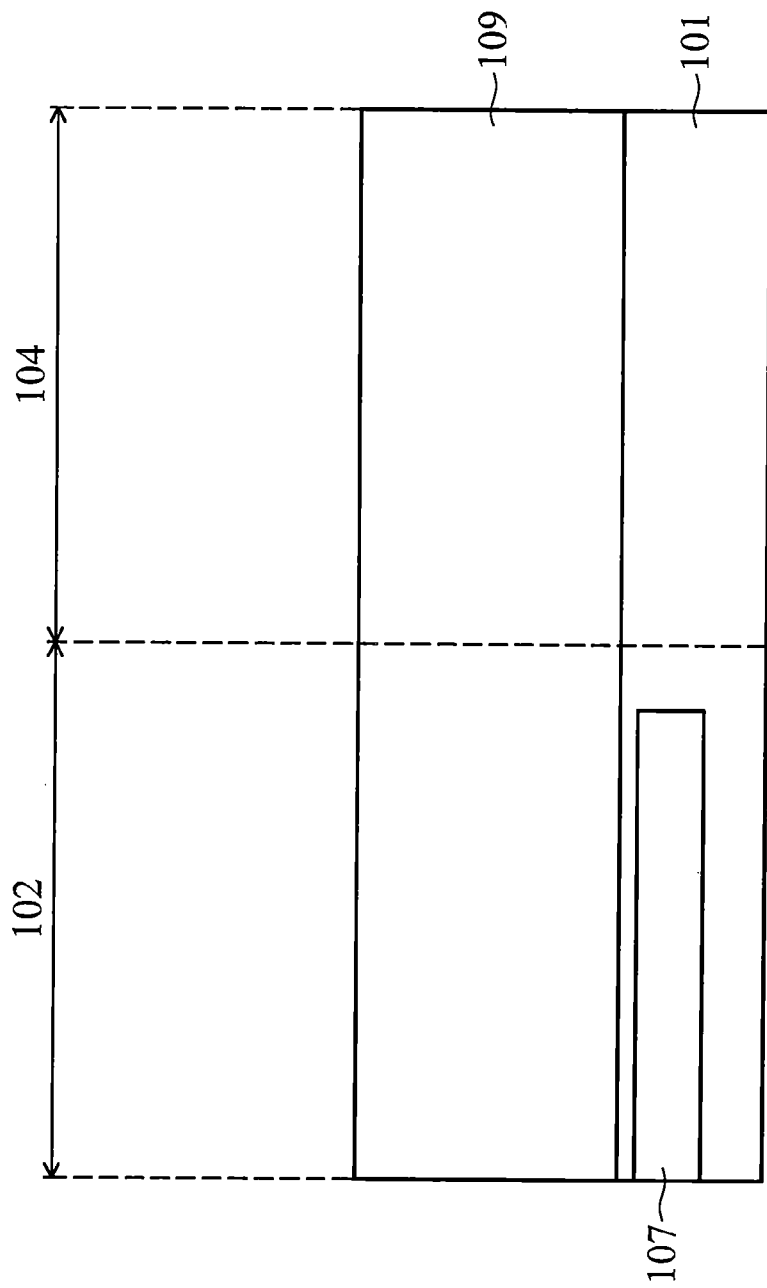
圖式



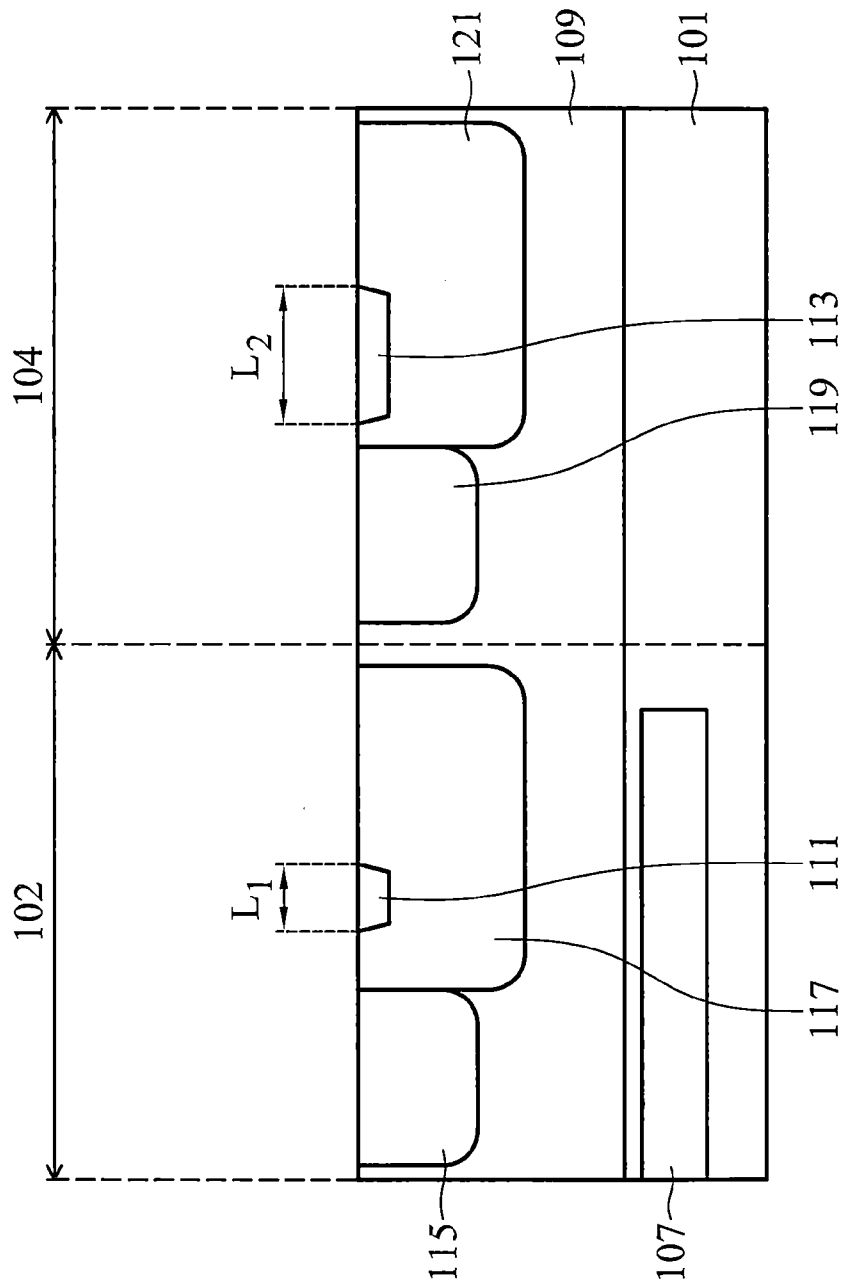
第1圖



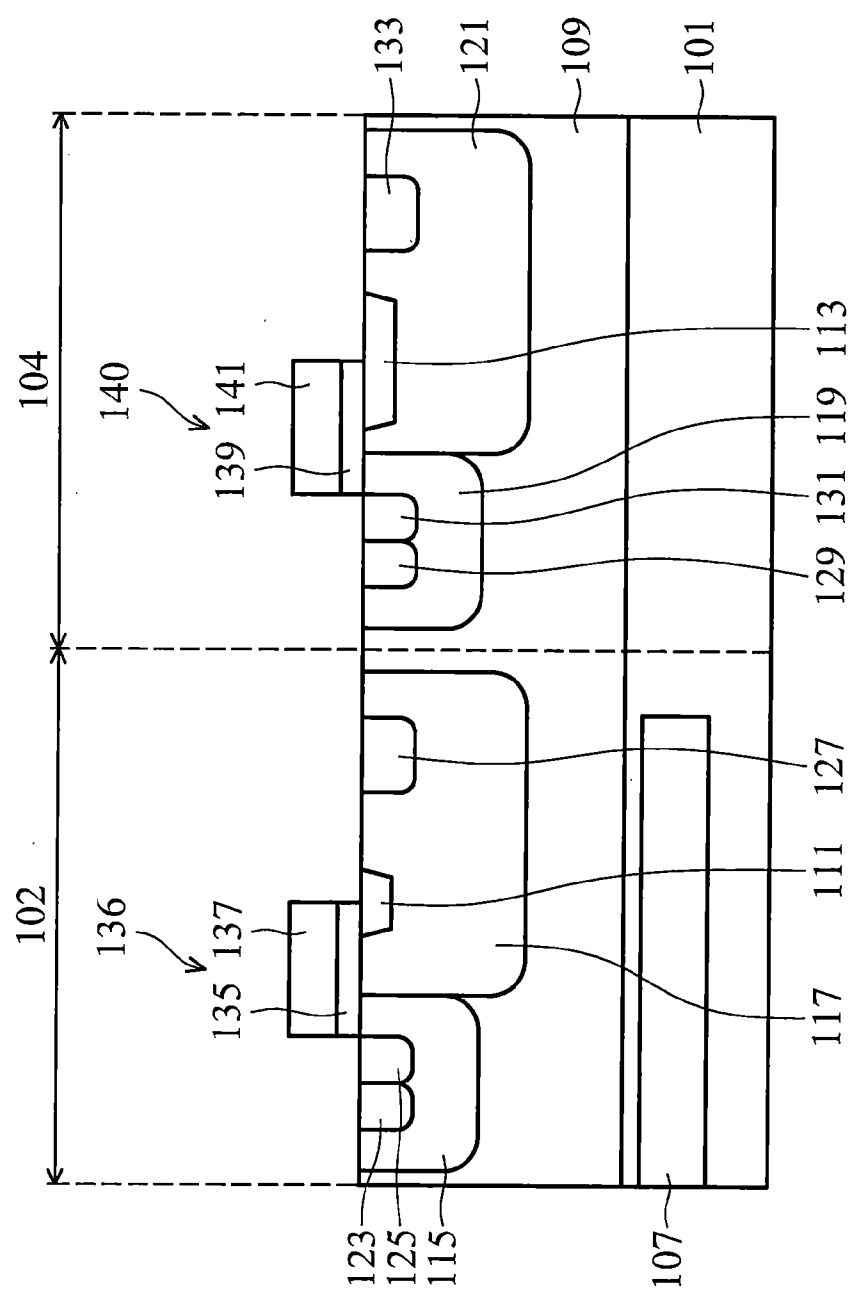
第 2 圖



第3圖

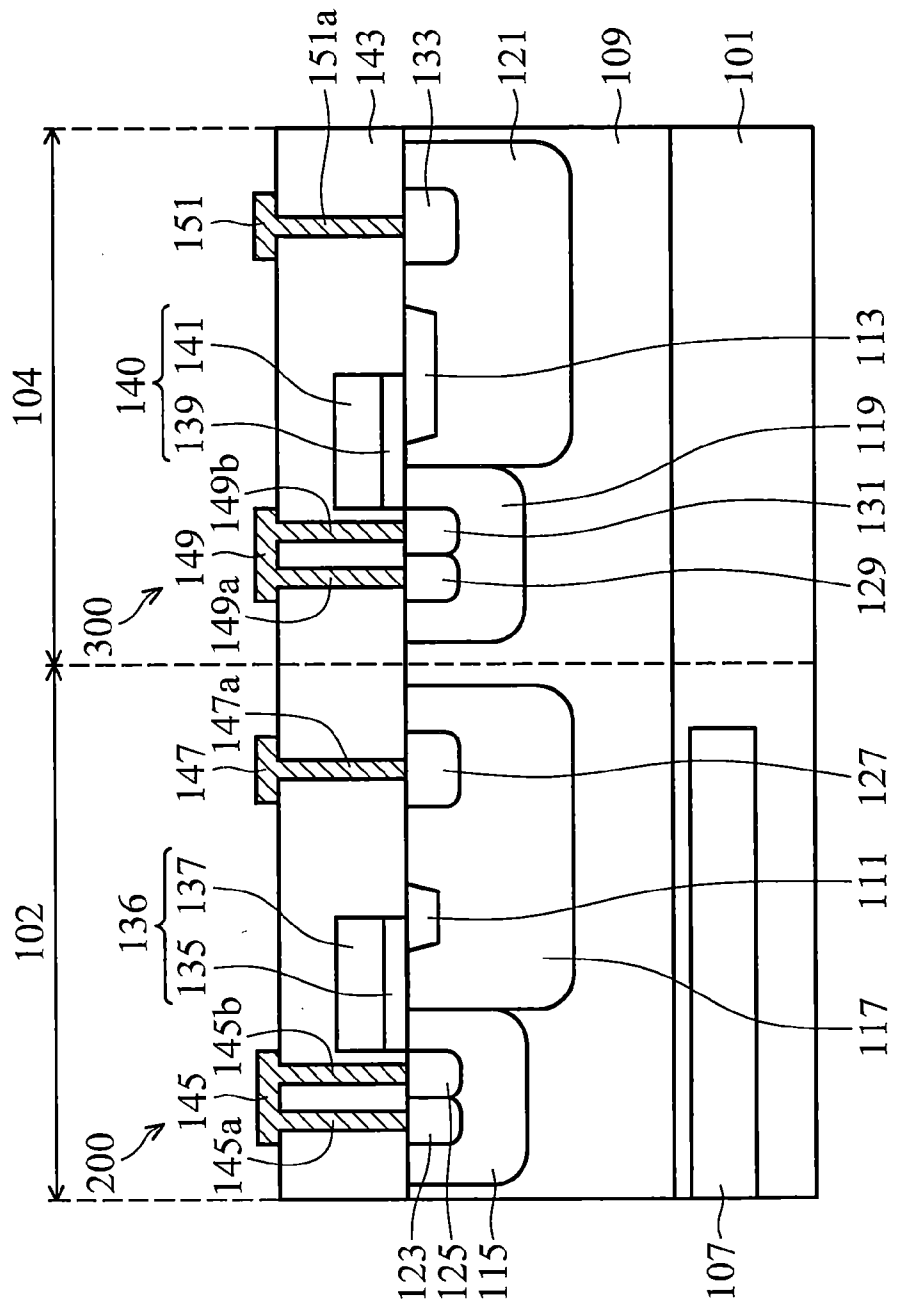


第4圖



第 5 圖

100 ↗



第6圖

申請專利範圍

1. 一種半導體裝置，包括：

一半導體基底，具有一第一導電類型，其中該半導體基底包括一第一區和一第二區；

一埋置層，僅設置於該半導體基底的該第一區內且具有該第一導電類型，其中該埋置層的摻質濃度高於該半導體基底的摻質濃度；

一磊晶層，設置於該半導體基底上；

一第一元件，設置於該半導體基底的該第一區上，其中該第一元件包括一雙載子-互補金氧半-雙擴散金氧半電晶體，其中該雙載子-互補金氧半-雙擴散金氧半電晶體包括：

一第一井區，設置於該磊晶層內且具有該第一導電類型；

一第二井區，設置於該磊晶層內且鄰接該第一井區，其中該第二井區具有與該第一導電類型相反的一第二導電類型；

一第一隔離結構位於該第二井區內；以及

一第一閘極結構，設置於該磊晶層上，且位於該第一井區和該第二井區之界面的上方，其中該第一閘極結構覆蓋該第一隔離結構的一部分；以及

一第二元件，設置於該半導體基底的該第二區上，其中該第二元件包括一超高壓電晶體。

2. 如申請專利範圍第1項所述之半導體裝置，其中該埋置層的範圍小於或等於該第一區的範圍。

3. 如申請專利範圍第1項所述之半導體裝置，其中該半導體基

第 106130420 號申請專利範圍修正本

底的一部份設置在該埋置層與該磊晶層之間。

4. 如申請專利範圍第1項所述之半導體裝置，其中該超高壓電晶體具有一第二隔離結構，其中該第二隔離結構與該第一隔離結構位於該磊晶層內，且該第二隔離結構的長度大於該第一隔離結構的長度。
5. 如申請專利範圍第1項所述之半導體裝置，其中該雙載子-互補金氧半-雙擴散金氧半電晶體更包括：
 - 一第一摻雜區和一第二摻雜區，設置於該第一井區內，其中該第一摻雜區具有該第一導電類型，且該第二摻雜區具有該第二導電類型；以及
 - 一第三摻雜區，設置於該第二井區內且具有該第二導電類型。
6. 如申請專利範圍第5項所述之半導體裝置，其中該雙載子-互補金氧半-雙擴散金氧半電晶體更包括：
 - 一第一源極電極和一第一汲極電極，設置於該磊晶層上，其中該第一源極電極電性連接於該第一摻雜區和該第二摻雜區，且該第一汲極電極電性連接於該第三摻雜區。
7. 如申請專利範圍第4項所述之半導體裝置，其中該超高壓電晶體包括：
 - 一第三井區，設置於該磊晶層內且具有該第一導電類型；
 - 一第四井區，設置於該磊晶層內且鄰接該第三井區，其中該第四井區具有與該第一導電類型相反的一第二導電類型，且該第二隔離結構位於該第四井區內；以及
 - 一第二閘極結構，設置於該磊晶層上，且位於該第三井區和

第 106130420 號申請專利範圍修正本

該第四井區之界面的上方，其中該第二閘極結構覆蓋該第二隔離結構的一部分。

8. 如申請專利範圍第7項所述之半導體裝置，其中該超高壓電晶體更包括：

一第四摻雜區和一第五摻雜區，設置於該第三井區內，其中該第四摻雜區具有該第一導電類型，且該第五摻雜區具有該第二導電類型；以及

一第六摻雜區，設置於該第四井區內且具有該第二導電類型。

9. 如申請專利範圍第8項所述之半導體裝置，其中該超高壓電晶體更包括：

一第二源極電極和一第二汲極電極，設置於該磊晶層上，其中該第二源極電極電性連接於該第四摻雜區和該第五摻雜區，且該第二汲極電極電性連接於該第六摻雜區。

10. 一種半導體裝置的製造方法，包括：

提供一半導體基底，具有一第一導電類型，其中該半導體基底包括一第一區和一第二區；

在該半導體基底的該第二區上形成一圖案化的遮罩；

藉由該圖案化的遮罩對該半導體基底實施一摻雜製程，以僅在該第一區內形成一埋置層，其中該埋置層具有該第一導電類型，且該埋置層的摻質濃度高於該半導體基底的摻質濃度；

在該半導體基底上形成一磊晶層；

在該半導體基底的該第一區上形成一第一元件，其中該第

第 106130420 號申請專利範圍修正本

一元件包括一雙載子-互補金氧半-雙擴散金氧半電晶體，其中形成該雙載子-互補金氧半-雙擴散金氧半電晶體包括：

在該磊晶層內形成一第一井區，其中該第一井區具有該第一導電類型；

在該磊晶層內形成一第二井區，其中該第二井區鄰接該第一井區且具有與該第一導電類型相反的一第二導電類型；

於該第二井區內形成一第一隔離結構；以及

在該磊晶層上形成一第一閘極結構，其中該第一閘極結構位於該第一井區和該第二井區之界面的上方，且該第一閘極結構覆蓋該第一隔離結構的一部分；以及

在該半導體基底的該第二區上形成一第二元件，其中該第二元件包括一超高壓電晶體。

- 11.如申請專利範圍第10項所述之半導體裝置的製造方法，其中在形成該磊晶層之前形成該圖案化的遮罩，該圖案化的遮罩完全覆蓋該第二區，且延伸至該第一區的一部分。
- 12.如申請專利範圍第10項所述之半導體裝置的製造方法，其中該埋置層的範圍小於或等於該第一區的範圍。
- 13.如申請專利範圍第10項所述之半導體裝置的製造方法，其中該超高壓電晶體具有一第二隔離結構，其中該第二隔離結構與該第一隔離結構位於該磊晶層內，且該第二隔離結構的長度大於該第一隔離結構的長度。
- 14.如申請專利範圍第10項所述之半導體裝置的製造方法，其中形成該雙載子-互補金氧半-雙擴散金氧半電晶體更包括：

第 106130420 號申請專利範圍修正本

在該第一井區內形成一第一摻雜區和一第二摻雜區，其中該第一摻雜區具有該第一導電類型，且該第二摻雜區具有該第二導電類型；以及

在該第二井區內形成一第三摻雜區，其中該第三摻雜區具有該第二導電類型。

15. 如申請專利範圍第 14 項所述之半導體裝置的製造方法，其中形成該雙載子-互補金氧半-雙擴散金氧半電晶體更包括：在該磊晶層上形成一第一源極電極和一第一汲極電極，其中該第一源極電極電性連接於該第一摻雜區和該第二摻雜區，且該第一汲極電極電性連接於該第三摻雜區。

16. 如申請專利範圍第 15 項所述之半導體裝置的製造方法，其中形成該超高壓電晶體包括：

在該磊晶層內形成一第三井區，其中該第三井區具有該第一導電類型；

在該磊晶層內形成一第四井區，其中該第四井區鄰接該第三井區且具有與該第一導電類型相反的一第二導電類型，且該第二隔離結構形成於該第四井區內；以及

在該磊晶層上形成一第二閘極結構，其中該第二閘極結構位於該第三井區和該第四井區之界面的上方，且該第二閘極結構覆蓋該第二隔離結構的一部分。

17. 如申請專利範圍第 16 項所述之半導體裝置的製造方法，其中形成該超高壓電晶體更包括：

在該第三井區內形成一第四摻雜區和一第五摻雜區，其中該第四摻雜區具有該第一導電類型，且該第五摻雜區具有

第 106130420 號申請專利範圍修正本

該第二導電類型；以及

在該第四井區內形成一第六摻雜區，其中該第六摻雜區具有該第二導電類型。

18. 如申請專利範圍第 17 項所述之半導體裝置的製造方法，其中形成該超高壓電晶體更包括：

在該磊晶層上形成一第二源極電極和一第二汲極電極，其中該第二源極電極電性連接於該第四摻雜區和該第五摻雜區，且該第二汲極電極電性連接於該第六摻雜區。