



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I782509 B

(45)公告日：中華民國 111 (2022) 年 11 月 01 日

(21)申請案號：110115521

(22)申請日：中華民國 110 (2021) 年 04 月 29 日

(51)Int. Cl. : H01L27/14 (2006.01)

G09G3/30 (2006.01)

(30)優先權：2020/05/27 日本

2020-092163

(71)申請人：日商索尼半導體解決方案公司(日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

日本

(72)發明人：椎原由宇 SHIHHARA, YU (JP)；山本敦彦 YAMAMOTO, ATSUHIKO (JP)

(74)代理人：陳長文

(56)參考文獻：

US 10072974B2

US 10469762B2

US 2019/0222811A1

US 2020/0045250A1

審查人員：陳恩笙

申請專利範圍項數：13 項 圖式數：36 共 81 頁

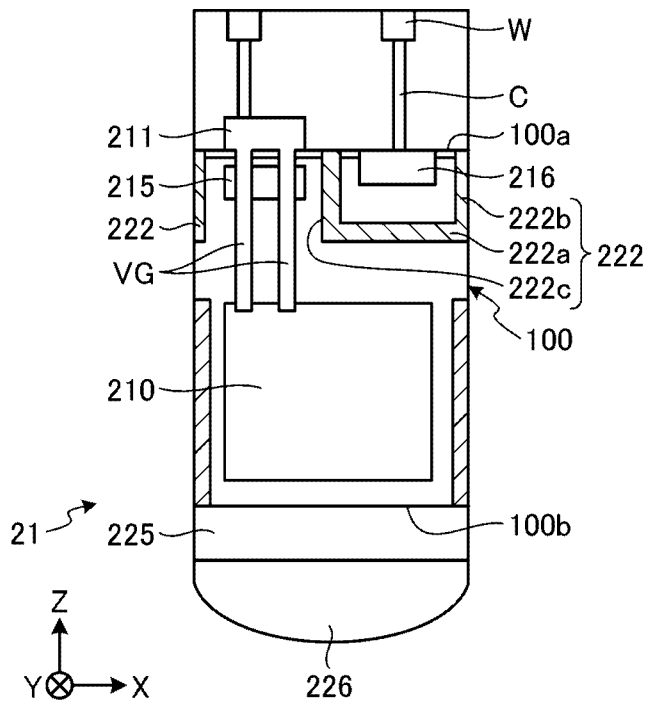
(54)名稱

固態攝像裝置、像素驅動方法及電子機器

(57)摘要

固態攝像裝置(1)具備包含複數個像素(20)之像素陣列(2)，複數個像素(20)各者具備：光電轉換部(210)，其與半導體基板(100)之基板正面(100a)隔開而埋設；記憶體部(215)，其保持由光電轉換部(210)產生之電荷；第 1 傳送電晶體(211)、第 2 傳送電晶體(212)及第 3 傳送電晶體(213)，其等串聯地連接於光電轉換部(210)與記憶體部(215)之間；蓄積部(216)，其蓄積自記憶體部(215)傳送之電荷；及遮光部(222)，其覆蓋記憶體部(215)中之半導體基板(100)之基板背面(100b)側之部分，且於光電轉換部(210)與基板正面(100a)之間具有開口(222c)。

指定代表圖：



【圖5】

符號簡單說明：

- 21:像素
- 100:半導體基板
- 100a:基板正面
- 100b:基板背面
- 210:PD
- 211:第1傳送電晶體
- 215:MEM
- 216:FD
- 222:遮光部
- 222a:第1部分
- 222b:第2部分
- 222c:開口
- 225:彩色濾光器
- 226:晶載透鏡
- C:接觸部
- VG:閘極
- W:配線
- X,Y,Z:軸



I782509

## 【發明摘要】

## 【中文發明名稱】

固態攝像裝置、像素驅動方法及電子機器

## 【中文】

固態攝像裝置(1)具備包含複數個像素(20)之像素陣列(2)，複數個像素(20)各者具備：光電轉換部(210)，其與半導體基板(100)之基板正面(100a)隔開而埋設；記憶體部(215)，其保持由光電轉換部(210)產生之電荷；第1傳送電晶體(211)、第2傳送電晶體(212)及第3傳送電晶體(213)，其等串聯地連接於光電轉換部(210)與記憶體部(215)之間；蓄積部(216)，其蓄積自記憶體部(215)傳送之電荷；及遮光部(222)，其覆蓋記憶體部(215)中之半導體基板(100)之基板背面(100b)側之部分，且於光電轉換部(210)與基板正面(100a)之間具有開口(222c)。

## 【指定代表圖】

圖5

## 【代表圖之符號簡單說明】

21:像素

100:半導體基板

100a:基板正面

100b:基板背面

210:PD

211:第1傳送電晶體

215:MEM

216:FD

222:遮光部

222a:第1部分

222b:第2部分

222c:開口

225:彩色濾光器

226:晶載透鏡

C:接觸部

VG:閘極

W:配線

X, Y, Z:軸

## 【發明說明書】

### 【中文發明名稱】

固態攝像裝置、像素驅動方法及電子機器

### 【技術領域】

#### 【0001】

本揭示係關於一種固態攝像裝置、像素驅動方法及電子機器。

### 【先前技術】

#### 【0002】

例如專利文獻1揭示一種方法，即：於具備光電轉換部、及將蓄積於光電轉換部之電荷暫時性地予以保持之記憶體部之固態攝像裝置中，為了減輕光朝記憶體部之洩漏而設置遮光部。

[先前技術文獻]

[專利文獻]

#### 【0003】

[專利文獻1]國際公開第2016/136486號

### 【發明內容】

[發明所欲解決之課題]

#### 【0004】

為了確保用於將光電轉換部之電荷傳送至記憶體部之傳送電晶體與光電轉換部之連接，而需要在遮光部設置開口。理想的是使記憶體部遠離開口，但若如此設置，則光電轉換部與記憶體部之間之距離變大，而不易確保傳送電晶體之電位梯度。若為了確保電位梯度而減小光電轉換部與記憶體部之間之距離，則光朝記憶體部之洩漏增加，而寄生光敏度

(Parasitic Light Sensitivity, PLS)有可能惡化。

**【0005】**

本揭示之一態樣之目的在於抑制PLS之惡化。

[解決問題之技術手段]

**【0006】**

本揭示之一態樣之固態攝像裝置具備包含複數個像素之像素陣列，複數個像素各者具備：光電轉換部，其與半導體基板之基板正面隔開而埋設；記憶體部，其保持由光電轉換部產生之電荷；第1傳送電晶體、第2傳送電晶體及第3傳送電晶體，其等串聯地連接於光電轉換部與記憶體部之間；蓄積部，其蓄積自記憶體部傳送之電荷；及遮光部，其覆蓋記憶體部中之半導體基板之基板背面側之部分，且於光電轉換部與基板正面之間具有開口。

**【0007】**

本揭示之一態樣之像素驅動方法係對複數個像素進行驅動之像素驅動方法，複數個像素各者具備：光電轉換部，其與半導體基板之基板正面隔開而埋設；記憶體部，其保持由光電轉換部產生之電荷；第1傳送電晶體、第2傳送電晶體及第3傳送電晶體，其等串聯地連接於光電轉換部與記憶體部之間；蓄積部，其蓄積自記憶體部傳送之電荷；及遮光部，其覆蓋記憶體部中之半導體基板之基板背面側之部分，且於光電轉換部與基板正面之間具有開口；且像素驅動方法以將蓄積於光電轉換部之電荷經由第1傳送電晶體、第2傳送電晶體及第3傳送電晶體傳送至記憶體部之方式，驅動第1傳送電晶體、第2傳送電晶體及第3傳送電晶體。

**【0008】**

本揭示之一態樣之電子機器係搭載有具備複數個像素之像素陣列之固態攝像裝置之電子機器，複數個像素各者具備：光電轉換部，其與半導體基板之基板正面隔開而埋設；記憶體部，其保持由光電轉換部產生之電荷；第1傳送電晶體、第2傳送電晶體及第3傳送電晶體，其等串聯地連接於光電轉換部與記憶體部之間；蓄積部，其蓄積自記憶體部傳送之電荷；及遮光部，其覆蓋記憶體部之半導體基板之基板背面側之部分，且於光電轉換部與基板正面之間具有開口。

### 【圖式簡單說明】

#### 【0009】

圖1係顯示實施形態之固態攝像裝置之概略構成之例之圖。

圖2係顯示像素之電路構成之例之圖。

圖3係示意性地顯示像素之構成要素之布局之例之圖。

圖4係示意性地顯示像素之構成要素之布局之例之圖。

圖5係示意性地顯示像素之構成要素之布局之例之圖。

圖6係示意性地顯示像素之構成要素之布局之例之圖。

圖7係顯示模擬結果之例之圖。

圖8係顯示驅動信號之時序圖之例之圖。

圖9係顯示驅動信號之時序圖之例之圖。

圖10係顯示電勢圖之例。

圖11係顯示電勢圖之例。

圖12係顯示電勢圖之例。

圖13係顯示電勢圖之例。

圖14係顯示固態攝像裝置中所執行之處理(像素驅動方法)之例之流程

圖。

圖15係示意性地顯示像素之構成要素之布局之例之圖。

圖16係示意性地顯示像素之構成要素之布局之例之圖。

圖17係示意性地顯示像素之構成要素之布局之例之圖。

圖18係示意性地顯示像素之構成要素之布局之例之圖。

圖19係顯示像素之電路構成之例之圖。

圖20係示意性地顯示像素之構成要素之布局之例之圖。

圖21係示意性地顯示像素之構成要素之布局之例之圖。

圖22係顯示像素之電路構成之例之圖。

圖23係示意性地顯示像素之構成要素之布局之例之圖。

圖24係示意性地顯示像素之構成要素之布局之例之圖。

圖25係顯示像素之電路構成之例之圖。

圖26係顯示驅動信號之時序圖之例之圖。

圖27係顯示驅動信號之時序圖之例之圖。

圖28係示意性地顯示像素之構成要素之布局之例之圖。

圖29係顯示驅動信號之時序圖之例之圖。

圖30係顯示驅動信號之時序圖之例之圖。

圖31係顯示驅動信號之時序圖之例之圖。

圖32係示意性地顯示像素之構成要素之布局之例之圖。

圖33係顯示驅動信號之時序圖之例之圖。

圖34係示意性地顯示像素之構成要素之布局之例之圖。

圖35係示意性地顯示像素之構成要素之布局之例之圖。

圖36係顯示電子機器之概略構成之例之圖。



**【實施方式】****【0010】**

以下，對於本揭示之一實施形態基於圖式詳細地進行說明。再者，於以下之各實施形態中，藉由對於同一部位賦予同一符號而省略重複之說明。

**【0011】**

依照以下所示之項目順序對本揭示進行說明。

- 1.第1實施形態
- 2.第2實施形態
- 3.第3實施形態
- 4.第4實施形態
- 5.第5實施形態
- 6.第6實施形態
- 7.第7實施形態
- 8.第8實施形態
- 9.適用例
- 10.效果

**【0012】**

- 1.第1實施形態

圖1係顯示實施形態之固態攝像裝置之概略構成之例之圖。固態攝像裝置1例如係CMOS(Complementary Metal Oxide Semiconductor，互補式金屬氧化物半導體)影像感測器。固態攝像裝置1係全域快門方式之固態攝像裝置。於全域快門方式中，以全像素之曝光之開始及結束之時序一致

之方式進行曝光。固態攝像裝置1可為背面照射型之固態攝像裝置。

### 【0013】

圖1所例示之固態攝像裝置1包含：像素陣列2、垂直驅動電路部3、水平驅動電路部4、行處理部5、信號處理部6、資料儲存部7、及系統控制部8。該等要素設置於半導體基板(例如矽之晶圓、晶片等)。

### 【0014】

像素陣列2包含複數個像素20。複數個像素20配置成二維狀。關於像素20之詳情，之後將參照圖2以後進行說明。

### 【0015】

垂直驅動電路部3藉由對各像素20供給驅動信號，而將複數個像素20以列單位進行驅動。經驅動之像素20之像素信號可出現於垂直信號線VSL地被保持。垂直驅動電路部3構成為包含移位暫存器、位址解碼器等。

### 【0016】

水平驅動電路部4藉由對各像素20供給驅動信號，而將複數個像素20以行單位進行驅動(選擇)。經驅動之像素20之像素信號出現於垂直信號線VSL，被傳送至行處理部5並被處理。水平驅動電路部4構成為包含暫存器、位址解碼器等。

### 【0017】

如前文所述般固態攝像裝置1係全域快門方式之固態攝像裝置，因此垂直驅動電路部3及水平驅動電路部4將複數個像素20各者以曝光期間一致之方式進行驅動。

### 【0018】

行處理部5將藉由垂直驅動電路部3及水平驅動電路部4之驅動而出現

於垂直信號線VSL之像素信號予以處理。主要之處理之例係AD轉換處理，藉此，可將像素信號作為數位信號而取得。亦可進行相關雙取樣(CDS)處理等。亦可於行處理部5設置針對每一像素行A而對應之單位電路。單位電路相應於水平驅動電路部4之驅動而被選擇。

#### 【0019】

信號處理部6藉由對由行處理部5獲得之像素信號進行運算處理等，而產生圖像信號。信號處理部6構成為包含對數位信號進行處理之邏輯電路等。

#### 【0020】

資料儲存部7暫時性地儲存信號處理部6之處理等所需之資料。

#### 【0021】

系統控制部8進行固態攝像裝置1之整體控制。例如，由垂直驅動電路部3及水平驅動電路部4執行之驅動之時序、由行處理部5及信號處理部6執行之處理之時序等係由系統控制部8控制。系統控制部8構成為包含時序產生器等。

#### 【0022】

圖2係顯示像素之電路構成之例之圖。於圖2中，顯示像素21及像素24此2個像素之電路構成。如之後參照圖3所說明般，像素24係像素21之3個相鄰之像素。

#### 【0023】

像素21包含：PD 210、第1傳送電晶體211、第2傳送電晶體212、第3傳送電晶體213、第4傳送電晶體214、MEM 215、FD 216、放大電晶體217、選擇電晶體218、排出電晶體219、及重置電晶體220。

**【0024】**

PD 210係產生與受光量相應之電荷並進行蓄積之光電轉換部。蓄積於PD 210之電荷藉由串聯地連接於PD 210與MEM 215之間之第1傳送電晶體211、第2傳送電晶體212及第3傳送電晶體213而朝MEM 215傳送。MEM 215經由第1傳送電晶體211、第2傳送電晶體212及第3傳送電晶體213與PD 210連接。MEM 215係將自PD 210傳送之電荷進行暫時性地保存之記憶體部。

**【0025】**

保持於MEM 215之電荷由第4傳送電晶體214朝FD 216傳送。FD 216係將自MEM 215傳送之電荷轉換成電信號(電壓信號)並輸出之浮動擴散區域。該電信號由放大電晶體217讀出，並經由選擇電晶體218朝垂直信號線VSL輸出。於該例中，於垂直信號線VSL連接有定電流源 $I_s$ ，而構成源極隨耦器電路。

**【0026】**

排出電晶體219將PD 210重置成電源VDD。又，將自PD 210溢出之電荷朝電源VDD排出。重置電晶體220將MEM 215及FD 216重置成電源VDD。

**【0027】**

於放大電晶體217以外之電晶體(圖2之例中為閘極)，施加有驅動信號。於本揭示中，有時將施加於第1傳送電晶體、第2傳送電晶體、第3傳送電晶體、第4傳送電晶體、選擇電晶體、排出電晶體及重置電晶體之驅動信號稱為驅動信號TZ1、驅動信號TZ2、驅動信號TRX、驅動信號TRG、驅動信號SEL、驅動信號OFG及驅動信號RST。其中，施加於像素

21之第1傳送電晶體211、第2傳送電晶體212、第3傳送電晶體213、第4傳送電晶體214及排出電晶體219之驅動信號稱為驅動信號TZ11、驅動信號TZ21、驅動信號TRX1、驅動信號TRG1及驅動信號OFG1並圖示，以可與施加於像素24之對應之電晶體之驅動信號進行區別。驅動信號TZ11、驅動信號TZ21、驅動信號TRX1、驅動信號TRG1、驅動信號RST及驅動信號OFG1自垂直驅動電路部3(圖1)被供給。驅動信號SEL自水平驅動電路部4(圖1)被供給。

### 【0028】

像素24包含：PD 240、第1傳送電晶體241、第2傳送電晶體242、第3傳送電晶體243、第4傳送電晶體244、MEM 245、及排出電晶體249。又，像素24與像素21共有FD 216、放大電晶體217、選擇電晶體218及重置電晶體220。像素24之各要素與像素21之對應之要素相同，因此不予重複說明。再者，將施加於第1傳送電晶體241、第2傳送電晶體242、第3傳送電晶體243、第4傳送電晶體244及排出電晶體249之驅動信號稱為驅動信號TZ14、驅動信號TZ24、驅動信號TRX4、驅動信號TRG4及驅動信號OFG4並圖示。

### 【0029】

關於像素之構成要素之布局，將參照圖3～圖6進行說明。圖3～圖6係示意性地顯示像素之構成要素之布局之例之圖。於圖中，將半導體基板稱為半導體基板100並圖示。於圖中，亦顯示XYZ座標系。半導體基板100之厚度方向相當於Z軸方向。自半導體基板100之基板背面100b往向基板正面100a之方向，相當於Z軸正方向。半導體基板100之面方向相當於X軸方向及Y軸方向(XY平面方向)。

**【0030】**

於圖3及圖4中，示意性地顯示在自Z軸方向觀察時之像素之構成要素之布局之例。在俯視下觀察半導體基板100時PD與MEM等重合，因此PD與MEM等在圖3及圖4中分別示出。

**【0031】**

圖3示意性地顯示PD之平面布局之例。於圖3中，例示在基板面方向(於該例中為Y軸方向)上排列地設置之4個PD。該等中之2個PD係前文中參照圖2所說明之像素21之PD 210及像素24之PD 240。像素24係像素21之3個相鄰之像素，因此，PD 240隔著另外2個PD設置於與PD 210為相反側。位於PD 210之內側之閘極VG係與PD 210對應之第1傳送電晶體211之閘極。亦可於另外之PD之內側位在所對應之第1傳送電晶體之閘極。

**【0032】**

圖4示意性地顯示MEM等之平面布局之例。與PD 210及PD 240對應之MEM等要素在Y軸方向上排列地設置。於其隔壁(X軸正方向側)，與另外2個PD對應之MEM等要素於Y軸方向上排列地設置。於該等之間，位在有遮光膜(相當於後述之圖5及圖6之遮光部222)。以下，對於與PD 210及PD 240對應之MEM等要素進行說明。於平面布局中，MEM 215及MEM 245與第3傳送電晶體213及第3傳送電晶體243重複，因此MEM 215及MEM 245以虛線示出。2個FD 216由未圖示之配線連接，而構成前文中參照圖2所說明之1個FD 216。於各要素之內側示出之正方形部分表示閘極電極(Poly閘極)。

**【0033】**

於本實施形態中，像素21之第1傳送電晶體211、第2傳送電晶體212

及第3傳送電晶體213於Y軸方向上排列配置。關於像素24之第1傳送電晶體241、第2傳送電晶體242及第3傳送電晶體243亦為同樣。對於其他部分，可根據與圖2之像素之電路構成之對比而理解。

#### 【0034】

於圖5及圖6中，示意性地顯示在自X軸方向及Y軸方向觀察時之像素之構成要素之布局之例。圖5示意性地顯示大致沿著圖3及圖4之V-V線觀察到之布局。圖6示意性地顯示大致沿著圖3及圖4之VI-VI線觀察到之布局。為了便於說明，將位於縱深方向之不同之位置之若干個要素亦一起圖示。

#### 【0035】

於半導體基板100之基板背面100b上，依序設置有由樹脂等構成之彩色濾光器225及晶載透鏡226。彩色濾光器225使與像素21對應之色(例如RGB之任一者)之波長之光通過。來自被攝體之光通過晶載透鏡226及彩色濾光器225併入射至半導體基板100之基板背面100b。亦即，固態攝像裝置1(圖1)係背面照射型之固態攝像裝置。

#### 【0036】

PD 210係自基板正面100a隔開地埋設之埋入型之PD。例如，半導體基板100為p型半導體基板，PD 210作為在Z軸方向上由p型半導體區域夾著之n型雜質區域而形成。

#### 【0037】

第1傳送電晶體211設置於較PD 210更靠基板正面100a側。第2傳送電晶體212於Y軸方向上，與第1傳送電晶體211排列地設置。第3傳送電晶體213於Y軸方向上，與第2傳送電晶體212排列地設置。該等傳送電晶體

係具有位於基板正面100a上之閘極之傳送閘極。閘極隔著絕緣層(氧化膜等)設置於基板正面100a。其中，第1傳送電晶體211係位在基板正面100a上之閘極於Z軸方向上延伸至半導體基板100內部之縱型電晶體。將第1傳送電晶體211之閘極稱為閘極VG(Vertical Gate，垂直閘極)並圖示。

#### 【0038】

MEM 215設置於較第3傳送電晶體213更靠基板背面100b側。MEM 215例如於第3傳送電晶體213之下部(Z軸負方向側之部分)作為n型雜質區域而形成。

#### 【0039】

FD 216經由第4傳送電晶體214與MEM 215連接。第4傳送電晶體214亦與第2傳送電晶體212及第3傳送電晶體213同樣地，係傳送閘極。FD 216例如作為n型雜質區域而形成。

#### 【0040】

遮光部222係將PD 210與MEM 215隔開之遮光膜，以覆蓋MEM 215之至少一部分之方式形成。遮光部222之材質之例係金屬。

#### 【0041】

遮光部222具有：第1部分222a、第2部分222b、及開口222c。第1部分222a以覆蓋MEM 215之基板背面100b側之部分(Z軸負方向側之部分)之方式在X軸方向及Y軸方向上延伸。第2部分222b以覆蓋MEM 215之側部之方式，以第1部分222a之緣部為起點在Z軸方向上延伸。開口222c位於PD 210與基板正面100a之間。開口222c具有確保第1傳送電晶體211與PD 210之連接所需之大小。於該例中，開口222c具有第1傳送電晶體211之閘極VG可通過之大小。第1傳送電晶體211之閘極VG通過開口222c並延伸



至PD 210。

#### 【0042】

於各電晶體之間極，經由接觸部連接有配線。於若干個接觸部中之一個接觸部，賦予接觸部C之符號。於若干個配線中之一條配線，賦予配線W之符號。接觸部C及配線W位於基板正面100a側，因此不妨礙來自被攝體之光朝PD 210之入射。藉此，來自被攝體之光高效率地轉換成電荷。關於圖5及圖6所示之其他要素，可根據與圖2～圖4之對比而理解。

#### 【0043】

以上所說明之像素21，於PD 210至MEM 215之間，具備在Y軸方向上排列地設置之第1傳送電晶體211、第2傳送電晶體212及第3傳送電晶體213此3個傳送電晶體。因此，與例如僅具備2個傳送電晶體之情形相比，可確保PD 210至MEM 215之傳送電晶體之電位梯度，且可使MEM 215遠離開口222c。與MEM 215遠離開口222c之份額相應地，可抑制通過開口222c之光朝MEM 215之漏入，而可抑制PLS之惡化。關於PLS之惡化抑制(PLS之改善)，參照圖7進行說明。

#### 【0044】

圖7係顯示模擬結果之例之圖。圖表之橫軸表示MEM後退率(%), 縱軸表示PLS改善程度(dB)。MEM後退率=0%例如於圖6所示之布局中，相當於在不存在第2傳送電晶體212而與其相應地將第3傳送電晶體213及MEM 215靠近開口222c而配置之情形下之MEM 215之位置。該位置處之PLS決定為PLS改善程度=0dB。愈使MEM 215遠離開口222c，則MEM後退率愈變大。如根據圖表可知般，隨著MEM後退率變大，PLS亦進行改善。

**【0045】**

關於以上所說明之像素21之驅動之例，參照圖8及圖9進行說明。所例示之驅動如前文中所述般，係以全域快門方式之驅動。

**【0046】**

圖8及圖9係顯示驅動信號之時序圖之例之圖。於圖8中，顯示將由PD 210蓄積之電荷傳送至MEM 215並保持之動作下之(全域傳送動作時之)驅動信號之例。再者，並不限於像素21，任一像素皆同樣地被驅動，因此，以下，雖然是供給至像素21之驅動信號，但作為驅動信號TZ1、驅動信號TZ2、驅動信號TRX、驅動信號TRG、驅動信號SEL、驅動信號OFG及驅動信號RST進行說明。最初，排出電晶體219之驅動信號OFG及第1傳送電晶體211之驅動信號驅動信號TZ1成為導通，而PD 210被重置。

**【0047】**

於時刻t1，第1傳送電晶體211之驅動信號TZ1成為關斷，而曝光開始。於後續之時刻t2，驅動信號OFG成為關斷。

**【0048】**

於時刻t3，第2傳送電晶體212之驅動信號TZ2、第3傳送電晶體213之驅動信號TRX、第4傳送電晶體214之驅動信號TRG及重置電晶體220之驅動信號RST成為導通。於後續之時刻t4、時刻t5、時刻t6及時刻t7，該等驅動信號TZ2、驅動信號TRX、驅動信號TRG及驅動信號RST依序成為關斷。藉此，MEM 215被重置。

**【0049】**

於時刻t8，第1傳送電晶體211之驅動信號TZ11、第2傳送電晶體212

之驅動信號TZ21及第3傳送電晶體213之驅動信號TRX成為導通，曝光結束。

#### 【0050】

於時刻t9、時刻t10及時刻t11，第1傳送電晶體211之驅動信號TZ1、第2傳送電晶體212之驅動信號TZ2及第3傳送電晶體213之驅動信號TRX依序成為關斷。藉此，於曝光期間中蓄積於PD 210之電荷被傳送至MEM 215並保持。再者，關於全域傳送動作時之電勢圖，之後將參照圖10～圖13進行說明。

#### 【0051】

於圖9中，顯示為了讀出蓄積於MEM 215之電荷之動作下之(滾動讀出動作時之)驅動信號之例。驅動信號OFG為始終導通。於時刻t21，重置電晶體220之驅動信號RST成為導通，於時刻t22，驅動信號RST成為關斷。藉此，將FD 216重置。

#### 【0052】

於時刻t23，第4傳送電晶體214之驅動信號TRG成為導通，於後續之時刻t24，驅動信號TRG成為關斷。藉此，將保持於MEM 215之電荷傳送至FD 216。如前文中參照圖2所說明般，將傳送至FD 216之電荷轉換成電信號，經由放大電晶體217、選擇電晶體218及垂直信號線VSL作為像素信號而輸出。

#### 【0053】

圖10～圖13係顯示全域傳送動作時之電勢圖之例之圖。如圖10所示般，於第1傳送電晶體211之驅動信號TZ1、第2傳送電晶體212之驅動信號TZ2及第3傳送電晶體213之驅動信號TRX均成為關斷(Off)時，以電荷不

從PD 210朝其他部分移動之方式形成電勢差(電位差)。因此，電荷蓄積於PD 210。如圖11所示般，當驅動信號TZ1、驅動信號TZ2及驅動信號TRX均成為導通時，上述之電勢差消除，從而蓄積於PD 210之電荷向MEM 215移動。如圖12及圖13所示般，當驅動信號TZ1及驅動信號TZ2依序成為關斷時，依據第1傳送電晶體211、第2傳送電晶體212及第3傳送電晶體213之電位梯度，將電荷傳送至MEM 215並予以保持。

#### 【0054】

關於像素驅動，亦參照流程圖進行說明。圖14係顯示在固態攝像裝置中執行之處理(像素驅動方法)之例之流程圖。該處理例如藉由系統控制部8(圖1)對垂直驅動電路部3及水平驅動電路部4等進行控制而執行。與前文中所說明之圖7及圖8同樣地，供給至像素21之驅動信號乃作為驅動信號TZ1、驅動信號TZ2、驅動信號TRX、驅動信號TRG、驅動信號SEL、驅動信號OFG及驅動信號RST進行說明。最初，排出電晶體219之驅動信號OFG及第1傳送電晶體211之驅動信號TZ1成為導通，而將PD 210重置。

#### 【0055】

於步驟S1中，開始曝光。例如，如前文中參照圖8所說明般，將第1傳送電晶體211之驅動信號TZ1及排出電晶體219之驅動信號OFG設為關斷。藉此，電荷開始蓄積於PD 210。

#### 【0056】

於步驟S2中，開始記憶體部之重置。例如，如前文中參照圖8所說明般，將第2傳送電晶體212之驅動信號TZ2、第3傳送電晶體213之驅動信號TRX、第4傳送電晶體214之驅動信號TRG及重置電晶體220之驅動信號

RST設為導通。藉此，MEM 215重置成電源VDD。

#### 【0057】

於步驟S3中，結束記憶體部之重置。例如，如前文中參照圖8所說明般，將第2傳送電晶體212之驅動信號TZ2、第3傳送電晶體213之驅動信號TRX、第4傳送電晶體214之驅動信號TRG及重置電晶體220之驅動信號RST依序設為關斷。

#### 【0058】

於步驟S4中，結束曝光。例如，如前文中參照圖8所說明般，將第1傳送電晶體211之驅動信號TZ1、第2傳送電晶體212之驅動信號TZ2及第3傳送電晶體213之驅動信號TRX設為導通。

#### 【0059】

於步驟S5中，將蓄積於光電轉換部之電荷傳送至記憶體部、並保持。例如，如前文中參照圖8所說明般，將第1傳送電晶體211之驅動信號TZ1、第2傳送電晶體212之驅動信號TZ2及第3傳送電晶體213之驅動信號TRX依序設為關斷。蓄積於PD 210之電荷傳送至MEM 215、並保持。

#### 【0060】

於步驟S6中，將保持於記憶體部之電荷朝蓄積部傳送。例如，如前文中參照圖9所說明般，將驅動信號RST導通及關斷，而將FD 216重置。藉由將驅動信號TRG導通及關斷，而將保持於MEM 215之電荷朝FD 216傳送。

#### 【0061】

於步驟S7中，獲得像素信號。例如，如前文中參照圖2所說明般，將與蓄積於FD 216之電荷相應之電信號經由放大電晶體217、選擇電晶體

218及垂直信號線VSL，作為像素信號而輸出。

### 【0062】

於步驟S7之處理完成之後，流程圖之處理結束。例如藉由如此之處理，可對固態攝像裝置1之像素陣列2之各像素20進行驅動。

### 【0063】

根據第1實施形態，藉由具備第1傳送電晶體211、第2傳送電晶體212及第3傳送電晶體213此3個傳送電晶體，而使MEM 215遠離遮光部222之開口222c，而可抑制PLS之惡化。於獲得同樣之效果之範圍內，除了目前為止所說明之第1實施形態以外，亦可考量各種實施形態。以下，對於若干個實施形態，特別是與第1實施形態之不同之部分進行說明。

### 【0064】

#### 2.第2實施形態

於第2實施形態中，於像素電晶體設置於與PD及MEM不同之別之半導體基板之點上不同。

### 【0065】

圖15～圖18係示意性地顯示像素之構成要素之布局之圖。圖15及圖16示意性地顯示在自Z軸方向上觀察時之像素之構成要素之布局之例。再者，PD之布局與第1實施形態(圖3)相同，因此此處不予重複說明。於圖17及圖18中，示意性地顯示大致沿著圖15之XVII線及XVIII線觀察到之(自Y軸方向及X軸方向觀察時之)像素之構成要素之布局之例。

### 【0066】

像素21A及像素24A之要素中之第1傳送電晶體211及第1傳送電晶體241、第2傳送電晶體212及第2傳送電晶體242、第3傳送電晶體213A及第

3傳送電晶體243A、第4傳送電晶體214及第4傳送電晶體244、MEM 215A及MEM 245A、FD 216A、排出電晶體219及排出電晶體249，設置於半導體基板101(第1半導體基板)。關於其餘之2個像素亦同樣。

#### 【0067】

像素21A及像素24A之要素中之選擇電晶體218A及重置電晶體220A設置於半導體基板102(第2半導體基板)。選擇電晶體218A及重置電晶體220A係將與蓄積於FD 216A之電荷相應之電壓進行輸出之像素電晶體。半導體基板102係與半導體基板101不同之別的基板。

#### 【0068】

半導體基板101及半導體基板102例如藉由銅-銅(Cu-Cu)連接(接合)而積層。設置於半導體基板101及半導體基板102之要素經由設置於半導體基板101之基板正面101a上及半導體基板102之基板正面102a上之接觸部C及配線W而連接。再者，將半導體基板101及半導體基板102之基板背面稱為基板背面101b及基板背面102b並圖示。

#### 【0069】

像素21A之第3傳送電晶體213A及MEM 215A之面積大於像素21之第3傳送電晶體213及MEM 215(圖4等)。半導體基板101與半導體基板100(圖4等)不同，此係緣於可活用未設置選擇電晶體218及重置電晶體220之份額之空間之故。關於像素24A之第4傳送電晶體214A及MEM 215A亦為同樣。再者，FD 216A與FD 216(圖4等)不同，集約於1個部位而設置。

#### 【0070】

根據第2實施形態，與像素電晶體(例如選擇電晶體218A及重置電晶體220A)設置於半導體基板102相應地，可增大設置於半導體基板101之

MEM 215A之面積。

**【0071】**

於上述中，對於設置於半導體基板101之基板正面101a上之Poly閘極(接觸部C)與設置於半導體基板102之基板正面102a上之Poly閘極以相向之形態貼合之面對面(Face-to-Face)構造進行了說明，但亦可採用面對背(Face-to-Back)構造。又，於上述中對於像素21之構成要素中之選擇電晶體218及重置電晶體220設置於半導體基板102之例進行了說明，但亦可與該等一起或者替代該等而將其他各種之構成要素設置於半導體基板102。再者，以後之實施形態係對於與上述之第2實施形態同樣地具備積層基板構成之情形進行說明。

**【0072】**

3.第3實施形態

於第3實施形態中，於Y軸方向排列設置複數個第2傳送電晶體。

**【0073】**

圖19係顯示像素之電路構成之例之圖。圖19所示之像素21B與像素21A(圖15等)相比，於具備第2傳送電晶體212B1及第2傳送電晶體212B2來替代第2傳送電晶體212之點上不同。於第2傳送電晶體212B1，施加有驅動信號TZ21。於第2傳送電晶體212B2，施加有驅動信號TZ31。同樣地，像素24B具備施加有驅動信號TZ24及驅動信號TZ34之第2傳送電晶體242B1及第2傳送電晶體242B2。

**【0074】**

圖20及圖21係示意性地顯示像素之構成要素之布局之圖。於圖20中，示意性地顯示在自Z軸方向觀察時之像素之構成要素之布局之例。於



圖21中，示意性地顯示大致沿著圖20之XXI線觀察到之(自X軸方向觀察到之)像素之構成要素之布局之例。於Y軸方向上，第2傳送電晶體212B2設置於第2傳送電晶體212B1與第3傳送電晶體213A之間。

#### 【0075】

若將追加於像素21之第2傳送電晶體之數目及驅動信號一般化，則在追加有m個第2傳送電晶體之情形下，驅動信號表示為驅動信號 $TZi1(i=m+2)$ 。

#### 【0076】

根據第3實施形態，可使MEM 215A遠離開口222c設置有複數個第2傳送電晶體之份額。因此，可進一步提高抑制PLS之惡化之效果。

#### 【0077】

#### 4.第4實施形態

於第4實施形態中，於Y軸方向排列設置複數個第3傳送電晶體。

#### 【0078】

圖22係顯示像素之電路構成之例之圖。圖22所示之像素21C與像素21A(圖15等)相比，於具備第3傳送電晶體213C1及第3傳送電晶體213C2來代替第3傳送電晶體213之點、及具備MEM 215C來代替MEM 215A之點上不同。於第3傳送電晶體213C1，施加有驅動信號TRX11。於第3傳送電晶體213C2，施加有驅動信號TRX21。同樣地，像素24C具備施加有驅動信號TRX14及驅動信號TRX24之第3傳送電晶體243C1及第3傳送電晶體243C2、以及MEM 245C。

#### 【0079】

圖23及圖24係示意性地顯示像素之構成要素之布局之圖。於圖23

中，示意性地顯示在自Z軸方向觀察時之像素之構成要素之布局之例。於圖24中，示意性地顯示大致沿著圖23之VVIV線觀察到之(自X軸方向觀察到之)像素之構成要素之布局之例。於Y軸方向上，第3傳送電晶體213C2於隔著第3傳送電晶體213C1與第2傳送電晶體212為相反側，與第3傳送電晶體213C1連接地設置。於該例中，MEM 215C設置於較第3傳送電晶體213C1更靠近第3傳送電晶體213C2之位置。

#### 【0080】

若將追加於像素21之第3傳送電晶體之數目及驅動信號一般化，則在追加有n個第3傳送電晶體之情形下，驅動信號表示為驅動信號 $TRXj1(j=n+2)$ 。

#### 【0081】

根據第4實施形態，可使MEM 215C遠離開口222c設置有複數個第3傳送電晶體之份額。因此，可進一步提高抑制PLS之惡化之效果。又，藉由增加相對於MEM 215C而設置之電晶體數(閘極之多段化)，而可提高MEM 215C之飽和特性。

#### 【0082】

##### 5.第5實施形態

於第5實施形態中，所對應之複數個第2傳送電晶體及複數個第3傳送電晶體中之對應之傳送電晶體連接於共通之驅動信號線。例如，於上述第3實施形態中所說明之驅動信號TZi1及上述第4實施形態中所說明之驅動信號 $TRXj1$ 中之對應之驅動信號上，使用共通之驅動信號。

#### 【0083】

圖25係顯示像素之電路構成之例之圖。圖25所示之像素21D與像素

21C(圖22)相比，在更具備電晶體228之點、及第2傳送電晶體212之驅動信號TZ21之配線與第3傳送電晶體213C2之驅動信號TRX21之配線共通化之點上不同。電晶體228係設置於第2傳送電晶體212與第3傳送電晶體213之間之防逆流電晶體。將施加於電晶體228之驅動信號稱為驅動信號TRY1並圖示。同樣地，像素24D與像素24C(圖22)相比，在具備電晶體258之點、及第2傳送電晶體242之驅動信號TZ24之配線與第3傳送電晶體243C2之驅動信號TRX24之配線為共通之點上不同。將施加於電晶體258之驅動信號稱為驅動信號TRY2並圖示。

#### 【0084】

圖26及圖27係顯示驅動信號之時序圖之例之圖。於圖26中，顯示記憶體部之重置以後之驅動信號之例。驅動信號TRY係將上述之驅動信號TRY1及驅動信號TRY2一般化者。

#### 【0085】

於時刻t31，第2傳送電晶體212之驅動信號TZ2、電晶體228之驅動信號TRY、第3傳送電晶體213C1之驅動信號TRX1、第3傳送電晶體213C2之驅動信號TRX2、第4傳送電晶體214之驅動信號TRG及重置電晶體220之驅動信號RST成為導通，MEM 215C之重置開始。該等驅動信號於時刻t32、時刻t33、時刻t35、時刻t36、時刻t37及時刻t38依序成為關斷。由於驅動信號TZ2及驅動信號TRX2為相同之信號，因此於驅動信號TZ2成為關斷之時刻t32，驅動信號TRX2亦成為關斷。於驅動信號TRX1成為關斷之時刻t35之前後之時刻t34～時刻t36之期間，驅動信號TRX2成為導通，驅動信號TZ2亦成為導通。於在此之前之時刻t33，驅動信號TRY成為關斷，而防止電荷之逆流。

**【0086】**

於時刻t39，第1傳送電晶體211之驅動信號TZ1、第2傳送電晶體212之驅動信號TZ21、電晶體228之驅動信號TRY、第3傳送電晶體213C1之驅動信號TRX1及第3傳送電晶體213C2之驅動信號TRX2成為導通，曝光結束。該等驅動信號於時刻t40～時刻t43依序成為關斷，蓄積於PD 210之電荷傳送至MEM 215C、並保持。再者，於時刻t44，面向滾動讀出動作而驅動信號OFG成為導通。

**【0087】**

於圖27中，顯示滾動讀出動作時之驅動信號之例。藉由在時刻t51，驅動信號RST成為導通，於時刻t52成為關斷，而FD 216被重置。於時刻t53，驅動信號TRX1及驅動信號TRG及成為導通，於時刻t54，驅動信號TRX2成為導通。驅動信號TZ2亦一起成為導通。於後續之時刻t55～時刻t57，驅動信號TRX1、驅動信號TRX2及驅動信號TRG依序成為關斷。驅動信號TZ2亦於時刻t56與驅動信號TRX2一起成為關斷。藉此，保持於MEM 215C之電荷朝FD 216A傳送。

**【0088】**

於上述中，對於驅動信號TZ21與驅動信號TRX21之配線共通化之例進行了說明，但亦可為任意之驅動信號TZi1之配線與驅動信號TXj1之配線共通化。例如，驅動信號TZi1及驅動信號TXj1中之滿足 $i=j$ 之驅動信號之配線共通化。

**【0089】**

根據第5實施形態，藉由將一部分傳送電晶體之驅動配線共通化，而可減少配線數目，因此除了提高配線布局自由度外，亦可期待因短路不良

降低而實現之成品率提高。又，由於可減少驅動器數目，因此亦可實現電路規模之縮小。

#### 【0090】

##### 6.第6實施形態

於第6實施形態中，將傳送電晶體之下部亦用作PD。

#### 【0091】

圖28係示意性地顯示像素之構成要素之布局之圖。於圖28中，示意性地顯示在自X軸方向觀察時之像素之構成要素之布局之例。於所例示之像素21E中，PD 210E包含本體210Ea、延伸部210Eb(第1延伸部)及延伸部210Ec(第2延伸部)。本體210Ea可構成為與目前為止所說明之PD 210相同。延伸部210Eb於Z軸方向上自本體210Ea延伸至基板正面100a之下部。延伸部210Ec自延伸部210Eb之前端部於Y軸方向上延伸。延伸部210Ec之前端到達第2傳送電晶體212之下部。於電荷自本體210Ea溢出時，所溢出之電荷蓄積於延伸部210Eb及延伸部210Ec。

#### 【0092】

圖29及圖30係顯示驅動信號之時序圖之例之圖。於圖29中，顯示全域傳送動作時之驅動信號之例。最初，驅動信號TZ1及驅動信號OFG成為導通，包含第2傳送電晶體212之下部之PD 210E被耗盡化。於時刻t61，驅動信號TZ1成為關斷，曝光開始。於後續之時刻t62，驅動信號OFG成為關斷。

#### 【0093】

於時刻t63，驅動信號TRG及驅動信號RST成為導通，於時刻t63及時刻t64依序成為關斷。藉此，MEM 215A重置。此時，驅動信號TRX及驅

動信號TZ1成為關斷之狀態不變。因不將驅動信號TRX及驅動信號TZ1設為導通，而蓄積於第1傳送電晶體211及第2傳送電晶體212之下部、亦即PD 210E之延伸部210Eb及延伸部210Ec之電荷不被重置。

#### 【0094】

於時刻t66，驅動信號TZ1、驅動信號TZ2及驅動信號TRX成為導通，於時刻t67～時刻t69依序成為關斷。藉此，與蓄積於PD 210E之本體210Ea之電荷一起，蓄積於延伸部210Eb及延伸部210Ec之電荷傳送至MEM 215A、並保持。

#### 【0095】

於圖30中，顯示滾動讀出動作時之驅動信號之例。於時刻t71～時刻t74，與前文中所說明之圖9之時刻t21～時刻t24同樣地，藉由驅動信號RST之導通及關斷而FD 216A重置，藉由驅動信號TRG之導通及關斷而保持於MEM 215A之電荷朝FD 216A傳送，並用作成為像素信號之源之電荷。

#### 【0096】

於上述中，對於將第1傳送電晶體211及第2傳送電晶體212此2個傳送電晶體之下部用作PD之例進行了說明，但亦可將n個(n為3以上之整數)傳送電晶體之下部用作PD。於n=3之情形下，如圖31所示般，亦存在驅動信號TZ3。於重置記憶體部之前之時刻t81～時刻t83，不僅驅動信號OFG及驅動信號TZ1，而且驅動信號TZ2亦成為關斷。藉此，各傳送電晶體之下部耗盡化，而用作PD。

#### 【0097】

根據第6實施形態，可將傳送電晶體之下部亦用作PD，因此可提高

PD之飽和特性(PDQs)。

**【0098】**

7.第7實施形態

於第7實施形態中，將傳送電晶體之下部用作第2記憶體部。

**【0099】**

圖32係示意性地顯示像素之構成要素之布局之圖。於圖32中，示意性地顯示在自X軸方向觀察時之像素之構成要素之布局之例。於所例示之像素21F中，MEM 215F設置於第1傳送電晶體211及第2傳送電晶體212之下部。MEM 215F係經由第1傳送電晶體211及第2傳送電晶體212連接於PD 210，並保持自PD 210傳送之電荷之第2記憶體部。MEM 215F例如於第2傳送電晶體212之下部作為n型雜質區域而形成。MEM 215F於可容許之PLS之範圍內，設置於較MEM 215A更靠PD 210側。於MEM 215A及MEM 215F之一者溢出之電荷，蓄積於另一者。

**【0100】**

圖33係顯示驅動信號之時序圖之例之圖。於圖33中，顯示滾動讀出動作時之驅動信號之例。於時刻t91，驅動信號RST成為導通，於時刻t92成為關斷。藉此，FD 216A重置。

**【0101】**

於時刻t93，驅動信號TRX及驅動信號TRG成為導通，於時刻t94及時刻t95，依序成為關斷。因不僅施加有驅動信號TRG，亦施加有驅動信號TRX，故不僅保持於MEM 215A之電荷，而且保持於MEM 215F之電荷亦被朝FD 216傳送。

**【0102】**

於上述中，對於將第1傳送電晶體211及第2傳送電晶體212此2個傳送電晶體之下部用作第2記憶體部之例進行了說明，但亦可將n個(n為3以上之整數)傳送電晶體之下部用作第2記憶體部。於該情形下，在全域傳送動作時，將n個傳送電晶體之閘極設為導通而傳送電荷。

### 【0103】

根據第7實施形態，與僅設置MEM 215A之情形下相比，可使記憶體部之飽和特性提高設置有MEM 215F之份額。

### 【0104】

#### 8.第8實施形態

於第8實施形態中，第1傳送電晶體不具有在Z軸方向上延伸之閘極VG。替代地，PD藉由電位而被賦予梯度，以便蓄積於PD之電荷易於在Z軸方向上移動。

### 【0105】

圖34及圖35係示意性地顯示像素之構成要素之布局之圖。圖34中，示意性地顯示自Z軸方向觀察時之像素之構成要素之布局之例。於圖35中，示意性地顯示大致沿著圖34之XXXV線觀察時之(沿X軸方向觀察時之)像素之構成要素之布局之例。再者，PD之布局在不具有相當於閘極VG之部分之點上與第1實施形態(圖3)不同。於所例示之像素21G中，第1傳送電晶體211G不具有目前為止所說明之閘極VG(圖5及圖6等)，而僅於基板正面101a上具有閘極。另一方面，PD 210G包含本體210Ga及延伸部210Gb。本體210Ga可為與目前為止所說明之PD 210相同之構成。延伸部210Gb自本體210Ga通過遮光部222之開口222c延伸至基板正面101a之下部。PD 210G藉由電位而被賦予梯度，使得電荷向延伸部210Gb之前端移



動。電位梯度例如藉由N型雜質之濃度梯度而賦予。藉由電位梯度而朝廷伸部210Gb之前端部移動之電荷，經由第1傳送電晶體211G、第2傳送電晶體212及第3傳送電晶體213A被傳送至MEM 215A。

#### 【0106】

根據第8實施形態，可將PD 210G與MEM 215A之間之有效距離，縮短相當於第1傳送電晶體211G不具有閘極VG之部分。因此，能以更少之傳送閘極數，使MEM 215A遠離開口222c，而抑制PLS惡化。

#### 【0107】

##### 9.適用例

以上所說明之各實施形態之固態攝像裝置，例如搭載於電子機器而使用。對此，參照圖36進行說明。

#### 【0108】

圖36係顯示電子機器之概略構成之例之圖。所例示之電子機器9為相機。電子機器9包含：攝像透鏡91、固態攝像裝置1、處理器92、及記憶部93。

#### 【0109】

攝像透鏡91將入射光集光，將其像成像於固態攝像裝置1。惟亦可使用透鏡以外之光學系統。固態攝像裝置1如目前為止所說明般，將入射至受光面之光轉換成電信號(光電轉換)，而產生圖像信號(圖像資料)。處理器92對固態攝像裝置1進行控制。例如，處理器92對由固態攝像裝置1產生之圖像信號進行處理。此外，處理器92執行電子機器9所需之各種處理。如上述般若電子機器9為相機，可由處理器92執行曝光控制(AE：Auto Exposure，自動曝光)、自動對焦(AF：Auto Focus)等處理。記憶部

93記憶由固態攝像裝置1產生之圖像信號。此外，記憶部93記憶由處理器92執行之處理所需之各種資料。

### 【0110】

#### 10.效果

將以上說明之固態攝像裝置1特定為例如如下所述。如參照圖1～圖14等所說明般，固態攝像裝置1具備包含複數個像素20之像素陣列2。關於複數個像素20各者，若舉出像素21為例進行說明，則像素21具備：PD 210、MEM 215、第1傳送電晶體211、第2傳送電晶體212及第3傳送電晶體213、FD 216、以及遮光部222。PD 210係自半導體基板100之基板正面100a隔開而埋設之光電轉換部。MEM 215係保持由PD 210產生之電荷的記憶體部。第1傳送電晶體211、第2傳送電晶體212及第3傳送電晶體213係串聯地連接於PD 210與MEM 215之間之傳送電晶體。FD 216係蓄積自MEM 215傳送之電荷之蓄積部。遮光部222覆蓋MEM 215之半導體基板100之基板背面101b側之部分，且於PD 210與基板正面100a之間具有開口222c。第1傳送電晶體211可設置於較PD 210更靠半導體基板100之基板正面100a側。第2傳送電晶體212可於半導體基板100之基板面方向(例如Y軸方向)上，與第1傳送電晶體211排列地設置。第3傳送電晶體213可於基板面方向上，與第2傳送電晶體212排列地設置。

### 【0111】

根據上述之固態攝像裝置1，像素21於PD 210至MEM 215間，具備第1傳送電晶體211、第2傳送電晶體212及第3傳送電晶體213此3個傳送電晶體。因此，與例如僅具備2個傳送電晶體之情形相比，可確保PD 210至MEM 215之傳送電晶體之電位梯度，且可使MEM 215遠離開口222c。

MEM 215遠離開口222c之份額，可抑制通過開口222c之光朝MEM 215之漏入，而可抑制PLS之惡化。

#### 【0112】

如參照圖15～圖18等所說明般，可行的是，固態攝像裝置1更具備將與蓄積於FD 216之電荷相應之電壓進行輸出之像素電晶體(例如選擇電晶體218A及重置電晶體220A)，且像素電晶體設置於與半導體基板101不同之別的半導體基板102。可與其相應地增大設置於半導體基板101之MEM 215A之面積。

#### 【0113】

如參照圖19～圖21等所說明般，可設置第2傳送電晶體212B1及第2傳送電晶體212B2等複數個第2傳送電晶體。可與其相應地使MEM 215A遠離開口222c。因此，可進一步提高抑制PLS之惡化之效果。

#### 【0114】

如參照圖22～圖24等所說明般，可設置第3傳送電晶體213C1及第3傳送電晶體213C2等複數個第3傳送電晶體。可與其相應地使MEM 215C遠離開口222c。因此，可進一步提高抑制PLS之惡化之效果。又，藉由增加相對於MEM 215C而設置之電晶體數(閘極之多段化)，而可提高MEM 215C之飽和特性。

#### 【0115】

如參照圖25～圖27等所說明般，例如第2傳送電晶體212與第3傳送電晶體213C2可連接於共通之驅動信號線。藉由將一部分傳送電晶體之驅動配線共通化，而可減少配線數目，因此除了提高配線布局自由度外，亦可期待因短路不良降低而實現之成品率提高。又，由於可減少驅動器數目，

因此亦可實現電路規模之縮小。

#### 【0116】

如參照圖28～圖31等所說明般，PD 210E可通過遮光部222之開口222c並延伸至基板正面101a之下部，且自此進一步在Y軸方向上延伸。該情形下，亦可將第1傳送電晶體211及第2傳送電晶體212之下部用作PD，因此可提高PD之飽和特性(PDQs)。

#### 【0117】

如參照圖32及圖33等所說明般，固態攝像裝置1更具備MEM 215F(第2記憶體部)，其經由第1傳送電晶體211及第2傳送電晶體212連接於PD 210，並保持自PD 210傳送之電荷。與僅設置MEM 215A之情形相比可將記憶體部之飽和特性提高設置有MEM 215F之份額。

#### 【0118】

如參照圖5及圖6等所說明般，第1傳送電晶體211可具有通過遮光部222之開口222c延伸至PD 210之閘極VG。藉此，可容易藉由第1傳送電晶體211傳送蓄積於PD 210之電荷。

#### 【0119】

如參照圖34及圖35等所說明般，可行的是，PD 210G通過遮光部222之開口222c延伸至基板正面101a之下部，且藉由電位賦予梯度。該情形下，第1傳送電晶體211G可不具有閘極VG，因此可與其相應地縮短PD 210G與MEM 215A之間之實效性之距離。因此，可在更少之傳送閘極數目下，使MEM 215A遠離開口222c，而抑制PLS之惡化。

#### 【0120】

固態攝像裝置1可為來自被攝體之光朝半導體基板100之基板背面

100b入射之背面照射型之固態攝像裝置。藉此，可將來自被攝體之光高效率地轉換成電荷。

#### 【0121】

參照圖14等所說明之像素驅動方法亦為本揭示之一態樣。亦即，像素驅動方法以將蓄積於PD 210之電荷經由第1傳送電晶體211、第2傳送電晶體212及第3傳送電晶體213傳送至MEM 215之方式，對第1傳送電晶體211、第2傳送電晶體212及第3傳送電晶體213進行驅動(步驟S5)。藉由該驅動方法，亦與上述之固態攝像裝置1同樣地，可抑制PLS之惡化。

#### 【0122】

參照圖36等所說明之電子機器9亦為本揭示之一態樣。亦即，根據電子機器9，藉由搭載有固態攝像裝置1，而可抑制PLS之惡化。

#### 【0123】

再者，本揭示所記載之效果終極而言僅為例示，並不限定於所揭示之內容。亦可為其他效果。

#### 【0124】

以上，對於本揭示之實施形態進行了說明，但本揭示之技術範圍並不限定於上述實施形態原樣，在不脫離本揭示之要旨之範圍內，可進行各種變更。又，可適當組合不同之實施形態及變化例之構成要素。

#### 【0125】

又，本說明書記載之各實施形態之效果終極而言僅為例示而非限定者，亦可具有其他效果。

#### 【0126】

再者，本技術亦可採用如以下之構成。

(1)

一種固態攝像裝置，其具備包含複數個像素之像素陣列，且前述複數個像素各者具備：

光電轉換部，其與半導體基板之基板正面隔開而埋設；

記憶體部，其保持由前述光電轉換部產生之電荷；

第1傳送電晶體、第2傳送電晶體及第3傳送電晶體，其等串聯地連接於前述光電轉換部與前述記憶體部之間；

蓄積部，其蓄積自前述記憶體部傳送之電荷；及

遮光部，其覆蓋前述記憶體部中之前述半導體基板之基板背面側之部分，且於前述光電轉換部與前述基板正面之間具有開口。

(2)

如(1)之固態攝像裝置，其中前述第1傳送電晶體設置於較前述光電轉換部更靠前述半導體基板之基板正面側，

前述第2傳送電晶體於前述半導體基板之基板面方向上，與前述第1傳送電晶體排列設置，

前述第3傳送電晶體於前述基板面方向上，與前述第2傳送電晶體排列設置。

(3)

如(1)或(2)之固態攝像裝置，其更具有像素電晶體，該像素電晶體輸出與蓄積於前述蓄積部之電荷相應之電壓，且

前述像素電晶體設置於與前述半導體基板不同之半導體基板。

(4)

如(1)至(3)中任一項之固態攝像裝置，其中前述第2傳送電晶體係複

數個第2傳送電晶體。

(5)

如(1)至(4)中任一項之固態攝像裝置，其中前述第3傳送電晶體係複數個第3傳送電晶體。

(6)

如(1)至(5)中任一項之固態攝像裝置，其中前述第2傳送電晶體係複數個第2傳送電晶體，

前述第3傳送電晶體係複數個第3傳送電晶體，

前述複數個第2傳送電晶體及前述複數個第3傳送電晶體中之對應之傳送電晶體連接於共通之驅動信號線。

(7)

如(1)至(6)中任一項之固態攝像裝置，其中前述光電轉換部通過前述遮光部之前述開口延伸至前述半導體基板之基板正面之下部，且從該處進一步沿自前述第1傳送電晶體朝向前述第2傳送電晶體之方向延伸。

(8)

如(1)至(7)中任一項之固態攝像裝置，其更具備第2記憶體部，該第2記憶體部經由前述第1傳送電晶體及前述第2傳送電晶體連接於前述光電轉換部，保持自前述光電轉換部傳送之電荷。

(9)

如(1)至(8)中任一項之固態攝像裝置，其中前述第1傳送電晶體具有通過前述遮光部之前述開口延伸至前述光電轉換部之閘極。

(10)

如(1)至(9)中任一項之固態攝像裝置，其中前述光電轉換部通過前述

遮光部之前述開口延伸至前述半導體基板之基板正面之下部，且藉由電位而被賦予梯度。

(11)

如(1)至(10)中任一項之固態攝像裝置，其中來自被攝體之光朝前述半導體基板之基板背面入射。

(12)

一種像素驅動方法，其係對複數個像素進行驅動之像素驅動方法，且

前述複數個像素各者具備：

光電轉換部，其與半導體基板之基板正面隔開而埋設；

記憶體部，其保持由前述光電轉換部產生之電荷；

第1傳送電晶體、第2傳送電晶體及第3傳送電晶體，其等串聯地連接於前述光電轉換部與前述記憶體部之間；

蓄積部，其蓄積自前述記憶體部傳送之電荷；及

遮光部，其覆蓋前述記憶體部中之前述半導體基板之基板背面側之部分，且於前述光電轉換部與前述基板正面之間具有開口；並且

前述像素驅動方法

以將蓄積於前述光電轉換部之電荷經由前述第1傳送電晶體、前述第2傳送電晶體及前述第3傳送電晶體傳送至前述記憶體部之方式，驅動前述第1傳送電晶體、前述第2傳送電晶體及前述第3傳送電晶體。

(13)

一種電子機器，其係搭載有具備包含複數個像素之像素陣列之固態攝像裝置者，且



前述複數個像素各者具備：

光電轉換部，其與半導體基板之基板正面隔開而埋設；

記憶體部，其保持由前述光電轉換部產生之電荷；

第1傳送電晶體、第2傳送電晶體及第3傳送電晶體，其等串聯地連接於前述光電轉換部與前述記憶體部之間；

蓄積部，其蓄積自前述記憶體部傳送之電荷；及

遮光部，其覆蓋前述記憶體部之前述半導體基板之基板背面側之部分，且於前述光電轉換部與前述基板正面之間具有開口。

### 【符號說明】

#### 【0127】

1:固態攝像裝置

2:像素陣列

3:垂直驅動電路部

4:水平驅動電路部

5:行處理部

6:信號處理部

7:資料儲存部

8:系統控制部

9:電子機器

20:像素

21:像素

21A:像素

21B:像素

21C:像素  
21D:像素  
21E:像素  
21F:像素  
21G:像素  
24:像素  
24A:像素  
24B:像素  
24C:像素  
24D:像素  
91:攝像透鏡  
92:處理器  
93:記憶部  
100:半導體基板  
100a:基板正面  
100b:基板背面  
101:半導體基板(第1半導體基板)  
101a:基板正面  
101b:基板背面  
102:半導體基板(第2半導體基板)  
102a:基板正面  
102b:基板背面  
210:PD

210E:PD

210Ea:本體

210Eb:延伸部(第1延伸部)

210Ec:延伸部(第2延伸部)

210G:PD

210Ga:本體

210Gb:延伸部

211:第1傳送電晶體

211G:第1傳送電晶體

212:第2傳送電晶體

212B1:第2傳送電晶體

212B2:第2傳送電晶體

213:第3傳送電晶體

213A:第3傳送電晶體

213C1:第3傳送電晶體

213C2:第3傳送電晶體

214:第4傳送電晶體

215:MEM

215A:MEM

215C:MEM

215F:MEM(第2記憶體部)

216:FD

216A:FD

- 217:放大電晶體
- 218:選擇電晶體
- 218A:選擇電晶體
- 219:排出電晶體
- 220:重置電晶體
- 220A:重置電晶體
- 222:遮光部
- 222a:第1部分
- 222b:第2部分
- 222c:開口
- 225:彩色濾光器
- 226:晶載透鏡
- 228:電晶體
- 240:PD
- 241:第1傳送電晶體
- 242:第2傳送電晶體
- 242B1:第2傳送電晶體
- 242B2:第2傳送電晶體
- 243:第3傳送電晶體
- 243A:第3傳送電晶體
- 243C1:第3傳送電晶體
- 243C2:第3傳送電晶體
- 244:第4傳送電晶體

245:MEM

245A:MEM

245C:MEM

249:排出電晶體

258:電晶體

C:接觸部

Is:定電流源

OFG:驅動信號

OFG1:驅動信號

OFG4:驅動信號

RST:驅動信號

S1~S7:步驟

t1~t11:時刻

t21~t24:時刻

t31~t44:時刻

t51~t57:時刻

t61~t69:時刻

t71~t74:時刻

t81~t83:時刻

t91~t95:時刻

TRG:驅動信號

TRG1:驅動信號

TRG4:驅動信號

TRX:驅動信號

TRX1:驅動信號

TRX2:驅動信號

TRX4:驅動信號

TRX11:驅動信號

TRX14:驅動信號

TRX21:驅動信號

TRX24:驅動信號

TRY1:驅動信號

TRY2:驅動信號

TZ1:驅動信號

TZ2:驅動信號

TZ3:驅動信號

TZ11:驅動信號

TZ14:驅動信號

TZ21:驅動信號

TZ24:驅動信號

TZ31:驅動信號

TZ34:驅動信號

V-V:線

VDD:電源

VG:閘極

VI-VI:線

VSL:垂直信號線

W:配線

X:軸

XVII-XVII:線

XVIII-XVIII:線

XXI-XXI:線

XXIV-XXIV:線

XXXV-XXXV:線

Y:軸

Z:軸

## 【發明申請專利範圍】

### 【請求項1】

一種固態攝像裝置，其具備包含複數個像素之像素陣列，且前述複數個像素各者具備：

光電轉換部，其與半導體基板之基板正面隔開而埋設；

記憶體部，其保持由前述光電轉換部產生之電荷；

第1傳送電晶體、第2傳送電晶體及第3傳送電晶體，其等串聯地連接於前述光電轉換部與前述記憶體部之間；

蓄積部，其蓄積自前述記憶體部傳送之電荷；及

遮光部，其覆蓋前述記憶體部中之前述半導體基板之基板背面側之部分，且於前述光電轉換部與前述基板正面之間具有開口。

### 【請求項2】

如請求項1之固態攝像裝置，其中前述第1傳送電晶體設置於較前述光電轉換部更靠前述半導體基板之基板正面側，

前述第2傳送電晶體於前述半導體基板之基板面方向上，與前述第1傳送電晶體排列設置，

前述第3傳送電晶體於前述基板面方向上，與前述第2傳送電晶體排列設置。

### 【請求項3】

如請求項1之固態攝像裝置，其更具有像素電晶體，該像素電晶體輸出與蓄積於前述蓄積部之電荷相應之電壓，且

前述像素電晶體設置於與前述半導體基板不同之半導體基板。

### 【請求項4】



如請求項1之固態攝像裝置，其中前述第2傳送電晶體係複數個第2傳送電晶體。

**【請求項5】**

如請求項1之固態攝像裝置，其中前述第3傳送電晶體係複數個第3傳送電晶體。

**【請求項6】**

如請求項1之固態攝像裝置，其中前述第2傳送電晶體係複數個第2傳送電晶體，

前述第3傳送電晶體係複數個第3傳送電晶體，

前述複數個第2傳送電晶體及前述複數個第3傳送電晶體中之對應之傳送電晶體連接於共通之驅動信號線。

**【請求項7】**

如請求項1之固態攝像裝置，其中前述光電轉換部通過前述遮光部之前述開口延伸至前述半導體基板之基板正面之下部，且從該處進一步沿自前述第1傳送電晶體朝向前述第2傳送電晶體之方向延伸。

**【請求項8】**

如請求項1之固態攝像裝置，其更具備第2記憶體部，該第2記憶體部經由前述第1傳送電晶體及前述第2傳送電晶體連接於前述光電轉換部，保持自前述光電轉換部傳送之電荷。

**【請求項9】**

如請求項1之固態攝像裝置，其中前述第1傳送電晶體具有通過前述遮光部之前述開口延伸至前述光電轉換部之閘極。

**【請求項10】**

如請求項1之固態攝像裝置，其中前述光電轉換部通過前述遮光部之前述開口延伸至前述半導體基板之基板正面之下部，且藉由電位而被賦予梯度。

**【請求項11】**

如請求項1之固態攝像裝置，其中來自被攝體之光朝前述半導體基板之基板背面入射。

**【請求項12】**

一種像素驅動方法，其係對複數個像素進行驅動之像素驅動方法，且前述複數個像素各者具備：

光電轉換部，其與半導體基板之基板正面隔開而埋設；

記憶體部，其保持由前述光電轉換部產生之電荷；

第1傳送電晶體、第2傳送電晶體及第3傳送電晶體，其等串聯地連接於前述光電轉換部與前述記憶體部之間；

蓄積部，其蓄積自前述記憶體部傳送之電荷；及

遮光部，其覆蓋前述記憶體部中之前述半導體基板之基板背面側之部分，且於前述光電轉換部與前述基板正面之間具有開口；並且

前述像素驅動方法

以將蓄積於前述光電轉換部之電荷經由前述第1傳送電晶體、前述第2傳送電晶體及前述第3傳送電晶體傳送至前述記憶體部之方式，驅動前述第1傳送電晶體、前述第2傳送電晶體及前述第3傳送電晶體。

**【請求項13】**

一種電子機器，其係搭載有具備包含複數個像素之像素陣列之固態攝像裝置者，且

前述複數個像素各者具備：

光電轉換部，其與半導體基板之基板正面隔開而埋設；

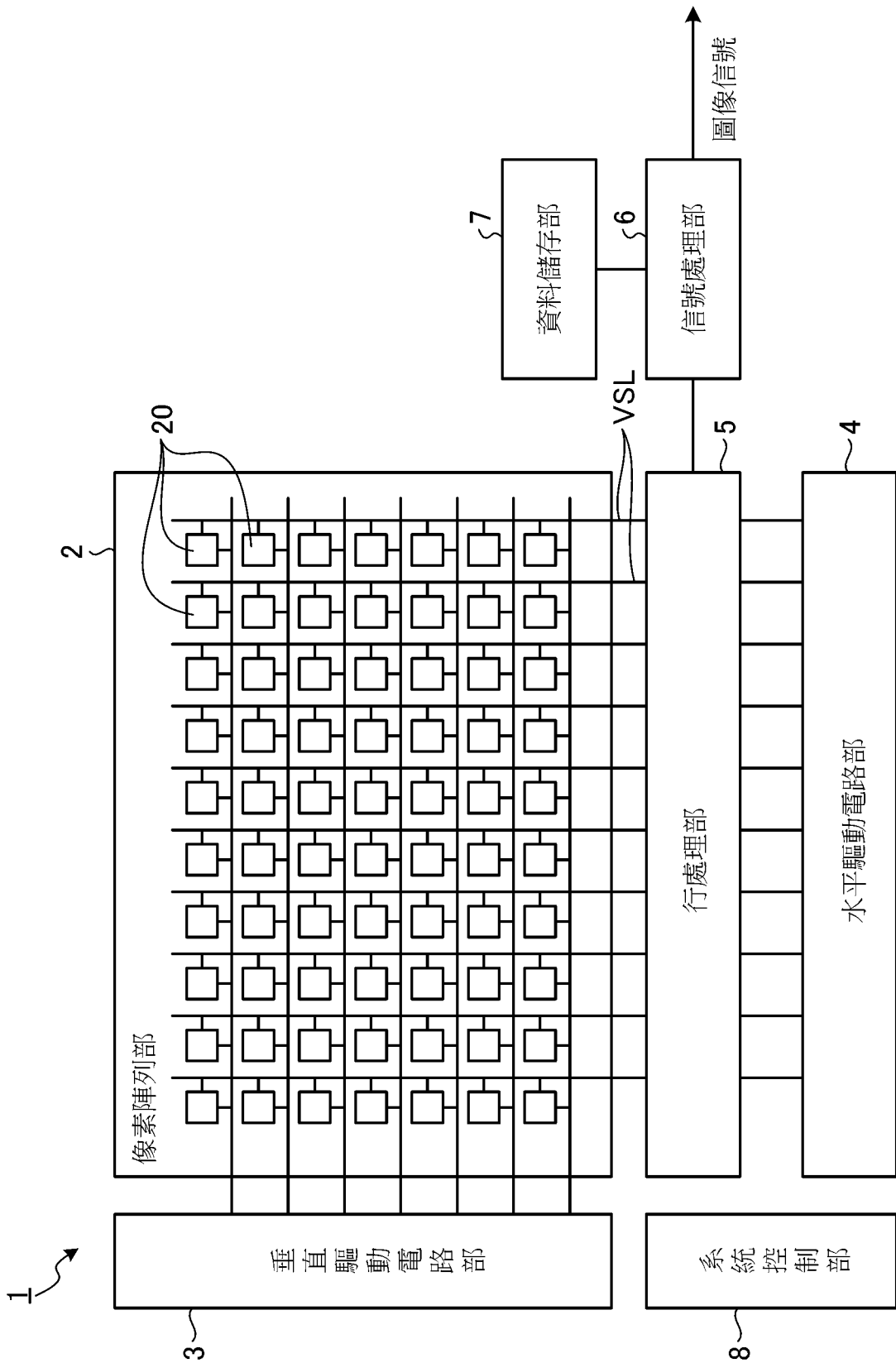
記憶體部，其保持由前述光電轉換部產生之電荷；

第1傳送電晶體、第2傳送電晶體及第3傳送電晶體，其等串聯地連接於前述光電轉換部與前述記憶體部之間；

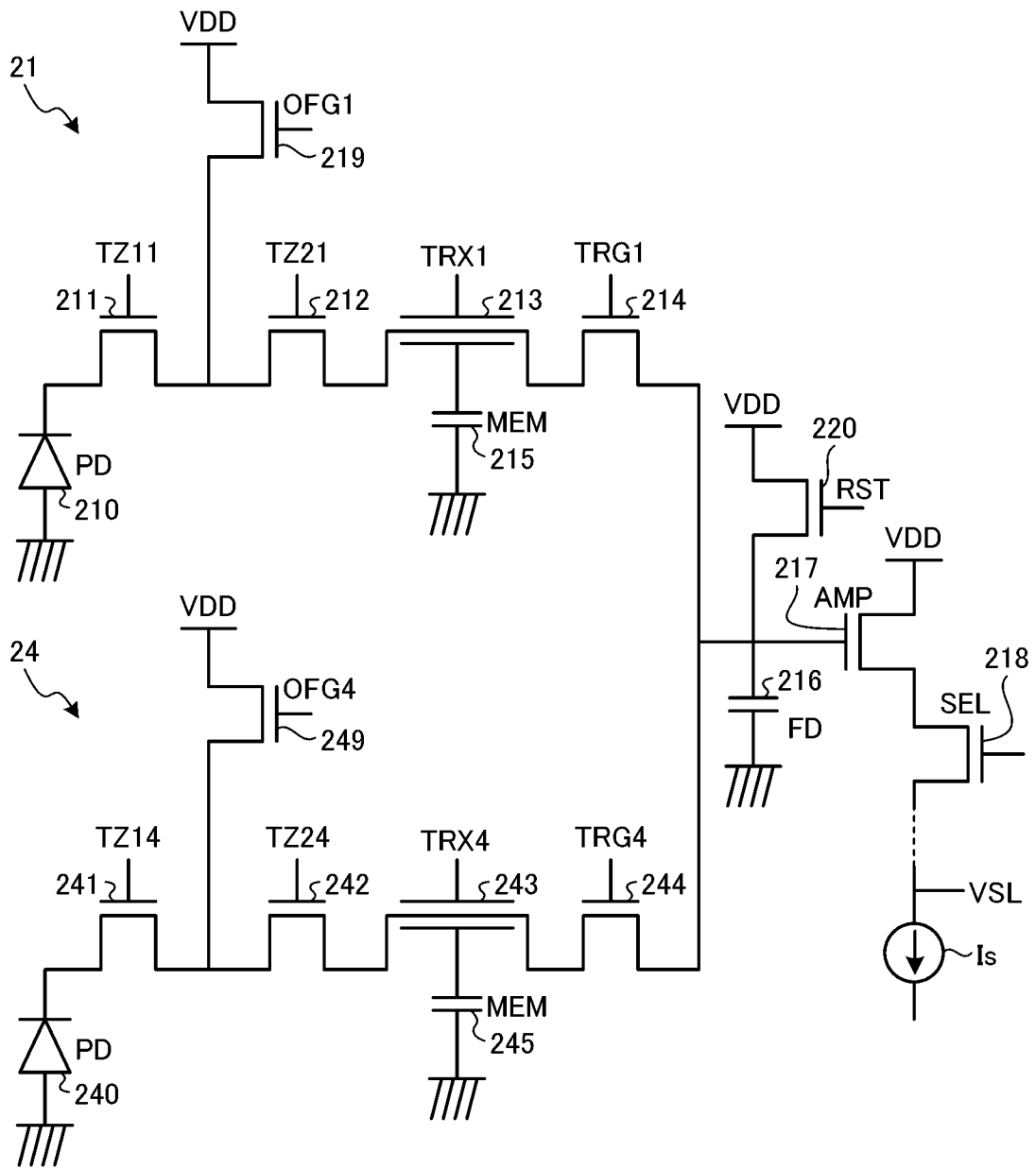
蓄積部，其蓄積自前述記憶體部傳送之電荷；及

遮光部，其覆蓋前述記憶體部之前述半導體基板之基板背面側之部分，且於前述光電轉換部與前述基板正面之間具有開口。

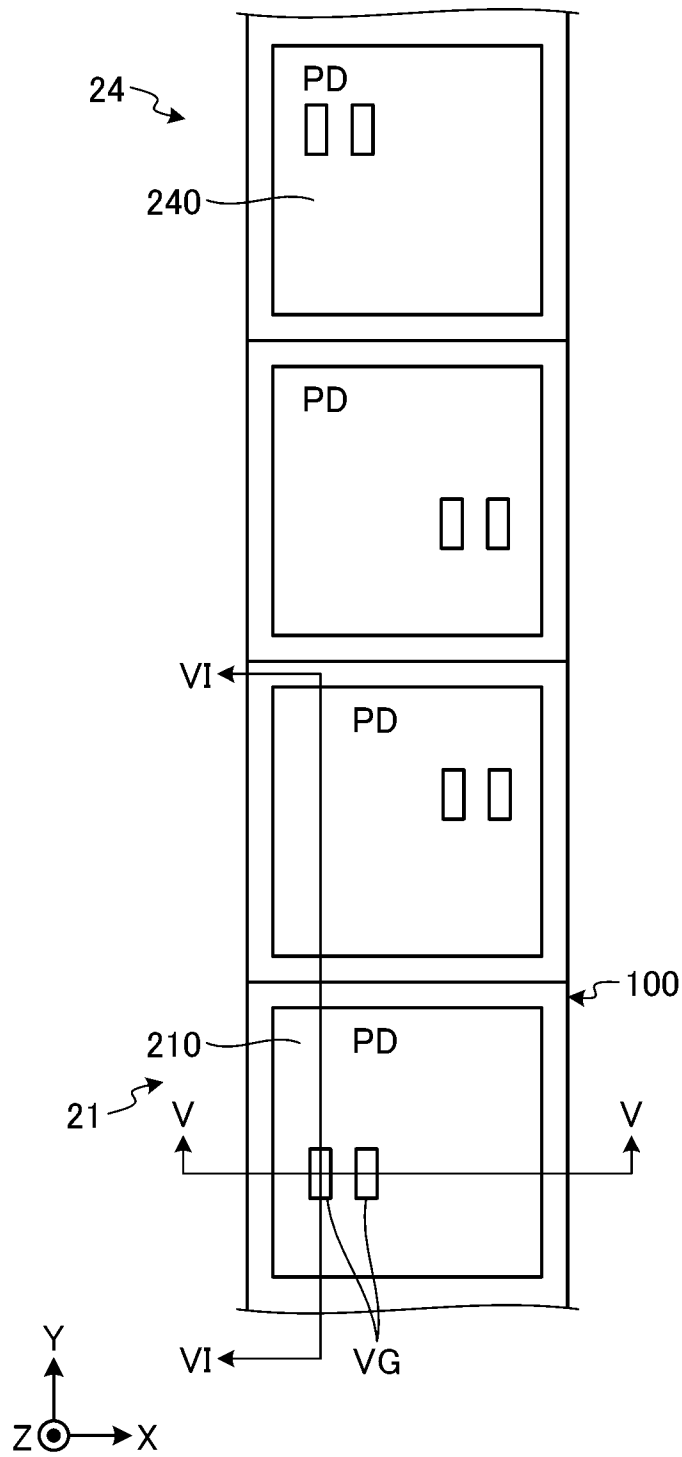
# 【發明圖式】



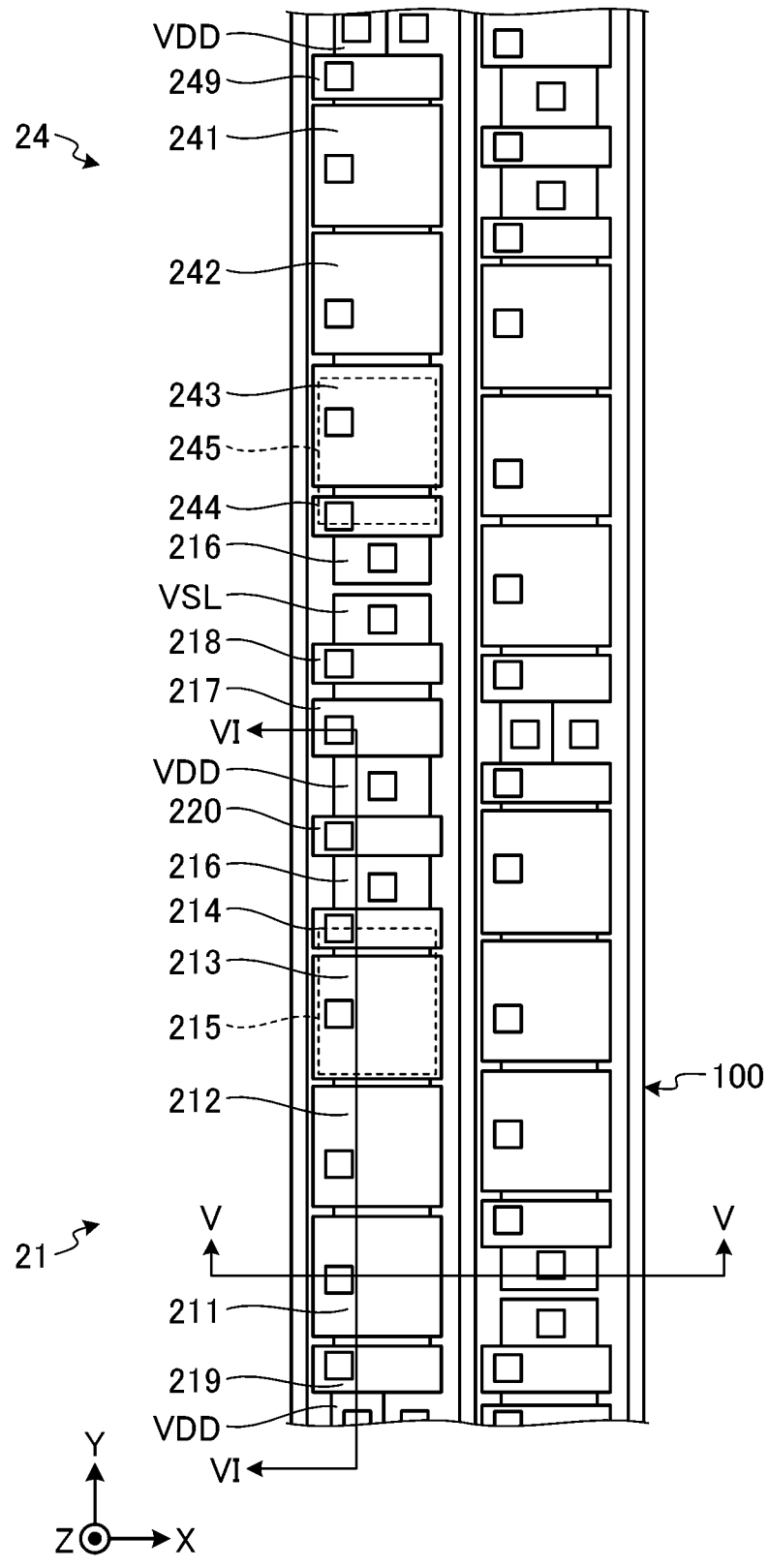
【圖1】



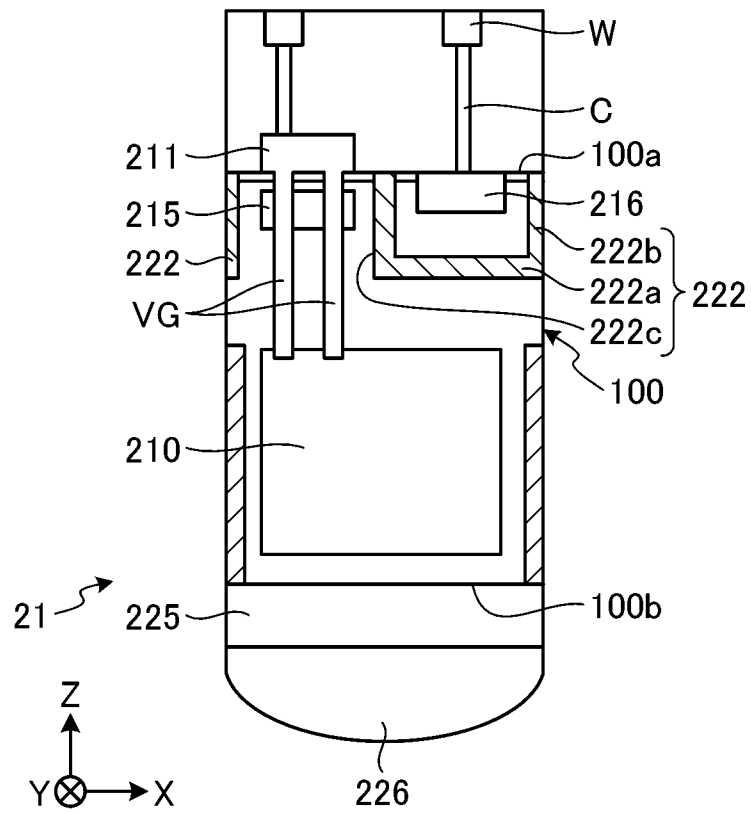
【圖2】



【圖3】

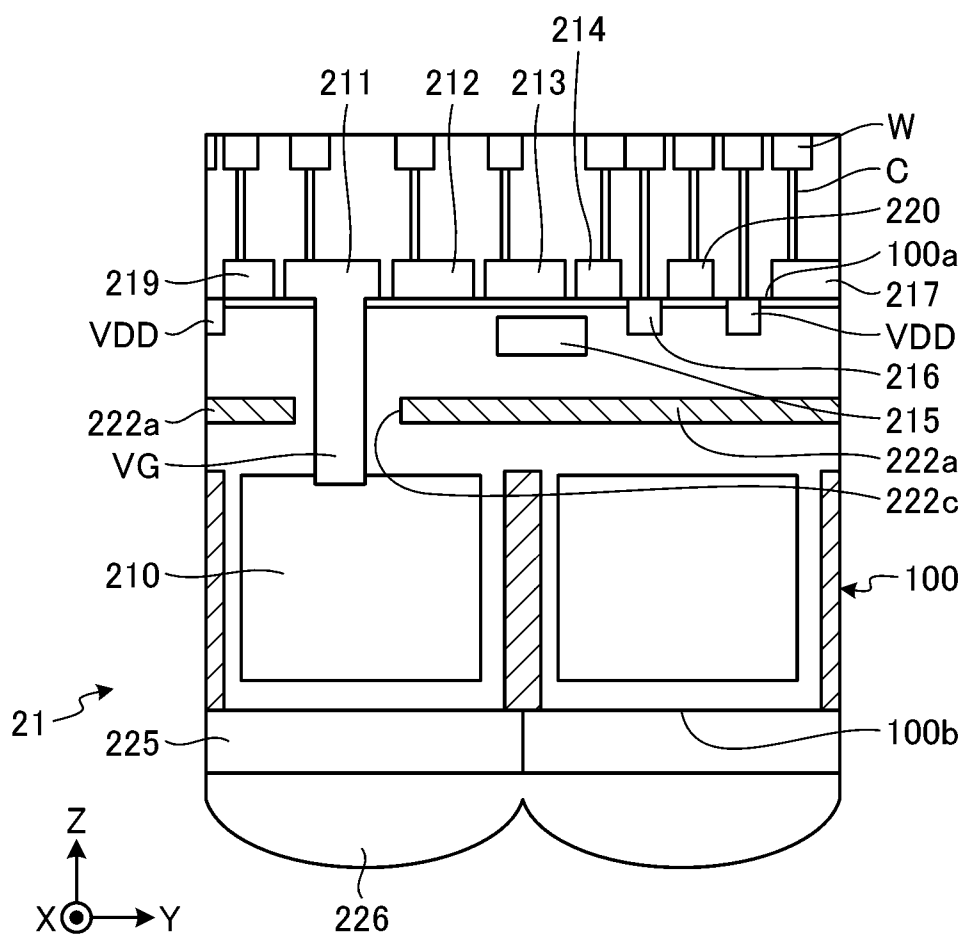


【圖4】

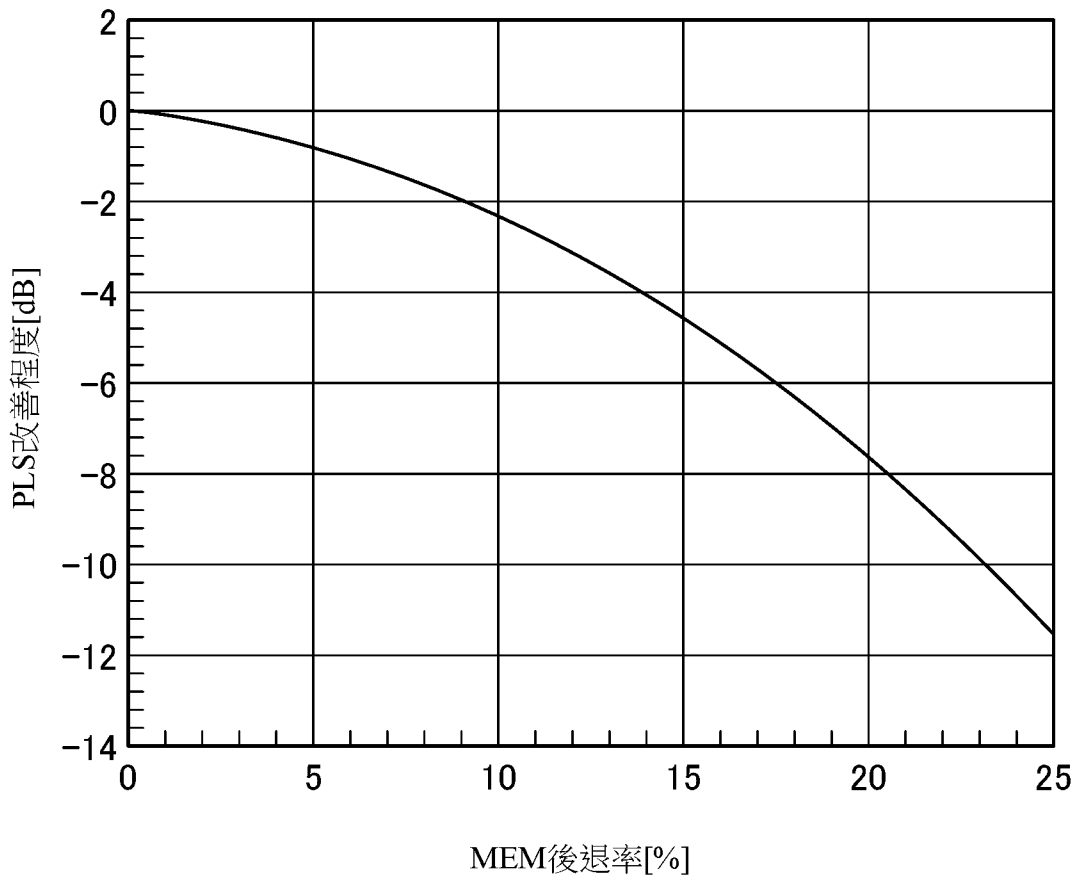


【圖5】

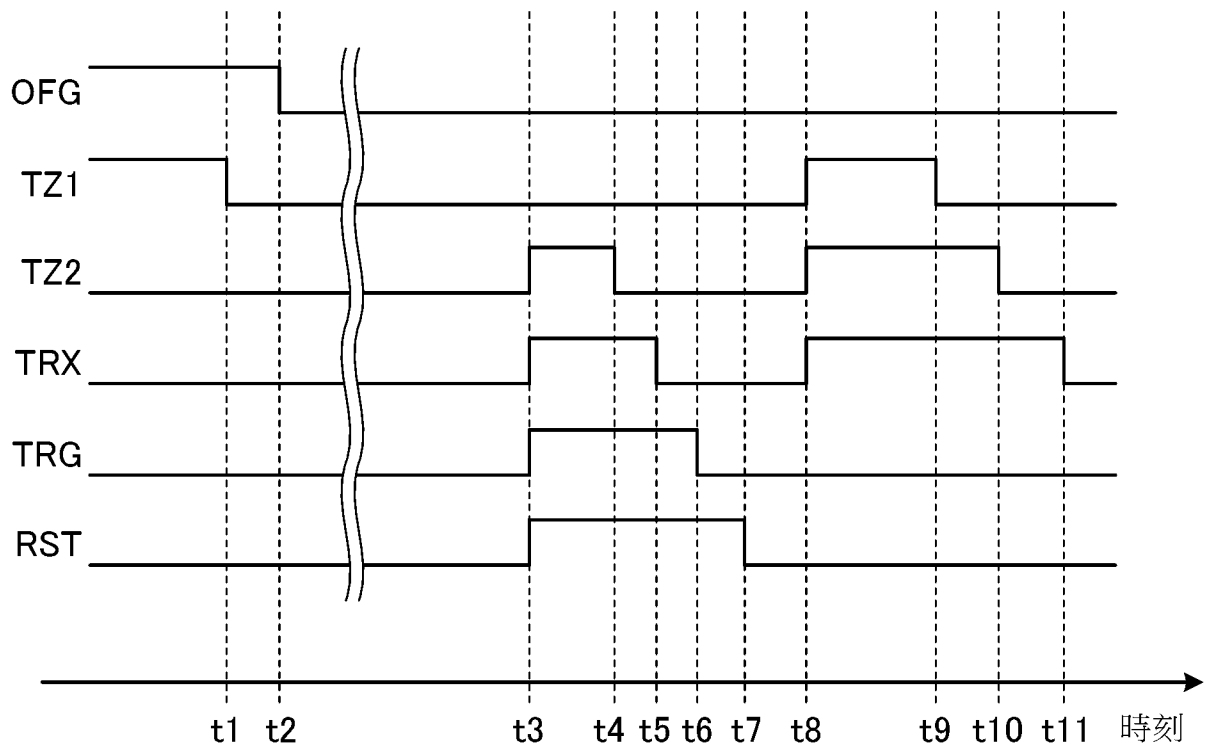




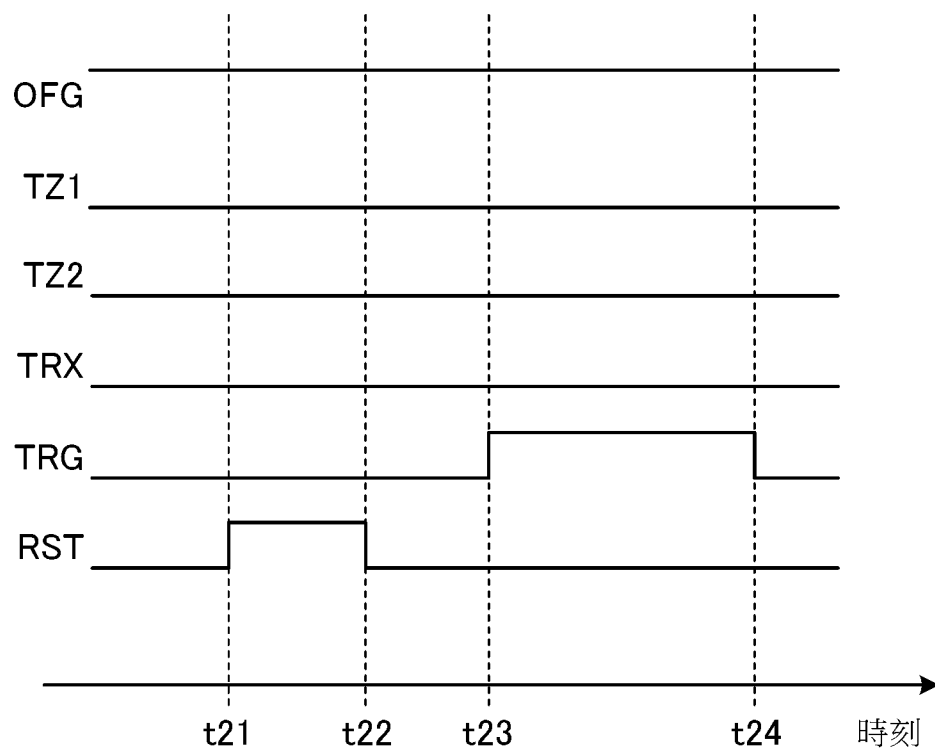
【圖6】



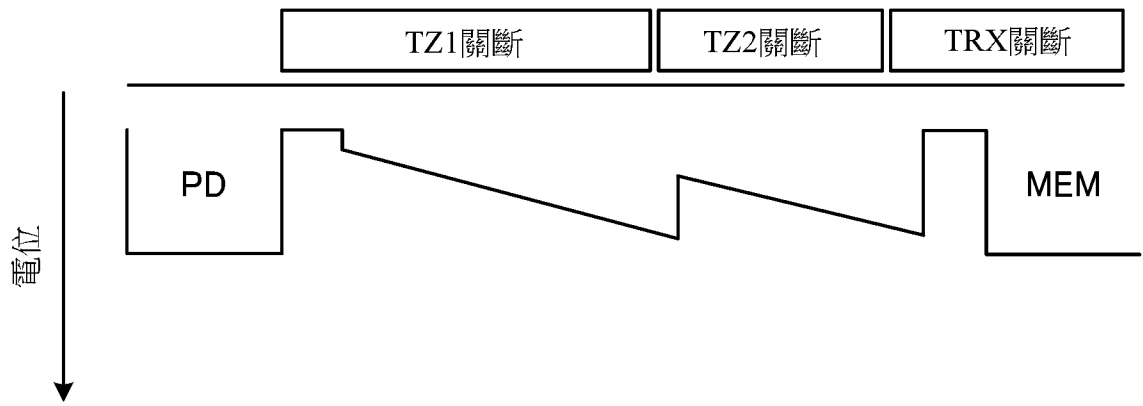
【圖7】



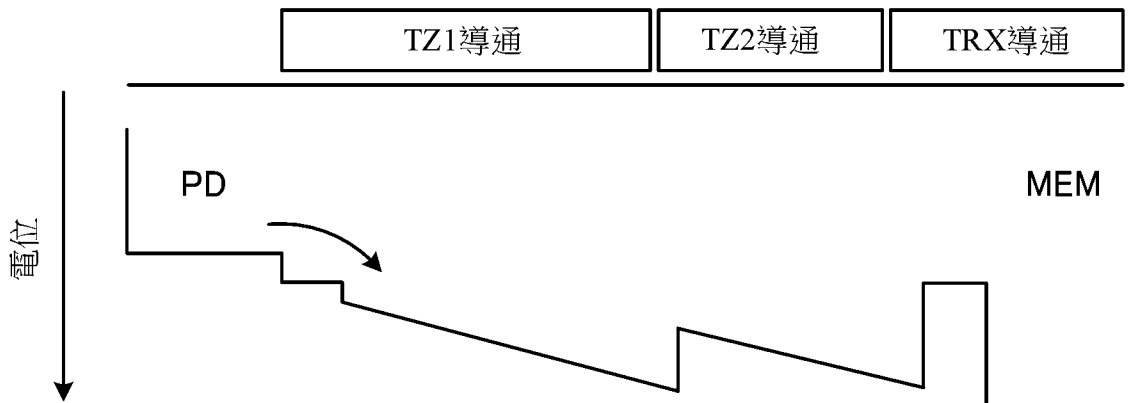
【圖8】



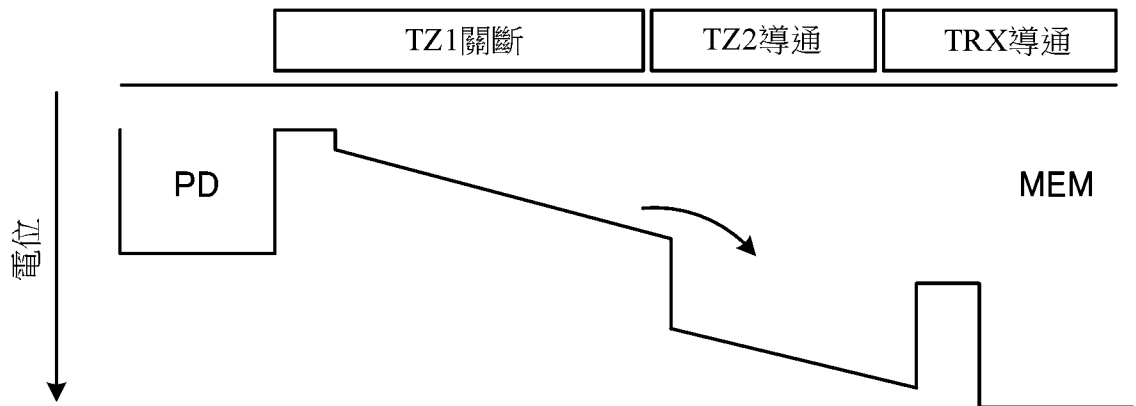
【圖9】



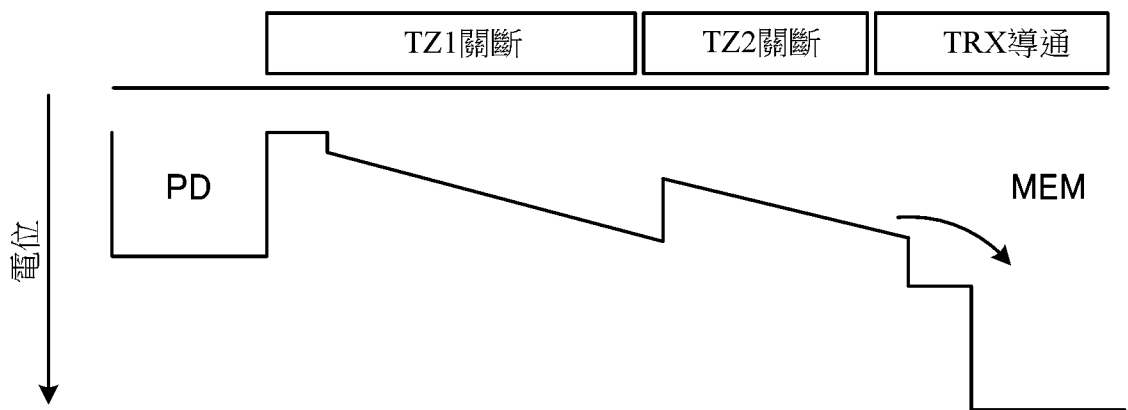
【圖10】



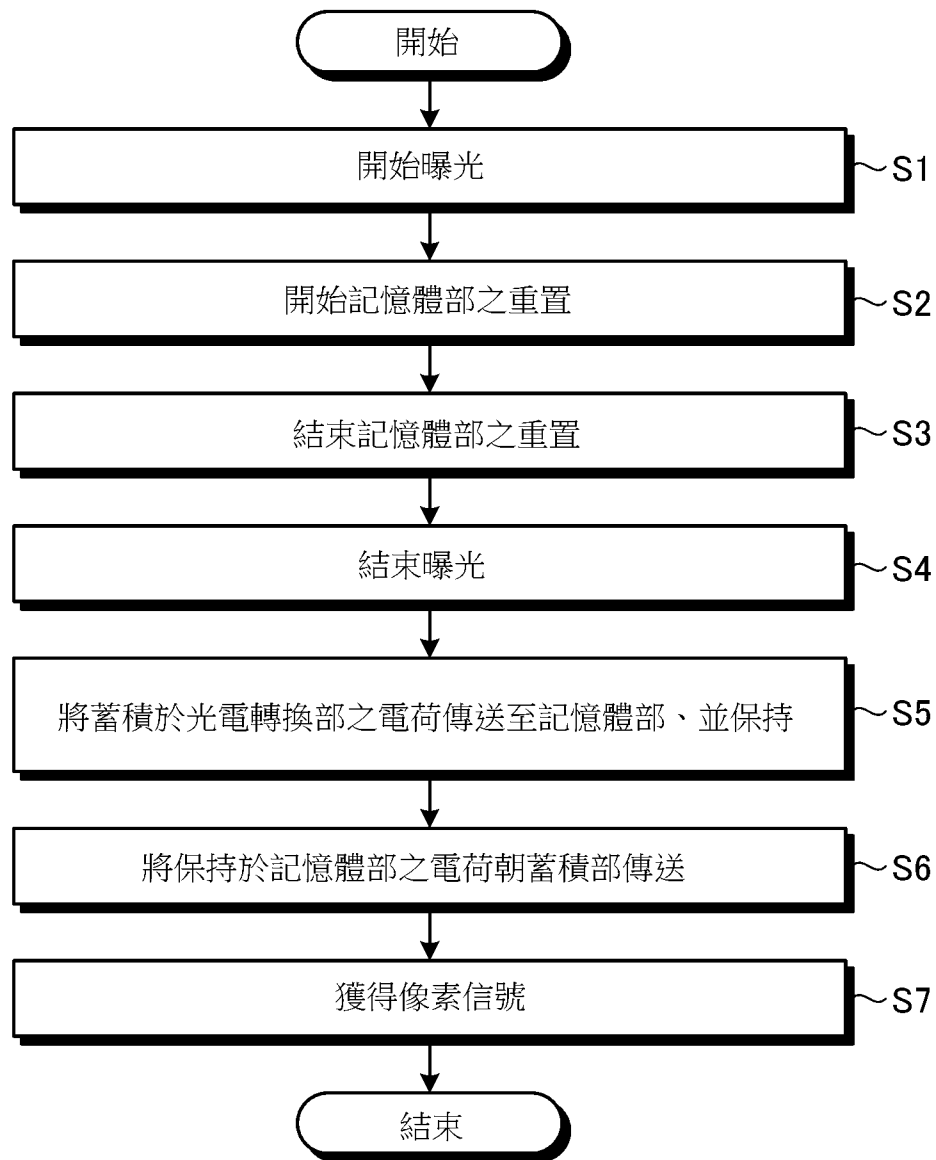
【圖11】



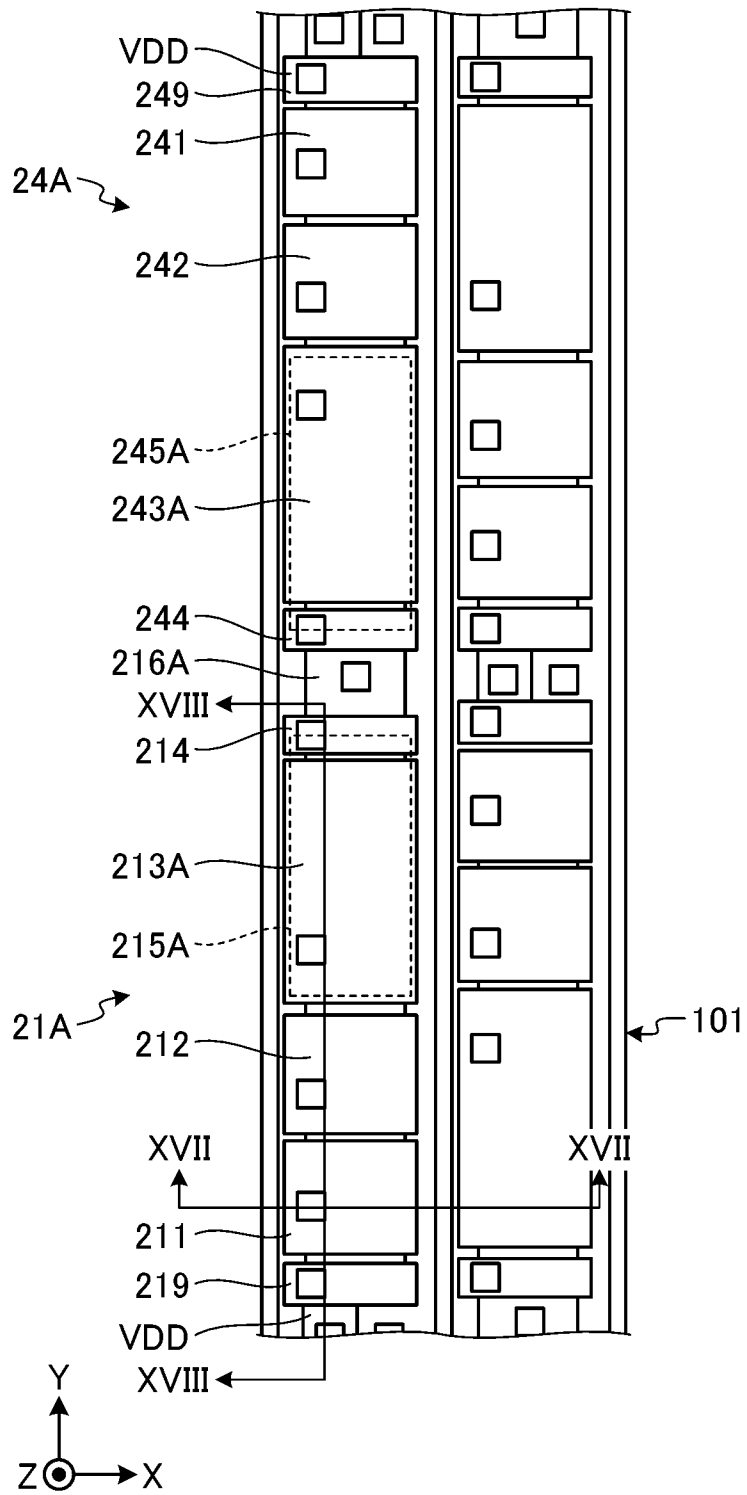
【圖12】



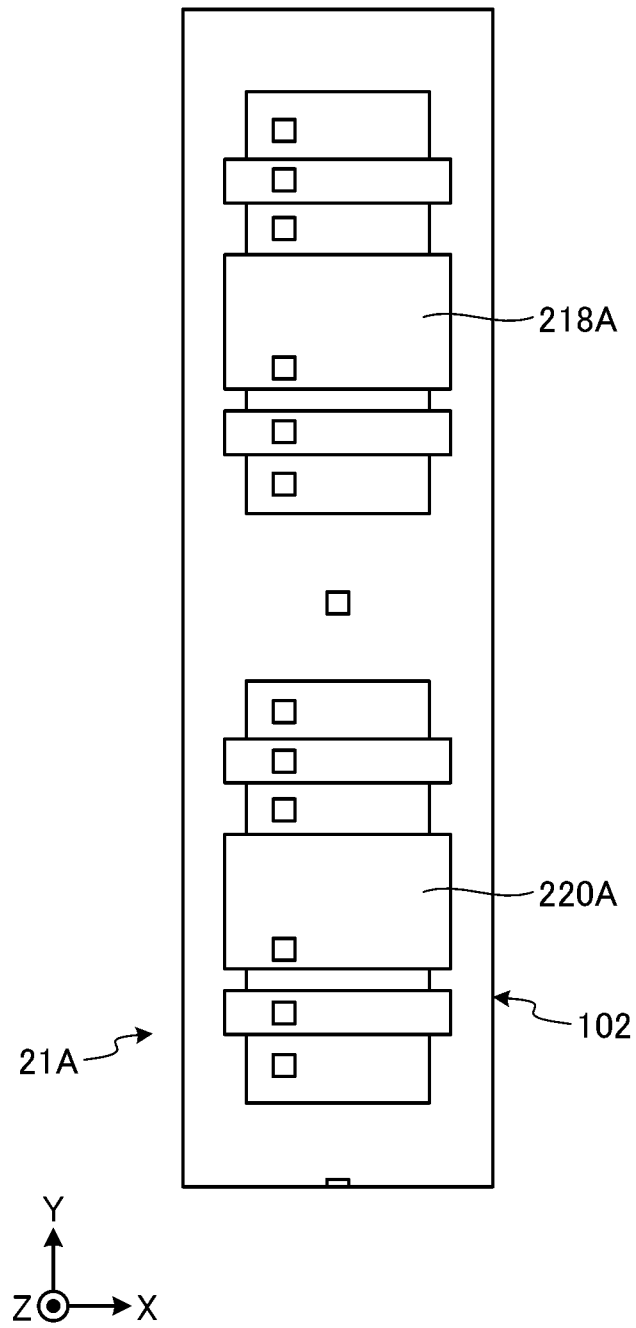
【圖13】



【圖14】

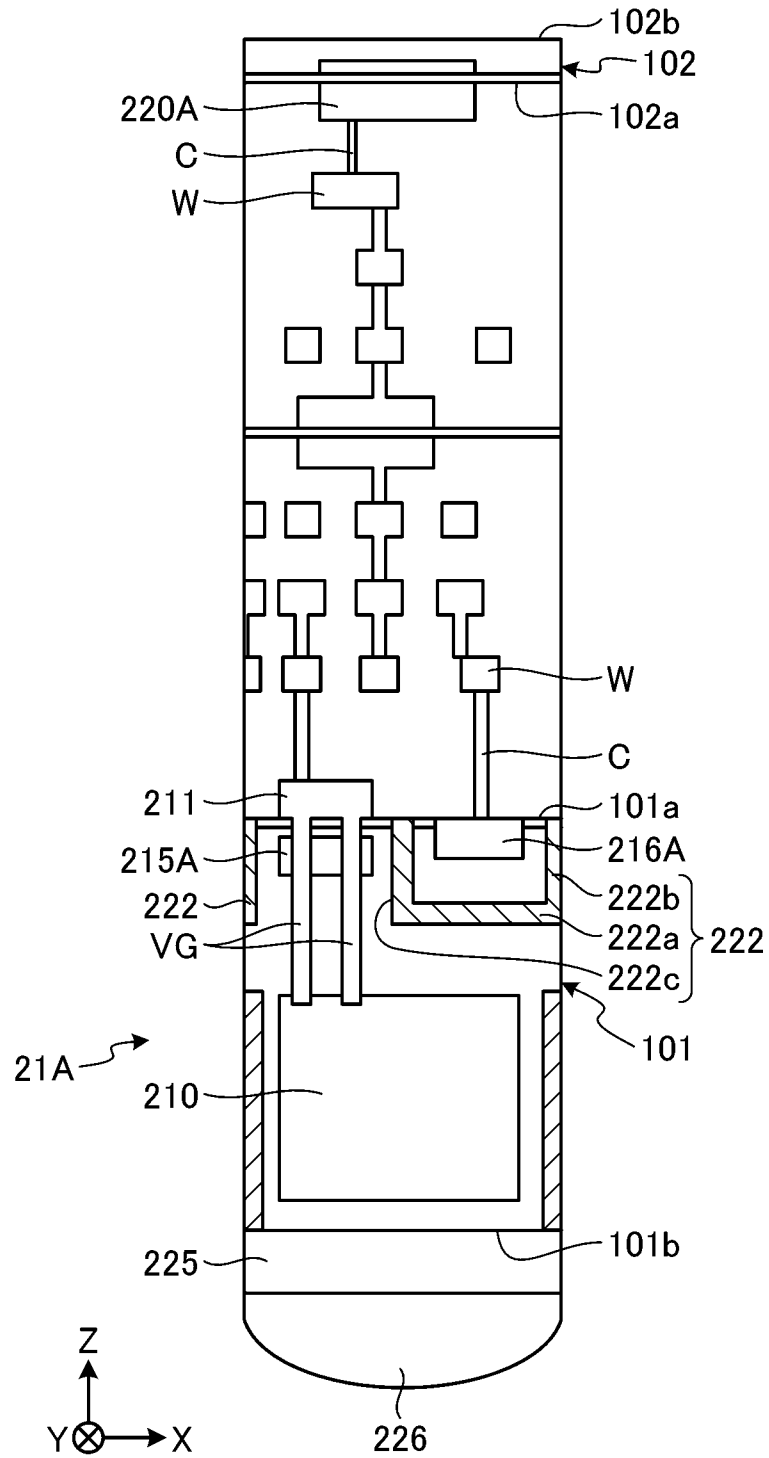


【圖15】

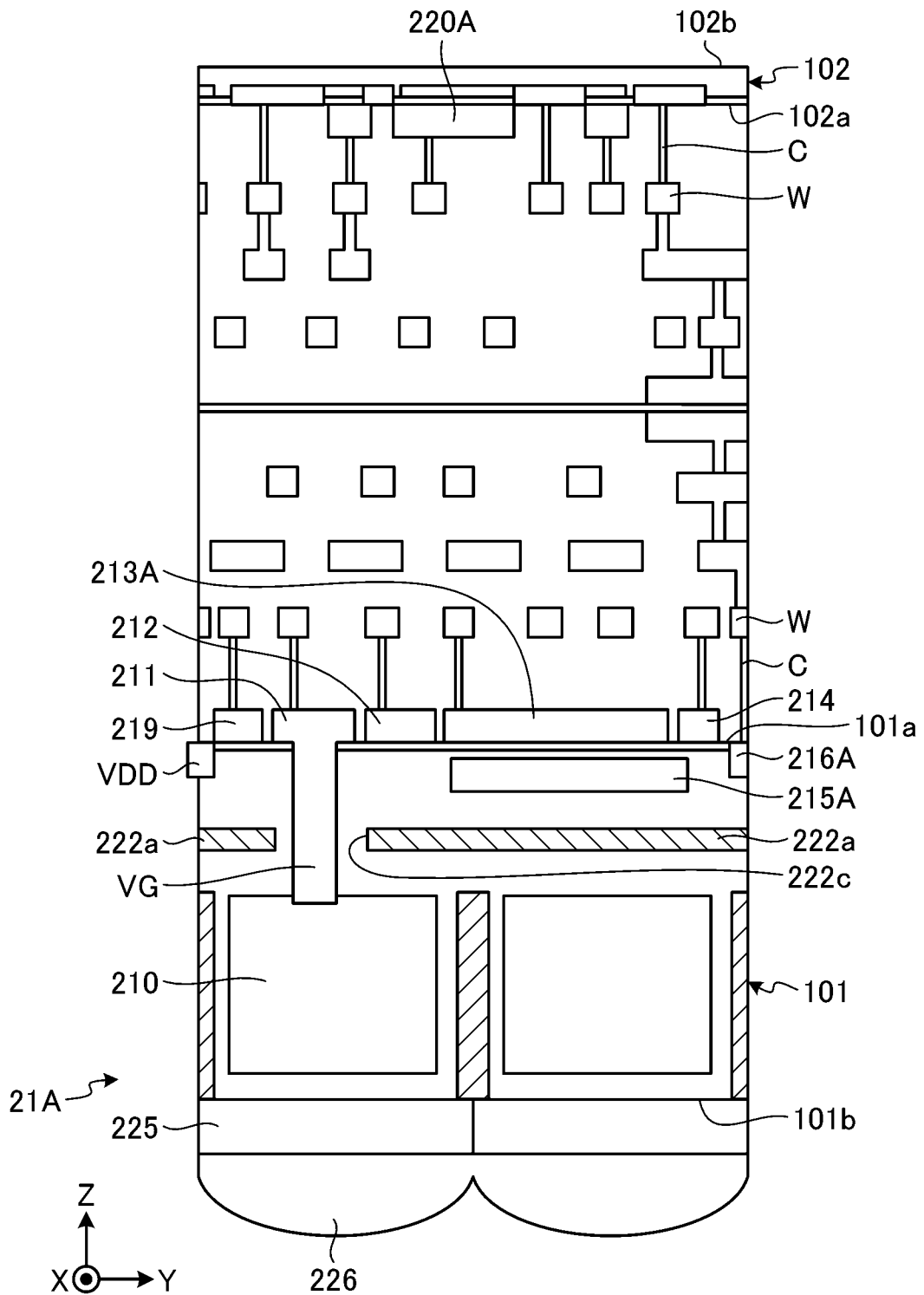


【圖16】



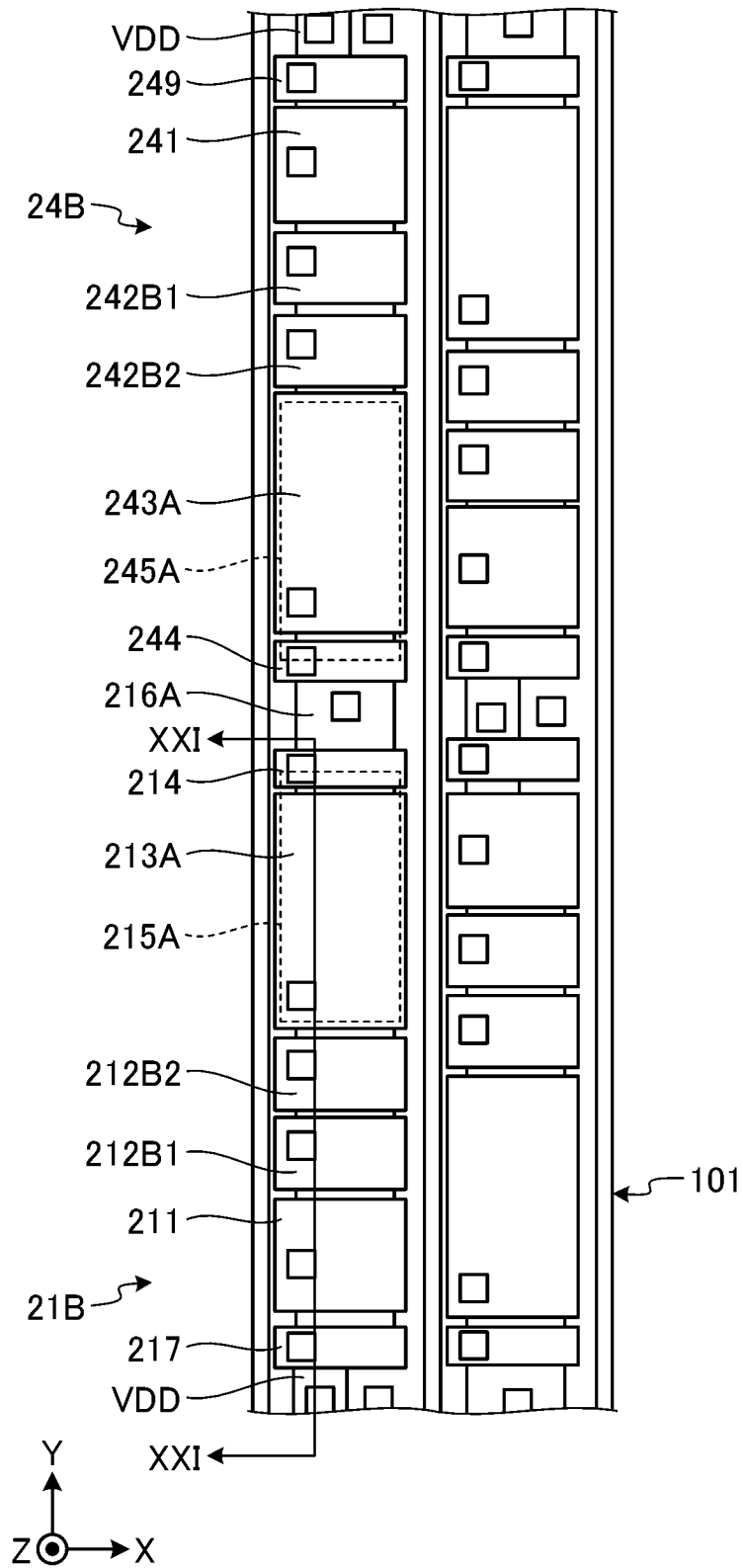


【圖17】

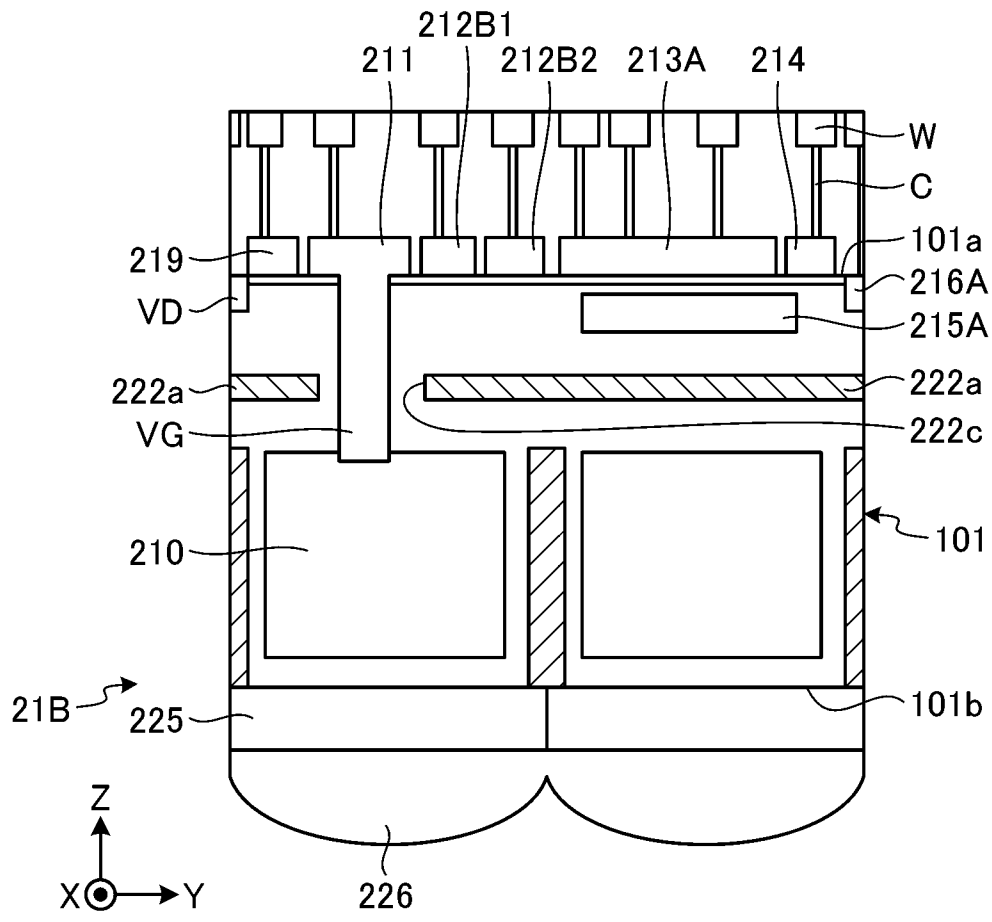


【圖18】

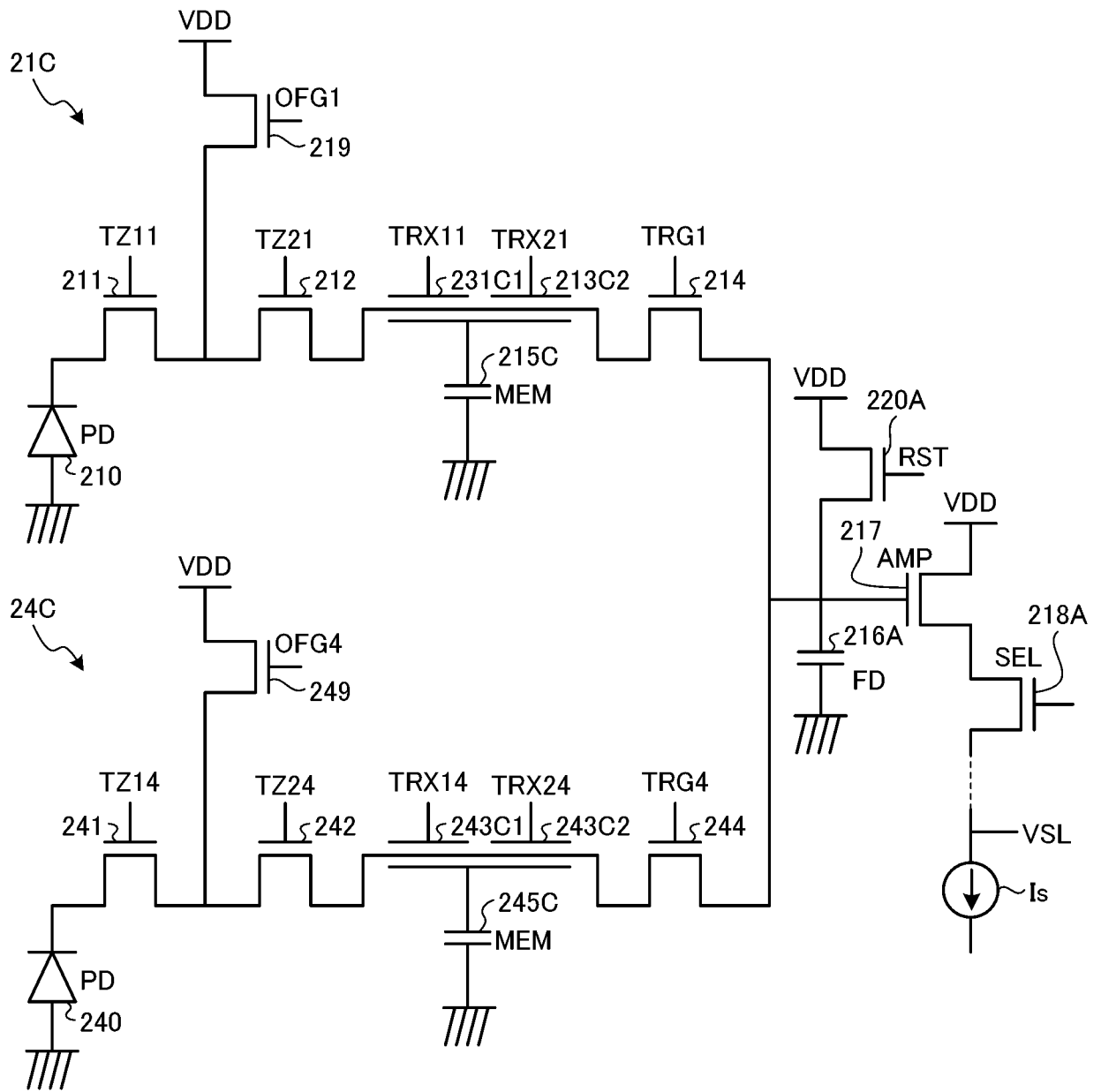




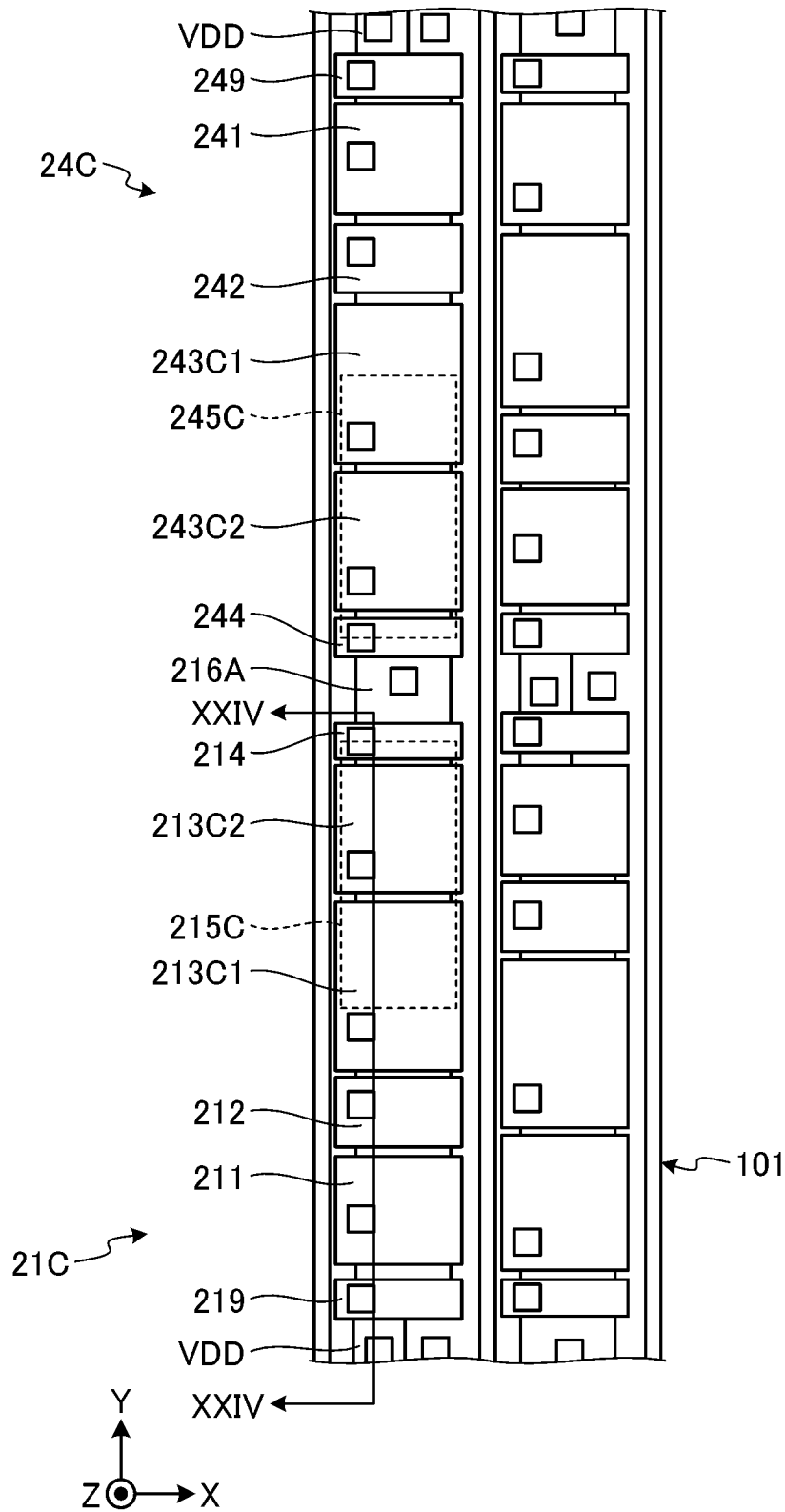
【圖20】



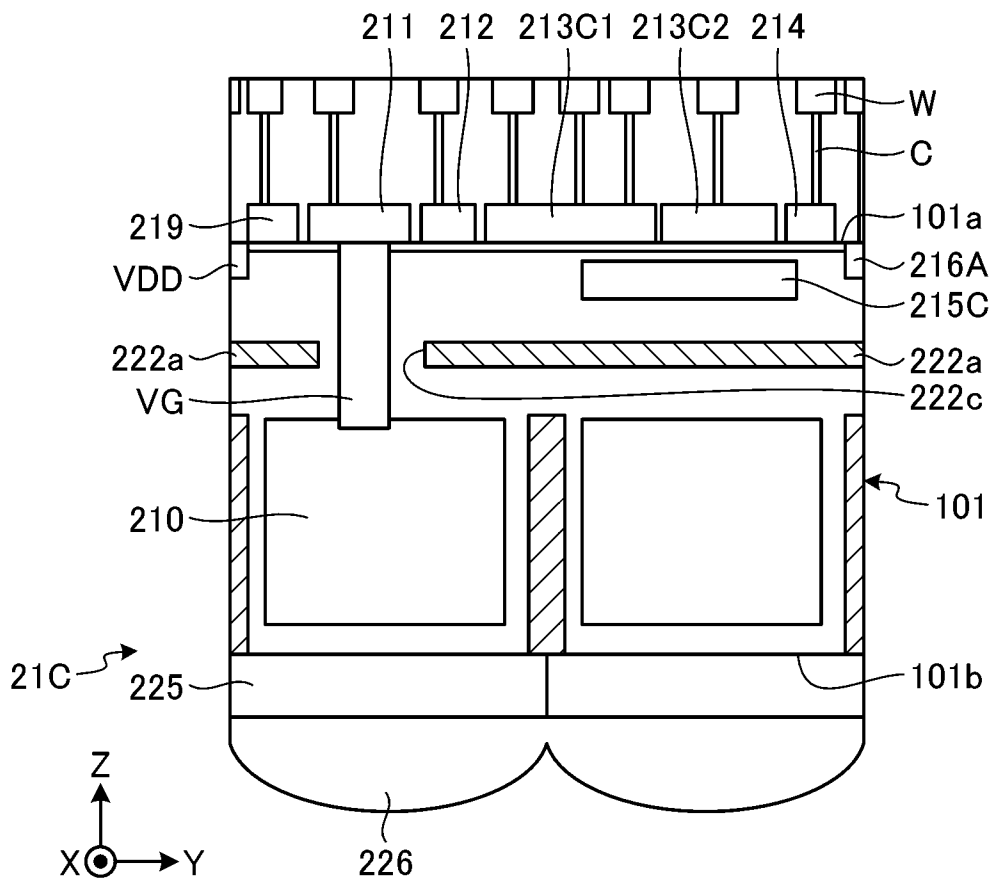
【圖21】



【圖22】

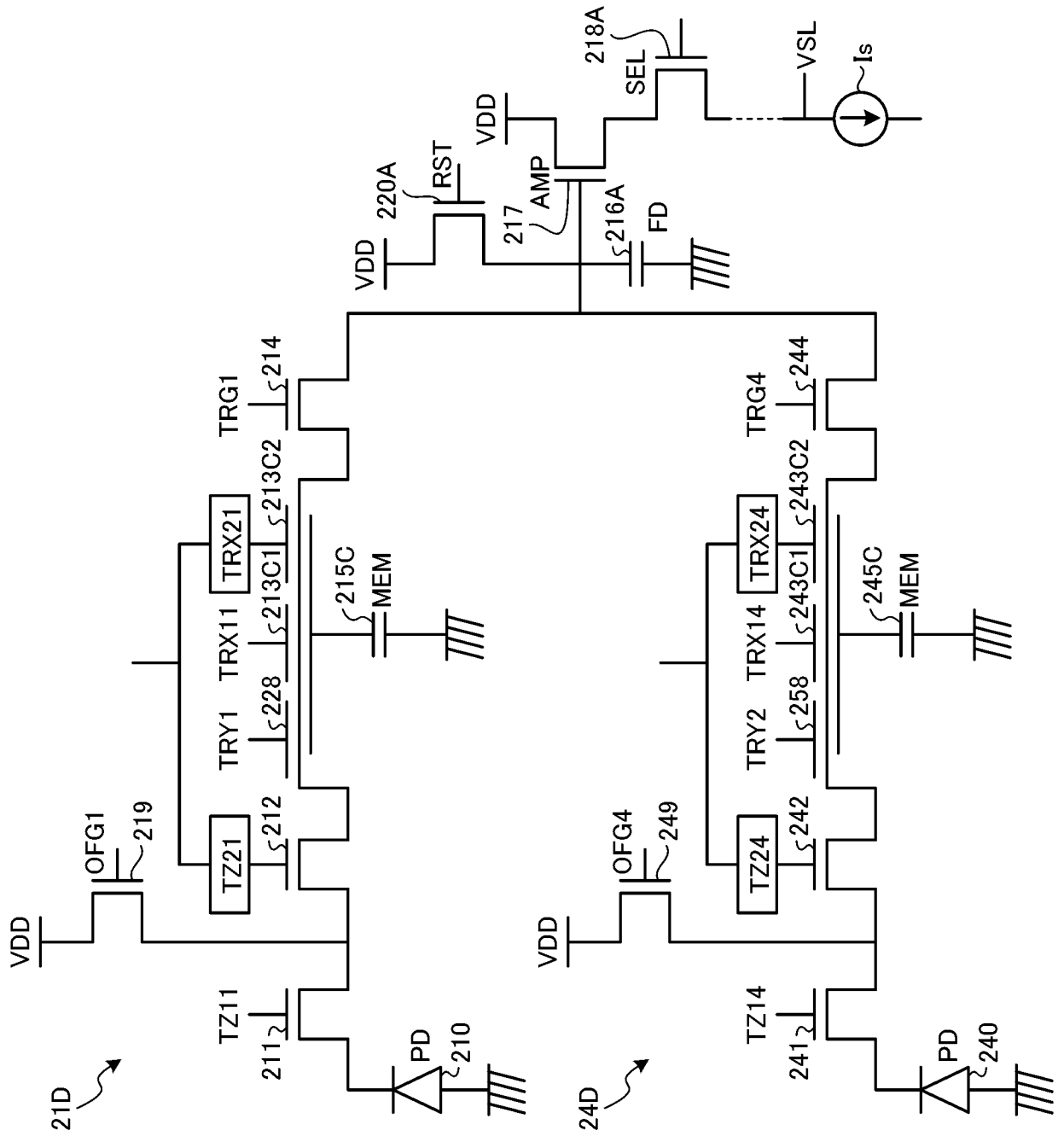


【圖23】

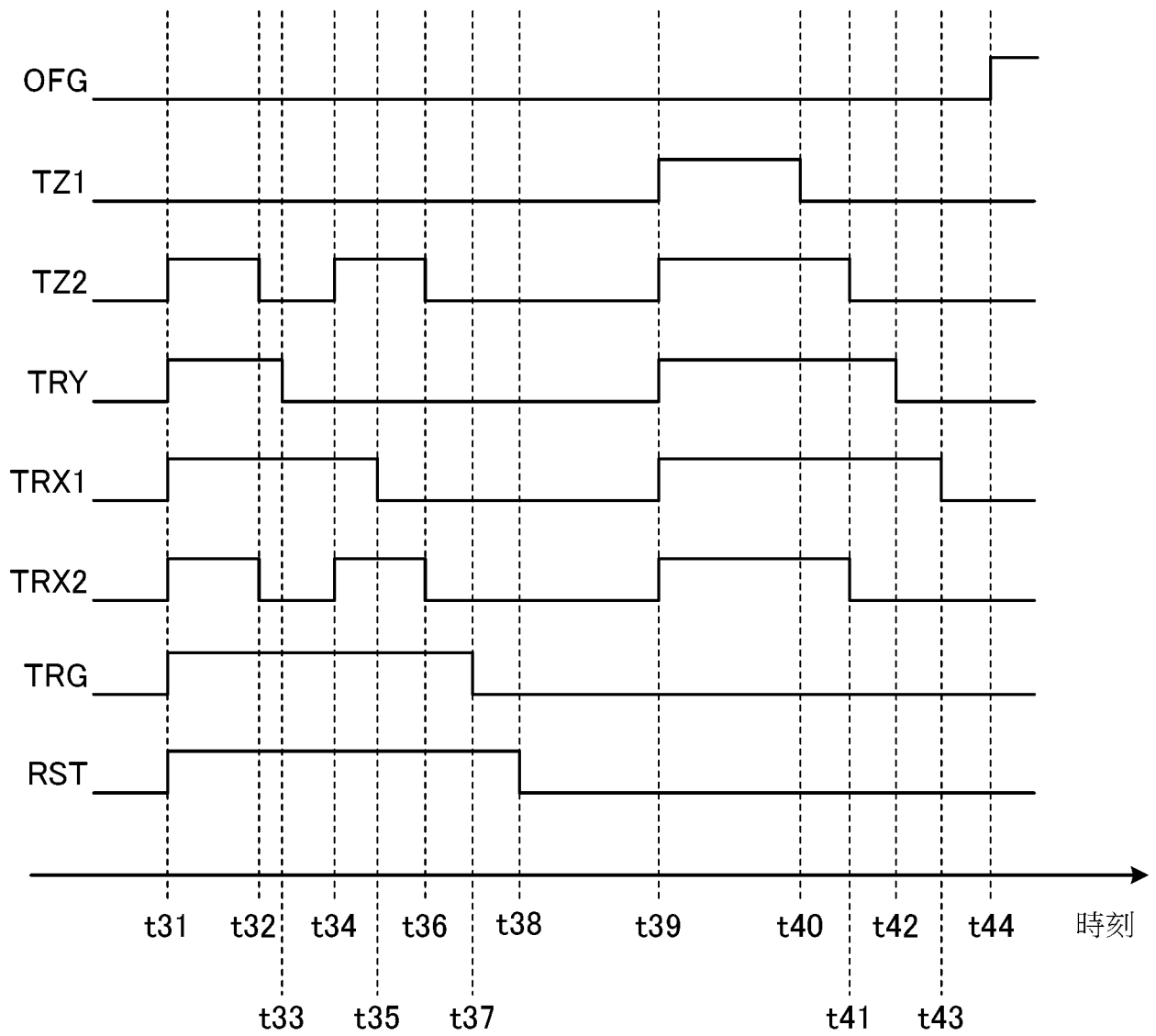


【圖24】

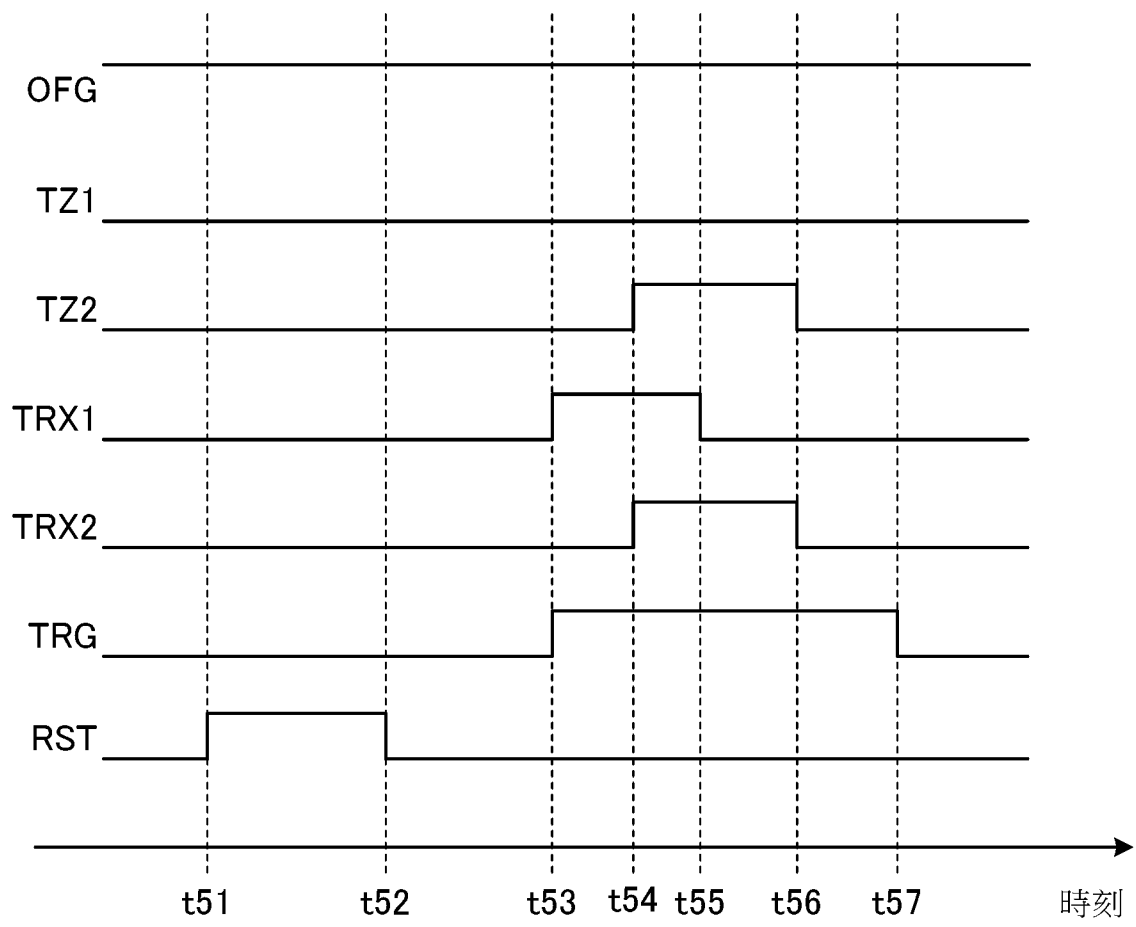




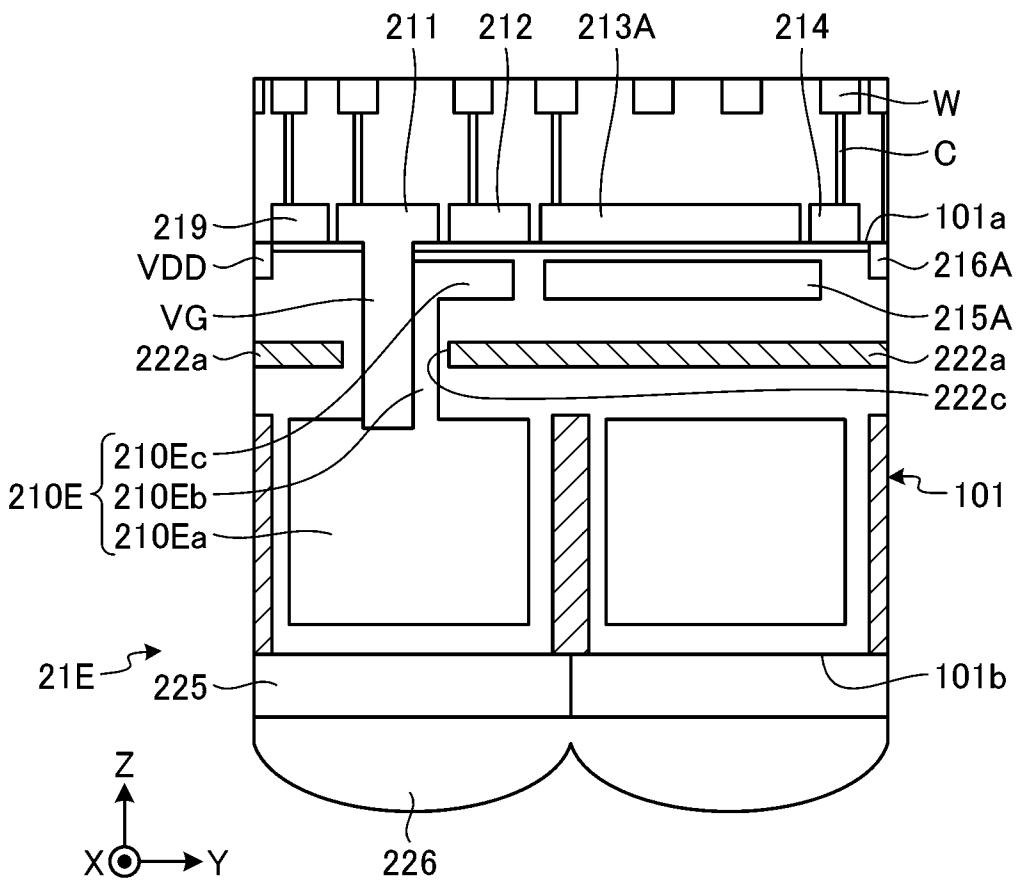
【圖25】



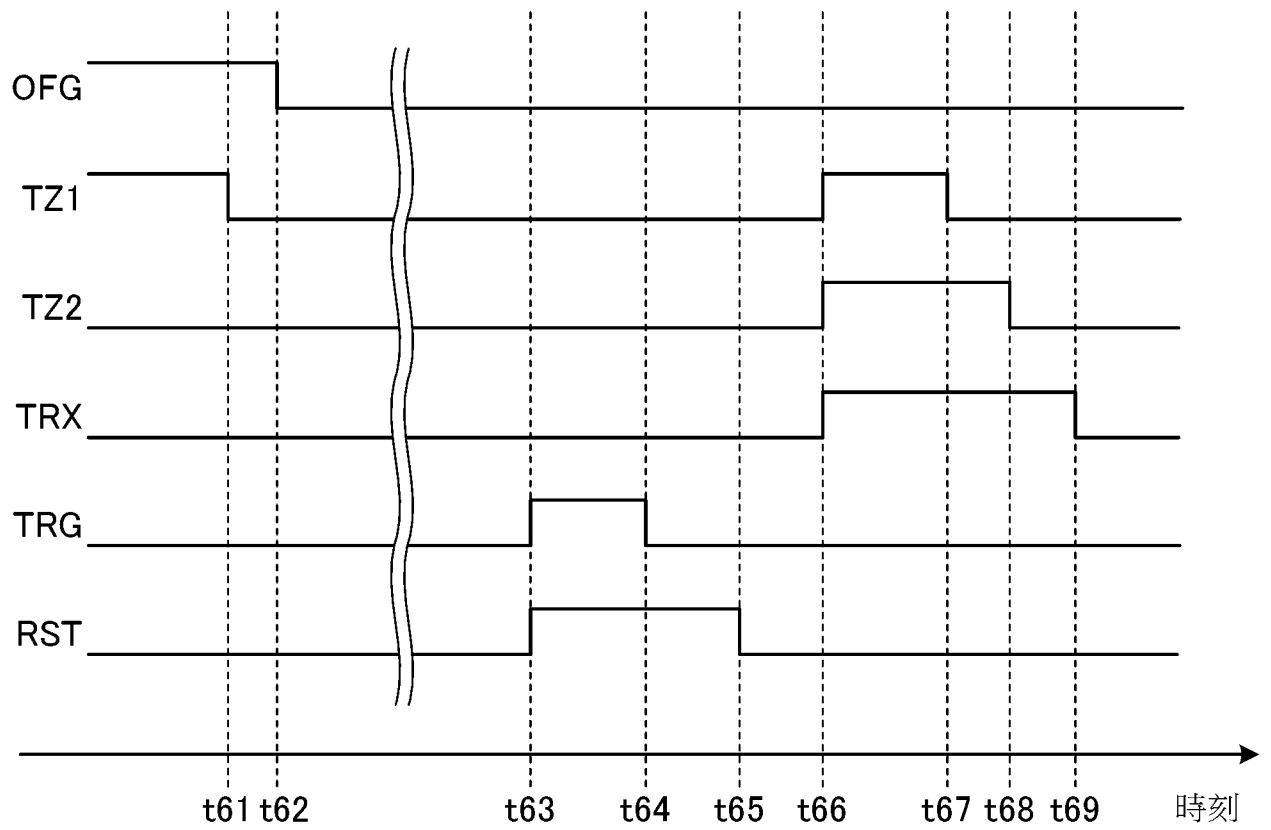
【圖26】



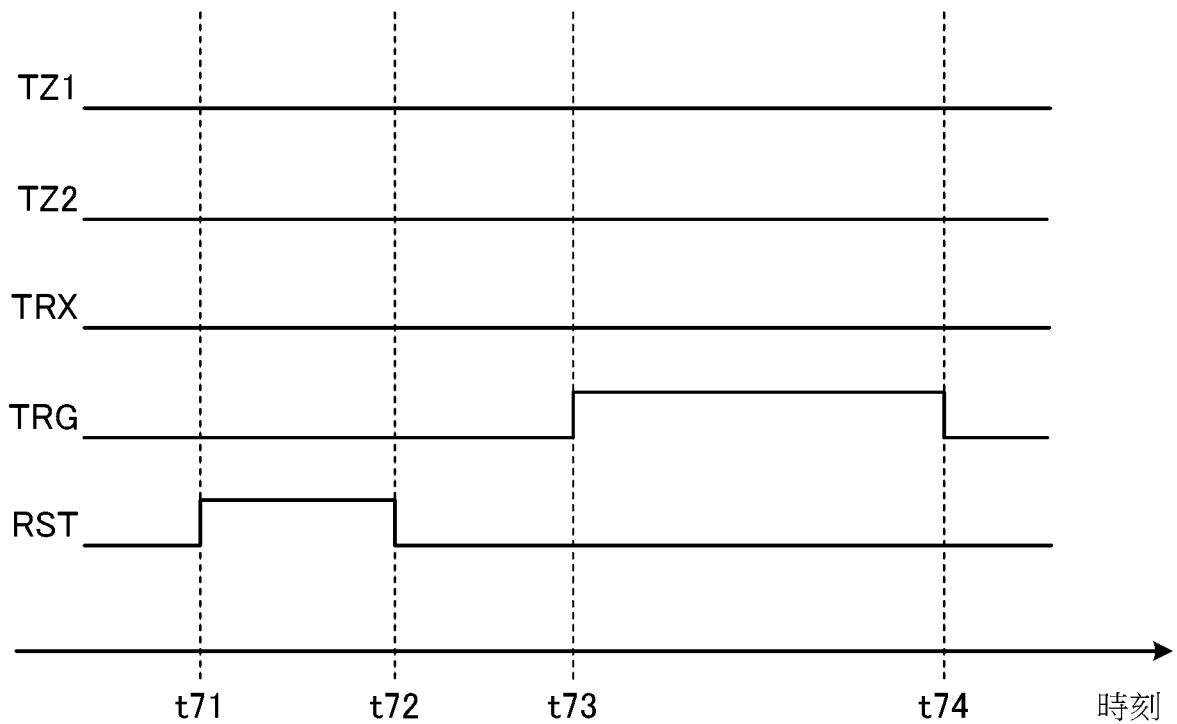
【圖27】



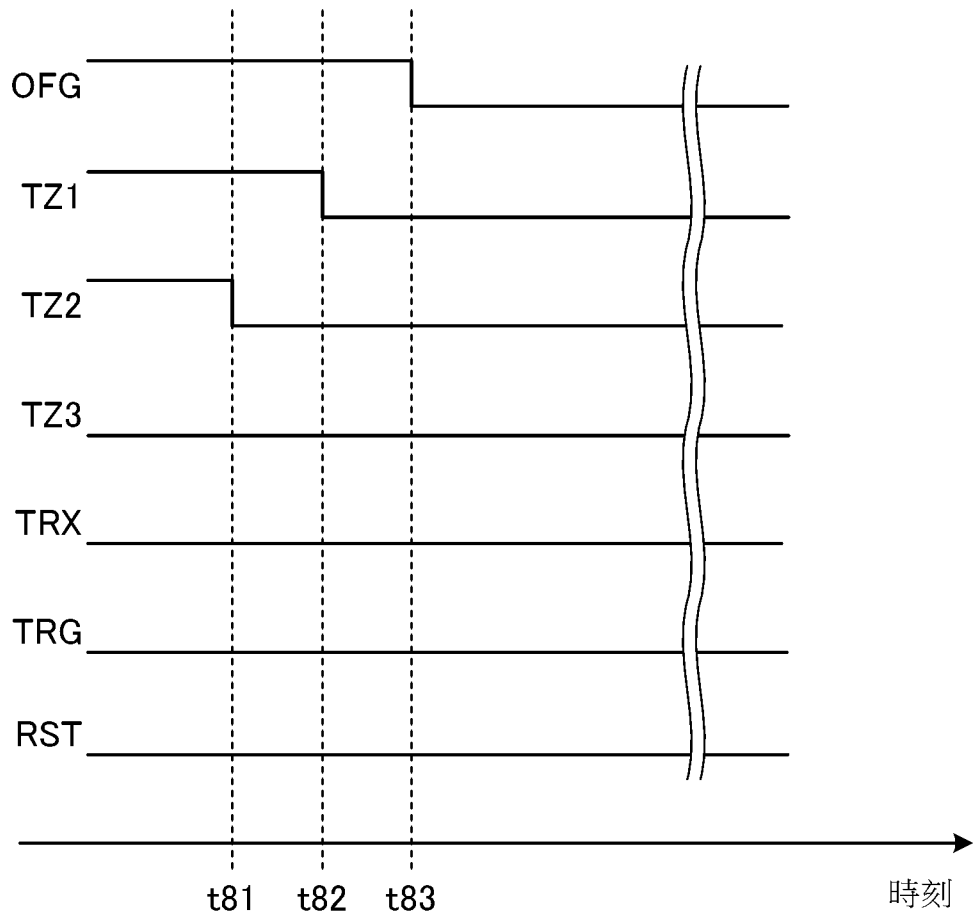
【圖28】



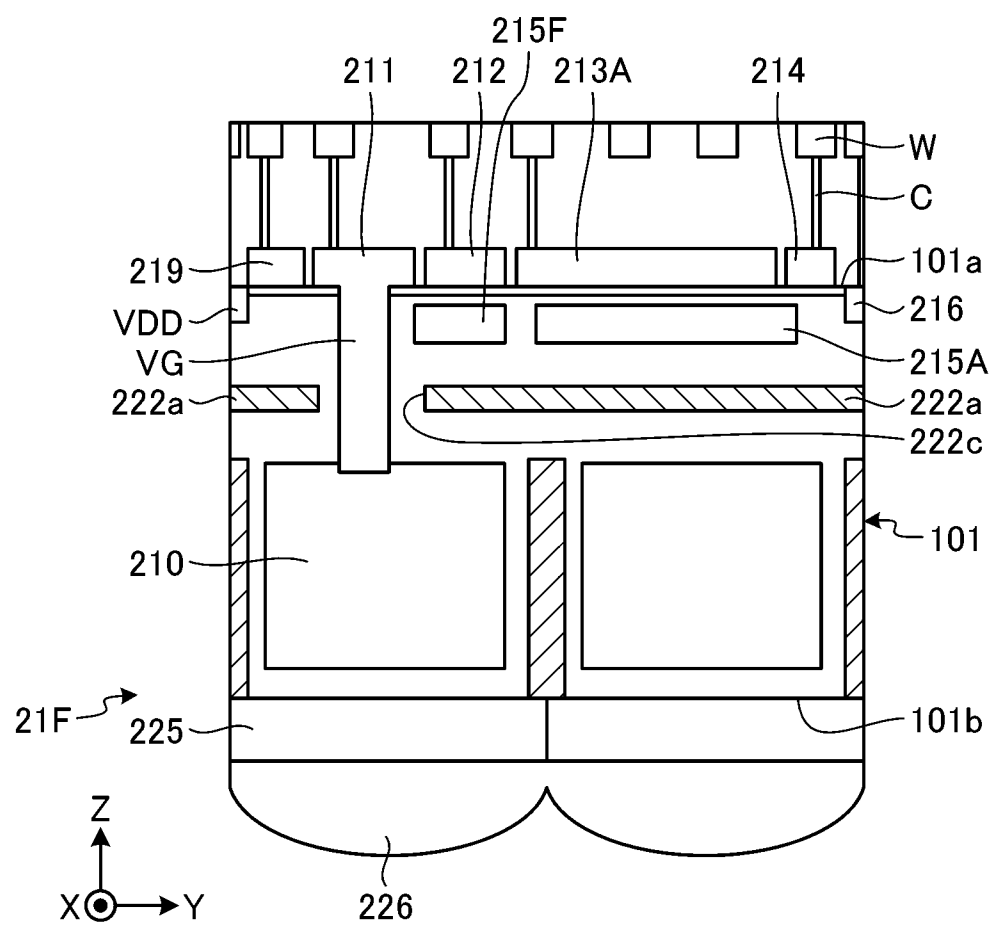
【圖29】



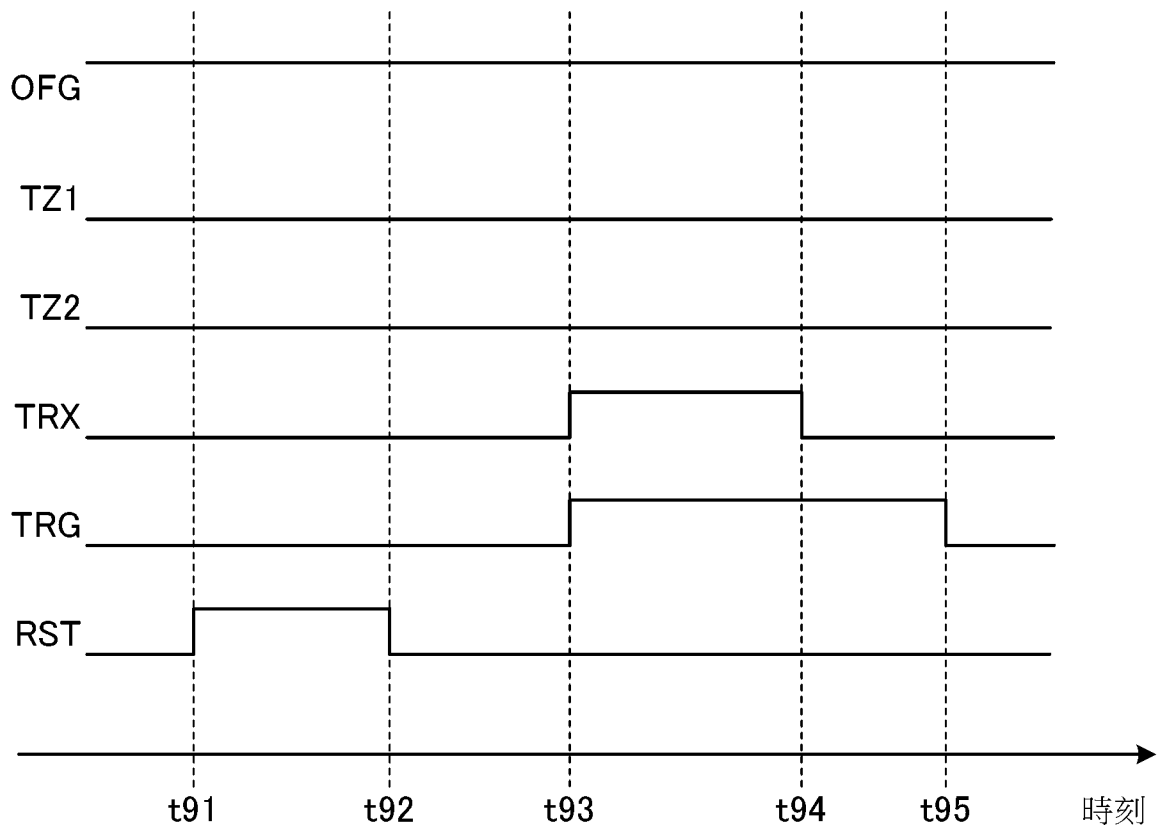
【圖30】



【圖31】

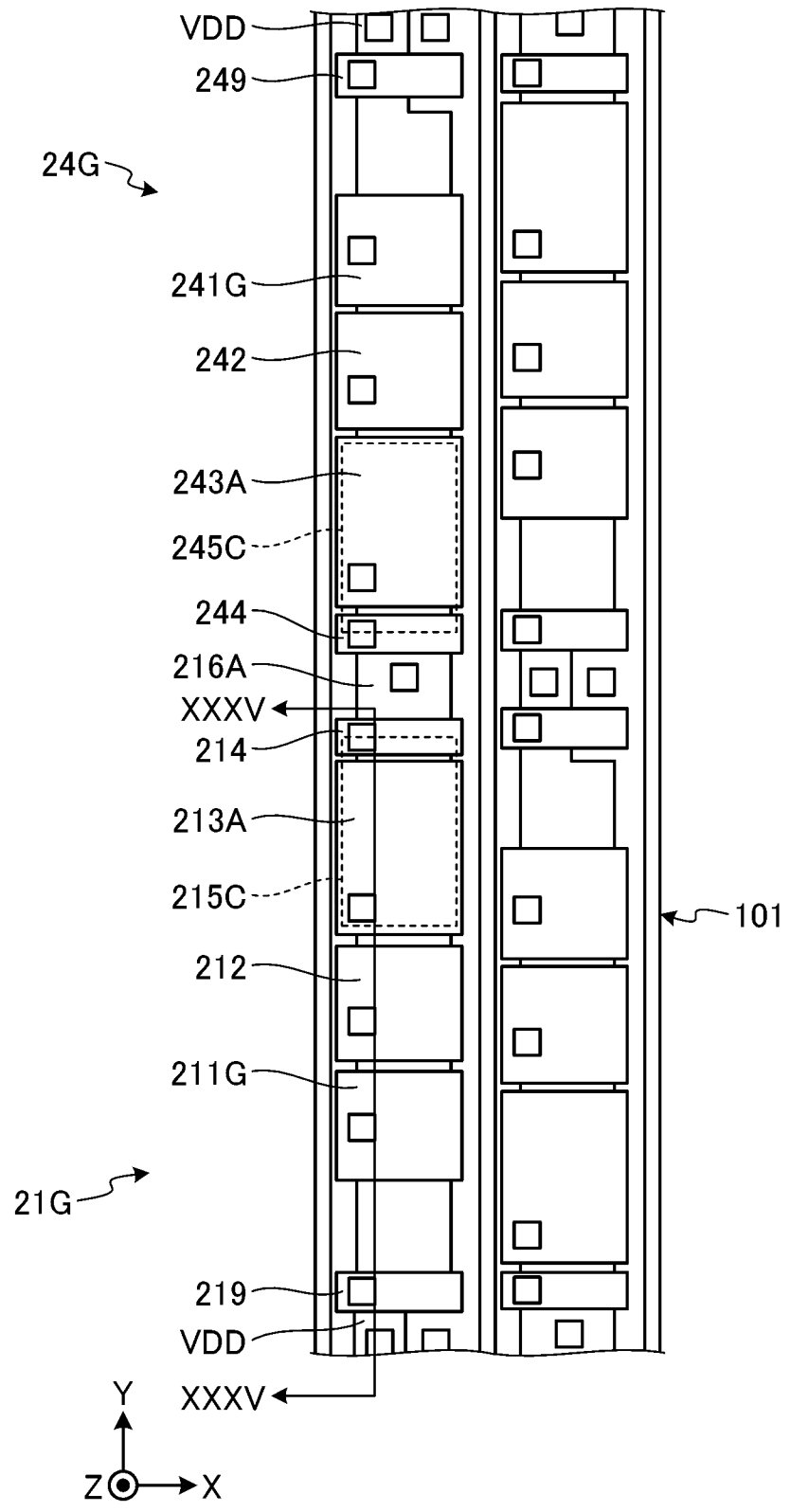


【圖32】

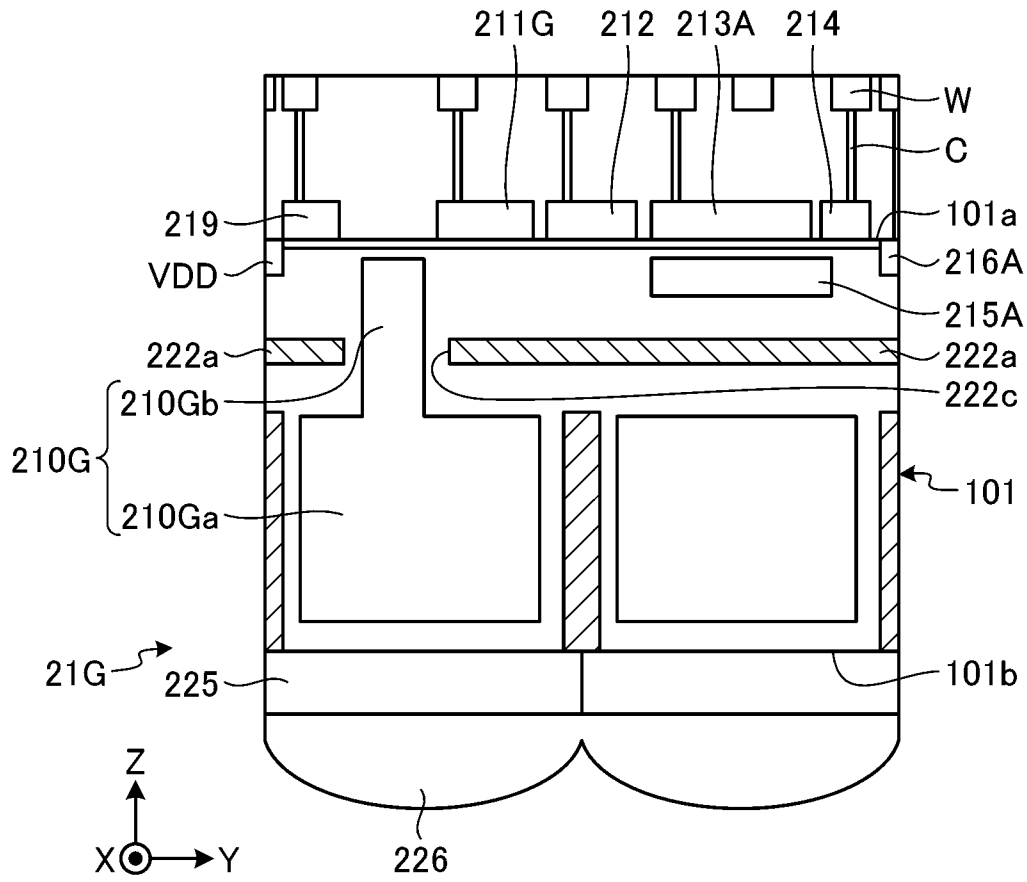


【圖33】

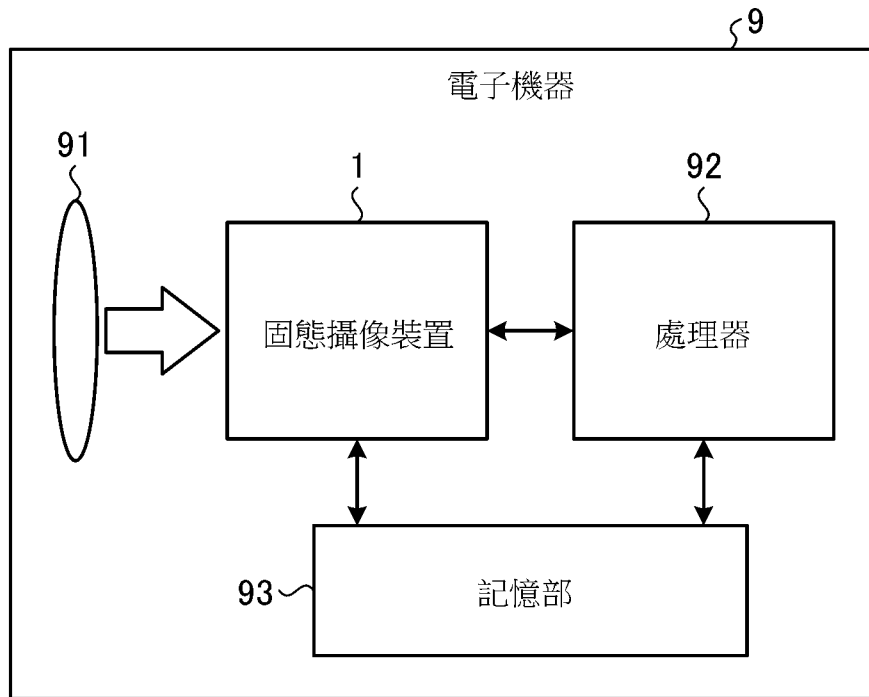




【圖34】



【圖35】



【圖36】