

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4550334号
(P4550334)

(45) 発行日 平成22年9月22日 (2010.9.22)

(24) 登録日 平成22年7月16日 (2010.7.16)

(51) Int. Cl.	F I	
G02F 1/133 (2006.01)	G02F 1/133	520
G09F 9/00 (2006.01)	G09F 9/00	338
G09F 9/30 (2006.01)	G09F 9/00	348C
G09F 9/35 (2006.01)	G09F 9/00	352
G09G 3/20 (2006.01)	G09F 9/30	338

請求項の数 7 (全 12 頁) 最終頁に続く

(21) 出願番号	特願2001-295268 (P2001-295268)	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成13年9月27日 (2001.9.27)	(74) 代理人	100083552 弁理士 秋田 収喜
(65) 公開番号	特開2003-107423 (P2003-107423A)	(72) 発明者	川村 徹也 千葉県茂原市早野3300番地 株式会社 日立製作所 ディ스플레이グループ内
(43) 公開日	平成15年4月9日 (2003.4.9)	(72) 発明者	今城 由博 千葉県茂原市早野3300番地 株式会社 日立製作所 ディ스플레이グループ内
審査請求日	平成19年3月6日 (2007.3.6)	審査官	藤田 都志行

最終頁に続く

(54) 【発明の名称】 液晶表示装置および液晶表示装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の基板と、第2の基板と、前記第1および第2の基板間に挟持される液晶とを有する液晶表示素子と、

前記液晶表示素子を駆動する複数の半導体チップと、

電源回路とを備える液晶表示装置であって、

前記第1の基板は、1辺の周辺部に実装される抵抗分圧回路を有し、

前記複数の半導体チップは、前記第1の基板の第1の辺の周辺部に実装される第1群の半導体チップと、

前記第1の基板の前記第1の辺に隣接する第2の辺の周辺部に実装される第2群の半導体チップとから成り、

前記抵抗分圧回路は、前記電源回路から供給される電圧を分圧し、当該分圧した電圧を前記第1群の各半導体チップに供給することを特徴とする液晶表示装置。

【請求項2】

第1の基板と、第2の基板と、前記第1および第2の基板間に挟持される液晶とを有する液晶表示素子と、

前記液晶表示素子を駆動する複数の半導体チップと、

電源回路とを備える液晶表示装置であって、

前記第1の基板は、1辺の周辺部に実装される抵抗分圧回路を有し、

前記複数の半導体チップは、前記第1の基板の第1の辺の側面に配置される第1群の半

10

20

導体チップと、

前記第1の基板の前記第1の辺に隣接する第2の辺の側面に配置される第2群の半導体チップとから成り、

前記抵抗分圧回路は、前記電源回路から供給される電圧を分圧して複数の階調基準電圧を生成し、当該複数の階調基準電圧を前記第1群の各半導体チップに供給することを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記抵抗分圧回路は、前記電源回路から供給される電圧を分圧して複数の階調基準電圧を生成し、当該複数の階調基準電圧を前記第1群の各半導体チップに供給することを特徴とする請求項1または請求項2に記載の液晶表示装置。

10

【請求項4】

第1の基板と、第2の基板と、前記第1および第2の基板間に挟持される液晶とを有する液晶表示素子と、

前記液晶表示素子を駆動する第1群の半導体チップと第2群の半導体チップと、

電源回路とを備え、

前記第1の基板は、1辺の周辺部に実装される抵抗分圧回路を有し、

前記抵抗分圧回路は、前記電源回路から供給される電圧を分圧して前記第1群の各半導体チップに供給する液晶表示装置の製造方法であって、

前記第1の基板上に、前記抵抗分圧回路を構成する複数の分圧抵抗素子を形成する第1の工程と、

20

前記第1の工程で形成した複数の抵抗素子の中の少なくとも一つの抵抗値を調整する第2の工程とを有することを特徴とする液晶表示装置の製造方法。

【請求項5】

前記第1の工程は、前記複数の分圧抵抗素子の中の少なくとも一つを、複数の抵抗素子が電氣的に並列接続された並列抵抗回路で構成する工程を含み、

前記第2の工程は、前記並列抵抗回路を構成する前記複数の抵抗素子の中の少なくとも一つを残して、他の抵抗素子を、前記少なくとも一つの抵抗素子から切り離す工程であることを特徴とする請求項4に記載の液晶表示装置の製造方法。

【請求項6】

前記第1の工程は、前記複数の分圧抵抗素子の中の少なくとも一つを、第1の抵抗素子と、前記第1の抵抗素子の近傍に配置される複数の抵抗素子とで構成する工程を含み、

30

前記第2の工程は、前記複数の抵抗素子の中の少なくとも一つを、前記第1の抵抗素子に電氣的に並列に接続する工程であることを特徴とする請求項4に記載の液晶表示装置の製造方法。

【請求項7】

前記第1の工程は、前記複数の分圧抵抗素子の中の少なくとも一つを、抵抗素子と、一端が前記抵抗素子の一端に接続され、他端が開放とされる短絡用素子とで構成する工程を含み、

前記第2の工程は、前記短絡用素子の他端を、前記抵抗素子の任意の位置に電氣的に接続する工程であることを特徴とする請求項4に記載の液晶表示装置の製造方法。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に係わり、特に、駆動回路（ドレインドライバ）間でデジタル信号を転送する方式の液晶表示装置の駆動回路に適用して有効な技術に関する。

【0002】

【従来の技術】

STN（Super Twisted Nematic）方式、あるいはTFT（Thin Film Transistor）方式の液晶表示モジュールであって、画素数が、例えば、カラー表示で800×480×3以上の大型の液晶表示パネルを有する液晶表示モジュールは、ノート型パーソナルコンピュ

50

ータ等の表示装置として広く使用されている。これらの液晶表示装置は、液晶表示パネルと、液晶表示パネルを駆動する駆動回路を備えている。

そして、このような液晶表示装置において、例えば、特開平6-13724号公報に記載されているように、カスケード接続された駆動回路の先頭の駆動回路にのみ、デジタル信号（例えば、表示データ、あるいはクロック信号）を入力し、他の駆動回路には、駆動回路内を通して、デジタル信号を順次転送する方式（以下、デジタル信号順次転送方式と称する。）のものが知られている。

前記公報（特開平6-13724号）に記載されている液晶表示装置では、駆動回路を構成する半導体集積回路装置（IC）は、液晶表示パネルのガラス基板に直接実装されている。

10

【0003】

図9は、前述したようなデジタル信号順次転送方式を採用する従来の液晶表示装置における液晶表示パネルの基本構成を示すブロック図である。

同図に示す液晶表示パネルでは、タイミングコントローラ（または表示制御装置）110と、ドレインドライバ130と、ゲートドライバ140とは、液晶表示パネル100のTFT基板を構成する透明性の絶縁基板（ガラス基板）の2辺の周辺部に、それぞれ実装される。

タイミングコントローラ110から送出されたデジタル信号（表示データ、クロック信号等）、および電源回路から供給される階調基準電圧は、先頭のドレインドライバ130に入力され、各ドレインドライバ130内の内部信号線、および各ドレインドライバ130間の伝送線路（ガラス基板上の配線層）を伝搬して、各ドレインドライバ130に入力される。

20

【0004】

また、各ドレインドライバ130の電源電圧は、電源回路120からフレキシブルプリント配線基板（以下、単に、FPC基板という）150を介して、各ドレインドライバ130に供給される。

同様に、タイミングコントローラ110から送出されたデジタル信号（クロック信号等）は、先頭のゲートドライバ140に入力され、各ゲートドライバ140内の内部信号線、および各ゲートドライバ140間の伝送線路を伝搬して、各ゲートドライバ140に入力される。

30

但し、ゲートドライバ側では、電源回路120から供給されるゲートドライバ140の電源電圧も、先頭のゲートドライバ140に供給され、各ゲートドライバ140内の内部電源線、および各ゲートドライバ140間の伝送線路を介して、各ゲートドライバ140に供給される。

【0005】

【課題を解決するための手段】

前述した電源回路120は、DC-DCコンバータを備え、このDC-DCコンバータで、単一の電圧レベルの入力電圧から、それぞれ電圧レベルが異なる複数の出力電圧を生成して、各ドレインドライバ130および各ゲートドライバ140の電源電圧として供給するとともに、DC-DCコンバータで生成された2つの出力電圧を抵抗分圧回路で分圧して、複数の階調基準電圧を生成し、この階調基準電圧を、各ドレインドライバ130に供給するようにしている。

40

この場合に、各ドレインドライバ130および各ゲートドライバ140に供給する電源電圧は、製品設計開始段階から製品出荷までの間に変更される場合があり、さらに、各ドレインドライバ130に供給する階調基準電圧の電圧数は、例えば、用途などに応じて変更される場合がある。

しかしながら、それぞれの場合に応じて、電源回路120の仕様を変更することは、液晶表示モジュールを出荷するまでの期間が長くなるばかりか、電源回路120のコストアップに繋がり、そのため、液晶表示モジュールのコストが増加するという問題点があった。

【0006】

50

このように、従来の液晶表示装置では、例えば、液晶表示パネルの設計変更などに伴い、電源回路の仕様を変更する必要があるが、液晶表示装置を出荷するまでの期間が長く、その上、コストが増加するという問題点があった。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、各種の設計変更の際に、製品出荷までの期間を従来よりも短くでき、かつ、コストを低減することが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【 0 0 0 7 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

即ち、本発明は、第1および第2の基板間に挟持される液晶とを有する液晶表示素子と、前記液晶表示素子を駆動する複数の半導体チップと、電源回路とを備える液晶表示装置であって、前記第1の基板は、1辺の周辺部に実装される抵抗分圧回路を有し、前記抵抗分圧回路は、前記電源回路から供給される電圧を分圧し、当該分圧した電圧を前記各半導体チップに供給する。

また、本発明の好ましい実施の形態では、前記複数の半導体チップは、少なくとも前記第1の基板の隣接する2辺の周辺部に実装されていることを特徴とする。

【 0 0 0 8 】

また、本発明の好ましい実施の形態では、前記複数の半導体チップは、前記第1の基板の第1の辺の周辺部に実装される第1群の半導体チップと、前記第1の基板の前記第1の辺に隣接する第2の辺の周辺部に実装される第2群の半導体チップとから成り、前記抵抗分圧回路は、前記電源回路から供給される電圧を分圧して複数の階調基準電圧を生成し、当該複数の階調基準電圧を前記第1群の半導体チップに供給することを特徴とする。

また、本発明の好ましい実施の形態では、前記複数の半導体チップは、前記第1の基板の第1の辺の側面に配置される第1群の半導体チップと、前記第1の基板の前記第1の辺に隣接する第2の辺の側面に配置される第2群の半導体チップとから成り、前記抵抗分圧回路は、前記電源回路から供給される電圧を分圧して複数の階調基準電圧を生成し、当該複数の階調基準電圧を前記第1群の半導体チップに供給することを特徴とする。

【 0 0 0 9 】

また、本発明は、第1および第2の基板間に挟持される液晶とを有する液晶表示素子と、前記液晶表示素子を駆動する複数の半導体チップと、電源回路とを備え、前記第1の基板は、1辺の周辺部に実装される抵抗分圧回路を有し、前記抵抗分圧回路は、前記電源回路から供給される電圧を分圧して前記各半導体チップに供給する液晶表示装置の製造方法であって、前記第1の基板上に、前記抵抗分圧回路を構成する複数の分圧抵抗素子を形成する第1の工程と、前記第1の工程で形成した複数の抵抗素子の中の少なくとも一つの抵抗値を調整する第2の工程とを有することを特徴とする。

また、本発明の好ましい実施の形態では、前記第1の工程は、前記複数の分圧抵抗素子の中の少なくとも一つを、複数の抵抗素子が電氣的に並列接続された並列抵抗回路で構成する工程を含み、前記第2の工程は、前記並列抵抗回路を構成する前記複数の抵抗素子の中の少なくとも一つを残して、他の抵抗素子を、前記少なくとも一つの抵抗素子から切り離す工程であることを特徴とする。

【 0 0 1 0 】

また、本発明の好ましい実施の形態では、前記第1の工程は、前記複数の分圧抵抗素子の中の少なくとも一つを、第1の抵抗素子と、前記第1の抵抗素子の近傍に配置される複数の抵抗素子とで構成する工程を含み、前記第2の工程は、前記複数の抵抗素子の中の少なくとも一つを、前記第1の抵抗素子に電氣的に並列に接続する工程であることを特徴とする。

また、本発明の好ましい実施の形態では、前記第1の工程は、前記複数の分圧抵抗素子の

10

20

30

40

50

中の少なくとも一つを、抵抗素子と、一端が前記抵抗素子の一端に接続され、他端が開放とされる短絡用素子とで構成する工程を含み、前記第2の工程は、前記短絡用素子の他端を、前記抵抗素子の任意の位置に電氣的に接続する工程であることを特徴とする。

【0011】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

図1は、本発明の実施の形態の液晶表示モジュールの概略構成を示す分解斜視図である。同図に示すように、本実施の形態の液晶表示モジュールは、液晶表示パネル100が、金属板から成る枠状のフレーム（上側ケース）10と、バックライトユニット20との間に収納されて構成される。また、電源回路120を備えるインターフェース回路基板30が、バックライトユニット20の後側に配置される。

なお、一般に、バックライトユニットは、冷陰極蛍光灯、楔形（側面形状が台形）の導光体、拡散シート、プリズムシート、反射シートと、および前述した各部品を収納するモールドで構成されるが、このバックライトユニットの構成は、本発明とは関係がないので、その詳細な説明は省略する。

電源回路120は、インターフェース回路基板30に設けられる。また、このインターフェース回路基板30には、例えば、コンピュータ本体などから送出された表示データおよび制御信号（クロック信号、水平同期信号、垂直同期信号、ディスプレイタイミング信号）も供給される。

これらの表示データおよび制御信号は、インターフェース回路基板30と、液晶表示パネル100のTFT基板を構成するガラス基板との間を、フレキシブル配線基板を介して接続することにより、タイミングコントローラ110に供給される。

【0012】

図2は、本発明の実施の形態の液晶表示モジュールの液晶表示パネルの基本構成を示すブロック図である。なお、図2および図9において、ARは有効表示領域である。

液晶表示パネル100は、画素電極PIX、薄膜トランジスタ（TFT）等が形成されるTFT基板、対向電極、カラーフィルタ等が形成されるフィルタ基板とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材により、両基板を貼り合わせると共に、シール材の一部に設けた液晶封入口から両基板間のシール材の内側に液晶を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。

各画素は、画素電極PIXと薄膜トランジスタ（TFT）を有し、複数のゲート信号線（または、走査信号線）Gとドレイン信号線（または、映像信号線）Dとの交差する部分に対応して設けられる。

【0013】

なお、本実施の形態では、画素電極PIXの電位を保持するために、保持容量CSTを各画像毎に設けており、また、CLは、保持容量CSTに基準電圧Vcomを供給するための容量線である。

さらに、図2および図9では、画素電極PIXは、一個のみを図示しているが、この画素電極PIX、薄膜トランジスタ（TFT）および保持容量CSTは、マトリクス状に複数設けられる。また、容量線CLは、前のラインのゲート信号線Gで代用することもできる。

各画素の薄膜トランジスタ（TFT）は、ソースが画素電極PIXに接続され、ドレインがドレイン信号線Dに接続され、ゲートがゲート信号線Gに接続され、画素電極PIXに表示電圧（階調電圧）を供給するためのスイッチとして機能する。

なお、ソース、ドレインの呼び方は、バイアスの関係で逆になることもあるが、ここでは、ドレイン信号線Dに接続される方をドレインと称する。

【0014】

タイミングコントローラ110と、ドレインドライバ130と、ゲートドライバ140と

は、液晶表示パネル100のTFT基板を構成する透明性の絶縁基板（ガラス基板）の隣接する2辺の周辺部に、それぞれ実装される。

そして、前述したように、タイミングコントローラ110から送出されるデジタル信号（表示データ、クロック信号等）は、先頭のドレインドライバ130に入力され、各ドレインドライバ130内の内部信号線、および各ドレインドライバ130間の伝送線路（ガラス基板上の配線層）を伝搬して、各ドレインドライバ130に入力される。

また、各ドレインドライバ130の電源電圧は、電源回路120からFPC基板150を介して、各ドレインドライバ130に供給される。

同様に、タイミングコントローラ110から送出されたデジタル信号（クロック信号等）は、先頭のゲートドライバ140に入力され、各ゲートドライバ140内の内部信号線、および各ゲートドライバ140間の伝送線路を伝搬して、各ゲートドライバ140に入力される。

10

【0015】

本実施の形態では、図2に示すように、従来は電源回路120の内部に設けられていた抵抗分圧回路160が、液晶表示パネル100のTFT基板を構成する透明性の絶縁基板（ガラス基板）の1辺の周辺部に実装される。

図3は、この抵抗分圧回路160の機能を説明するための概念図であり、図3に示すように、抵抗分圧回路160は、単一の電圧レベルの入力電圧（ V_{in} ）を分圧して、各ゲートドライバ140の電源電圧の一部（ V_{GH} 、 V_{GL} ）、および、各ドレインドライバ130に供給する複数の階調基準電圧（ $V_1 \sim V_n$ ）を生成する。

20

なお、この抵抗分圧回路160に供給される単一の電圧レベルの入力電圧（ V_{in} ）は、前述したフレキシブル配線基板を介して、電源回路120から供給される。

【0016】

さらに、この抵抗分圧回路160を構成する各分圧抵抗素子の抵抗値は、後述するように調整可能である。

抵抗分圧回路160で生成された電源電圧（ V_{GH} 、 V_{GL} ）は、先頭のゲートドライバ140に供給され、各ゲートドライバ140内の内部電源線、および各ゲートドライバ140間の伝送線路を介して、各ゲートドライバ140に供給される。

また、抵抗分圧回路160で生成された階調基準電圧（ $V_1 \sim V_n$ ）は、先頭のドレインドライバ130に入力され、各ドレインドライバ130内の内部信号線、および各ドレインドライバ130間の伝送線路（ガラス基板上の配線層）を伝搬して、各ドレインドライバ130に入力される。

30

【0017】

タイミングコントローラ110は、1個の半導体集積回路（LSI）から構成され、コンピュータ本体側から送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号および表示用データ（R・G・B）を基に、ドレインドライバ130、およびゲートドライバ140を制御・駆動する。

図4は、図2に示すドレインドライバ130の一例の概略内部構成を示すブロック図である。なお、この図4において、添字の*i*は外部から入力される信号を意味し、添字の*o*はドレインドライバ130内を伝搬して外部へ出力される信号を意味している。

40

例えば、 $CL2_i$ は外部から入力される表示データラッチ用クロック信号で、 $CL2_o$ はドレインドライバ130内を伝搬して外部（次段のドレインドライバ130）へ出力される表示データラッチ用クロック信号である。

同図に示すラッチ回路（1）135は、ラッチアドレスセクタ132から送出されるデータ取り込み信号に基づき、データ取込・演算回路133から送出される表示データを順次ラッチする。

【0018】

なお、データ取込・演算回路133から送出される表示データは、データ出力回路134を経て外部に出力される。

ここで、ラッチアドレスセクタ132は、クロック制御回路131から送出される表示

50

データラッチ用クロック信号 (CL2 ; 以下、単に、クロック信号 (CL2) と称する。) に基づき、データ取り込み信号を生成する。

ラッチ回路 (2) 136 は、クロック制御回路 131 から送出される出力タイミング制御用クロック (CL1) に基づき、ラッチ回路 (1) 135 にラッチされた表示データを取り込み、デコーダ回路 137 に出力する。

デコーダ回路 137 は、階調電圧生成回路 139 から供給される 64 階調の階調電圧から、ラッチ回路 (2) 136 から送出された表示データに対応する階調電圧を選択してアンプ回路 138 に出力する。

アンプ回路 138 は、デコーダ回路 137 から送出された階調電圧を増幅 (電流増幅) して各ドレイン信号線 D に供給する。

10

【0019】

ゲートドライバ 140 は、タイミングコントローラ 110 から送出されるフレーム開始指示信号 (FLM) およびシフトクロック (CL3) に基づき、1 水平走査時間毎に、順次液晶表示パネル 100 の各ゲート信号線 G に High レベルの選択走査電圧を供給する。これにより、液晶表示パネル 100 の各ゲート信号線 G に接続された複数の薄膜トランジスタ (TFT) が、1 水平走査時間の間導通し、各画素電極 PIX に、アンプ回路 138 から供給される階調電圧が印加されるので、液晶表示パネル 100 に画像が表示される。また、階調電圧生成回路 139 は、外部から供給される正極性の階調基準電圧 ($V_0 \sim V_4$) に基づき正極性の 64 階調の階調電圧と、外部から供給される負極性の階調基準電圧 ($V_5 \sim V_9$) に基づき負極性の 64 階調の階調電圧を生成する。

20

【0020】

以上説明したように、本実施の形態では、抵抗分圧回路 160 を、TFT 基板を構成するガラス基板上に形成し、さらに、この抵抗分圧回路 160 を構成する各分圧抵抗素子の抵抗値を調整可能としている。

そのため、本実施の形態では、例えば、各ドレインドライバ 130 および各ゲートドライバ 140 に供給する電源電圧は、製品設計開始段階から製品出荷までの間に変更されたとしても、抵抗分圧回路 160 の各分圧抵抗素子の抵抗値を調整することにより速やかに対応することが可能となる。

同様に、各ドレインドライバ 130 に供給する階調基準電圧の電圧数が、用途などに応じて変更された場合であっても、抵抗分圧回路 160 の各分圧抵抗素子の抵抗値を調整することにより速やかに対応することが可能となる。

30

その結果として、本実施の形態では、液晶表示モジュールを出荷するまでの期間を短くでき、さらに、電源回路 120 として単一のものが使用可能であるので液晶表示モジュールのコストが増加することもない。

【0021】

前述したように、インターフェース回路基板 30 と、液晶表示パネル 100 の TFT 基板を構成するガラス基板との間は、フレキシブル配線基板で接続される。

一方、近年、液晶表示パネルの高精細化が進み、表示データのビット数が増加する傾向にあるが、このような場合には、TFT 基板を構成するガラス基板の端子と接続される、前述したフレキシブル配線基板の端子数が増加することになる。

40

そして、前述したフレキシブル配線基板の端子数が増加することは、配線層の細線化を招き、その上、このフレキシブル配線基板は、液晶表示モジュールの製品外形上の制約からバックライトユニット 20 の裏側へ折り曲げられる場合が多く、そのため、前述したようなデジタル信号順次転送方式を採用する液晶表示モジュールでは、TFT 基板を構成するガラス基板の端子と、フレキシブル配線基板の端子との間の接続信頼性を確保することが困難になることが想定される。

しかしながら、本実施の形態では、抵抗分圧回路 160 において、各ゲートドライバ 140 の電源電圧の一部 (V_{GH}, V_{GL})、および、各ドレインドライバ 130 に供給する複数の階調基準電圧 ($V_1 \sim V_n$) を生成するようにしたので、前述したフレキシブル配線基板の配線層を削減することが可能となるので、TFT 基板を構成するガラス基板の端

50

子と、フレキシブル配線基板の端子との間の接続信頼性を向上させることが可能となる。

【0022】

抵抗分圧回路160を構成する各分圧抵抗素子は、従来のドレイン信号線Dまたはゲート信号線Gと同様の配線材料を用いて構成する。例えば、クロム(Cr)から成る配線層を細線化するなどの方法で作成することができる。

以下、本実施の形態において、抵抗分圧回路160を構成する各分圧抵抗素子の調整方法の一例について説明する。

図5は、本実施の形態において、抵抗分圧回路160を構成する各分圧抵抗素子の調整方法の一例を説明するための模式回路図である。

この図5に示す方法は、抵抗分圧回路160を構成する各分圧抵抗素子を、複数の抵抗素子、例えば、抵抗素子(Ra, Rb, Rc)が電氣的に並列接続された並列抵抗回路で構成しておき、この分圧抵抗素子の抵抗値を調整する必要がある場合に、抵抗素子(Ra, Rb, Rc)の組み合わせを変更して抵抗値を調整する。例えば、図5の場合では、50の部分にレーザなどで切断して抵抗値を調整する。

【0023】

図6は、本実施の形態において、抵抗分圧回路160を構成する各分圧抵抗素子の調整方法の他の例を説明するための模式回路図である。

この図6に示す方法は、抵抗分圧回路160を構成する各分圧抵抗素子を、第1の抵抗素子(Ra)と、この抵抗素子(Ra)の近傍に、電氣的には開放状態とされる複数の抵抗素子、例えば、抵抗素子(Rb, Rc)を配置しておき、この分圧抵抗素子の抵抗値を調整する必要がある場合に、抵抗素子(Ra)に、抵抗素子(Rb)、または、抵抗素子(Rc)、あるいはその両方を接続して、抵抗値を調整する。

例えば、図6の場合では、抵抗素子(Rb, Rc)の一端を抵抗素子(Ra)の一端と接続しておき、また、抵抗素子(Rb, Rc)の他端と、抵抗素子(Ra)の他端と接続される短絡用配線線60とを、絶縁膜を介して常時は絶縁状態となるように対峙させておき、抵抗値を調整する場合には、図6に示す51の部分にレーザなどで切断し、その部分に導電性膜を埋め込み、抵抗素子(Rb, Rc)の他端と、短絡用配線60とを電氣的に接続して抵抗値を調整する。

【0024】

図7は、本実施の形態において、抵抗分圧回路160を構成する各分圧抵抗素子の調整方法の他の例を説明するための図であり、同図(a)は模式回路図、同図(b)は実際の構造を示す模式断面図である。なお、図7(b)において、SUB1は、TFT基板を構成するガラス基板である。

前述の図5、図6に示す方法は、各抵抗分圧素子を構成する抵抗素子の数を調整して、各分圧抵抗素子の抵抗値を調整するものであったが、図7に示す方法は、各分圧抵抗素子の抵抗値自体を調整するものである。

即ち、図7(a)に示すように、一端が、分圧抵抗素子(Ra, Rb)の一端に接続され、他端が、絶縁膜を介して、分圧抵抗素子(Ra, Rb)と重畳するような短絡用配線60を形成しておき、抵抗値を調整する場合には、図7(a)に示す53の部分にレーザなどで切断し、その部分に導電性膜を埋め込み、抵抗素子(Ra, Rb)の一部を短絡することにより抵抗値を調整する。

例えば、図7(b)の場合には、一端が、分圧抵抗素子(Ra)の一端に接続され、他端が、絶縁膜63を介して、分圧抵抗素子(Ra)と重畳するような短絡用配線60を形成しておき、抵抗値を調整する場合には、その一部(図7(a)に示す53の部分)をレーザなどで切断し、その部分に導電性膜65を埋め込み、抵抗素子(Ra)の一部を短絡することにより抵抗値を調整する。

【0025】

なお、前述の実施の形態では、本発明を、デジタル信号順次転送方式を採用する液晶表示装置に適用した実施の形態について説明したが、本発明はこれに限定されるものではなく、例えば、図8に示すような、各ドレインドライバ130および各ゲートドライバ130

10

20

30

40

50

が、TFT基板を構成するガラス基板の側面に配置されるものにも適用可能である。
 なお、この図8において、230, 240は駆動回路基板、231, 241は、ドレイン
 ドライバ130およびゲートドライバ140を構成する半導体チップが搭載されたテーブ
 キャリアパッケージ(通称、TCP)である。

また、図8に示す液晶表示モジュールに、本発明を適用する場合には、抵抗分圧回路160
 で生成される各ゲートドライバ140の電源電圧の一部(V_{GH} , V_{GL})、および、
 各ドレインドライバ130に供給する複数の階調基準電圧($V_1 \sim V_n$)は、一旦、TFT
 基板を構成するガラス基板から、駆動回路基板(230, 240)に送出され、各ゲ
 ートドライバ140、および、各ドレインドライバ130に入力される。

以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、
 本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲におい
 て種々変更可能であることは勿論である。

【0026】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれ
 ば、下記の通りである。

本発明の液晶表示装置によれば、各種の設計変更の際に、製品出荷までの期間を従来よ
 りも短くでき、かつ、コストを低減することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態の液晶表示モジュールの概略構成を示す分解斜視図である。

【図2】本発明の実施の形態の液晶表示モジュールの表示パネルの基本構成を示すブロッ
 ク図である。

【図3】本発明の実施の形態の抵抗分圧回路機能を説明するための概念図である。

【図4】図2に示すドレインドライバの一例の概略内部構成を示すブロック図である。

【図5】本発明の実施の形態において、抵抗分圧回路を構成する各分圧抵抗素子の調整方
 法の一例を説明するための模式回路図である。

【図6】本発明の実施の形態において、抵抗分圧回路を構成する各分圧抵抗素子の調整方
 法の他の例を説明するための模式回路図である。

【図7】本発明の実施の形態において、抵抗分圧回路を構成する各分圧抵抗素子の調整方
 法の他の例を説明するための図である。

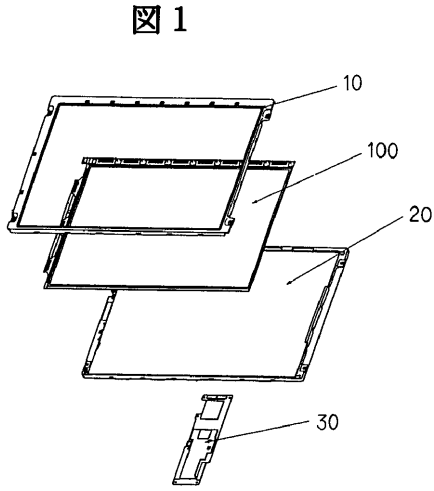
【図8】本発明が適用される液晶表示モジュールの他の例を説明するための図である。

【図9】従来の液晶表示モジュールの表示パネルの基本構成を示すブロック図である。

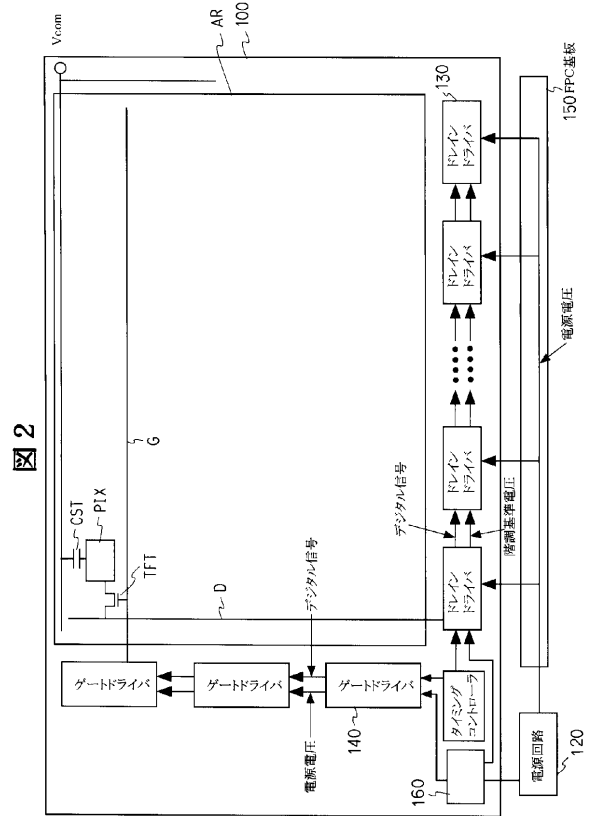
【符号の説明】

10...フレーム(上側ケース)、20...バックライトユニット、30...インターフェース
 回路基板、60...短絡用配線、63...絶縁層、65...導電性膜、100...液晶表示パネル
 、110...タイミングコントローラ、120...電源回路、130...ドレインドライバ、1
 31...クロック制御回路、132...ラッチアドレスセレクタ、133...データ取込・演算
 回路、134...データ出力回路、135...ラッチ回路(1)、136...ラッチ回路(2)
 、137...デコーダ回路、138...アンプ回路、139...階調電圧生成回路、140...ゲ
 ートドライバ、150...フレキシブルプリント配線基板、160...抵抗分圧回路、230
 , 240...駆動回路基板、231, 241...テーブキャリアパッケージ、SUB1...ガラ
 ス基板、PIX...画素電極、TFT...薄膜トランジスタ、G...ゲート信号線(または、走
 査信号線)、D...ドレイン信号線(または、映像信号線)、CST...保持容量、CL...容
 量線、Ra, Rb, Rc...抵抗素子。

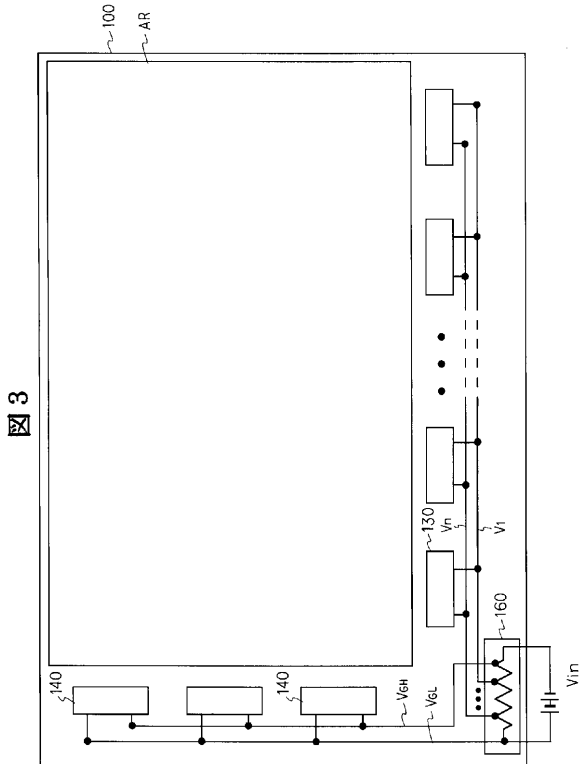
【 図 1 】



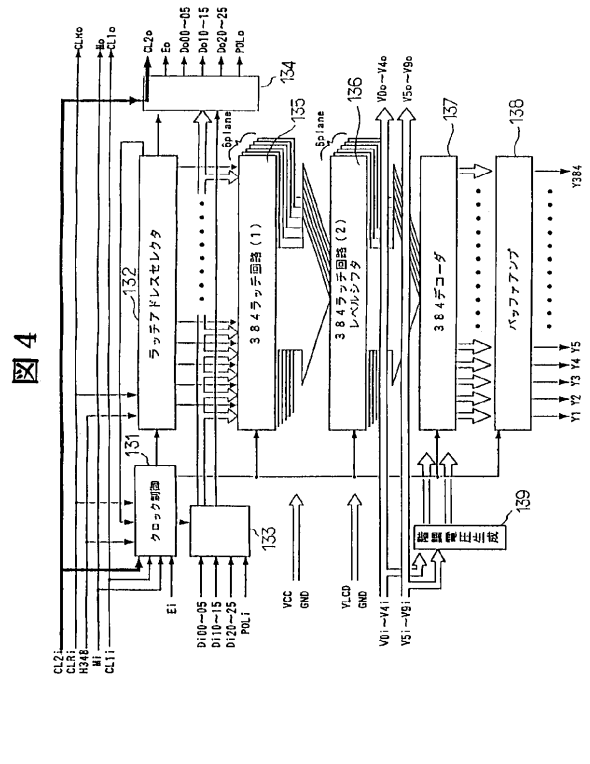
【 図 2 】



【 図 3 】

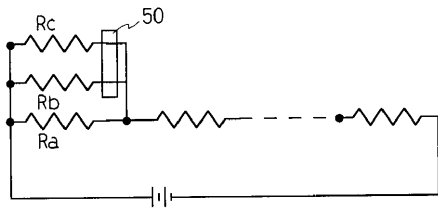


【 図 4 】



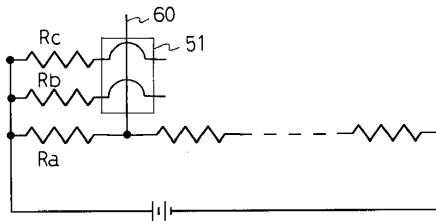
【図5】

図5



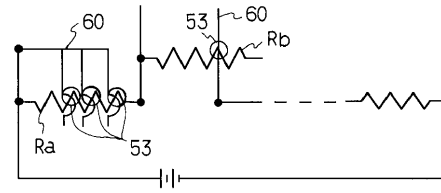
【図6】

図6

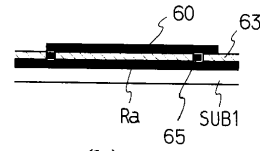


【図7】

図7



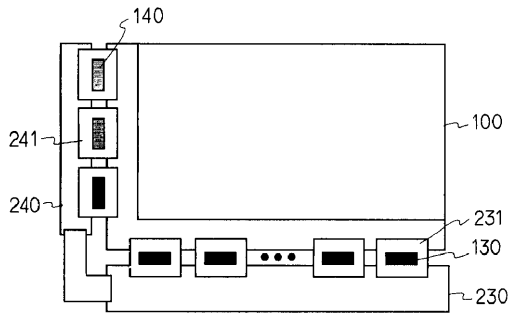
(a)



(b)

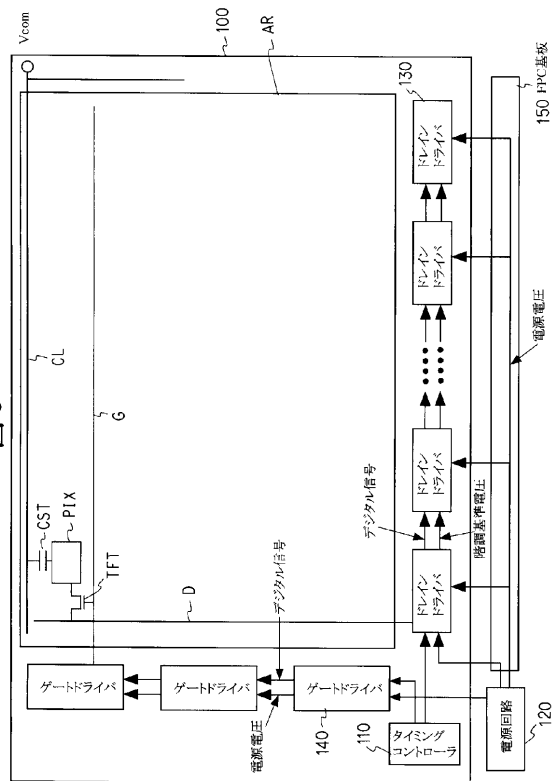
【図8】

図8



【図9】

図9



フロントページの続き

(51) Int.Cl. F I
G 0 9 G 3/36 (2006.01) G 0 9 F 9/35
G 0 9 G 3/20 6 1 2 E
G 0 9 G 3/20 6 2 1 M
G 0 9 G 3/20 6 8 0 G
G 0 9 G 3/36

(56) 参考文献 特開平 1 1 - 1 3 3 9 2 6 (J P , A)
国際公開第 9 8 / 0 4 8 3 2 1 (W O , A 1)
特開平 6 - 2 3 0 3 3 8 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

G02F 1/133
G09F 9/00
G09F 9/30
G09F 9/35
G09G 3/20
G09G 3/36