

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5286826号
(P5286826)

(45) 発行日 平成25年9月11日(2013.9.11)

(24) 登録日 平成25年6月14日(2013.6.14)

(51) Int. Cl.	F I	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 9 A
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 2 D
HO 1 L 51/05 (2006.01)	HO 1 L 29/78	6 1 8 B
GO 9 F 9/00 (2006.01)	HO 1 L 29/28	1 0 0 A
GO 9 F 9/30 (2006.01)	GO 9 F 9/00	3 3 8
請求項の数 12 (全 36 頁) 最終頁に続く		

(21) 出願番号	特願2008-45742 (P2008-45742)	(73) 特許権者	000003193 凸版印刷株式会社 東京都台東区台東1丁目5番1号
(22) 出願日	平成20年2月27日(2008.2.27)	(72) 発明者	八田 薫 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
(65) 公開番号	特開2008-270744 (P2008-270744A)	(72) 発明者	大久保 透 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
(43) 公開日	平成20年11月6日(2008.11.6)	(72) 発明者	松原 亮平 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
審査請求日	平成23年1月25日(2011.1.25)	(72) 発明者	宮▲崎▼ ちひろ 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
(31) 優先権主張番号	特願2007-84195 (P2007-84195)		
(32) 優先日	平成19年3月28日(2007.3.28)		
(33) 優先権主張国	日本国(JP)		
最終頁に続く			

(54) 【発明の名称】 薄膜トランジスタアレイ、薄膜トランジスタアレイの製造方法、およびアクティブマトリクスディスプレイ

(57) 【特許請求の範囲】

【請求項1】

絶縁基板上にゲート電極を有し、前記ゲート電極がゲート絶縁層をはさんでソース・ドレイン電極と重なり、少なくともソース・ドレイン間に半導体層を有し、ドレイン電極は画素電極に接続され、前記画素電極は絶縁層を挟んでキャパシタ電極と重なっている薄膜トランジスタを、複数のゲート電極に接続された複数のゲート配線と、複数のソース電極に接続された複数のソース配線を用いてマトリクス状に配置した薄膜トランジスタアレイであって、少なくとも前記半導体層上に封止層が設けられ、且つ前記封止層は複数の薄膜トランジスタをまたがる位置にストライプ形状で設けられていることを特徴とする薄膜トランジスタアレイ。

【請求項2】

前記ゲート配線及び複数のキャパシタ電極に接続されたキャパシタ配線の少なくとも一部が層間絶縁膜に覆われ、且つ、前記層間絶縁膜上に前記画素電極に接続した上部画素電極が設けられていることを特徴とする請求項1に記載の薄膜トランジスタアレイ。

【請求項3】

前記層間絶縁膜が、前記封止層間に設けられたドット状、または、前記封止層に直行して設けられた複数の薄膜トランジスタにまたがるストライプ状であることを特徴とする請求項2に記載の薄膜トランジスタアレイ。

【請求項4】

前記封止層が無機絶縁材料を含むことを特徴とする請求項1に記載の薄膜トランジスタア

レイ。

【請求項 5】

前記封止層が酸化窒化シリコンを含むことを特徴とする請求項 1 に記載の薄膜トランジスタアレイ。

【請求項 6】

請求項 1 に記載の薄膜トランジスタアレイの製造方法であって、前記封止層をリフトオフ法またはエッチング法で形成することを特徴とする薄膜トランジスタアレイの製造方法。

【請求項 7】

請求項 1 に記載の薄膜トランジスタアレイであって、前記半導体層が有機化合物を含むことを特徴とする薄膜トランジスタアレイ。

10

【請求項 8】

請求項 1 に記載の薄膜トランジスタアレイであって、前記半導体層が無機酸化物を含むことを特徴とする薄膜トランジスタアレイ。

【請求項 9】

請求項 1 に記載の薄膜トランジスタアレイと画像表示媒体とを含むことを特徴とするアクティブマトリクスディスプレイ。

【請求項 10】

前記画像表示媒体が電気泳動方式によるものであることを特徴とする請求項 9 に記載のアクティブマトリクスディスプレイ。

【請求項 11】

前記画像表示媒体が液晶方式によるものであることを特徴とする請求項 9 に記載のアクティブマトリクスディスプレイ。

20

【請求項 12】

前記画像表示媒体が有機エレクトロルミネッセンス方式によるものであることを特徴とする請求項 9 に記載のアクティブマトリクスディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタアレイ、薄膜トランジスタアレイの製造方法、およびアクティブマトリクスディスプレイに関する。

30

【0002】

また、本発明は、各種画像表示装置の駆動素子や各種論理回路の論理素子等に用いることができる薄膜トランジスタアレイ、薄膜トランジスタアレイの製造方法、およびアクティブマトリクスディスプレイに関する。

【背景技術】

【0003】

情報技術の目覚ましい発展により、現在ではノート型パソコンや携帯情報端末などでの情報の送受信が頻繁に行われている。近い将来、場所を選ばずに情報をやり取りできるユビキタス社会が来るであろうことは周知の事実である。そのような社会においては、より軽量、薄型の情報端末が望まれる。

40

【0004】

現在半導体材料の主流はシリコン系（Si系）であるが、フレキシブル化、軽量化、低コスト化などの観点から有機半導体を用いたトランジスタ（有機トランジスタ）の研究が盛んになっている。一般に有機半導体を用いる場合、液体でのプロセスが可能となるため、大面積化、印刷法の適用、プラスチック基板の利用などといった利点が挙げられる（非特許文献 1 参照）。

【0005】

その応用分野は広く、上記のような薄型、軽量のフレキシブルディスプレイに限らず、RFID（Radio Frequency Identification）タグやセン

50

サーなどへの応用も見込まれている。このように、ユビキタス社会に向けて有機トランジスタの研究は必要不可欠である。

【0006】

このような理由により、現在では印刷を用いた有機半導体の研究が注目されている。

【0007】

また近年、室温成膜が可能で電界効果移動度がアモルファスシリコンを上回るアモルファス酸化物半導体 InGaZnO_4 が発表され（特許文献1参照）、酸化物の半導体としての可能性が示され、高性能なフレキシブルトランジスタの材料としての期待が高まっている。

【0008】

一方、半導体への酸素や水の浸入を抑制するため、半導体上に封止層を設けることが必要となっている。

【0009】

特に、有機半導体は、無機材料と比較し酸素や水などによる特性変化が生じやすいため、封止層の役割が重要となっている。

【0010】

また、酸化物の半導体を用いた場合においても、特性向上において封止層の役割が重要となっている。

【0011】

上述の酸化物を主成分とする半導体を用いた電界効果型薄膜トランジスタの封止層としては、無機絶縁層、例えば酸化シリコン、窒化シリコン等が用いられている。

【0012】

そして、上述の封止層は一般に微細加工が可能なりフトオフ法またはエッチング法でパターンニングされている。

【非特許文献1】Science Vol. 265, 1684 (1994)

【特許文献1】特開2006-165532号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、薄膜トランジスタアレイにおいて、封止層をドット状に各薄膜トランジスタ上に設けた場合においては、アライメントの精度が悪く、酸素等の影響を受けやすいため、半導体の移動度が小さくなる、ON/OFF比が小さくなる、といった特性劣化が生じやすいという問題があった。

【0014】

また、封止層をドット状に形成する場合においては、薄膜トランジスタアレイを上部から2次元でみた時、各ドットがX軸方向とY軸方向の両軸方向についてアライメントずれが生じ、アライメント精度を確保することが困難であり、また歩留まりが悪いという問題があった。

【0015】

また、リフトオフ法を用いて、図23のように小さいドットの孤立パターンからなる封止層のパターンをパターンニングする場合、小さいドットの孤立パターン以外の部分には全てレジストが塗布されているため、レジストが剥離しにくく、処理時間が長くなり、かつ歩留まりが低下するという問題があった。

【0016】

またエッチング法によりパターンニングを行う場合には、例えば四フッ化炭素等のフッ素系のガスを用いたドライエッチング法、フッ酸を用いたウェットエッチング法等が用いられるが、小さいドットの孤立パターンはエッチング特性の制御が難しく、歩留まりが低下するという問題があった。

【0017】

10

20

30

40

50

本発明は、これらの問題を鑑みてなされたものであり、半導体の特性劣化が防止された薄膜トランジスタアレイを提供することを課題とする。

【0018】

また、アライメント精度が良好でかつ歩留まりの高い封止層を形成することのできる薄膜トランジスタアレイの製造方法を提供することを課題とする。

【0019】

さらには、半導体の特性の安定化により高品位の画像表示が可能なアクティブマトリクスディスプレイを提供することを課題とする。

【課題を解決するための手段】

【0020】

本発明では、半導体の特性劣化が防止された薄膜トランジスタアレイを実現すべく、鋭意検討した結果、封止層をストライプの形状で設けることにより、上記特性を有する薄膜トランジスタアレイを見出した。

【0021】

また、封止層を印刷法でストライプ状に形成することで、簡易に封止層のパターンを形成でき、アライメント精度が良好でかつ歩留まりの高い、薄膜トランジスタアレイの製造方法を見出した。

【0022】

また、封止層をリフトオフ法またはエッチング法でストライプ状に形成することで、簡易に封止層のパターンを形成でき、歩留まりの高い、薄膜トランジスタアレイの製造方法を見出した。

【0025】

請求項1に記載の発明は、絶縁基板上にゲート電極を有し、前記ゲート電極がゲート絶縁層をはさんでソース・ドレイン電極と重なり、少なくともソース・ドレイン間に半導体層を有し、ドレイン電極は画素電極に接続され、前記画素電極は絶縁層を挟んでキャパシタ電極と重なっている薄膜トランジスタを、複数のゲート電極に接続された複数のゲート配線と、複数のソース電極に接続された複数のソース配線を用いてマトリクス状に配置した薄膜トランジスタアレイであって、少なくとも前記半導体層上に封止層が設けられ、且つ前記封止層は複数の薄膜トランジスタをまたがる位置にストライプ形状で設けられていることを特徴とする薄膜トランジスタアレイである。

【0026】

絶縁基板上にゲート電極を有し、ゲート電極がゲート絶縁層をはさんでソース・ドレイン電極と重なり、少なくともソース・ドレイン間に半導体層を有し、ドレイン電極は画素電極に接続され、画素電極は絶縁層を挟んでキャパシタ電極と重なっている薄膜トランジスタを、複数のゲート電極に接続された複数のゲート配線と、複数のソース電極に接続された複数のソース配線を用いてマトリクス状に配置した薄膜トランジスタアレイに、封止層が複数の薄膜トランジスタにまたがり、ストライプの形状に設けられていることでアライメント精度が向上し、半導体の特性劣化が生じにくい薄膜トランジスタアレイを提供することができる。

【0031】

請求項2に記載の発明は、前記ゲート配線及び複数のキャパシタ電極に接続されたキャパシタ配線の少なくとも一部が層間絶縁膜に覆われ、且つ、前記層間絶縁膜上に前記画素電極に接続した上部画素電極が設けられていることを特徴とする請求項1に記載の薄膜トランジスタアレイである。

【0032】

層間絶縁膜でゲート配線及びキャパシタ配線を覆うことで、これらの配線による表示への影響を防止でき、画素電極に接続した上部画素電極が設けられていることで、表示有効面積が大きくすることができる。

10

20

30

40

50

【0033】

請求項3に記載の発明は、前記層間絶縁膜が、前記封止層間に設けられたドット状、または、前記封止層に直行して設けられた複数の薄膜トランジスタにまたがるストライプ状であることを特徴とする請求項2に記載の薄膜トランジスタアレイである。

【0034】

層間絶縁膜が、封止層間に設けられたドット状、または、封止層に直行して設けられた複数の薄膜トランジスタにまたがるストライプ状であることで、スループットとアライメント精度が向上でき、画素電極と上部画素電極との導通が容易な薄膜トランジスタアレイを提供することができる。また、層間絶縁膜がドット状の場合、封止層と層間絶縁膜の膜厚を容易に等しく設けることができ、上部画素電極の形成時、上部画素電極材料同士の接触を防止することができる。

10

【0047】

請求項4に記載の発明は、前記封止層が無機絶縁材料を含むことを特徴とする請求項1に記載の薄膜トランジスタアレイである。

【0048】

封止層が無機絶縁材料であることで、薄膜トランジスタの外部からの水分や酸素の侵入が防止され、半導体の特性劣化が防止された薄膜トランジスタアレイを提供することができる。さらには、エポキシやアクリル等の層間絶縁膜材料が半導体に接する際に生じやすい半導体の特性劣化を防止することもできる。

20

【0049】

請求項5に記載の発明は、前記封止層が酸化窒化シリコンを含むことを特徴とする請求項1に記載の薄膜トランジスタアレイである。

【0050】

封止層が酸化窒化シリコンを含むことで、絶縁性に優れ、封止特性が良好な膜を得ることができ、半導体の特性劣化が防止された薄膜トランジスタアレイを提供することができる。

【0051】

請求項6に記載の発明は、請求項1に記載の薄膜トランジスタアレイの製造方法であって、前記封止層をリフトオフ法またはエッチング法で形成することを特徴とする薄膜トランジスタアレイの製造方法である。

30

【0052】

封止層をリフトオフ法またはエッチング法で形成することにより、高精細なパターンを形成することができ、高密度の薄膜トランジスタアレイを提供することができる。

【0053】

請求項7に記載の発明は、請求項1に記載の薄膜トランジスタアレイであって、前記半導体層が有機化合物を含むことを特徴とする薄膜トランジスタアレイである。

40

【0054】

半導体層が有機化合物を含むことで、低温での形成が可能となり、耐熱性の低いプラスチック基板の使用した薄膜トランジスタアレイを提供することができる。

【0055】

請求項8に記載の発明は、請求項1に記載の薄膜トランジスタアレイであって、前記半導体層が無機酸化物を含むことを特徴とする薄膜トランジスタアレイである。

【0056】

半導体層が無機酸化物を含むことで、低温での形成が可能となり、耐熱性の低いプラスチ

50

ック基板の使用した薄膜トランジスタアレイを提供することができる。

【0057】

請求項9に記載の発明は、請求項1に記載の薄膜トランジスタアレイと画像表示媒体とを含むことを特徴とするアクティブマトリクスディスプレイである。

【0058】

請求項1に記載の薄膜トランジスタアレイと画像表示媒体とを含むことで、半導体の特性の安定化により高品位の画像表示が可能なアクティブマトリクスディスプレイを提供することができる。

10

【0059】

請求項10に記載の発明は、前記画像表示媒体が電気泳動方式によるものであることを特徴とする請求項9に記載のアクティブマトリクスディスプレイである。

【0060】

画像表示媒体が電気泳動方式であることで、高いコントラストと高視野角なアクティブマトリクスディスプレイを提供することができる。

【0061】

請求項11に記載の発明は、前記画像表示媒体が液晶方式によるものであることを特徴とする請求項9に記載のアクティブマトリクスディスプレイである。

20

【0062】

画像表示媒体が液晶方式であることで、半導体の特性が向上した高品位の画像を提供することができる。

【0063】

請求項12に記載の発明は、前記画像表示媒体が有機エレクトロルミネッセンス方式によるものであることを特徴とする請求項9に記載のアクティブマトリクスディスプレイである。

【0064】

画像表示媒体が有機エレクトロルミネッセンス方式であることで、高いコントラストと高視野角なアクティブマトリクスディスプレイを提供することができる。

30

【発明の効果】

【0065】

以上説明したように、本発明によれば封止層をストライプの形状で設けることで、アライメント精度が向上し、半導体の特性劣化が防止された薄膜トランジスタアレイを得ることができた。

【0066】

また、封止層を印刷法でストライプの形状に形成することで、簡易に封止層のパターンを形成でき、アライメント精度が良好でかつ歩留まりの高い、薄膜トランジスタアレイを製造することができた。

40

【0067】

さらには、印刷法がスクリーン印刷であることで、インク粘度の適用範囲が広く、インク材料選択性が高く、インク使用効率が高く、また、大面積化が容易な薄膜トランジスタアレイを製造することができた。

【0068】

さらには、印刷法がフレキソ印刷であることで、大面積化が容易な薄膜トランジスタアレイを製造することができた。

【0069】

また、封止層をストライプ状にすることで、リフトオフ法またはエッチング法によるパ

50

ターニングが容易で、かつ歩留まりの高い薄膜トランジスタアレイを提供することができた。

【0070】

そして、半導体の特性の安定化により高品位の画像表示が可能なアクティブマトリクスディスプレイを得ることができた。

【発明を実施するための最良の形態】

【0071】

以下、本発明の実施の形態を、図面を用いて詳細に説明するが本発明はこれらに限定されるものではない。

【0072】

本発明の実施形態において、薄膜トランジスタを覆う封止層は複数の薄膜トランジスタにまたがるストライプの形状とすることが望ましい。これにより、半導体の特性劣化が防止されるとともに、アライメント精度が良好でかつ歩留まりの高い薄膜トランジスタアレイを製造することができる。

【0073】

図1、図2、図3に本発明の薄膜トランジスタアレイの例を示す。図2は図1の1画素分の拡大図であり、図3は、図2のa - b間の断面図である。

【0074】

本発明における薄膜トランジスタアレイは、例えば、絶縁基板1上にゲート電極11を有し、ゲート電極11がゲート絶縁層2をはさんでソース電極17・ドレイン電極16と重なり、少なくともソース・ドレイン間に半導体層3を有し、ドレイン電極16は画素電極15に接続され、画素電極15はゲート絶縁層2を挟んでキャパシタ電極13と重なっている薄膜トランジスタを、複数のゲート電極11に接続された複数のゲート配線12と、複数のソース電極17に接続された複数のソース配線18を用いてマトリクス状に配置した薄膜トランジスタアレイであって、少なくとも半導体層3上に封止層4が設けられ、封止層4が複数の薄膜トランジスタにまたがり、ストライプの形状に設けられている。

【0075】

封止層4は孤立パターンの小さいドット状では、アライメントがずれ易く、歩留まりが悪化し、半導体層の劣化が起こりやすいが、ストライプの形状で設けることにより、印刷ずれが防止され、アライメント精度が向上し、半導体層の劣化が防止される。

【0076】

ストライプ形状の封止層4の幅は特に限定されるものではないが、画素電極15と接触しない幅で設けることが望ましく、少なくとも半導体層3を覆っていればよい。封止層と画素電極が接触すると開口率が減少してしまう問題が生じる。また、半導体層を覆っていないと半導体層への酸素や水の侵入を抑制することができない。

【0077】

また、封止層4は、ソース配線18による表示への影響を防止するために、ソース配線18を覆うこともできる。

【0078】

さらには、ボトムゲート型で上部画素電極を設ける場合には、ソース配線と上部画素電極とが接触した際に生じるショートによる表示への影響を防止するために、特にソース配線を覆うことが好ましい。

【0079】

封止層4に用いる材料は、半導体層への酸素や水の侵入を抑制することができる材料であれば特に制限されるものではなく、例えば、ポリイミド、ポリアミド、ポリエステル、ポリビニルフェノール、ポリビニルアルコール、エポキシ樹脂、ベンゾシクロブテン樹脂、フェノール樹脂、アクリル樹脂などが挙げられる。

【0080】

封止層4に含フッ素化合物を含ませると、薄膜トランジスタの外部からの水分や酸素の侵入が防止され、半導体の特性劣化をより効果的に防止できることから好ましい。特に、半

10

20

30

40

50

導体層に有機化合物を用いる場合には、封止層形成時および、封止層形成後に有機半導体の特性劣化が起こらないので好ましい。

【0081】

含フッ素化合物としては、例えば、フッ素アクリル樹脂、含フッ素ポリイミドなどの縮合系含フッ素ポリマー、含フッ素エーテルポリマー、含フッ素環状エーテルポリマーなどが挙げられる。これらは、全フッ素置換されたペルフルオロ体でもよく、フッ素置換残部を塩素などで置換したものでよい。さらにトリフロロメタン置換基などを有していてもよい。

【0082】

封止層の形成は、凸版印刷法、反転オフセット印刷法、インクジェット印刷法、スクリーン印刷法、スプレーコート法、スピコート法等公知の方法を好適に用いることができるが、工程が低温で、工程数が少なく、安価な印刷法で形成することが好ましい。

10

【0083】

封止層4を孤立パターンの小さいドットで形成すると、版の目詰まりによる吐出不良や転写不良などによるアライメントずれが、薄膜トランジスタアレイを上部から2次元で見た時、X軸方向とY軸方向の両軸方向について生じ、アライメント精度を確保することが困難となり、歩留まりが悪くなってしまうことから、ストライプの形状で形成することが好ましい。ストライプの形状で形成することにより、アライメントのずれを一方の軸方向に抑えることができ、アライメント精度が向上し、歩留まりが高い薄膜トランジスタアレイを製造することができる。特に大面積の薄膜トランジスタアレイを製造する場合に大きな効果が得られる。

20

【0084】

印刷法としては、凸版印刷法、反転オフセット印刷法、インクジェット印刷法、スクリーン印刷法、フレキソ印刷法等が挙げられるが、特にスクリーン印刷はインク粘度の適用範囲が広く、インク材料選択性が高く、インク使用効率が高く、また、大面積化が容易であり好ましい。また、フレキソ印刷も、大面積化が容易であり好ましい。

【0085】

図4にスクリーン印刷の模式図、図5にフレキソ印刷の模式図を示す。

【0086】

スクリーン印刷は、例えば、図4に示すように、メッシュ21が設けられ、非印刷部分が乳剤22でマスクされた版23を用い、スキージ24を移動させ、ペースト状のインク25で基板26に印刷を行う方法である。

30

【0087】

フレキソ印刷は、例えば、図5に示すように、インク31の入ったインキパン32にアニロックスロール33の下部を浸漬させ、アニロックスロール33を回転させながら、ドクターブレード34で膜厚を制御した後、凸版35の凸部にインクを供給し、この凸部から基板36にインクを転写する方法である。

【0088】

本発明の実施形態において、絶縁性の基板1には、フレキシブルな基板を用いることが望ましい。一般に用いられる材料として、例えばポリエチレンテレフタレート(PET)やポリイミド、ポリエーテルスルホン(PES)、ポリエチレンナフタレート(PEN)、ポリカーボネートなどのプラスチック材料が挙げられる。石英などのガラス基板やシリコンウェハーなども絶縁性の基板として用いることは可能であるが、薄型化、軽量化、フレキシブル化を考慮するとプラスチック基板が好ましい。また、各プロセス温度などを考慮すると、基板としてPENやポリイミドなどを用いることが望ましいが、これらに限定されるものではない。

40

【0089】

電極材料として用いられる材料は特に限定されるものではないが、一般に用いられる材料には金、白金、ニッケル、インジウム錫酸化物などの金属あるいは酸化物の薄膜若しくはポリ(エチレンジオキシチオフェン)/ポリスチレンスルホネート(PEDOT/PSS)

50

)やポリアニリンなどの導電性高分子や金や銀、ニッケルなどの金属コロイド粒子を分散させた溶液若しくは銀などの金属粒子を導電材料として用いた厚膜ペーストなどがある。また、電極の形成方法としては特に限定されるものではなく、蒸着やスパッタなどの乾式成膜法も考えられる。しかしながら、フレキシブル化、低コスト化などを考慮するとスクリーン印刷、反転オフセット印刷、フレキソ印刷、インクジェット法などの湿式成膜法により形成することが望ましい。

【0090】

ゲート絶縁膜2として用いられる材料は特に限定されるものではないが、一般に用いられる材料にはポリビニルフェノール、ポリメタクリル酸メチル、ポリイミド、ポリビニルアルコール、エポキシ樹脂などの有機材料、酸化シリコン、窒化シリコン、アルミナやシリカゲルなどの無機材料がある。また、PETやPEN、PEEなどの薄膜フィルムをゲート絶縁膜として用いることも出来る。有機材料の膜形成に際してはスピンコート法、ダイコート法等の塗布法を、また、無機材料の膜形成に際しては真空蒸着法、スパッタリング法等を用いることができる。

10

【0091】

半導体として用いられる材料は特に限定されるものではないが、一般に用いられる材料にはポリチオフェン、ポリアリルアミン、フルオレンピチオフェン共重合体、およびそれらの誘導体のような高分子有機半導体材料、およびペンタセン、テトラセン、銅フタロシアニン、ペリレン、およびそれらの誘導体のような低分子有機半導体材料を用いることができるが、低コスト化、フレキシブル化、大面積化を考慮すると印刷法が適用できる有機半導体を用いることが望ましい。また、カーボンナノチューブあるいはフラーレンなどの炭素化合物や半導体ナノ粒子分散液なども半導体材料として用いることができる。有機半導体の印刷方法としては、グラビア印刷、オフセット印刷、スクリーン印刷およびインクジェット法など、公知の方法を用いることができる。一般に、上記の有機半導体に関しては、溶剤に対する溶解度が低いため、低粘度溶液の印刷に適したフレキソ印刷、反転オフセット印刷、インクジェット法、ディスペンサを用いることが望ましい。

20

【0092】

また、亜鉛、インジウム、スズ、タングステン、マグネシウム、ガリウムのうち一種以上上の元素を含む酸化物である、酸化亜鉛、酸化インジウム、酸化スズ、酸化タングステン、酸化亜鉛ガリウムインジウム等公知の酸化物半導体材料を使用することもできる。これらの酸化物半導体の形成方法としては、スパッタ法、パルスレーザー堆積法、真空蒸着法、CVD (Chemical Vapor Deposition) 法、MBE (Molecular Beam Epitaxy) 法、ゾルゲル法等を用いることができる。

30

【0093】

本発明の実施形態において、ディスプレイの画像表示媒体は特に限定されるものではないが、電気泳動方式、液晶方式、有機エレクトロルミネッセンス(EL)方式などを好適に用いることができる。

【0094】

電気泳動方式は、液体中に分散している帯電粒子を、外部電場に応答させて液中を移動させるものである。例えば、二つの電極間に液体中に分散している正と負に帯電した粒子を挟み、電場を印加することにより正の電極側に負に帯電した微粒子が集まり、負の電極には逆の電荷の粒子が集まり、画像が表示される方式が挙げられる。

40

【0095】

液晶方式は、電圧の有無により液晶分子の配向を制御し、液晶層の光の透過性を制御する方式である。

【0096】

有機エレクトロルミネッセンス方式は、二つの電極間に有機発光材料を含む有機エレクトロルミネッセンス層を形成し、両電極間から有機エレクトロルミネッセンス層に電流を流すことで発光させ光を取り出す方式である。

50

【0097】

画像表示媒体に電気泳動方式を用いると、高いコントラストと高視野角なディスプレイを得ることができる。

【0098】

画像表示媒体に液晶方式を用いると、半導体特性の向上した高品位な画像のディスプレイを得ることができる。

【0099】

画像表示媒体に有機エレクトロルミネッセンス方式を用いると、高いコントラストと高視野角なディスプレイを得ることができる。

【0100】

本発明の実施形態におけるトランジスタの構造としては特に限定されるものではなく、ボトムゲート・ボトムコンタクト型、ボトムゲート・トップコンタクト型、トップゲート・ボトムコンタクト型など全ての構造に用いることができる。

【0101】

尚、本発明の薄膜トランジスタアレイには、必要に応じて層間絶縁膜、上部画素電極、ガスバリア層、平坦化膜などを用いることも出来る。

【0102】

ここで、層間絶縁膜は、ゲート配線及びキャパシタ配線の少なくとも一部を覆っていればよい。即ち、封止層など、別の絶縁性を有する層に覆われている部分は、覆っても覆わなくてもよいが、絶縁性を有する層に覆われていない部分は層間絶縁膜で覆うことが好ましい。

【0103】

さらには、上部画素電極と画素電極との接続部以外を好適に覆うことができる。

【0104】

層間絶縁膜5は、封止層4間に設けられたドット状(図10)、または、前記封止層に直行して設けられた複数の薄膜トランジスタにまたがるストライプ状(図13)で形成することもできる。

【0105】

ドット状とすることで、封止層が設けられていない部分に層間絶縁膜を形成することができ、封止層と層間絶縁膜との膜厚を容易に等しく設けることができ、上部画素電極の形成時、上部画素電極材料同士の接触が防止され、ショートのない上部画素電極層を簡易に形成することができる。

【0106】

ストライプ状とすることで、簡易にパターンを形成でき、アライメント精度が良好でかつ歩留まりを高く層間絶縁膜層を形成することができる。

【0107】

層間絶縁膜に用いる材料は、絶縁性を有する材料であれば特に制限されるものではなく、例えば、ポリイミド、ポリアミド、ポリエステル、ポリビニルフェノール、ポリビニルアルコール、エポキシ樹脂、ベンゾシクロブテン樹脂、フェノール樹脂、アクリル樹脂などが挙げられる。

【0108】

また、層間絶縁膜に含フッ素化合物を含ませると、層間絶縁膜が含フッ素化合物を含むことで、薄膜トランジスタの外部からの水分や酸素の侵入を防止することができることから好ましい。また、特に、封止層が含フッ素化合物で、層間絶縁膜がドット状の場合、封止層と層間絶縁膜との膜厚をより容易に等しく設けることができ、上部画素電極の形成時、上部画素電極材料同士の接触を防止することができる。さらには、層間絶縁膜が含フッ素化合物を含むことで、特にインク材料で上部画素電極を設ける場合、上部画素電極材料との濡れ性の差を大きくすることができ、上部画素電極形成時、上部画素電極材料同士の接触を防止することができる。

【0109】

10

20

30

40

50

含フッ素化合物としては、例えば、フッ素アクリル樹脂、含フッ素ポリイミドなどの縮合系含フッ素ポリマー、含フッ素エーテルポリマー、含フッ素環状エーテルポリマーなどが挙げられる。これらは、全フッ素置換されたペルフルオロ体でもよく、フッ素置換残部を塩素などで置換したものでよい。さらにトリフロロメタン置換基などを有していてもよい。

【0110】

層間絶縁膜の形成は、凸版印刷法、反転オフセット印刷法、インクジェット印刷法、スクリーン印刷法、スプレーコート法、スピンコート法等公知の方法を好適に用いることができるが、工程が低温で、工程数が少なく、安価な印刷法で形成することが好ましい。

【0111】

印刷法としては、凸版印刷法、反転オフセット印刷法、インクジェット印刷法、スクリーン印刷法、フレキソ印刷法等が挙げられるが、特にスクリーン印刷はインク粘度の適用範囲が広く、インク材料選択性が高く、インク使用効率が高く、また、大面積化が容易であり好ましい。また、フレキソ印刷も、大面積化が容易でありので好ましい。

【0112】

層間絶縁膜上に、画素電極に接続した上部画素電極が設けることで表示有効面積を大きくすることができる。

【0113】

上部画素電極の材料としては、Al、Ag、Au、Ni、Ta、Cr等の金属を用いることができる。上部画素電極の形成方法としてはスクリーン印刷等の印刷法を用いることができる。

【0114】

また、薄膜トランジスタアレイにおいて、ソース・ドレインの呼称は便宜上のものであり、逆に呼んでもよい。本発明においては、ソース配線に接続された電極をソース電極とし、画素電極に接続された電極をドレイン電極と呼んでいる。

【0115】

次に、本発明の別の実施の形態について説明する。

【0116】

図20、図21、図22に本発明の一実施形態を示す。

図20は本発明の実施形態の一例を示す薄膜トランジスタアレイ（ボトムゲート・トップコンタクト型）の模式図である。

図21は図20の1画素分の拡大図である。

図22は図20の断面図である。

【0117】

本発明における薄膜トランジスタアレイは絶縁基板101上に少なくともゲート電極111を有し、該ゲート電極111がゲート絶縁層102をはさんでソース電極117・ドレイン電極116と重なり、少なくともソース・ドレイン間に半導体層103を有し、少なくとも半導体層103の上に封止層104を有し、ドレイン電極117は画素電極115に接続され、画素電極115はゲート絶縁層102を挟んでキャパシタ電極113と重なっている薄膜トランジスタを、複数のゲート電極111に接続されたゲート配線112と、複数のソース電極117に接続されたソース配線118によってマトリクス状に配置した薄膜トランジスタアレイであって、該封止層104が隣接する薄膜トランジスタ間にまたがるストライプ状で形成されている。

【0118】

ここでストライプ状とは線状につながった形状であればよく、必ずしも等幅でなくてもよい。例えば図24のようなものが挙げられる。またストライプ状の封止層104はゲート配線112に沿ったものに限らず、図25のようにソース配線118に沿ったものでもよい。封止層104は特に大面積においてストライプ状に形成することで、リフトオフ法またはエッチング法によりパターンニングを行う場合、パターンニングが容易、かつ歩留まりの小さい薄膜トランジスタアレイを実現することができる。

10

20

30

40

50

【0119】

図26を用いて封止層の形状とリフトオフのしやすさについて説明する。図26(a)に示すように、従来封止層104は孤立パターンの小さいドットのパターンで形成されている。このような場合、レジスト120のパターンが3次元(格子状)であるため、一部のレジストを取り除くことができても、一部にひっかかって取り除くことができない箇所(レジスト残り121)が存在し、歩留まりが低下する。一方、図26(b)に示すように封止層104がストライプ状の場合、レジストのパターンが2次元(線状)であるため、一部のレジストが剥がれればその箇所に引っ張られて周辺のレジストが取れやすく、かつ歩留まりが向上する。またエッチング法によりパターンニングを行う場合においても、図26(a)に示すような小さいドットの孤立パターンではエッチング特性の制御が難しく歩留まりが低下するため、パターンはストライプ状であることが好ましい。

10

【0120】

封止層104の幅は特に限定されるものではなく、少なくとも半導体層103を十分に覆うことができればよい。

【0121】

封止層104として用いられる材料は、無機酸化物を主成分とする半導体と接する場合には、特に、無機絶縁材料であることが好ましい。具体的には、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiN_xO_y)、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、ハフニウムアルミネート、酸化ジルコニア、酸化チタン等の無機材料等が挙げられるがこれらに限定されるものではない。これら封止層104は単層として用いても構わないし、複数の層を積層したものを用いても構わない。

20

【0122】

絶縁基板101として用いられる材料として、ガラスまたはプラスチック基板が挙げられる。具体的にはポリメチルメタクリレート、ポリアクリレート、ポリカーボネート、ポリスチレン、ポリエチレンサルファイド、ポリエーテルスルホン、ポリオレフィン、ポリエチレンテレフタレート、ポリエチレンナフタレート、シクロオレフィンポリマー、ポリエーテルサルフェン、トリアセチルセルロース、ポリビニルフルオライドフィルム、エチレン-テトラフルオロエチレン共重合樹脂、耐候性ポリエチレンテレフタレート、耐候性ポリプロピレン、ガラス繊維強化アクリル樹脂フィルム、ガラス繊維強化ポリカーボネート、透明性ポリイミド、フッ素系樹脂、環状ポリオレフィン系樹脂等を使用することができる。これらは単独の基材として使用してもよいが、二種以上を積層した複合基材を使用することもできる。また基材が有機物フィルムである場合は、素子の耐久性を上げるためにガスバリア層を形成することも好ましい。

30

【0123】

ガスバリア層としては Al_2O_3 、 SiO_2 、 SiN 、 $SiON$ 、 SiC 、ダイヤモンドライクカーボン(DLC)などが挙げられるがこれらに限定されるものではない。またこれらのガスバリア層は二層以上積層して使用することもできる。またガスバリア層は有機物フィルム基板の片面だけに付与してもよいし、両面に付与しても構わない。ガスバリア層は蒸着法、イオンプレーティング法、スパッタ法、レーザーアブレーション法、プラズマCVD(Chemical Vapor Deposition)法、ホットワイヤーCVD法、ゾルゲル法などで形成されるが、これらに限定されるものではない。またガラスやプラスチック基板上にカラーフィルタが形成された基材を使用することもできる。

40

【0124】

電極材料として用いられる材料は特に限定されるものではないが、酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化カドミウム(CdO)、酸化インジウムカドミウム($CdIn_2O_4$)、酸化カドミウムスズ(Cd_2SnO_4)、酸化亜鉛スズ(Zn_2SnO_4)、酸化インジウム亜鉛($In-Zn-O$)等の酸化物材料が好適に用いられる。またこの酸化物材料に不純物をドーピングすることも導電率を上げるために好ましい。

【0125】

50

例えば、酸化インジウムにスズやモリブデン、チタンをドーブしたものの、酸化スズにアンチモンやフッ素をドーブしたものの、酸化亜鉛にインジウム、アルミニウム、ガリウムをドーブしたものなどである。この中では特に酸化インジウムにスズをドーブした酸化インジウムスズ（通称ITO）が低い抵抗率のために特に好適に用いられる。またAu、Ag、Cu、Cr、Al、Mg、Liなどの低抵抗金属材料も好適に用いられる。

【0126】

また導電性酸化物材料と低抵抗金属材料を複数積層したものも使用できる。この場合、金属材料の酸化や経時劣化を防ぐために導電性酸化物薄膜/金属薄膜/導電性酸化物薄膜の順に積層した3層構造が特に好適に用いられる。またPEDOT（ポリエチレンジオキシチオフェン）等の有機導電性材料も好適に用いることができる。ゲート電極、ソース電極及びドレイン電極は全て同じ材料であっても構わないし、また全て違う材料であっても構わない。しかし、工程数を減らすために画素電極115、ドレイン電極116、ソース電極117およびソース配線118は同一の材料であることがより望ましい。

10

【0127】

これらの電極は、真空蒸着法、イオンプレーティング法、スパッタ法、レーザーアブレーション法、プラズマCVD（Chemical Vapor Deposition）、光CVD法、ホットワイヤーCVD法、またはスクリーン印刷、凸版印刷、インクジェット法等で形成することができるが、これらに限定されるものではない。

【0128】

ゲート絶縁膜102として用いられる材料は、酸化シリコン、窒化シリコン、シリコンオキシナイトライド、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、ハフニウムアルミネート、酸化ジルコニア、酸化チタン等の無機材料、または、PMMA（ポリメチルメタクリレート）等のポリアクリレート、PVA（ポリビニルアルコール）、PS（ポリスチレン）、透明性ポリイミド、ポリエステル、エポキシ、ポリビニルフェノール、ポリビニルアルコール等が挙げられるがこれらに限定されるものではない。ゲートリーク電流を抑えるためには、絶縁材料の抵抗率は 10^{11} cm以上、特に 10^{14} cm以上であることが好ましい。ゲート絶縁層2は真空蒸着法、イオンプレーティング法、スパッタ法、レーザーアブレーション法、プラズマCVD、光CVD法、ホットワイヤーCVD法、スピコート、ディップコート、スクリーン印刷などの方法を用いて形成される。これらのゲート絶縁層102は膜の成長方向に向けて組成を傾斜したのもまた好適に用いられる。

20

30

【0129】

本発明で用いられる半導体層103は、亜鉛、インジウム、スズ、タングステン、マグネシウム、ガリウムのうち一種類以上の元素を含む無機酸化物である、酸化亜鉛、酸化インジウム、酸化インジウム亜鉛、酸化スズ、酸化タングステン、酸化亜鉛ガリウムインジウム（InGaZnO）等公知の材料が挙げられるがこれらに限定されるものではない。これらの材料の構造は単結晶、多結晶、微結晶、結晶/アモルファスの混晶、ナノ結晶散在アモルファス、アモルファスのいずれであってもかまわない。半導体層の膜厚は少なくとも10nm以上が望ましい。酸化物を主成分とする半導体層はスパッタ法、パルスレーザー堆積法、真空蒸着法、CVD法、ゾルゲル法などの方法を用いて形成されるが、好ましくはスパッタ法、パルスレーザー堆積法、真空蒸着法、CVD法である。スパッタ法ではRFマグネトロンスパッタ法、DCスパッタ法、真空蒸着では加熱蒸着、電子ビーム蒸着、イオンプレーティング法、CVD法ではホットワイヤーCVD法、プラズマCVD法などが挙げられるがこれらに限定されるものではない。

40

【0130】

本発明の実施形態において、ディスプレイの画像表示媒体は特に限定されるものではないが、電気泳動方式、液晶方式、有機エレクトロルミネッセンス方式などがある。

【0131】

本発明の実施形態におけるトランジスタの構造としては特に限定されるものではないが、特にボトムゲート型構造に有用である。

50

【0132】

尚、本発明の薄膜トランジスタアレイには、必要に応じて層間絶縁膜、上部画素電極、ガスバリア層、平坦化膜などを用いることも出来る。

【0133】

以下、実施例を元に説明する。

【実施例】

【0134】

(実施例1)

本実施例では、図1、図2(拡大図)、図3(断面図)に示すようなボトムゲート・ボトムコンタクト型薄膜トランジスタアレイの製造方法を示す。本トランジスタアレイは1画素サイズ500 μ m \times 500 μ mであり、この画素が240 \times 320個あるものである。また、封止層のストライプの幅は200 μ mである。

10

【0135】

基板1としてポリエチレンナフタレート(PEN)フィルム(帝人デュポン製)を用いた。反転オフセット印刷によりナノ銀インキ(住友電工製ナノ銀:Aldrich製ポリエチレングリコール#200=8:1(重量比))をPEN基板上に印刷、180 $^{\circ}$ で1時間ベークさせてゲート電極11、ゲート配線12、キャパシタ電極13、キャパシタ配線14を得た。

【0136】

ゲート絶縁膜として、ポリイミド(三菱ガス化学製ネオプリム)をダイコーターにより塗布、180 $^{\circ}$ で1時間乾燥させてゲート絶縁膜2を形成した。ソース・ドレイン電極およびソース配線、画素電極材料としてナノ銀インキ(住友電工製ナノ銀:Aldrich製ポリエチレングリコール#200=8:1(重量比))を用い、反転オフセット印刷により印刷、180 $^{\circ}$ で1時間乾燥させてソース電極17、ドレイン電極16およびソース配線18、画素電極15を形成した。

20

【0137】

半導体層としてLisicon SP200(Merck製)のテトラリン(関東化学製)溶液をディスペンサ法により塗布、100 $^{\circ}$ で90分乾燥させて半導体層3を形成した。封止材料として含フッ素化合物であるフッ素系樹脂(旭硝子製サイトップ)を用いた。封止層をスクリーン印刷によりストライプ状に印刷、90 $^{\circ}$ で2時間真空乾燥し、封止層4を形成した。

30

【0138】

アライメント精度よく、連続印刷可能であった。次に、対向電極との間に電気泳動方式の画像表示媒体を挟んで駆動したところ、良好に表示ができた。

【0139】

(実施例2)

本実施例では、実施例1と同様に図1、図2(拡大図)、図3(断面図)に示すようなボトムゲート・ボトムコンタクト型薄膜トランジスタアレイの製造方法を示す。実施例1と同様の方法で半導体層まで形成した。封止材料として含フッ素化合物であるフッ素系樹脂(旭硝子製サイトップ)を用いた。封止層をフレキソ印刷によりストライプ状に印刷、90 $^{\circ}$ で2時間真空乾燥し、封止層4を形成した。

40

【0140】

アライメント精度よく、印刷可能であった。次に、対向電極との間に電気泳動方式の画像表示媒体を挟んで駆動したところ、良好に表示ができた。

【0141】

(実施例3)

本実施例では、図6、図7(拡大図)、図8(断面図)に示すようなボトムゲート・ボトムコンタクト型薄膜トランジスタアレイの製造方法を示す。封止層のストライプ幅は250 μ mである。

【0142】

50

実施例 1 と同様の方法で半導体層まで形成した。封止材料として含フッ素化合物であるフッ素系樹脂（旭硝子製サイトップ）を用いた。封止層をフレキソ印刷によりストライプ状でありソース配線 18 を覆っているパターンに印刷、90 で 2 時間真空乾燥し、封止層 4 を形成した。アライメント精度よく、印刷可能であった。次に、対向電極との間に電気泳動方式の画像表示媒体を挟んで駆動したところ、良好に表示ができた。

【 0 1 4 3 】

（実施例 4）

本実施例では、図 9、図 10（拡大図）、図 11（断面図）に示すようなボトムゲート・ボトムコンタクト型薄膜トランジスタアレイの製造方法を示す。本トランジスタアレイは 1 画素サイズ 500 μm × 500 μm であり、この画素が 240 × 320 個あるものである。また、封止層のストライプの幅は 200 μm である。

10

【 0 1 4 4 】

実施例 1 と同様の方法で半導体層まで形成した。封止材料として含フッ素化合物であるフッ素系樹脂（旭硝子製サイトップ）を用いた。封止層をスクリーン印刷によりストライプ状に印刷、90 で 2 時間真空乾燥し、封止層 4 を形成した。アライメント精度よく形成可能であった。

【 0 1 4 5 】

層間絶縁膜材料としてエポキシ樹脂（味の素ファインテクノ製）を用いてスクリーン印刷によりドット状に印刷し、90 で 1 時間乾燥させて層間絶縁膜 5 を形成した。上部画素電極材料として銀ペースト（味の素ファインテクノ製）を用いてスクリーン印刷により印刷し、90 で 1 時間乾燥させて上部画素電極 6 を形成した。しかる後、対向電極との間に電気泳動媒体を挟んで本実施例によるディスプレイを駆動したところ、良好に画像を表示することができ、実施例 3 よりもさらにコントラストが向上した。

20

【 0 1 4 6 】

（実施例 5）

本実施例では、図 12、図 13（拡大図）、図 14（断面図）に示すようなボトムゲート・ボトムコンタクト型薄膜トランジスタアレイの製造方法を示す。本トランジスタアレイは 1 画素サイズ 500 μm × 500 μm であり、この画素が 240 × 320 個あるものである。また、封止層のストライプの幅は 250 μm である。

【 0 1 4 7 】

基板 1 としてポリエチレンナフタレート（PEN）フィルム（帝人デュボン製）を用いた。反転オフセット印刷によりナノ銀インキ（住友電工製ナノ銀：A l d r i c h 製ポリエチレングリコール # 200 = 8 : 1（重量比））を PEN 基板上に印刷、180 で 1 時間ベークさせてゲート電極 11、ゲート配線 12、キャパシタ電極 13、キャパシタ配線 14 を得た。

30

【 0 1 4 8 】

ゲート絶縁膜として、ポリビニルフェノール（A l d r i c h 製）をダイコーターにより塗布、180 で 1 時間乾燥させてゲート絶縁膜 2 を形成した。ソース・ドレイン電極およびポリエチレングリコール # 200 = 8 : 1（重量比））を用い、反転オフセット印刷により印刷、180 で 1 時間乾燥させてソース電極 17、ドレイン電極 16 およびソース配線 18、画素電極 15 を形成した。半導体層として L i s i c o n S P 2 0 0（M e r c k 製）のテトラリン（関東化学製）溶液をディスペンサ法により塗布、100 で 90 分乾燥させて半導体層 3 を形成した。

40

【 0 1 4 9 】

封止材料として含フッ素化合物であるフッ素系樹脂（旭硝子製サイトップ）を用いた。封止層をスクリーン印刷によりストライプ状に印刷、90 で 2 時間真空乾燥し、封止層 4 を形成した。続いて、層間絶縁膜層として含フッ素化合物であるフッ素系樹脂（旭硝子製サイトップ）を用いた。層間絶縁膜層をスクリーン印刷によりストライプ状に印刷、90 で 2 時間真空乾燥し、層間絶縁膜層 5 を形成した。上部画素電極材料として銀ペースト（味の素ファインテクノ製）を用いてスクリーン印刷により印刷し、90 で 1 時間乾燥

50

させて上部画素電極 29 を形成した。

【0150】

しかる後、対向電極との間に電気泳動媒体を挟んで本実施例によるディスプレイを駆動したところ、良好に画像を表示することができ、実施例 1 よりもさらにコントラストが向上した。

【0151】

(実施例 6)

実施例 6 について説明する。図 15、16、17、18 に示すように、ガラス基板 41 としてコーニング社製無アルカリガラス 1737 (0.7mm 厚) を用いた。ゲート電極 (G1) 51、キャパシタ電極 (C) 53 として、ITO をスパッタによって成膜し、フォトレジスト塗布・露光・現像・エッチング・レジスト剥離によってパターンニングした。

10

【0152】

ゲート絶縁膜 (GI1) 42 として、ポリビニルフェノール (Aldrich 製) をインクジェット法により塗布、180 で 1 時間乾燥させてゲート絶縁膜 (GI1) 42 を形成した。ソース電極 (S1) 57、ドレイン電極 (D1) 56 兼ゲート電極 (G2) として、ITO をスパッタによって成膜し、フォトレジスト塗布・露光・現像・エッチング・レジスト剥離によってパターンニングした。

【0153】

半導体材料としてフルオレンピチオフェン共重合体 (F8T2) をテトラリン (関東化学製) で 1.0 重量% になるように溶解した溶液と、また凸版として感光性樹脂凸版を用い、150 線のアニロックスロールを用いて凸版印刷によりストライプ状の半導体を印刷し、100 で 60 分乾燥させて半導体層 (OSC1) 43 を形成した。

20

【0154】

封止層の材料としてフッ素系樹脂 (旭硝子製サイトップ) を用い、スクリーン印刷によりストライプ状に印刷し、90 で 2 時間真空乾燥し、封止層 (F1) 44 を形成した。再度ゲート絶縁膜 (GI2) 62 として、ポリビニルフェノール (Aldrich 製) をインクジェット法により塗布、180 で 1 時間乾燥させてゲート絶縁膜 (GI2) 62 を形成した。

【0155】

ソース電極 (S2) 67、ドレイン電極 (D2) 66 として、ITO をスパッタによって成膜し、フォトレジスト塗布・露光・現像・エッチング・レジスト剥離によってパターンニングした。

30

【0156】

再度半導体材料としてフルオレンピチオフェン共重合体 (F8T2) をテトラリン (関東化学製) で 1.0 重量% になるように溶解した溶液と、また凸版として感光性樹脂凸版を用い、150 線のアニロックスロールを用いて凸版印刷によりストライプ状の半導体を印刷し、100 で 60 分乾燥させて半導体層 (OSC2) 63 を形成した。再度封止層の材料としてフッ素系樹脂 (旭硝子製サイトップ) を用い、スクリーン印刷によりストライプ状に印刷し、90 で 2 時間真空乾燥し、封止層 (F2) 64 を形成した。

【0157】

層間絶縁材料として感光性透明アクリル樹脂を用いて露光・現像をし、180 で 30 分ベークして層間絶縁膜 45 を形成した。上部画素電極材料として ITO をスパッタによって成膜し、フォトレジスト塗布・露光・現像・エッチング・レジスト剥離によってパターンニングして上部画素電極 46 とした。

40

【0158】

しかる後、正孔輸送層 71 としてポリ (エチレンジオキシチオフェン) / ポリスチレンスルホネート (PEDOT/ PSS) をスピンコート法によって全面に塗布し、100 で 1 時間乾燥した。続いて凸版印刷にて赤色発光層、緑色発光層、青色発光層としていずれもポリフルオレン系物質を順次形成し、有機発光層 72 とした。

【0159】

50

さらに、蒸着によって共通電極 73 としてカルシウムを 10 nm、銀を 300 nm、全面に成膜した。最後に全体を封止ガラスで覆った。このカラー有機 EL ディスプレイを駆動したところ、良好に表示をすることが出来た。

【0160】

(実施例 7)

スクリーン印刷によりドット状、ストライプ状でなく図 19 に示す画素電極上に開口を有する層間絶縁膜層を形成した以外は、実施例 4 と同様に作製した。一部で、画素電極上の開口を形成できなかった。

【0161】

次に、対向電極との間に電気泳動方式の画像表示媒体を挟んで駆動したところ、画素電極上の開口が形成できていない箇所では、画素電極と上部画素電極の導通がとれず、良好な表示ができなかったが、全体の表示への大きな影響はなかった。

【0162】

(実施例 8)

本実施例では、図 20、図 21、図 22 に示すようなボトムゲート・トップコンタクト型薄膜トランジスタアレイの作製方法を示す。本トランジスタアレイは 1 画素サイズ 125 μm \times 125 μm であり、この画素が 480 \times 640 個あるものである。また、封止層のストライプの幅は 35 μm である。絶縁基板 1 としてポリエチレンナフタレート (PEN) フィルム (帝人デュボン製) を用いた。DC マグネトロンスパッタ装置を用いて ITO を 100 nm 成膜し、フォトリソグラフィ法を用いてゲート電極 111、ゲート配線 112、キャパシタ電極 113、キャパシタ配線 114 を形成した。

【0163】

次に RF マグネトロンスパッタ法を用いて SiON からなるゲート絶縁層 102 (膜厚 300 nm)、InGaZnO 系酸化物からなる半導体層 103 (膜厚 35 nm) を連続成膜した。表 1 にスパッタ法による成膜条件を示す。

【0164】

【表 1】

	ターゲット	Ar 流量 [SCCM]	O ₂ 流量 [SCCM]	動作圧力 [Pa]	投入電力 [W]
ゲート電極 111 ゲート配線 112 キャパシタ電極 113 キャパシタ配線 114	SnO ₂ :10 wt.% - In ₂ O ₃	10	0.3	0.5	200
ゲート絶縁膜 102	Si ₃ N ₄	40	2	0.5	500
半導体層 103	InGaZnO ₄	10	0.3	0.5	200
画素電極 115 ドレイン電極 116 ソース電極 117 ソース配線 118	SnO ₂ :10 wt.% - In ₂ O ₃	10	0.3	0.5	200
封止層 104	Si ₃ N ₄	40	4	0.5	500

【0165】

さらにレジストを塗布し、乾燥、現像を行った後、ITO 膜を DC マグネトロンスパッタ法で 100 nm 形成し、リフトオフを行い画素電極 115、ドレイン電極 116、ソース電極 117 およびソース配線 118 を形成した。その上にレジストを塗布し、乾燥、現像

を行った後、RFマグネトロンスパッタ法を用いてSiONを膜厚40nmとして成膜し、リフトオフを行い、ストライプ上のパターンを有する封止層4を形成した。処理時間3min以内でレジストが容易に剥離でき、レジストの剥がれ残りは生じなかった。しかる後、対向電極との間に電気泳動媒体を挟んで駆動したところ、良好に表示ができた。

【0166】

(比較例1)

封止層をスクリーン印刷によりストライプ状でなくドット状で形成した以外は、実施例1と同様に作製した。印刷を重ねるごとに、版の目詰まりがおきると同時に、アライメントのずれが生じた。

【0167】

次に、対向電極との間に電気泳動方式の画像表示媒体を挟んで駆動したところ、半導体の特性劣化により、経時で良好に表示ができなくなった。

【0168】

(比較例2)

封止層をフレキシ印刷によりストライプ状でなくドット状で形成した以外は、実施例2と同様に作製した。フレキシ印刷ではドット状の封止層はアライメントのずれが生じ、良好に形成できなかった。

【0169】

次に、対向電極との間に電気泳動方式の画像表示媒体を挟んで駆動したところ、半導体の特性劣化により、経時で良好に表示ができなくなった。

【0170】

(比較例3)

封止層をストライプ状でなくドット状で形成した以外は、実施例8と同様に作製した。リフトオフの処理時間に実施例7と比較して2倍の時間を要し、また一部にレジストが剥がれない部分が生じて、対向電極との間に電気泳動媒体を挟んで駆動したところ、一部に表示不良が発生した。

【図面の簡単な説明】

【0171】

【図1】本発明の実施形態の一例を示す薄膜トランジスタアレイ(ボトムゲート・ボトムコンタクト型)の模式図である。

【図2】図1の1画素分の拡大図である。

【図3】図2のa b間の断面図である。

【図4】スクリーン印刷の模式図である。

【図5】フレキシ印刷の模式図である。

【図6】本発明の実施形態の別の一例を示す薄膜トランジスタアレイ(ボトムゲート・ボトムコンタクト型)の模式図である。

【図7】図6の1画素分の拡大図である。

【図8】図7のc d間の断面図である。

【図9】本発明の実施形態の別の一例を示す薄膜トランジスタアレイ(ボトムゲート・ボトムコンタクト型)の模式図である。

【図10】図9の1画素分の拡大図である。

【図11】図10のe f間の断面図である。

【図12】本発明の実施形態の別の一例を示す薄膜トランジスタアレイ(ボトムゲート・ボトムコンタクト型)の模式図である。

【図13】図12の1画素分の拡大図である。

【図14】図13のg h間の断面図である。

【図15】本発明の実施形態の別の一例を示す薄膜トランジスタアレイ(ボトムゲート・ボトムコンタクト型)を用いた有機ELの模式図である。

10

20

30

40

50

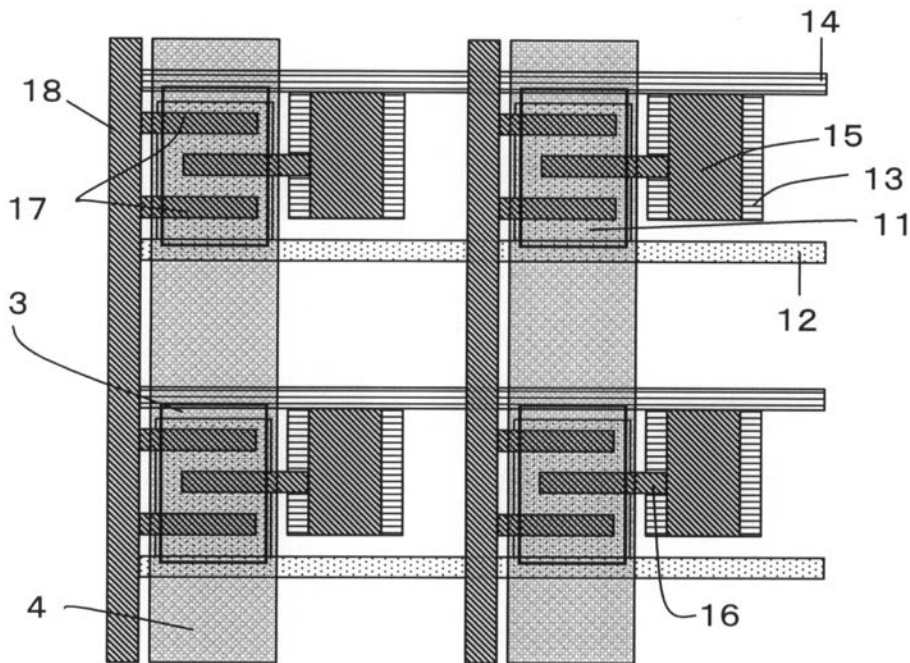
【図 16】	図 15 の 1 画素分の拡大図である。	
【図 17】	図 16 の i - j 間の断面図である。	
【図 18】	図 16 における回路図である。	
【図 19】	本発明の実施形態の別の一例を示す薄膜トランジスタアレイ（ボトムゲート・ボトムコンタクト型）の模式図である。	
【図 20】	本発明の実施形態の別の一例を示す薄膜トランジスタアレイ（ボトムゲート・トップコンタクト型）の模式図である	
【図 21】	図 20 の 1 画素分の拡大図である	
【図 22】	図 21 の A - A 間の断面図である	
【図 23】	従来の薄膜トランジスタの模式図である	10
【図 24】	本発明の実施形態の一例を示す封止層のパターン形状である。	
【図 25】	本発明の実施形態の別の一例を示す薄膜トランジスタアレイ（ボトムゲート・トップコンタクト型）の模式図である	
【図 26】	封止層パターンの形状とリフトオフの容易さについての説明図である。	
【符号の説明】		
【0172】		
1	基板	
2	ゲート絶縁膜	
3	半導体層	
4	封止層	20
5	層間絶縁膜	
6	上部画素電極	
11	ゲート電極	
12	ゲート配線	
13	キャパシタ電極	
14	キャパシタ配線	
15	画素電極	
16	ドレイン電極	
17	ソース電極	
18	ソース配線	30
21	メッシュ	
22	乳剤	
23	版	
24	スキージ	
25	ペーストインク	
26	基板	
31	インク	
32	インキパン	
33	アニロックスロール	
34	ドクターブレード	40
35	凸版	
36	基板	
37	画素電極と上部画素電極の接続部	
41	基板	
42	ゲート絶縁膜 (G11)	
43	有機半導体 (OSC1)	
44	封止 (F1)	
45	層間絶縁膜	
46	上部画素電極	
51	ゲート電極 (G1)	50

- 5 3 . . . キャパシタ電極
- 5 6 . . . ドレイン電極 (D 1)
- 5 7 . . . ソース電極 (S 1)
- 6 2 . . . ゲート絶縁膜 (G 1 2)
- 6 3 . . . 有機半導体 (O S C 2)
- 6 4 . . . 封止 (F 2)
- 6 6 . . . ドレイン電極 (D 2)
- 6 7 . . . ソース電極 (S 2)
- 7 1 . . . 正孔輸送層
- 7 2 . . . 有機発光層
- 7 3 . . . 共通電極
- 1 0 1 . . . 基板
- 1 0 2 . . . ゲート絶縁膜
- 1 0 3 . . . 半導体層
- 1 0 4 . . . 封止層
- 1 1 1 . . . ゲート電極
- 1 1 2 . . . ゲート配線
- 1 1 3 . . . キャパシタ電極
- 1 1 4 . . . キャパシタ配線
- 1 1 5 . . . 画素電極
- 1 1 6 . . . ドレイン電極
- 1 1 7 . . . ソース電極
- 1 1 8 . . . ソース配線
- 1 2 0 . . . レジスト
- 1 2 1 . . . レジスト残り

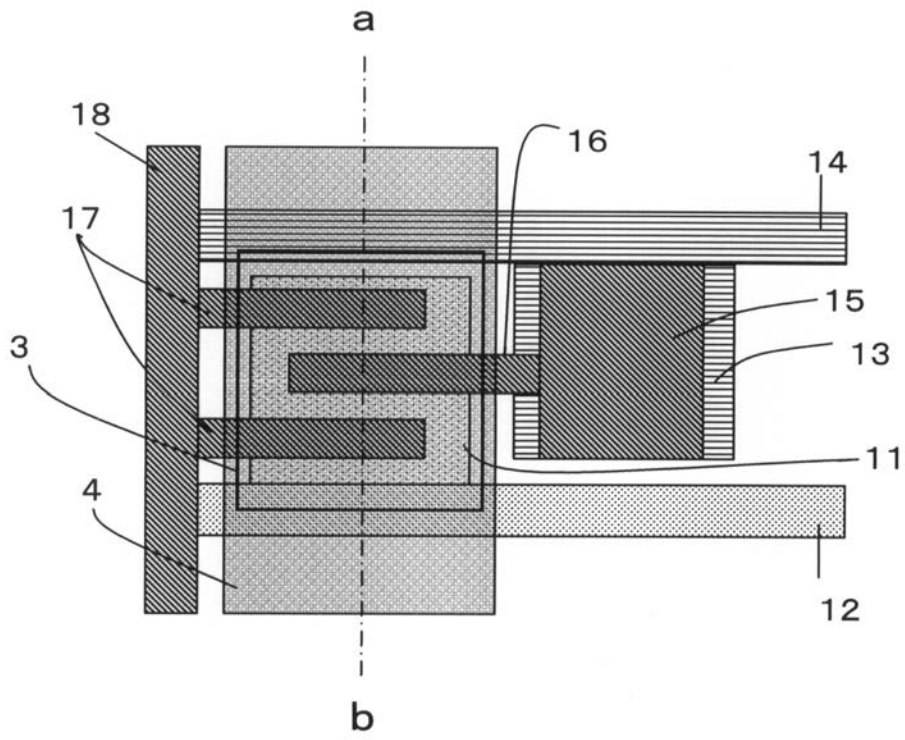
10

20

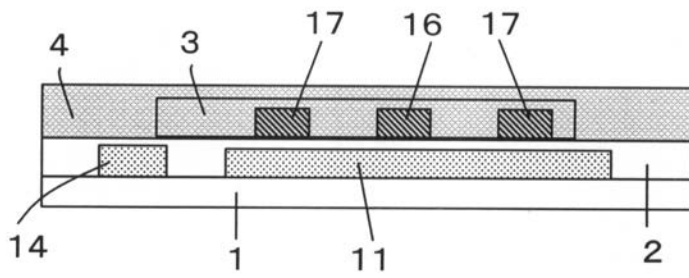
【図1】



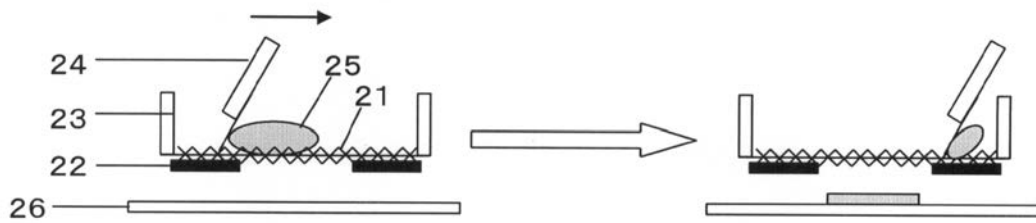
【図2】



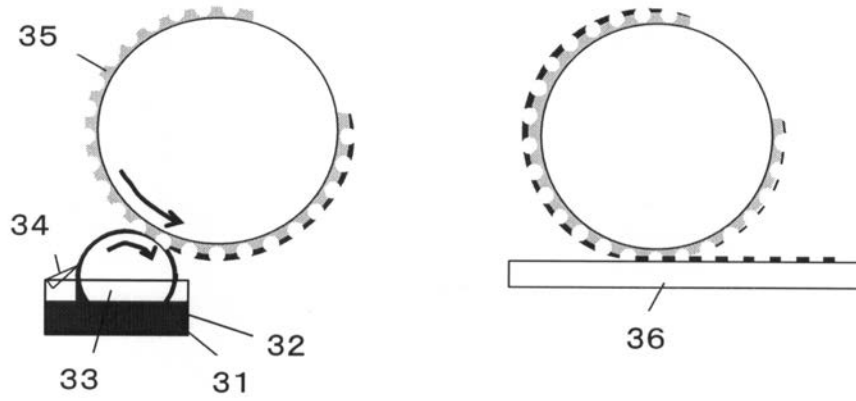
【図3】



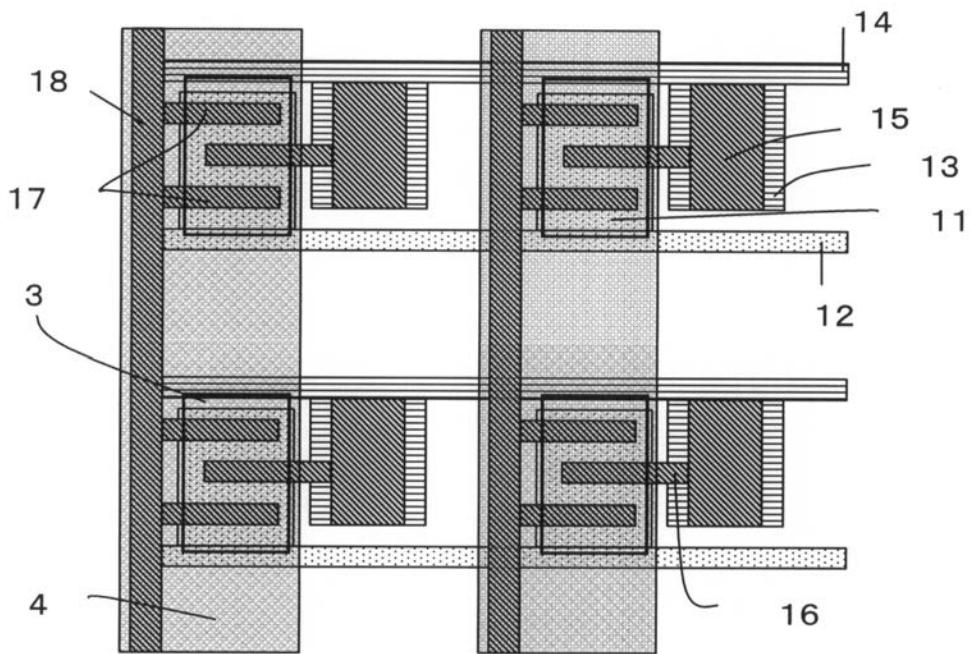
【図4】



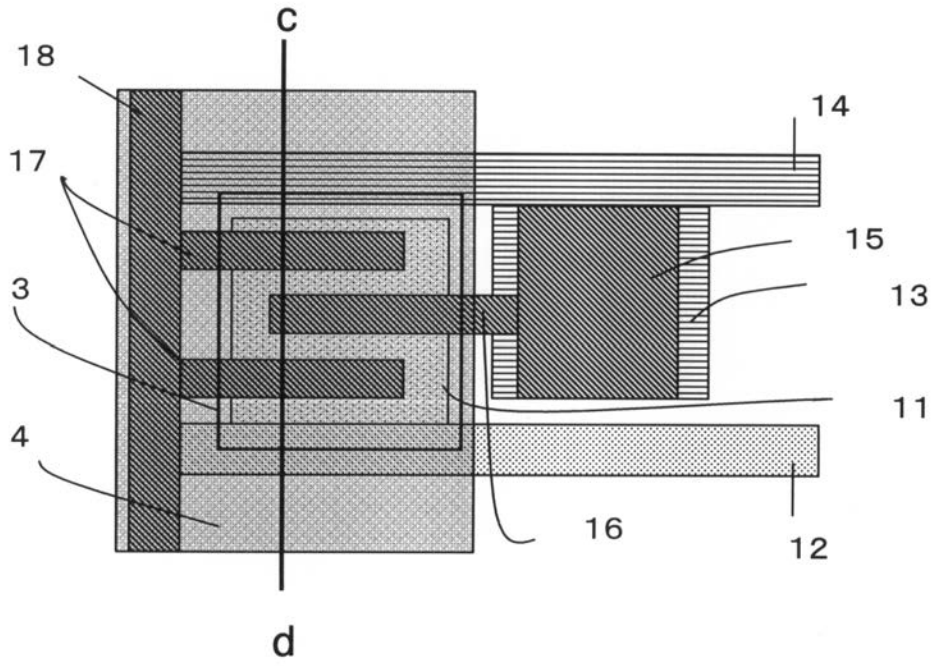
【図5】



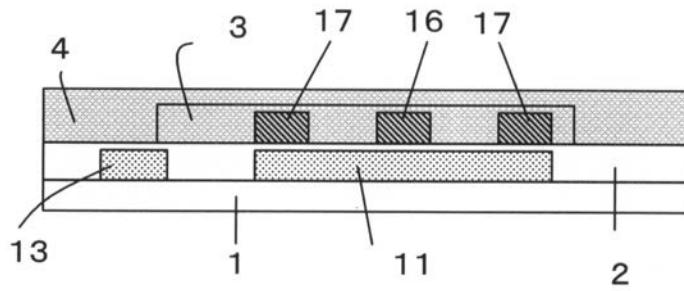
【図6】



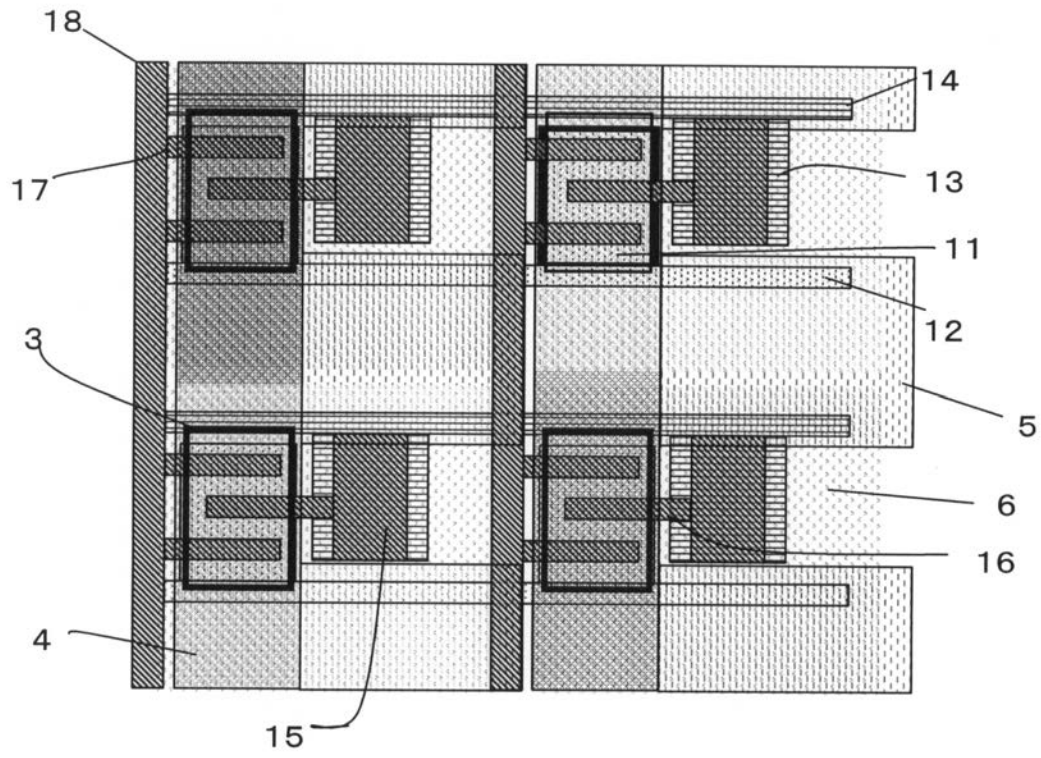
【図7】



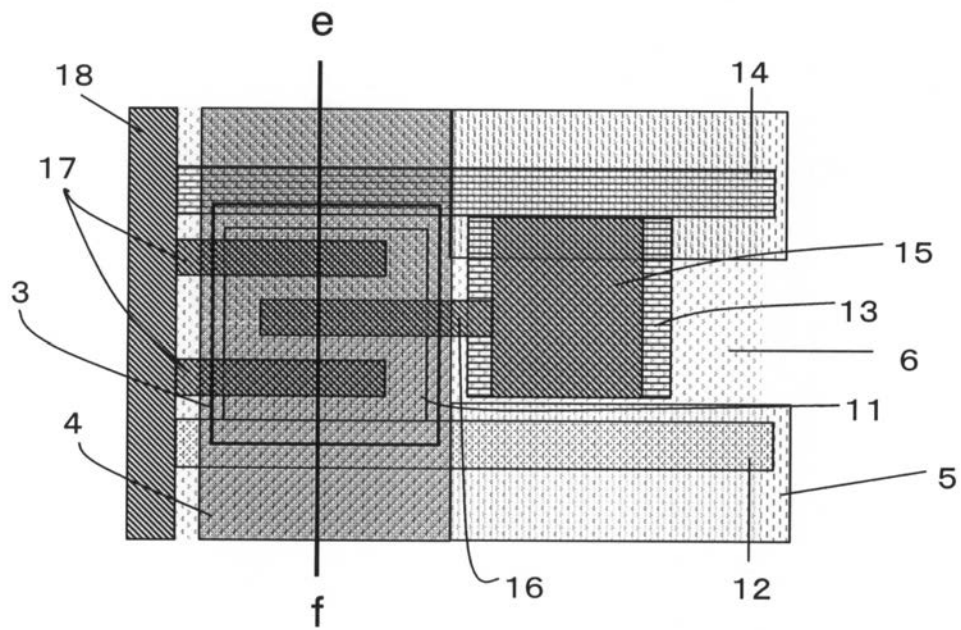
【図8】



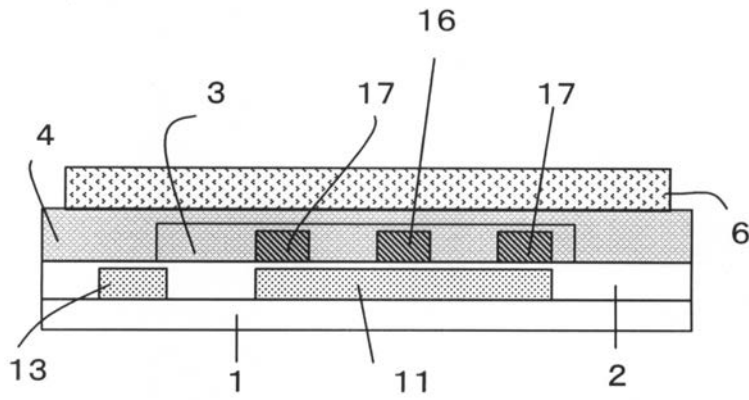
【図9】



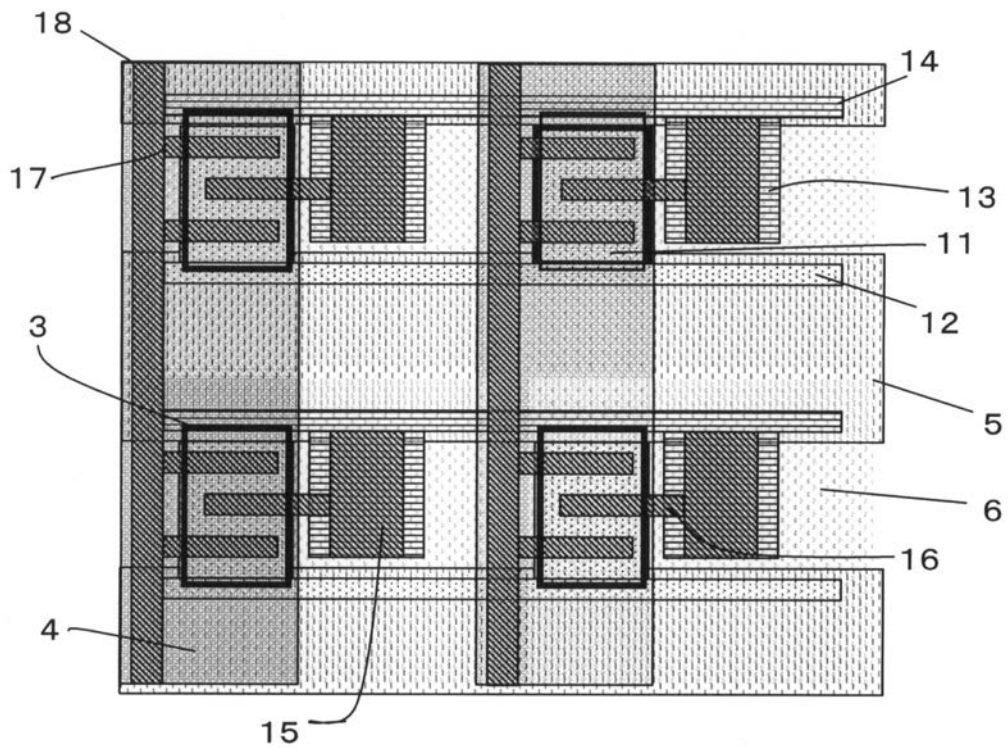
【図10】



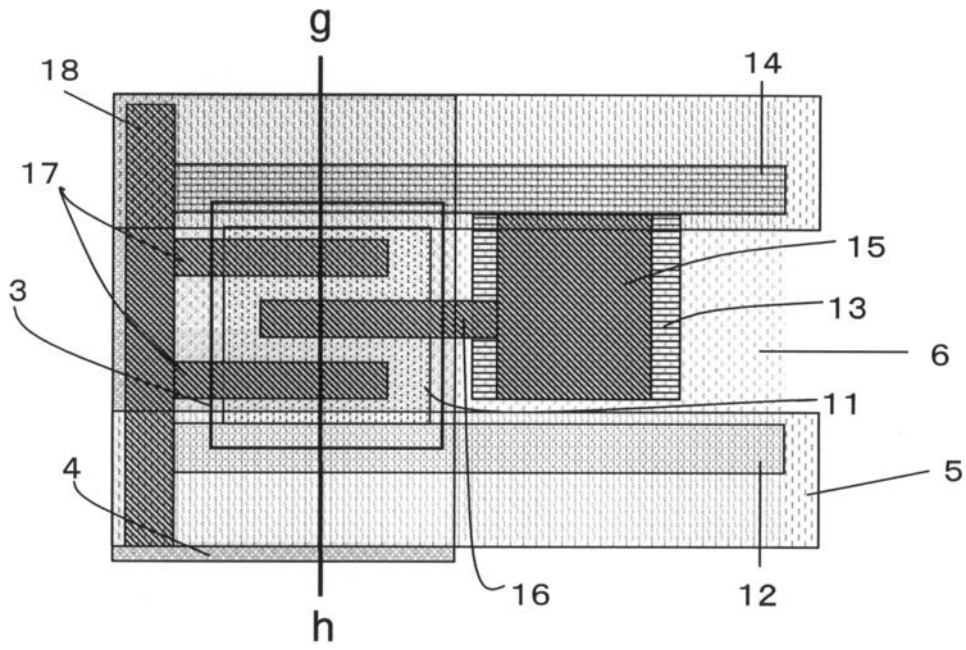
【図11】



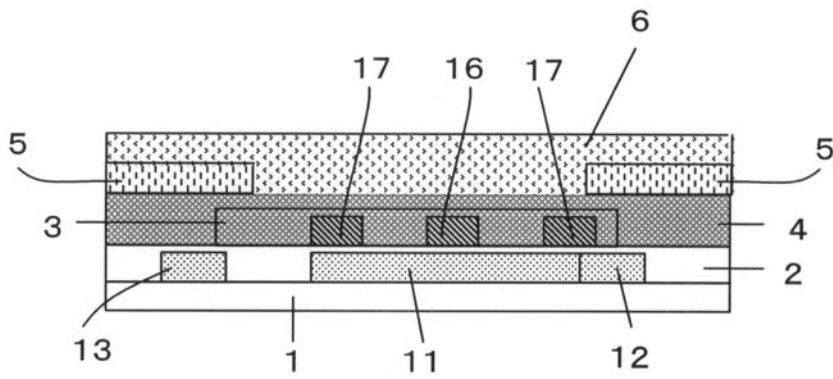
【図12】



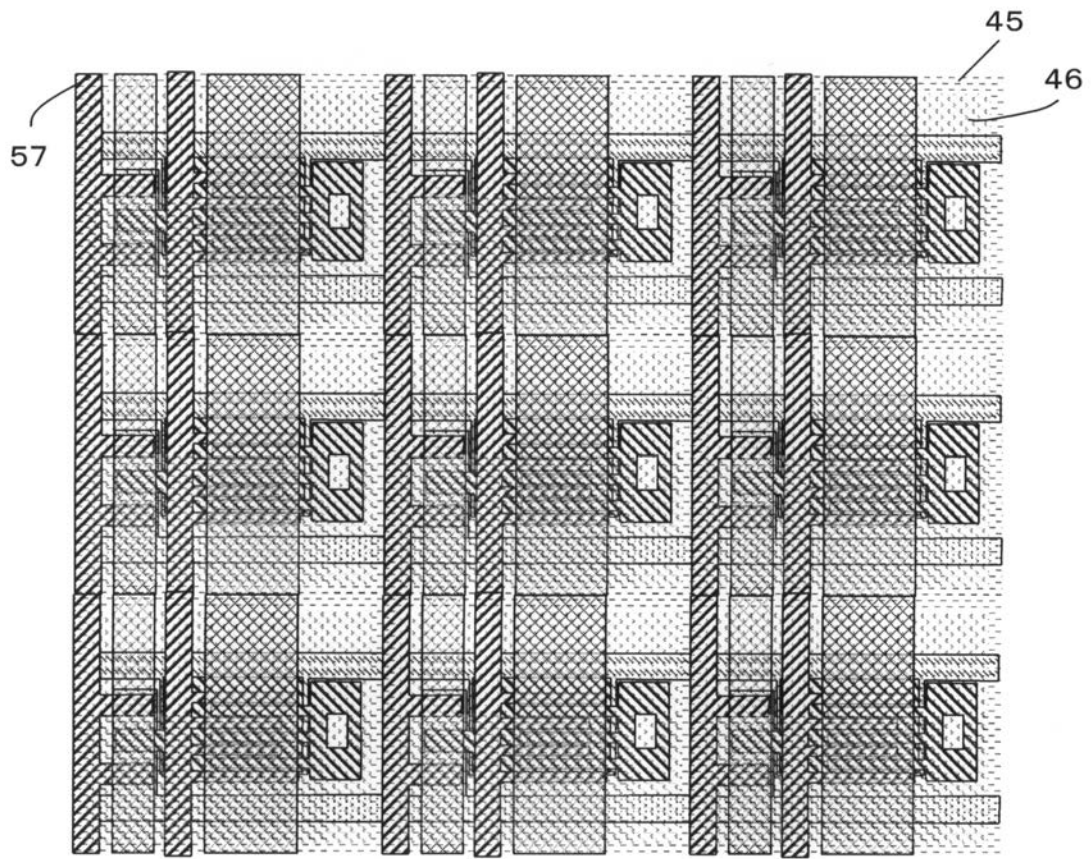
【図13】



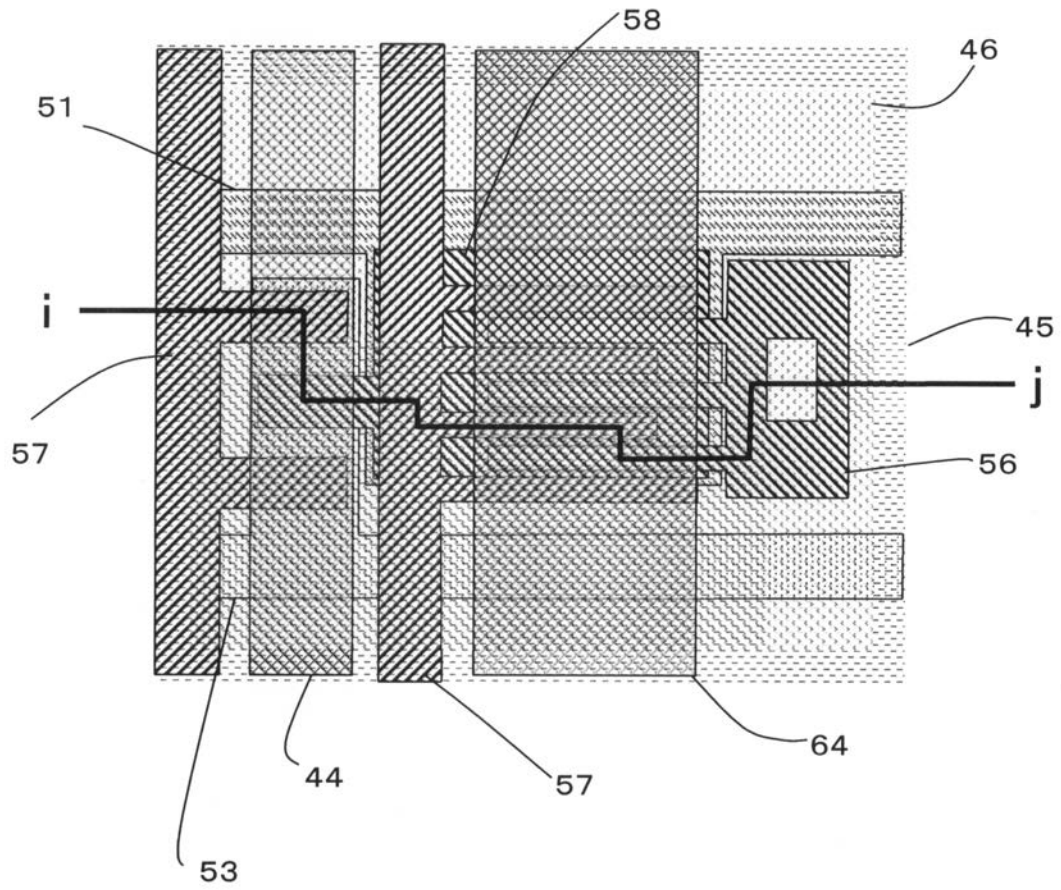
【図14】



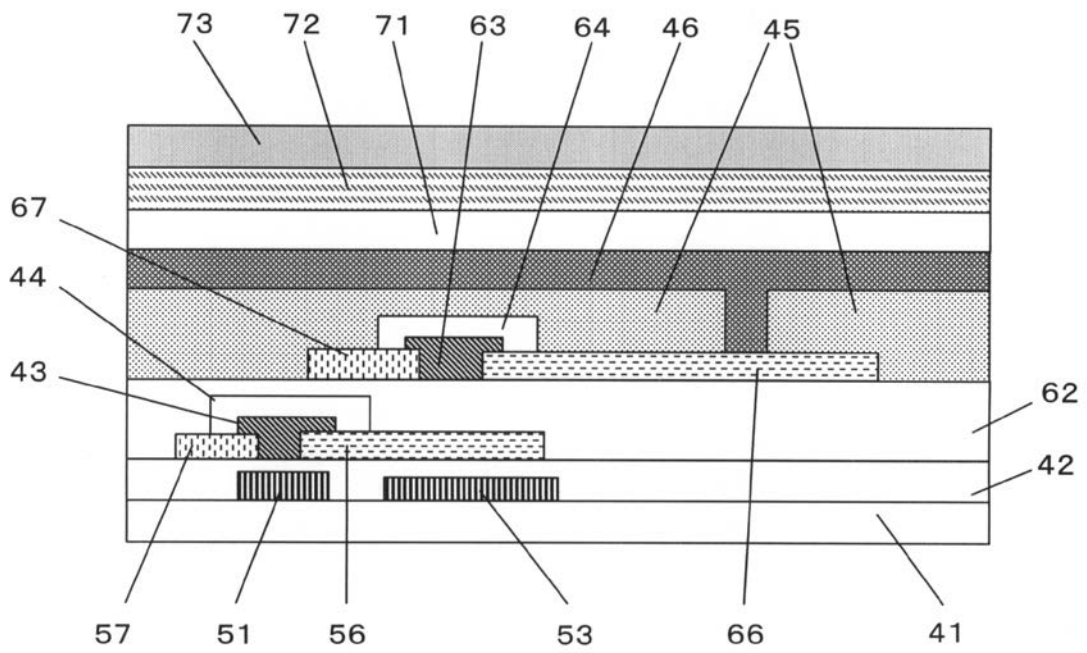
【図15】



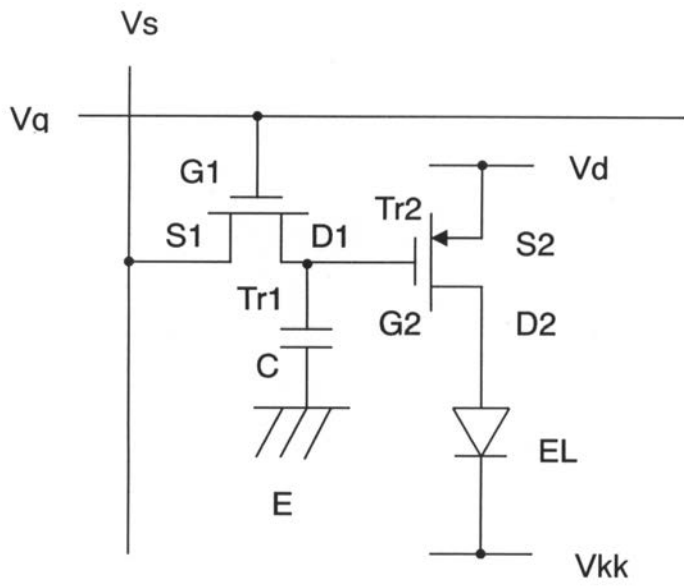
【図16】



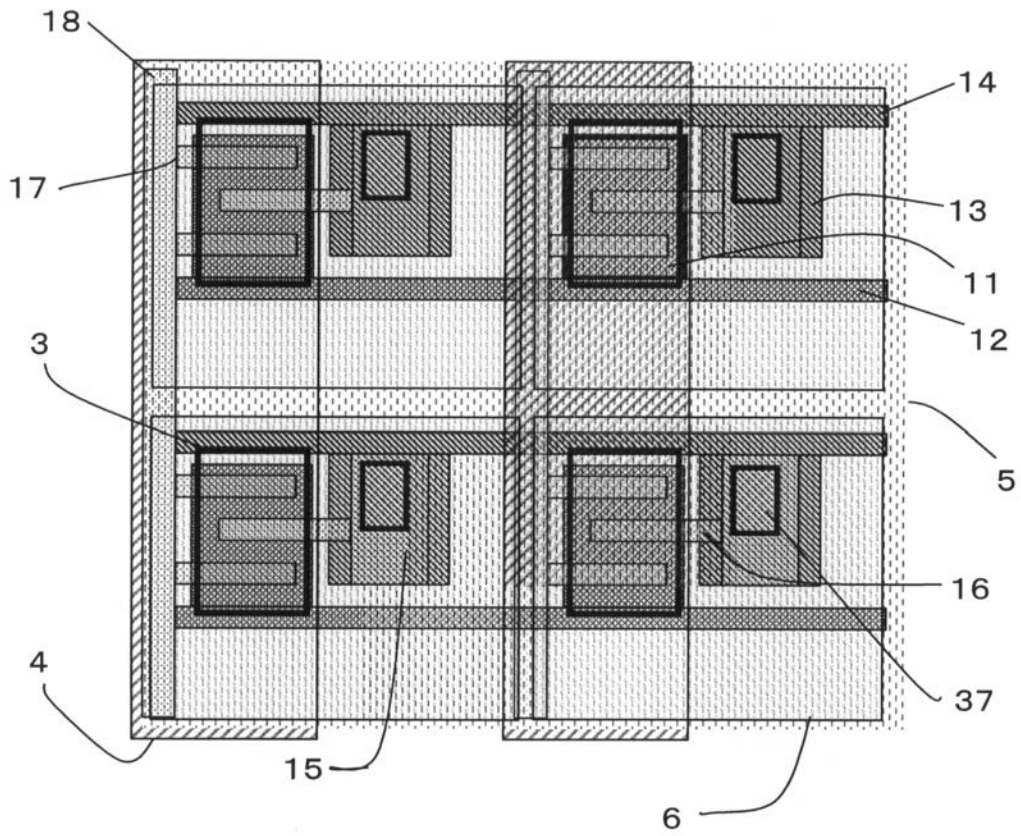
【図17】



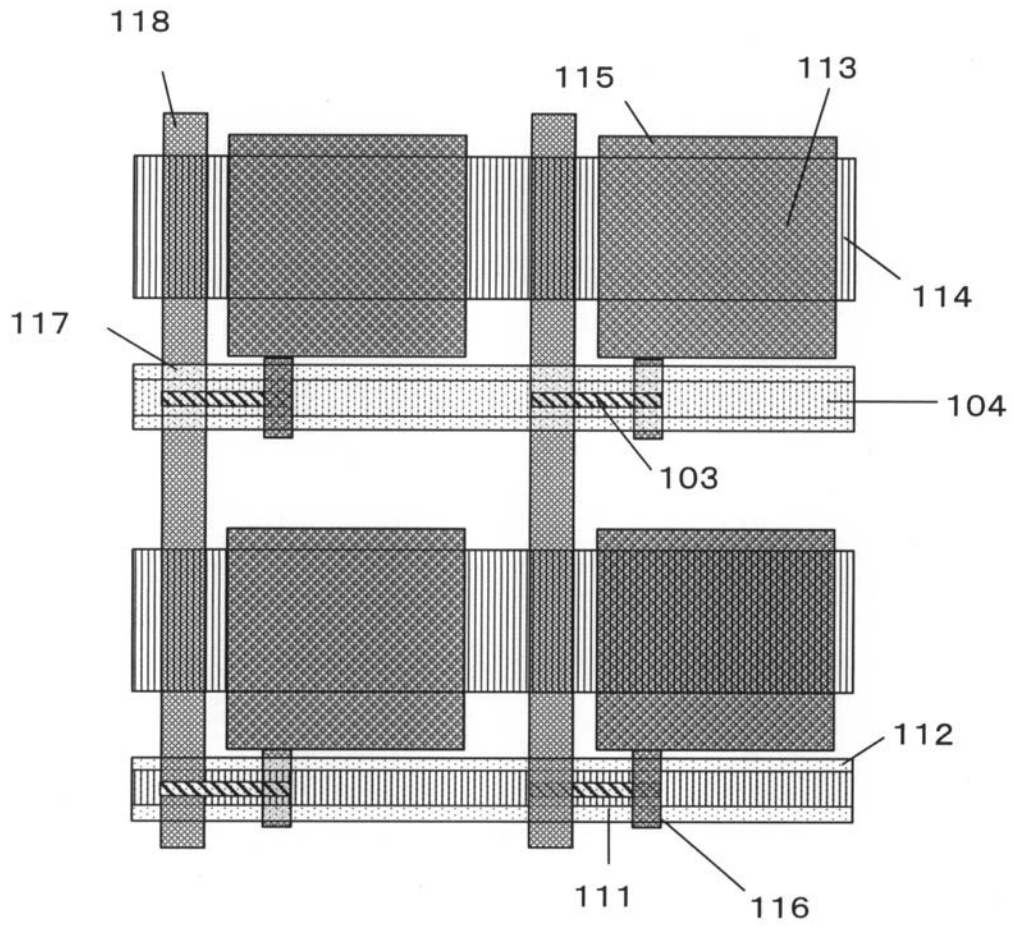
【図18】



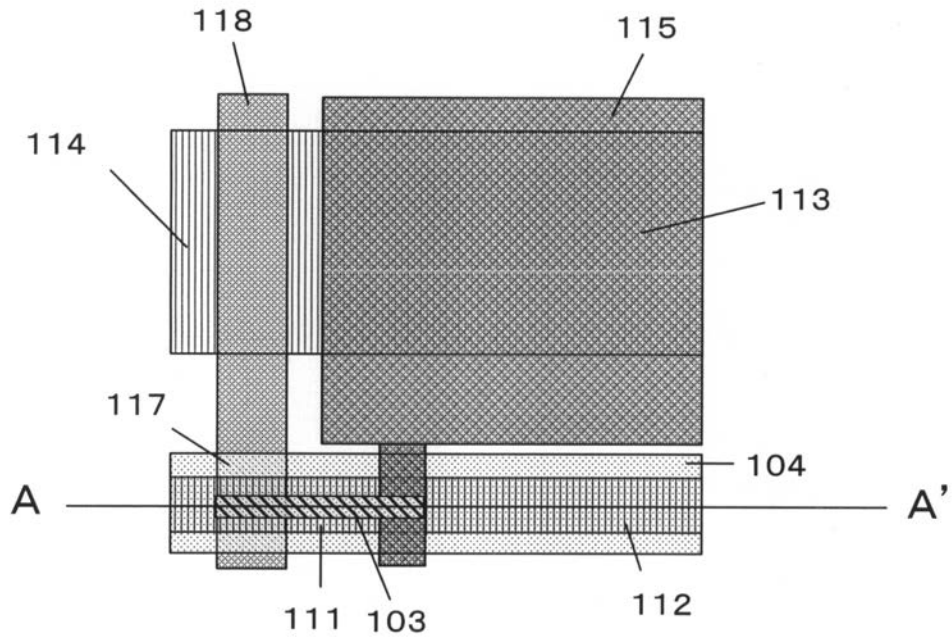
【図19】



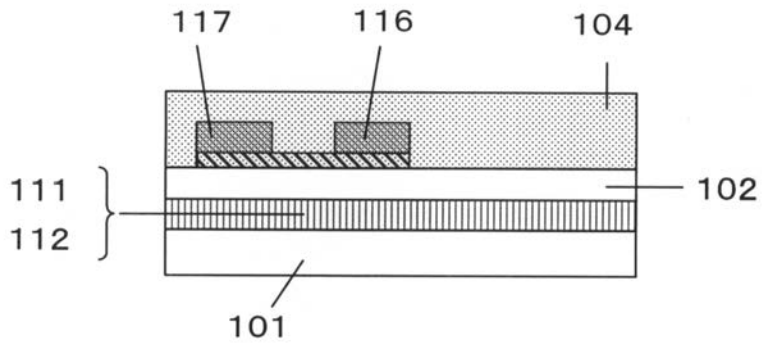
【図20】



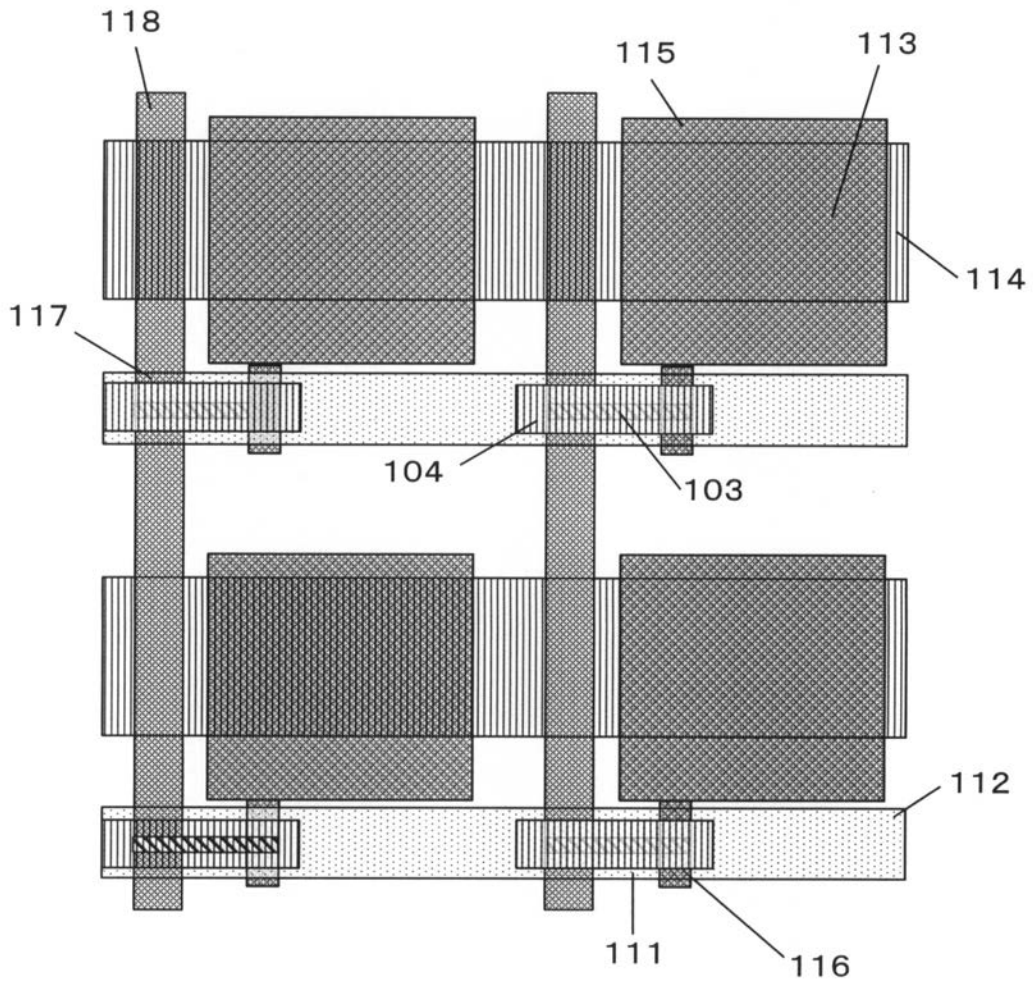
【図 2 1】



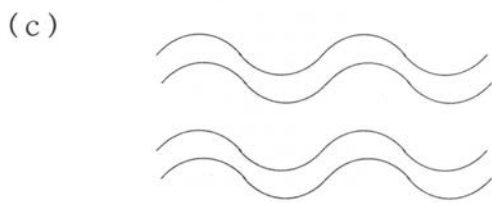
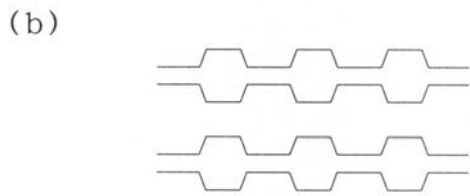
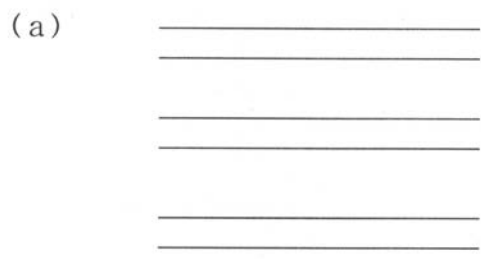
【図 2 2】



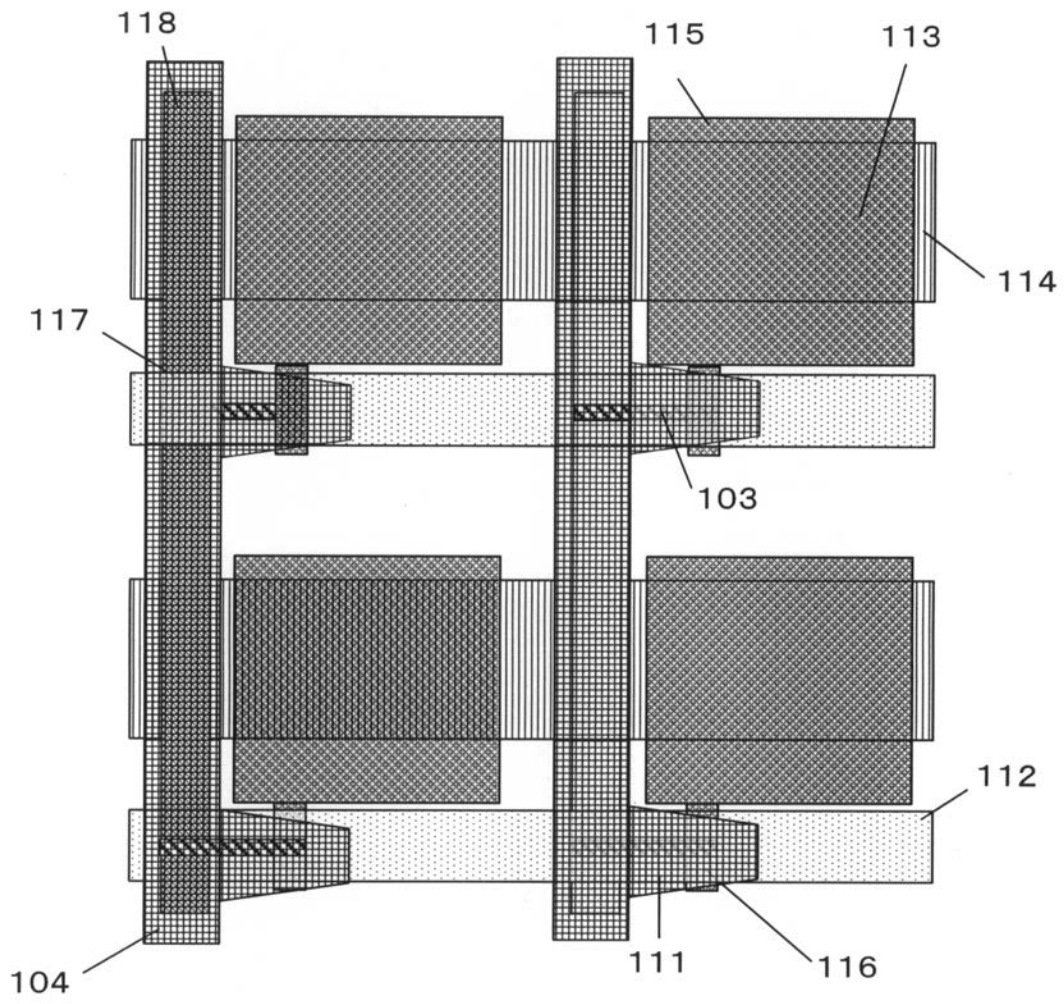
【図 23】



【 2 4 】

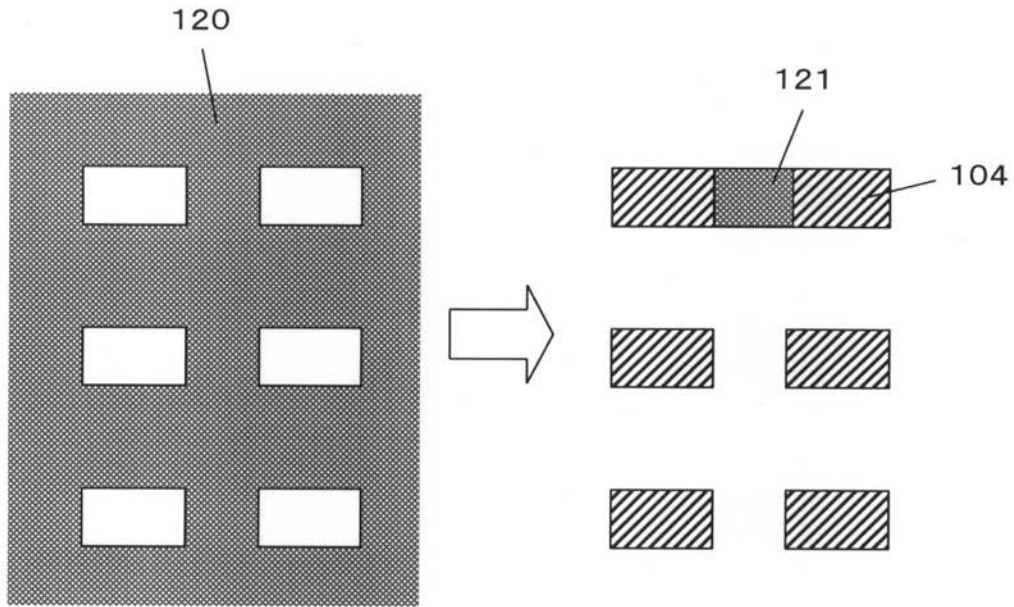


【図 25】

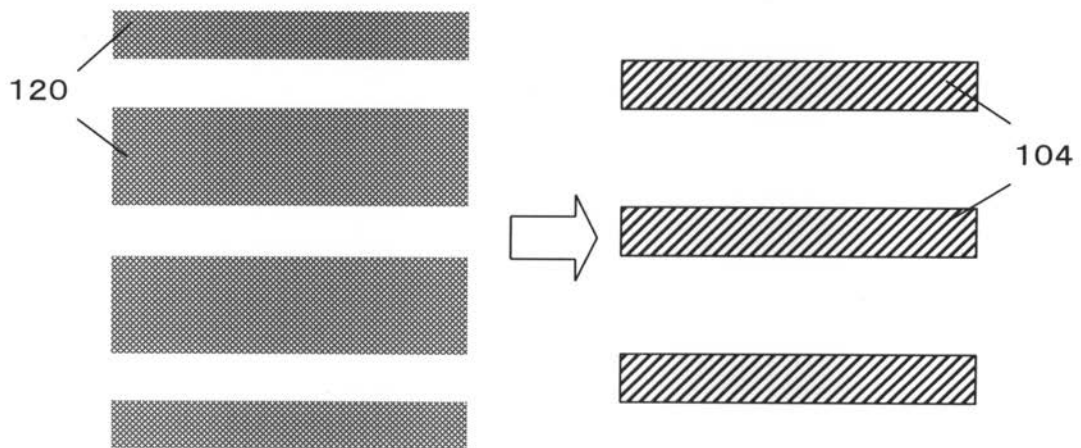


【図 26】

(a) 従来



(b) 本発明



フロントページの続き

(51)Int.Cl. F I
G 0 9 F 9/30 3 0 9
G 0 9 F 9/30 3 3 8

(72)発明者 石 崎 守
東京都台東区台東1丁目5番1号 凸版印刷株式会社内
(72)発明者 伊藤 学
東京都台東区台東1丁目5番1号 凸版印刷株式会社内

審査官 大橋 達也

(56)参考文献 特開平10-268344(JP,A)
特開2005-277238(JP,A)
特開2006-313913(JP,A)
国際公開第2005/020343(WO,A1)
特表2007-512680(JP,A)

(58)調査した分野(Int.Cl.,DB名)
H 0 1 L 2 1 / 3 3 6
G 0 9 F 9 / 0 0
G 0 9 F 9 / 3 0
H 0 1 L 2 9 / 7 8 6
H 0 1 L 5 1 / 0 5