



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I467900 B

(45)公告日：中華民國 104 (2015) 年 01 月 01 日

(21)申請案號：098139800

(22)申請日：中華民國 98 (2009) 年 11 月 23 日

(51)Int. Cl. : **H02M1/08 (2006.01)**

(30)優先權：2008/11/24 美國 12/276,721

(71)申請人：安立世公司(美國) EXELIS INC. (US)
美國(72)發明人：伍德 強納森 WOOD, JONATHAN (US)；都岱 提摩太 卡漢 TRUDEAU,
TIMOTHY KRAHN (US)

(74)代理人：詹銘文；蕭錫清

(56)參考文獻：

CN	1716747A	US	5677619
US	6127814	US	6522113B1
US	7254000B1		

審查人員：林賜敬

申請專利範圍項數：18 項 圖式數：8 共 38 頁

(54)名稱

降壓調整器

BUCK REGULATOR

(57)摘要

本發明提供了一種降壓調整器，此降壓調整器用於將輸入 DC 電壓 $V+$ 轉換為輸出 DC 電壓位準，此降壓調整器包括：用於輸出所述 DC 電壓位準的耦合電感器，用於感測已輸出的 DC 電壓位準中的誤差的誤差放大器以及提供具有回應於誤差的工作週期的脈衝波形的脈寬調變器。此降壓調整器還包括： $V+$ 電壓驅動器，用於輸出 $V+$ 電壓位準，以回應於脈衝波形；超電壓驅動器，用於輸出超電壓位準 V_{ss} ，以回應於脈衝波形，其中超電壓位準高於 $V+$ 電壓位準。已輸出的超電壓位準與已輸出的 $V+$ 電壓位準互補。此降壓調整器還包括雙 MOSFETs。

A buck regulator for converting an input DC voltage, $V+$, into an output DC voltage level includes a coupled inductor for outputting the DC voltage level, and an error amplifier for sensing an error in the outputted DC voltage level and a pulse width modulator (PWM) providing a pulse waveform having a duty cycle responsive to the error. Also, included are a $V+$ voltage driver for outputting the $V+$ voltage level responsive to the pulse waveform, and a super voltage driver for outputting a super voltage level, V_{ss} , responsive to the pulsed waveform, wherein the super voltage level is higher than the $V+$ voltage level. The outputted super voltage level is complementary to the outputted $V+$ voltage level. Also included are dual MOSFETs.

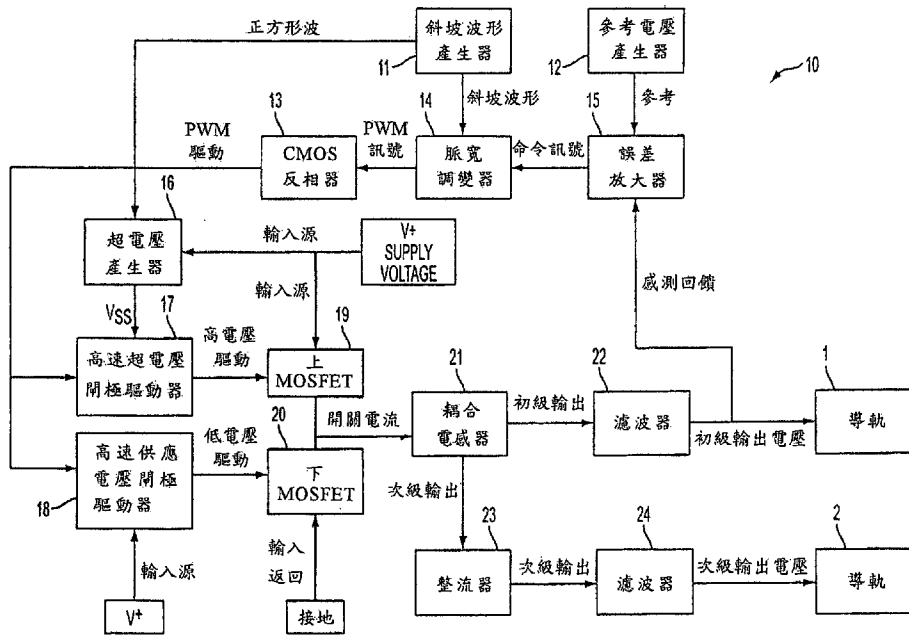


圖 1

- 1、2 . . . 導軌
- 10 . . . 電源供應器
- 11 . . . 斜坡波形產生器
- 12 . . . 參考電壓產生器
- 13 . . . CMOS 反相器
- 14 . . . 脈寬調變器
- 15 . . . 誤差放大器
- 16 . . . 超電壓產生器
- 17 . . . 高速超電壓開極驅動器
- 18 . . . 高速供應電壓開極驅動器
- 19 . . . 上 MOSFET
- 20 . . . 下 MOSFET
- 21 . . . 耦合電感器
- 23 . . . 整流器
- 22、24 . . . 濾波器

公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98139800

※申請日： 98.11.23

※IPC 分類： H02M 1/08 (2006.01)

一、發明名稱：

降壓調整器

BUCK REGULATOR

二、中文發明摘要：

本發明提供了一種降壓調整器，此降壓調整器用於將輸入 DC 電壓 $V+$ 轉換為輸出 DC 電壓位準，此降壓調整器包括：用於輸出所述 DC 電壓位準的耦合電感器，用於感測已輸出的 DC 電壓位準中的誤差的誤差放大器以及提供具有回應於誤差的工作週期的脈衝波形的脈寬調變器。此降壓調整器還包括： $V+$ 電壓驅動器，用於輸出 $V+$ 電壓位準，以回應於脈衝波形；超電壓驅動器，用於輸出超電壓位準 V_{SS} ，以回應於脈衝波形，其中超電壓位準高於 $V+$ 電壓位準。已輸出的超電壓位準與已輸出的 $V+$ 電壓位準互補。此降壓調整器還包括雙 MOSFETs。

三、英文發明摘要：

A buck regulator for converting an input DC voltage, $V+$, into an output DC voltage level includes a coupled inductor for outputting the DC voltage level, and an error

amplifier for sensing an error in the outputted DC voltage level and a pulse width modulator (PWM) providing a pulse waveform having a duty cycle responsive to the error. Also, included are a V^+ voltage driver for outputting the V^+ voltage level responsive to the pulse waveform, and a super voltage driver for outputting a super voltage level, V_{ss} , responsive to the pulsed waveform, wherein the super voltage level is higher than the V^+ voltage level. The outputted super voltage level is complementary to the outputted V^+ voltage level. Also included are dual MOSFETs.

四、指定代表圖：

(一) 本案之指定代表圖：圖(1)。

(二) 本代表圖之元件符號簡單說明：

- 1、2：導軌
- 10：電源供應器
- 11：斜坡波形產生器
- 12：參考電壓產生器
- 13：CMOS 反相器
- 14：脈寬調變器
- 15：誤差放大器
- 16：超電壓產生器
- 17：高速超電壓閘極驅動器
- 18：高速供應電壓閘極驅動器
- 19：上 MOSFET
- 20：下 MOSFET
- 21：耦合電感器
- 23：整流器
- 22、24：濾波器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種低電源 DC 至 DC 降壓調整供應器，且特別是有關於具有脈寬調變 (pulse-width modulated, PWM) 控制的 DC 至 DC 降壓調整電源供應器。

【先前技術】

脈寬調變 (pulse-width modulation, PWM) 是一種用於 DC 電壓調整的已知技術，以及不管輸入電壓發生多大的變化以及負載電流發生多大的變化，為了一直保持恒定的電壓輸出，均會廣泛使用脈寬調變。這種技術被用於供應 DC 電源給不同的電子系統。

一般情況下，所有的脈寬調變器都使用開關電路以生成藉由電感器-電容器濾波網路 (inductor-capacitor filter network) 經過平滑處理的脈衝 (pulse)，以產生實質上恒定的 DC 電壓位準輸出。DC 輸出電壓的振幅藉由開關电路的工作週期比率 (duty cycle ratio) 來控制。

為了保持恒定的輸出電壓位準，通常使用回饋配置。這使得輸出電壓與穩定的電壓參考值進行比較，以藉由誤差放大器來產生誤差訊號，誤差放大器的輸出藉由比較器來控制開關電路的工作週期比率。當輸出電壓下降到太低的時候，誤差放大器增加開關工作週期；當輸出電壓上升到太高的時候，減小開關工作週期。

此外，由於開關電路中的損耗以及電感器的磁心 (core) 中的熱消耗，傳統的降壓調整電源供應器是沒有

效率的。由於開關電路的高操作頻率，通常大於 250KHz，因此熱消耗是很高的。

下面將要描述的是，本發明提供了一種有效的低電源，在低的開關頻率操作的降壓調整功率供應器，最小化在電源轉換器中的閘極驅動電源，以及在控制電路中保持最小的消耗。

【發明內容】

為了滿足上述這些以及其它的需要，根據本發明的目的，本發明提供了一種降壓調整器，此降壓調整器用於將輸入 DC 電壓 $V+$ 轉換為輸出 DC 電壓位準。降壓調整器包括電感器，用於輸出 DC 電壓位準；運算放大器 (operational amplifier)，用於感測已輸出的 DC 電壓位準的誤差；以及用作脈寬調變器 (pulse width modulator, PWM) 的比較器，用於提供具有回應於誤差的工作週期的脈衝波形。降壓調整器還包括上高電源驅動器以及下高電源驅動器。下驅動器從 $V+$ 獲得電源以及在 0 伏特以及 $V+$ 電壓位準之間進行切換以回應於 PWM 波形。上驅動器從超電壓獲得電源以及在 0 伏特以及超電壓位準之間進行切換以回應於 PWM 波形。藉由採用倍壓電路 (voltage doubler circuit)，根據 $V+$ 而生成超電壓，接著超電壓獲得了比 $V+$ 電壓位準更高的電壓位準。兩個驅動器的輸出是互補的。降壓調整器還包括雙 MOSFET，位於推拉輸出電路 (totem pole) 配置中，雙 MOSFET 的閘極分別接收電源驅動器的輸出。藉由上驅動器的輸出來驅動上 MOSFET 閘極。藉由下驅動器的輸出

來驅動下 MOSFET 閘極。雙 MOSFET 共同來驅動用於輸出 DC 電壓位準的電感器。

降壓調整器包括脈衝成形器 (pulse shaper)，耦接在 PWM 與上高電源驅動器和下高電源驅動器之間，以形成銳脈衝 (sharp pulse)，此銳脈衝的上升時間和下降時間快於 PWM。銳脈衝被用作輸入訊號來啟動上高電源驅動器和下高電源驅動器。脈衝成形器包括至少一個反相器 (inverter)，以用於形成銳脈衝。脈衝成形器耦接在 PWM 與上高電源驅動器和下高電源驅動器之間，以形成銳脈衝。脈衝成形器位於具有多反相器的晶片 (chip) 中，以及被配置為基於用於啟動電壓驅動器的極性 (polarity) 感測而包括多個反相器中的至少一個。

本發明的另一示例實施例是低電壓調整電源供應器。此低電壓電源供應器包括：

- (a) 用於提供輸出 DC 電壓位準的導軌 (rail)；
- (b) 感測回饋訊號，用於提供導軌的輸出 DC 電壓位準給誤差偵測器；
- (c) 誤差偵測器，被配置為提供控制訊號以回應於該感測回饋訊號，以用於控制上高速高電源驅動器以及下高速高電源驅動器；
- (d) 高速高電源驅動器，被配置為驅動雙 MOSFET 配置以回應於控制訊號；以及
- (e) 高速高電源驅動器以互補方式相互操作，以有效地驅動雙 MOSFET 配置以在導軌上生成該輸出 DC 電壓位

準；

(f) 配置高速高電源驅動器的互補輸出，從而兩個 MOSFET 不會同時導通。

脈衝成形器耦接在誤差偵測器以及上高速高電源驅動器和下高速高電源驅動器之間。藉由產生快的開關時間，脈衝成形器被配置為成形控制訊號。控制訊號饋入一對互補的高速高電源驅動器。

雙 MOSFET 配置包括以推拉輸出電路方式配置的上 MOSFET 以及下 MOSFET，其中藉由高速高電源驅動器中的一個來驅動第一 MOSFET 的閘極，以及藉由高速高電源驅動器中的另一個來驅動第二 MOSFET 的閘極。藉由高速高電源驅動器提供 0V 以及 $V+$ 之間的輸入切換給下 MOSFET 的閘極來驅動第一 MOSFET。藉由高速高電源驅動器提供 0V 以及超電壓 V_{ss} 之間的輸入切換給上 MOSFET 的閘極來驅動第二 MOSFET。 V_{ss} 電壓位準約為 $V+$ 電壓位準的兩倍。

本發明的另一示例實施例提供了一種藉由採用輸入電壓位準 $V+$ 來輸出 DC 電壓位準的降壓調整器。此降壓調整器包括：

(a) 誤差放大器，用於感測輸出 DC 電壓位準中的電壓位準誤差；

(b) 具有回應於已感測的電壓位準誤差的工作週期的 PWM；

(c) 脈衝成形器，耦接到 PWM，用於提供快速變遷

脈衝波形：

(d) 上電源驅動器以及下電源驅動器，用於接收快速變遷脈衝波形以及提供互補的上驅動電壓以及下驅動電壓，其中下驅動電壓是 $V+$ 電壓位準，以及上驅動電壓是約為 $V+$ 電壓位準的兩倍的超電壓位準 V_{SS} ；

(e) 上 FET 以及下 FET，以推拉輸出電路方式而連接，其中下 FET 具有接收下驅動電壓的閘極以及上 FET 具有接收上驅動電壓的另一閘極；以及

(f) 兩個 FET，耦接到用於輸出 DC 電壓位準的電感器。藉由採用互補的方式，第一驅動電壓 $V+$ 驅動第一 FET 以及第二驅動電壓 V_{SS} 驅動第二 FET，以提供 DC 電壓位準。藉由耦接到 $V+$ 輸入電壓位準的電荷泵電路，生成超電壓位準 V_{SS} 。脈衝成形器包括來自於具有多個反相器的晶片的至少一個反相器。當上電源驅動器產生關於快速變遷輸入波形的已反相的輸出，則下電源驅動器產生非反相的輸出。當上電源驅動器產生關於快速變遷輸入波形的非反相的輸出，則下電源驅動器產生反相的輸出。

雙 MOSFET 以推拉輸出電路方式來配置，以及耦接在 $V+$ 電壓位準以及接地電位之間，以用於驅動電感器。電壓驅動器被配置為提供超電壓位準給上 MOSFET 的閘極，從而在 $V+$ 電壓位準未被施加到下 MOSFET 的閘極而斷開該下 MOSFET 的時候，導通該上 MOSFET；以及被配置為提供 $V+$ 電壓位準給下 MOSFET 的閘極，從而在超電壓位準未被施加到上 MOSFET 的閘極而斷開該上 MOSFET 的

時候，導通該下 MOSFET。

電感器包括初級磁心 (primary coil) 以及次級磁心 (secondary coil)，這通常被稱為“耦合的電感器”。初級磁心耦接在雙 MOSFET 以及用於提供該輸出 DC 電壓位準的電容器之間。可選擇的(optional)次級磁心包括兩個末端，一個末端耦接到接地電位或者初級磁心的一個末端，以及另一個末端耦接到用於提供第二輸出 DC 電壓位準的整流器 (rectifier)。

需要知道的是，上述的一般描述以及接下來的詳細描述都是對本發明示例實施例的描述，並非用於限定本發明，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【實施方式】

本發明提供了一種低電壓高效率的降壓調整電源供應器。本發明使用高於輸出調整 DC 電壓的輸入 DC 電壓。例如，輸入 DC 電壓可以是從 5 VDC 到 20 VDC 而變化的 DC 電壓；以及輸出調整 DC 電壓可以是從 1 VDC 到 10VDC 而變化的 DC 電壓。

本發明提供了一種有效的調整電源供應器，例如，此有效的調整電源供應器的低功率的範圍在 0.2 瓦特至 2.0 瓦特之間。然而，傳統的低電源 DC 調整器的效率小於 80%，而本發明提供的效率大於 90%。藉由最小化開極驅動電源，可以獲得高的效率，保持用於某一組件的最小工作週期，以及在低開關頻率（例如，小於 50 KHz）下操作。

根據本發明的示例實施例是基於如下原理來實施的：具有被配置為推拉輸出電路的兩個 N 型 MOSFET 的同步整流器導致了最小的傳導損失 (conduction loss)。N 型 MOSFET 在其導通狀態下一般具有比 P 型 MOSFET 更低的電阻值。

根據本發明的示例實施例也是基於如下原理來實施的：低開關頻率 (例如，小於 100 KHz) 導致了 MOSFET 以及相關的閘極驅動器的低開關損失。

根據本發明的示例實施例還是基於如下原理來實施的：當用於上 N 型 MOSFET 的閘極驅動器需要大於用於推拉輸出電路對(pair)的供應電壓 $V+$ 的供應電壓位準 (超電壓, V_{ss}) 的時候，用於下 N 型 MOSFET 的閘極驅動器需要不大於用於推拉輸出電路對的供應電壓 $V+$ 的供應電壓位準；以及用於每一閘極驅動器的閘極驅動損失增加為施加到閘極驅動器的電壓的振幅的平方。

根據本發明的示例實施例還是基於如下原理來實施的：具有開路集極輸出 (open collector output) 的通常的可變 PWM 比較器 (諸如，LM339、LM393 以及相關的類型) 的使用可以使得降壓調整器操作在低開關頻率 (例如，小於 100 KHz)。

根據本發明的示例實施例還是基於如下原理來實施的：藉由確保最大化用於 PWM 比較器的輸出電壓波形的工作週期以及使其不低於 50%，可以最小化有關開路集極型的 PWM 比較器的拉升電阻器 (pull-up resistor) 中的功

率消耗。

根據本發明的示例實施例還是基於如下原理來實施的：藉由使用高的拉升電阻值以及使用 CMOS 反相器以提供更正由於高的拉升電阻值而產生的脈衝變形而成形的脈衝，可以最小化有關開路集極型的 PWM 比較器的拉升電阻器中的功率消耗。

根據本發明的示例實施例還是基於如下原理來實施的：藉由使用脈衝成形用的奇數或者偶數的 CMOS 反相器，或者藉由使用適當極性的閘極驅動晶片，可以在降壓調整器中完成在高工作週期上的 PWM 比較器的操作。

根據本發明的示例實施例還是基於如下原理來實施的：由於肖特基 (schottky) (或者其它類型) 整流二極體的熱靈敏度 (thermal sensitivity) 會引起有關溫度的次級通道輸出電壓的過度變化，而藉由 MOSFET 電晶體來替代二極體可以克服上述的缺點。

如下所述，本發明的低電壓電源供應器包括如下特性：

(a) 在具有被配置為推拉輸出電路的兩個 N 型 MOSFET 的降壓調整器中使用同步整流。

(b) 使用開路集極型比較器，諸如 LM339、LM393 或者等效的元件。

(c) 使用至少一個 CMOS 反相器，諸如 CD4069，或者等效的元件。

(d) 使用諸如 IXDF502 之類的第一高速驅動器而提供來自於輸入電壓 (V+) 的電源，以驅動一個 MOSFET

的閘極。

(e) 使用第二高速驅動器而提供來自於超電壓 (V_{ss}) 的電源，以驅動另一個 MOSFET 的閘極。超電壓 (V_{ss}) 約為輸入電壓 ($V+$) 的兩倍，換句話說， V_{ss} 約等於 $2V+$ 。

(f) 比較器的輸入終端的相關相位以及第一和第二高速驅動晶片的相關相位與一定數量的 CMOS 反相器一起使用，來提供比較器輸出的穩定狀態的工作週期，此工作週期將盡可能的高，且在任何情況下都不低於 50%。這種配置確保最小化開路集極輸出型比較器的拉升電阻器的功率消耗。

(g) 藉由本發明可以實施尺寸最小化，因為高速驅動器晶片可以被選擇性地用作具有反相以及非反相輸出的雙閘極驅動器晶片。即使在需要兩個導軌輸出電壓的情況下，驅動器晶片可以被配置為使元件的數量最小化，而保持比較器工作週期大於 50%。導軌輸出電壓中的一個甚至可以大於輸入電壓 ($V+$) 的 50%。

(h) 本發明的電源供應器可以用於下述這樣的可攜式裝置中，此可攜式裝置的輸出電壓小於在 5VDC 至 20VDC 範圍內變化的輸入電壓，以及此可攜式裝置在小於每導軌 2 瓦特的低功率範圍中需要非常高的效率。

首先，請參看圖 1，圖 1 是根據本發明示例實施例的示例的電源供應器 10 的方塊圖。如圖 1 所示，電源供應器 10 具有 DC 輸入 $V+$ 以及在導軌 1 和導軌 2 上產生兩個已調整的降壓輸出電壓。導軌 1 電壓在此是指初級輸出電

壓，而導軌 2 電壓是指次級輸出電壓。

導軌 1 的輸出被用作輸入到誤差放大器 15 的感測反饋，其中誤差放大器 15 將導軌 1 電壓與由參考電壓產生器 12 所產生的參考電壓 V_{ref} 進行比較。誤差放大器 15 的結果命令訊號被提供到脈寬調變器 14。調變器將由斜坡波形產生器 11 所產生的斜坡電壓（或者鋸齒波電壓）與誤差放大器 15 所產生的命令訊號進行比較，以形成脈衝波形輸出，在此是指脈寬調變（pulse-width modulated, PWM）誤差訊號。

CMOS 反相器 13 接收 PWM 訊號以形成 PWM 驅動訊號。接下來再繼續說明，CMOS 反相器 13 是一組六反相器（hex inverter）中的一部分以及被用於重新成形由調變器 14 所形成的脈衝。CMOS 反相器改變了 PWM 訊號的較慢的截止/導通變遷時間，以及為輸出訊號形成快速的截止/導通變遷時間，此輸出訊號是指 PWM 驅動訊號。因為 CMOS 反相器積體電路封裝通常包括 6 個反相器，所以本發明提供有效的彈性以形成非常快速的截止/導通變遷時間，截止/導通變遷時間可以是調變器 14 所輸出的 PWM 訊號的反相或者非反相形式。例如，如圖 2 和 3 所示，CMOS 反相器積體電路封裝 U7 包括兩個反相器，如圖用圖 2 中的 36 以及圖 3 中的 56 所示。U7 中的餘下的反相器未在這此些示例實施例中使用。儘管在 36 和 56 中的每一個中使用兩個反相器，如果交換閘極驅動器 37 和 38 的極性，以及也相似地交換閘極驅動器 57 和 58 的極性，也可以使用在

36 和 56 中的每一個中使用一個反相器的替代的示例實施例。

繼續描述圖 1，被 CMOS 反相器 13 所“清除”的 PWM 驅動訊號被用作輸入到高速超電壓開極驅動器 17 以及高速供應電壓開極驅動器 18 中的輸入脈衝。需要說明的是，超電壓開極驅動器 17 可以是反相驅動器，如圖 2 中所示的驅動器 37，或者超電壓開極驅動器 17 可以是非反相驅動器，如圖 3 中所示的驅動器 57。相似地，驅動器 18 可以是非反相驅動器，如圖 2 中所示的驅動器 38，或者驅動器 18 可以是反相驅動器，如圖 3 中所示的驅動器 58。

超電壓驅動器 17 從超電壓產生器 16 接收超電壓 V_{ss} ，以及當導通的時候，提供 V_{ss} 電壓輸出（高壓驅動）給上 MOSFET 19 的開極。相似地，電壓驅動器 18 從輸入電源（ $V+$ ）接收供應電壓 $V+$ ，以及當導通的時候，提供 $V+$ 電壓輸出（低壓驅動）給下 MOSFET 20。

互補方式的上 MOSFET 19 以及下 MOSFET 20 提供開關輸出給圖 2 和 3 所示的耦合電感器 21 的初級磁心。上 MOSFET 19 以及下 MOSFET 20 以推拉輸出電路配置而配置著（如圖 2 中的 MOSFET 39 和 40 所示，以及如圖 3 中的 MOSFET 59 和 60 所示）。

濾波器 22 由耦合電感器（圖 2 中的 43 以及圖 3 中的 63 所示）以及輸出電容器（圖 2 中的 44 以及圖 3 中的 64 所示）組成，以及傳送初級輸出電壓到導軌 1 上。初級輸出電壓被反饋到上述的誤差放大器 15。耦合電感器 21 也

提供次級 (secondary) 輸出到整流器 23，次級輸出接著被濾波器 24 濾波以提供次級輸出電壓到導軌 2 上。然而，需要說明的是，在不需要次級導軌輸出的情況下，整流器 23 以及濾波器 24 的次級輸出可以被忽略。值得一提的是，藉由增加附加的繞組 (winding) 給耦合電感器以及提供附加的輸出濾波器，可以簡單地構造三個甚至四個輸出導軌。

上面已經完成了對圖 1 的說明，電源供應器 10 包括參考電壓產生器 12，參考電壓產生器 12 用作誤差放大器 15 的參考 DC 電壓以生成誤差訊號給調變器 14。電源供應器 10 還包括超電壓產生器 16，超電壓產生器 16 接收 V+ 輸入電壓以及來自斜坡產生器的正方形波，以及提供 Vss 電壓 (2V+) 給超電壓驅動器 17。

已經參看圖 1 描述了本發明的 DC 電源供應器 10，下面將參看圖 2 和 3 來詳細說明本發明，圖 2 和 3 來分別繪示了 DC 電源供應器 30 以及 DC 電源供應器 50。電源供應器 30 和 50 是本發明不同的示例實施例。

首先，請參看圖 2，電源供應器 30 包括比較器 31、反相器 32 以及反相驅動器 33，其和多個電阻器以及電容器 41 一起實施以形成斜坡波形產生器 (如圖 1 中的 11 所示)。斜坡波形產生器產生魚翅 (shark-fin) 斜坡波形，如圖 4 中的 A 所示。斜坡波形的上升部分期間以及下降部分期間不需要相等。斜坡波形例如可以具有小於 100KHz 的頻率。斜坡被用作比較器 35 的輸入訊號 (如圖 1 中的調變器所示)。

超電壓產生器（圖 1 中的 16 所示）包括兩個整流器 42a 和 42b，其連接到 $V+$ 以及藉由電容器來連接到驅動器 33。超電壓產生器的輸出 V_{ss} 約為輸入電壓 $V+$ 的兩倍。整流器通常是矽肖特基二極體，例如可以是兩個 1N5818 二極體。如圖 2 所示， V_{ss} 電壓被施加到超電壓閘極驅動器 37。

請再次參看圖 2，誤差放大器（圖 1 中的 15 所示）包括運算放大器 34，多個電阻器以及電容器位於運算放大器 34 的周圍。運算放大器 34 接收作為已感測的回饋訊號的初級輸出電壓（例如，導軌 1 的耦合電感器 43 的初級輸出的 1.2V 電壓）以及將已感測的回饋訊號與電壓參考訊號（ V_{REF} ）的鱗狀複製訊號（scaled replica）進行比較。運算放大器 34 提供穩定的輸出訊號（如圖 4 中的波形 B 所示），其上升和下降直到回饋訊號以及電壓參考的鱗狀複製訊號之間不存在差異為止。

比較器 35 提供脈寬調變（pulse-width-modulation, PWM）功能。如圖 2 所示，比較器 35 的輸出連接到 27K 的拉升電阻器，因為比較器 35 包括開路集極輸出（open collector output），因此需要 27K 的拉升電阻器。比較器 35 的輸入訊號是斜坡訊號（圖 4 中的 A 波形所示）以及誤差訊號（圖 4 中的 B 波形所示）。比較器 35 所提供的輸出訊號是 PWM 訊號，如圖 4 中的 C 波形所示。需要知道的是，在電壓波形 C 的工作週期大於 50% 的時候，經過 27K 的電阻器而產生的對應的電壓波形的工作週期小於 50%，從而

最小化 27K 的電阻器的功率消耗。

如圖 4 中的 C 波形所示，由於 27K 電阻器的相對高的電阻值，因此比較器 35 的輸出上升時間相對較慢，這是有意的選擇高的電阻值來最小化功率消耗。然而，本發明藉由提供兩個反相器來補償相對較慢的上升時間，兩個反相器如圖 2 中的 36 所示（以及圖 1 中的 CMOS 反相器 13 所示）。除了緩慢的上升已經被消除之外，雙反相器 36 的輸出訊號具有與 C 波形相同的感測。CMOS 反相器的輸出訊號如圖 4 中的波形 D 所示。

PWM 驅動（波形 D）被輸入到具有反相輸出的（a）超電壓閘極驅動器 37 以及具有非反相輸出的（b）供應電壓驅動器 38。超電壓閘極驅動器 37 以及供應電壓閘極驅動器 38 的輸出訊號相互互補，也就是說，當一個驅動器是導通的時候，另一個驅動器是截止的。這如圖 4 的波形 E 和 F 所示。需要知道的是，超電壓驅動器的輸出在 V_{SS} 以及 0 伏特之間變化，而供應器電壓驅動器的輸出在 $V+$ 以及 0 伏特之間變化。

超電壓閘極驅動器 37 以及供應電壓閘極驅動器 38 的互補輸出訊號被用於驅動 MOSFET 39 和 MOSFET 40 的閘極。如圖 2 所示，MOSFET 39 和 MOSFET 40 以推拉輸出電路的方式連接在 $V+$ 以及接地電位之間。

當波形 E 位於 V_{SS} 電位的時候，上 MOSFET 39 導通電流到耦合電感器 43 的初級。反之亦然，當波形 F 位於 $V+$ 電位的時候，下 MOSFET 40 導通電流到耦合電感器 43

的初級。需要知道的是，MOSFET 39 和 MOSFET 40 不會同時導通。

耦合電感器 43 的初級磁心與 330 微法 (microfarad) 的電容器 44 相結合可以在導軌 1 上提供穩定狀態的電壓輸出。藉由上述的回饋迴路(loop)，穩定狀態的電壓輸出例如被驅動到 +1.2VDC。藉由與電容器 44 並聯的 0.1 微法電容器可以對 DC 輸出的高頻率部分進行濾波。輸出訊號如圖 4 中的波形 P 所示。

如圖 2 所示，藉由耦合電感器 43 的次級磁心、整流器 42c 以及 150 微法的電容器 45 相結合可以提供例如 +1.8VDC 調整電壓。需要知道的是，藉由連接耦合電感器 43 的次級磁心的一個末端到導軌 1 (+1.2VDC 輸出)，可以在導軌 2 上提供本發明所獲得的改進的交叉調整。藉由與電容器 45 並聯的 0.1 微法電容器可以對 +1.8VDC 的高頻率部分進行濾波。

在本發明的另一示例實施例中，如圖 2 所示的下 MOSFET 40 可以用二極體來替代，其中二極體陽極連接到接地端以及其陰極連接到上 MOSFET 39。在這個配置中，供應電壓驅動器 38 作為輸入到下 MOSFET 40 的閘極的輸入的所需要的路徑都可以被省略。這個可替代的示例實施例繪示於圖 7 中，其中二極體 81 代替了圖 2 中的 MOSFET 40。

本發明的另一示例實施例繪示於圖 3 中。除了少數元件之外，圖 3 中的電源供應器 50 相似於電源供應器 30。

然而，電源供應器 30 產生（例如）+1.2VDC 以及 +1.8VDC 的相對低的降壓電壓，電源供應器 50 產生（例如）+5.2VDC 以及 +6.5VDC 的相對高的降壓電壓。

運算放大器 54 周圍的組件與比較器 34 周圍的組件有些不同。在電源供應器 50 中，將已感測的回饋訊號的鱗狀複製訊號（scaled replica）與電壓參考訊號（VREF）進行比較。運算放大器 54 提供穩定的輸出訊號（如圖 5 中的波形 H 所示），其上升和下降直到回饋訊號的鱗狀複製訊號以及電壓參考值之間不存在差異為止。

輸入到比較器 55 的斜坡波形（A）相似於輸入到比較器 35 的斜坡波形（A）。需要知道的是，在圖 2 中，斜坡波形饋入比較器 35 的非反相輸入終端，而在圖 3 中，斜坡波形饋入比較器 55 的反相輸入終端，從而確保電壓波形 I 的工作週期大於 50%，因此，經過圖 3 中的 27K 的電阻器而產生的對應的電壓波形的工作週期小於 50%，從而再次最小化 27K 的電阻器的功率消耗。電源供應器 30 和 50 之間的比較繪示了本發明的觀點，不管用於電源供應器的理想的輸出電壓是否大於或者小於供應電壓的 50%，藉由確保最大化用於比較器的輸出電壓波形的工作週期以及使其不低於 50%，可以最小化有關開路集極型的 PWM 比較器的拉升電阻器中的功率消耗。

超電壓閘極驅動器 57 以及供應電壓閘極驅動器 58 分別是非反相驅動器以及反相驅動器，然而超電壓閘極驅動器 37 以及供應電壓閘極驅動器 38 分別是反相驅動器以及

非反相驅動器。超電壓閘極驅動器 57 以及供應電壓閘極驅動器 58 所產生的波形分別如圖 5 中的波形 K 和 L 所示。電源供應器 30 以及電源供應器 50 的配置之間的閘極驅動器極性之間的差異導致了比較器 35 和 55 的輸入終端之間的不同連接。需要知道的是，在電源供應器 50 中獲得正確的閘極驅動訊號的替代的方法是使用與驅動器 37 和 38 相同的極性的閘極驅動器，而同時在使用雙反相器 36 和 56 的地方使用單個反相器。

請參看圖 6，繪示了用於產生 V_{ref} 的示例的電壓參考產生器，如 70 指示。如圖 6 所示，藉由採用輸入電壓 $V+$ 可以產生電壓參考值，以及藉由採用連接到參考裝置 71 的接腳 1 的電阻器可以調整電壓參考值。

在本發明的另一示例實施例中，圖 2 中所示的二極體 42c 可以用 MOSFET 81 來替代，具體的連接方式請參看圖 8。這個配置降低了導軌 2 之電壓的熱相關性 (thermal dependence)。如圖 8 所示，MOSFET 81 的源極引線 (lead) 連接到導軌 1，以及 MOSFET 81 的汲極引線連接到耦合電感器 43 的次級磁心的一個末端。二極體 42c 接著可以被直接的歐姆連接 (direct ohmic connection) 來代替，從而耦合電感器 43 的次級磁心的另一末端直接連接到導軌 2。供應電壓閘極驅動器 38 被用於驅動 MOSFET 81 的閘極。

可以用於圖 2 和 3 中所示的晶片以及磁心的示例的件號 (part number) 列表如下：

組件號 (component number)	件號 (part number)
U7	CD4069
L1	61-313-01
L2	61-314-02
U1	LM339
U2、U3、U6	IXDF502
U4	LMC6462
U5	LM385Z

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

下面將結合所附圖式與說明書的描述來說明本發明的原理。

圖 1 是根據本發明示例實施例的已調整的低電壓電源供應器的方塊圖。

圖 2 是根據本發明示例實施例的相似於圖 1 中的方塊圖的示例的已調整的低電壓電源供應器的原理圖。

圖 3 是根據本發明示例實施例的相似於圖 1 中的方塊圖的另一示例的已調整的低電壓電源供應器的原理圖。

圖 4 是根據本發明示例實施例的、圖 2 中所示的已調整的低電壓電源供應器中的各個點的訊號關係的時序圖。

圖 5 是根據本發明示例實施例的、圖 3 中所示的已調

整的低電壓電源供應器中的各個點的訊號關係的時序圖。

圖 6 是用於生成圖 2 和圖 3 所示的電源供應器中所使用的 V_{ref} 參考電壓位準的示例的電壓參考產生器。

圖 7 是根據本發明示例實施例的相似於圖 1 中的方塊圖的另一示例的已調整的低電壓電源供應器的原理圖。

圖 8 是根據本發明示例實施例的相似於圖 1 中的方塊圖的另一示例的已調整的低電壓電源供應器的原理圖。

【主要元件符號說明】

- 1、2：導軌
- 10：電源供應器
- 11：斜坡波形產生器
- 12：參考電壓產生器
- 13：CMOS 反相器
- 14：脈寬調變器
- 15：誤差放大器
- 16：超電壓產生器
- 17：高速超電壓閘極驅動器
- 18：高速供應電壓閘極驅動器
- 19：上 MOSFET
- 20：下 MOSFET
- 21：耦合電感器
- 23：整流器
- 22、24：濾波器
- 30：DC 電源供應器

- 31、35：比較器
- 32：反相器
- 33：反相驅動器
- 34：運算放大器
- 36：兩個反相器
- 37、38：閘極驅動器
- 39、40：MOSFET
- 41：電容器
- 42a、42b、42c：整流器
- 43：耦合電感器
- 44：輸出電容器
- 45：電容器
- 50：DC 電源供應器
- 54：運算放大器
- 55：比較器
- 56：兩個反相器
- 57、58：閘極驅動器
- 59、60：MOSFET
- 63：耦合電感器
- 64：輸出電容器
- 65：電容器
- 70：電壓參考產生器
- 71：參考裝置
- 80、90：DC 電源供應器

81：二極體

七、申請專利範圍：

1. 一種降壓調整器，所述降壓調整器用於將輸入 DC 電壓 $V+$ 轉換為輸出 DC 電壓位準，所述降壓調整器包括：

耦合電感器，用於輸出所述 DC 電壓位準；

具有誤差放大器的脈寬調變器，用於感測所述已輸出的 DC 電壓位準的誤差以及提供具有回應於所述誤差的工作週期的脈衝波形；

$V+$ 供應電壓驅動器，用於輸出 $V+$ 電壓位準，以回應於所述脈衝波形，所述 $V+$ 電壓位準是所述輸入 DC 電壓；

超電壓驅動器，用於輸出超電壓位準，以回應於所述脈衝波形，其中所述超電壓位準約為所述 $V+$ 電壓位準的兩倍；

所述已輸出的超電壓位準與所述已輸出的 $V+$ 電壓位準互補；

雙 MOSFETs，其閘極分別接收所述超電壓位準以及所述 $V+$ 電壓位準；以及

所述雙 MOSFETs 驅動所述用於輸出所述 DC 電壓位準的耦合電感器，

其中，所述雙 MOSFETs 包括上 MOSFET 以及下 MOSFET，所述上 MOSFET 的閘極接收所述超電壓位準，以及所述下 MOSFET 的閘極接收所述 $V+$ 電壓位準。

2. 如申請專利範圍第 1 項所述之降壓調整器，所述降壓調整器包括：超電壓產生器，用於形成所述超電壓位準以及提供所述超電壓位準到所述超電壓驅動器。

3.如申請專利範圍第 1 項所述之降壓調整器，所述降壓調整器包括：脈衝成形器，所述脈衝成形器耦接在所述脈寬調變器與所述電壓驅動器之間，所述脈衝成形器用於形成銳脈衝，所述銳脈衝的上升時間快於所述脈衝波形的上升時間，以及

所述脈衝成形器用於將所述銳脈衝作為控制訊號，以啟動所述電壓驅動器。

4.如申請專利範圍第 3 項所述之降壓調整器，所述脈衝成形器包括至少一個反相器，以用於形成所述銳脈衝。

5.如申請專利範圍第 4 項所述之降壓調整器，所述脈衝成形器包括兩個串聯的反相器，以用於形成所述銳脈衝。

6.如申請專利範圍第 3 項所述之降壓調整器，其中所述脈寬調變器包括開路集極比較器以及電阻性負載，以用於提供所述脈衝波形以回應於所述誤差。

7.如申請專利範圍第 1 項所述之降壓調整器，其中以推拉輸出電路方式來配置所述雙 MOSFETs，以及

所述雙 MOSFETs 耦接在所述 V+ 電壓位準以及接地電位之間，以用於驅動所述耦合電感器。

8.如申請專利範圍第 1 項所述之降壓調整器，其中當未提供所述 V+ 電壓位準的時候，所述電壓驅動器被配置為提供所述超電壓位準，以及

當未提供所述超電壓位準的時候，所述電壓驅動器被配置為提供所述 V+ 電壓位準。

9.如申請專利範圍第 1 項所述之降壓調整器，所述降

壓調整器包括誤差放大器，藉由將所述輸出 DC 電壓位準與電壓參考進行比較，使所述誤差放大器產生命令訊號，其中所述脈寬調變器比較斜坡波形以及由所述誤差放大器生成的所述命令訊號，以提供具有回應於所述誤差的工作週期的所述脈衝波形。

10.如申請專利範圍第 1 項所述之降壓調整器，其中所述耦合電感器包括初級磁心以及次級磁心，以及

所述初級磁心耦接在所述雙 MOSFETs 以及用於提供所述輸出 DC 電壓位準的電容器之間。

11.如申請專利範圍第 10 項所述之降壓調整器，其中所述次級磁心包括兩個末端，所述次級磁心的一個末端耦接到所述初級磁心的一個末端，以及所述次級磁心的另一個末端耦接到用於提供另一輸出 DC 電壓位準的整流器。

12.如申請專利範圍第 1 項所述之降壓調整器，其中所述降壓調整器包括脈衝成形器，所述脈衝成形器耦接在所述脈寬調變器與所述電壓驅動器之間，所述脈衝成形器用於形成銳脈衝，所述銳脈衝的上升時間快於所述脈衝波形的上升時間，以及

所述脈衝成形器用於將所述銳脈衝作為控制訊號，以啟動所述電壓驅動器，

其中所述脈衝成形器位於具有多個反相器的晶片中，以及

基於用於啟動所述電壓驅動器的極性感測，所述脈衝成形器被配置為包括所述多個反相器中的至少一個反相

器。

13.一種藉由採用輸入電壓位準 $V+$ 來輸出 DC 電壓位準的降壓調整器，所述降壓調整器包括：

脈寬調變器，用於感測所述輸出 DC 電壓位準中的電壓位準誤差；

脈衝成形器，耦接到所述脈寬調變器，用於提供快速變遷脈衝波形，所述快速變遷脈衝波形的工作週期回應於所述已感測的電壓位準誤差；

上電源驅動器以及下電源驅動器，用於接收所述快速變遷脈衝波形以及提供互補的上驅動電壓以及下驅動電壓，其中所述上驅動電壓是所述 $V+$ 電壓位準以及所述下驅動電壓是約為所述 $V+$ 電壓位準的兩倍的超電壓位準 V_{SS} ；

上 MOSFET 以及下 MOSFET，以推拉輸出電路方式連接，其中所述上 MOSFET 具有接收所述上驅動電壓的閘極，以及所述下 MOSFET 具有接收所述下驅動電壓的另一閘極；以及

所述兩個 MOSFET 耦接到用於輸出所述 DC 電壓位準的耦合電感器，

其中藉由採用互補的方式來提供所述 DC 電壓位準，所述上驅動電壓 $V+$ 驅動所述上 MOSFET 以及所述下驅動電壓 V_{SS} 驅動所述下 MOSFET，

所述脈衝成形器來自於具有多個反相器的晶片的至少一個反相器，

所述脈衝成形器耦接在所述脈寬調變器、所述上電源驅動器與所述下電源驅動器之間，用於提供所述快速變遷脈衝波形，

所述脈寬調變器包括開路集極比較器以及電阻性負載，

所述脈寬調變器提供所述快速變遷脈衝波形給所述上電源驅動器以及所述下電源驅動器，以及

所述快速變遷脈衝波形具有大於 50% 的工作週期，並且經過所述電阻性負載而產生的對應的電壓波形的工作週期小於 50% 以用來減少功率消耗。

14. 如申請專利範圍第 13 項所述之降壓調整器，其中藉由耦接到所述 $V+$ 輸入電壓位準的整流器，以生成所述超電壓位準 V_{SS} 。

15. 如申請專利範圍第 13 項所述之降壓調整器，其中如果所述上電源驅動器包括關於所述快速變遷脈衝波形的反相輸出，則所述下電源驅動器包括非反相輸出，以及如果所述上電源驅動器包括關於所述快速變遷脈衝波形的非反相輸出，則所述下電源驅動器包括反相輸出。

16. 如申請專利範圍第 13 項所述之降壓調整器，其中在推拉輸出電路配置中，採用二極體來替代所述下 MOSFET。

17. 如申請專利範圍第 13 項所述之降壓調整器，其中所述降壓調整器包括：

初級磁心，耦接在所述上 MOSFET 以及所述下

MOSFET 之間，以用於提供第一 DC 輸出電壓位準，

次級磁心，相位耦合到所述初級磁心，以用於提供第二 DC 輸出電壓位準，

其中所述次級磁心的一個末端被配置為提供所述第二 DC 輸出電壓位準以及所述次級磁心的另一個末端藉由 MOSFET 裝置而耦合到所述第一 DC 輸出電壓位準。

18.如申請專利範圍第 17 項所述之降壓調整器，其中藉由所述下驅動電壓來驅動所述 MOSFET 裝置的閘極。

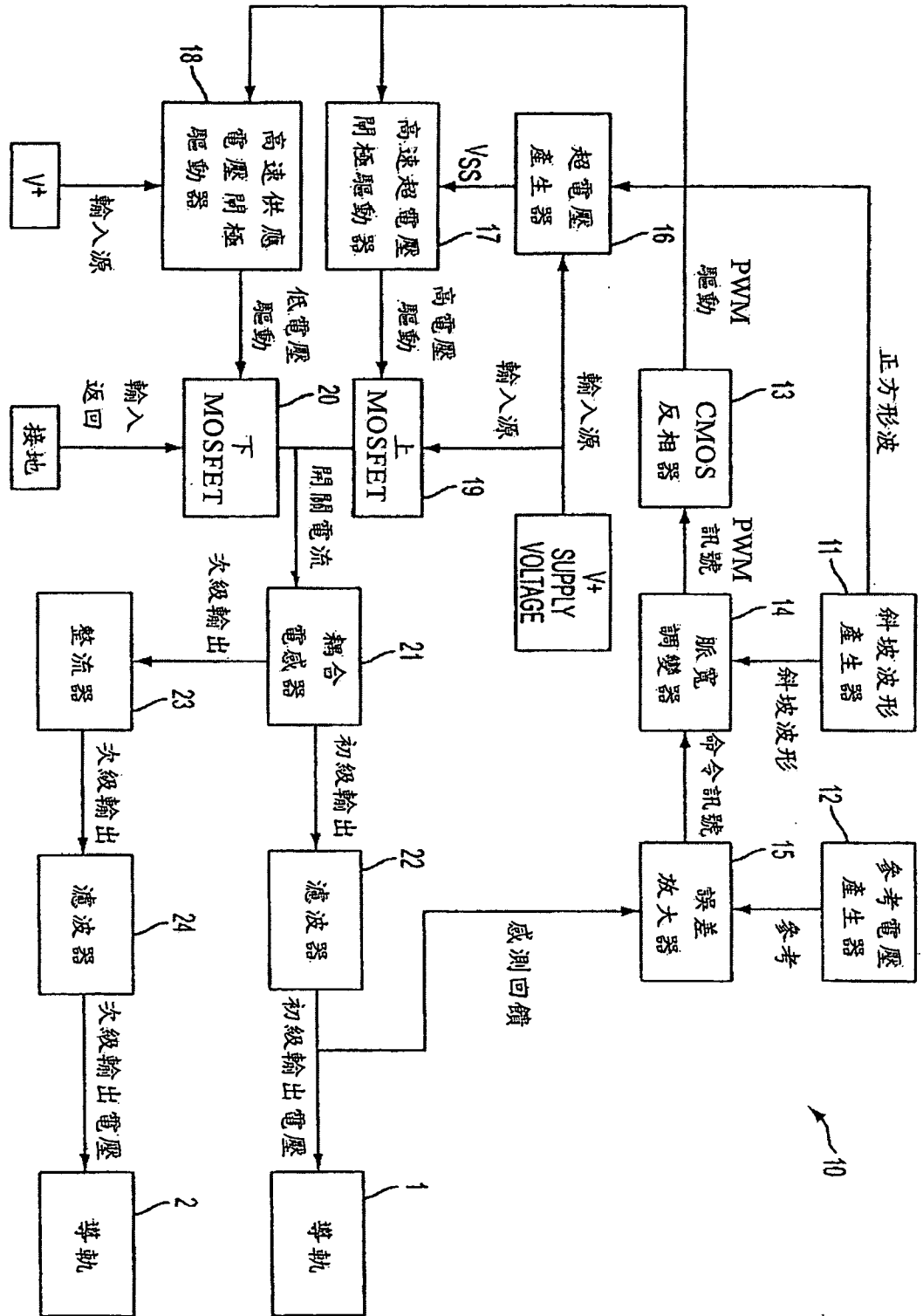


圖 1

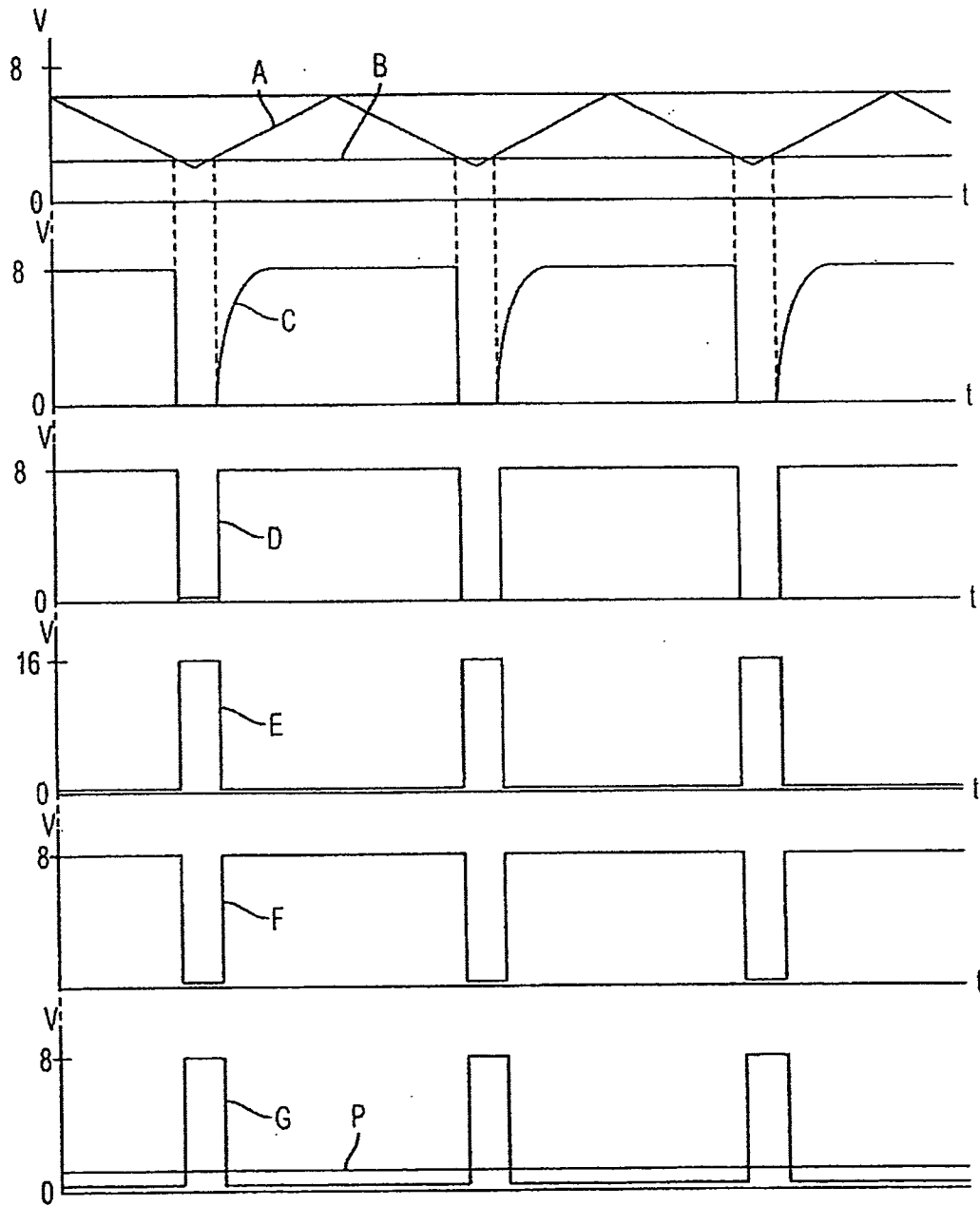


圖 4

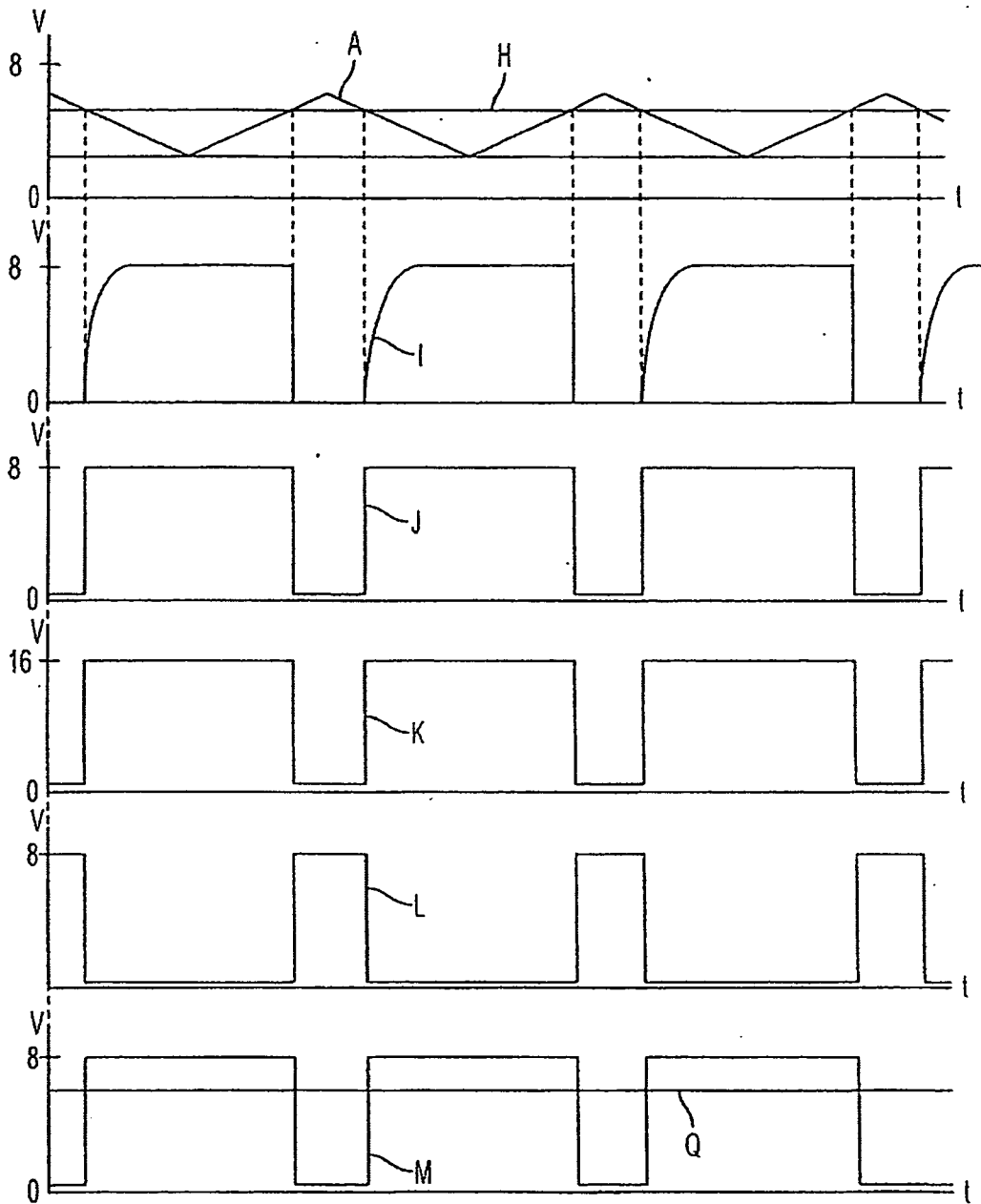


圖 5

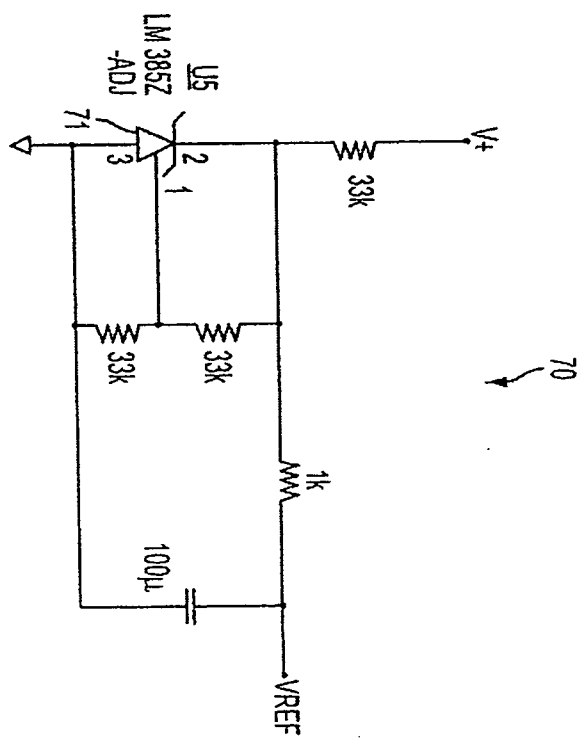


圖 6

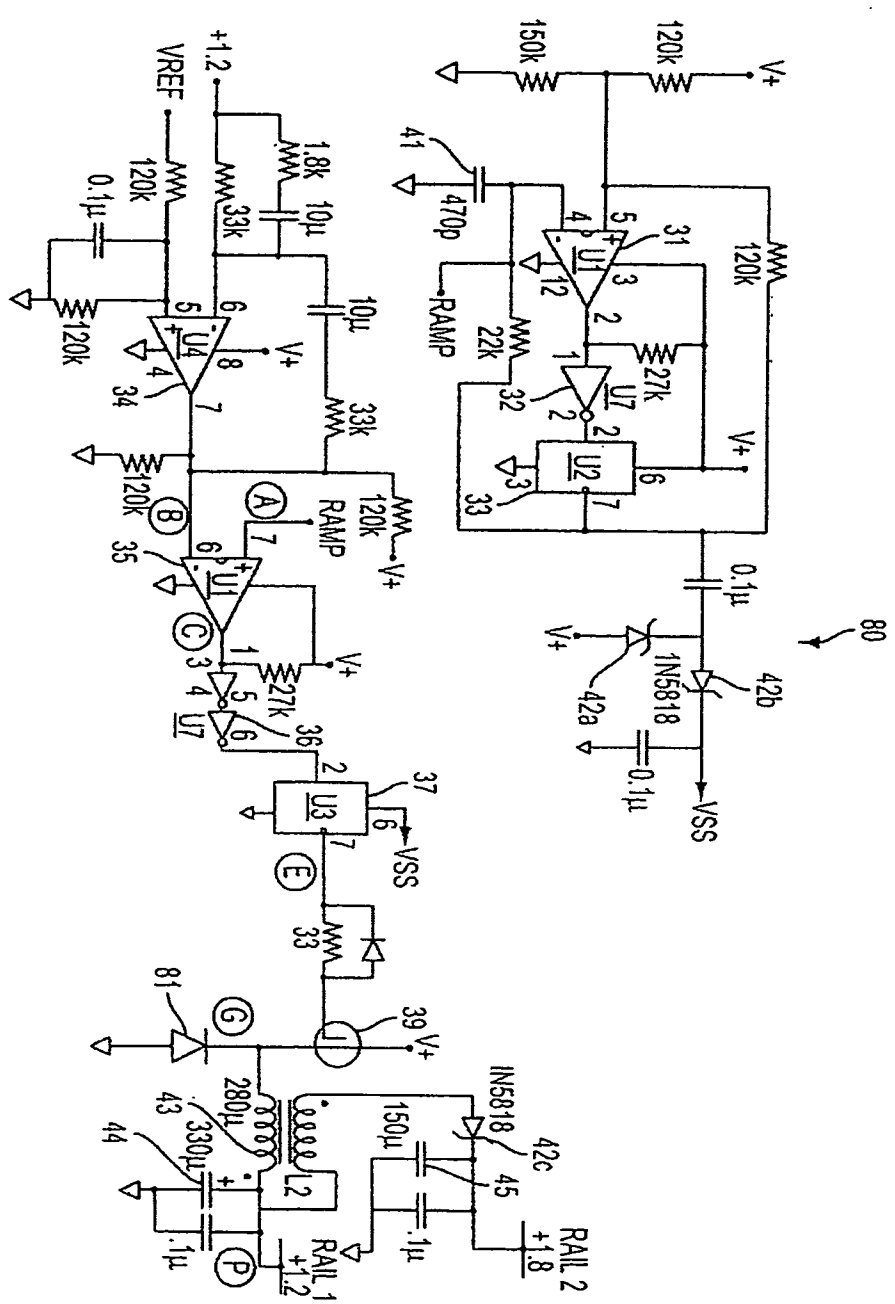


圖 7

