



(12)实用新型专利

(10)授权公告号 CN 210837712 U

(45)授权公告日 2020.06.23

(21)申请号 201921723009.X

(22)申请日 2019.10.14

(73)专利权人 长鑫存储技术有限公司

地址 230001 安徽省合肥市蜀山区经济技术
开发区翠微路6号海恒大厦630室

(72)发明人 江文涌

(74)专利代理机构 上海盈盛知识产权代理事务
所(普通合伙) 31294

代理人 孙佳胤 陈丽丽

(51)Int.Cl.

H01L 21/8242(2006.01)

H01L 27/108(2006.01)

(ESM)同样的发明创造已同日申请发明专利

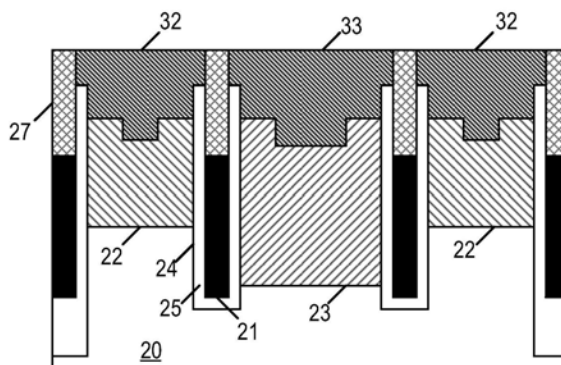
权利要求书1页 说明书6页 附图5页

(54)实用新型名称

半导体结构

(57)摘要

本实用新型涉及半导体制造技术领域,尤其涉及一种半导体结构。所述半导体结构包括:衬底,所述衬底内具有多条字线、位于相邻两条所述字线之间的导电接触区;孔,位于所述导电接触区;沟槽,位于所述导电接触区;所述孔位于所述沟槽上方且相互连通;其中所述孔的宽度大于所述沟槽的宽度。本实用新型增大了接触插塞与导电接触区之间的接触面积,从而降低接触插塞与导电接触区之间的接触电阻,改善了半导体结构的性能,提高了半导体结构的良率。



1. 一种半导体结构,其特征在于,包括:
衬底,所述衬底内具有多条字线、位于相邻两条所述字线之间的导电接触区;
孔,位于所述导电接触区;
沟槽,位于所述导电接触区;
所述孔位于所述沟槽上方且相互连通;
其中所述孔的宽度大于所述沟槽的宽度。
2. 根据权利要求1所述的半导体结构,其特征在于,还包括:
隔离层,位于所述字线与所述导电接触区之间,用于电性隔离所述导电接触区与所述字线;
所述字线的顶面与所述沟槽的底面均位于所述隔离层的顶面之下。
3. 根据权利要求2所述的半导体结构,其特征在于,所述衬底内还具有字线沟槽,所述隔离层覆盖于所述字线沟槽内壁,所述字线填充于部分所述字线沟槽内、并覆盖于部分所述隔离层背离所述导电接触区的表面。
4. 根据权利要求1所述的半导体结构,其特征在于,所述孔的宽度与所述导电接触区的宽度相等。
5. 根据权利要求1所述的半导体结构,其特征在于,所述导电接触区为存储单元接触区或位线接触区。
6. 根据权利要求2所述的半导体结构,其特征在于,多条所述字线将所述衬底划分为若干个交替排列的存储单元接触区和位线接触区;
所述孔包括位于所述存储单元接触区的第一孔和位于所述位线接触区的第二孔;
所述沟槽包括位于所述存储单元接触区的第一沟槽和位于所述位线接触区的第二沟槽;
所述半导体结构还包括至少填充满所述第一孔和所述第一沟槽的存储单元接触插塞、以及至少填充满所述第二孔和所述第二沟槽的位线接触插塞。
7. 根据权利要求6所述的半导体结构,其特征在于,所述存储单元接触插塞与所述位线接触插塞的材料均为多晶硅材料。
8. 根据权利要求7所述的半导体结构,其特征在于,所述字线的材料为金属材料。
9. 根据权利要求6所述的半导体结构,其特征在于,在沿垂直于所述衬底的方向上,所述存储单元接触插塞和所述位线接触插塞的底面均位于所述字线的顶面之上。
10. 根据权利要求9所述的半导体结构,其特征在于,在沿垂直于所述衬底的方向上,所述存储单元接触插塞的底面距离所述隔离层顶面的距离大于或等于所述存储单元接触插塞的底面距离所述字线顶面的距离,且所述位线接触插塞的底面距离所述隔离层顶面的距离大于或等于所述位线接触插塞的底面距离所述字线顶面的距离。

半导体结构

技术领域

[0001] 本实用新型涉及半导体制造技术领域,尤其涉及一种半导体结构。

背景技术

[0002] 动态随机存储器(Dynamic Random Access Memory, DRAM)是计算机等电子设备中常用的半导体结构,其由多个存储单元构成,每个存储单元通常包括晶体管和电容器。所述晶体管的栅极与字线电连接、源极与位线电连接、漏极与电容器电连接,字线上的字线电压能够控制晶体管的开启与关闭,从而通过位线能够读取存储在电容器中的数据信息,或者将数据信息写入到电容器中。

[0003] 在现有的半导体结构制造工艺中,为了增加存储单元的充放电速度,主要是利用增加存储单元接触插塞与存储单元接触区之间的接触面积和/或位线接触插塞与位线接触区之间的接触面积,来达到降低接触电阻的效果。在 $6F^2$ (例如 $3F \times 2F$)的存储单元工艺基础上,随着技术节点的演进,增加存储单元接触插塞与存储单元接触区之间的接触面积和/或位线接触插塞与位线接触区之间的接触面积的难度越来越大,对半导体结构制造工艺的改进难度越来越大。

[0004] 因此,如何降低半导体结构内部的接触电阻,从而改善半导体结构的性能,是目前亟待解决的技术问题。

实用新型内容

[0005] 本实用新型提供一种半导体结构,用于解决现有的半导体结构内部接触电阻较大的问题,以改善半导体结构的性能,提高半导体结构的良率。

[0006] 为了解决上述问题,本实用新型提供了一种半导体结构,包括:

[0007] 衬底,所述衬底内具有多条字线、位于相邻两条所述字线之间的导电接触区;

[0008] 孔,位于所述导电接触区;

[0009] 沟槽,位于所述导电接触区;

[0010] 所述孔位于所述沟槽上方且相互连通;

[0011] 其中所述孔的宽度大于所述沟槽的宽度。

[0012] 可选的,还包括:

[0013] 隔离层,位于所述字线与所述导电接触区之间,用于电性隔离所述导电接触区与所述字线;

[0014] 所述字线的顶面与所述沟槽的底面均位于所述隔离层的顶面之下。

[0015] 可选的,所述衬底内还具有字线沟槽,所述隔离层覆盖于所述字线沟槽内壁,所述字线填充于部分所述字线沟槽内、并覆盖于部分所述隔离层背离所述导电接触区的表面。

[0016] 可选的,所述孔的宽度与所述导电接触区的宽度相等。

[0017] 可选的,所述导电接触区为存储单元接触区或位线接触区。

[0018] 可选的,多条所述字线将所述衬底划分为若干个交替排列的存储单元接触区和位

线接触区；

[0019] 所述孔包括位于所述存储单元接触区的第一孔和位于所述位线接触区的第二孔；

[0020] 所述沟槽包括位于所述存储单元接触区的第一沟槽和位于所述位线接触区的第二沟槽；

[0021] 所述接触插塞包括至少填充所述第一孔和所述第一沟槽的存储单元接触插塞、以及至少填充所述第二孔和所述第二沟槽的位线接触插塞。

[0022] 可选的,所述存储单元接触插塞与所述位线接触插塞的材料均为多晶硅材料。

[0023] 可选的,所述字线的材料为金属材料。

[0024] 可选的,在沿垂直于所述衬底的方向上,所述存储单元接触插塞和所述位线接触插塞的底面均位于所述字线的顶面之上。

[0025] 可选的,在沿垂直于所述衬底的方向上,所述存储单元接触插塞的底面距离所述隔离层顶面的距离大于或等于所述存储单元接触插塞的底面距离所述字线顶面的距离,且所述位线接触插塞的底面距离所述隔离层顶面的距离大于或等于所述位线接触插塞的底面距离所述字线顶面的距离。

[0026] 本实用新型提供的半导体结构,通过在导电接触区内额外形成与所述孔连通的沟槽,并控制所述沟槽的宽度小于所述孔的宽度,使得用于与所述导电接触区电性接触的接触插塞填充所述沟槽并完全、充分覆盖所述导电接触区表面,增大了接触插塞与导电接触区之间的接触面积,从而降低接触插塞与导电接触区之间的接触电阻,改善了半导体结构的性能,提高了半导体结构的良率。

附图说明

[0027] 附图1是本实用新型具体实施方式中半导体结构的形成方法流程图；

[0028] 附图2A-2I是本实用新型具体实施方式在形成半导体结构的过程中主要的工艺结构示意图。

具体实施方式

[0029] 下面结合附图对本实用新型提供的半导体结构的具体实施方式做详细说明。

[0030] 本具体实施方式提供了一种半导体结构,附图1是本实用新型具体实施方式中半导体结构的形成方法流程图,附图2A-2I是本实用新型具体实施方式在形成半导体结构的过程中主要的工艺结构示意图。本具体实施方式中所述的半导体结构可以是但不限于DRAM存储器。如图1、图2A-图2I所示,本具体实施方式提供的半导体结构的形成方法,包括如下步骤:

[0031] 步骤S11,形成一衬底20,所述衬底20内具有多条字线21、位于相邻两条字线21之间的导电接触区、以及位于每一所述字线21与所述导电接触区之间的隔离层25,如图2A所示。

[0032] 可选的,所述导电接触区为存储单元接触区22或位线接触区23。

[0033] 具体来说,所述衬底20可以为Si衬底、Ge衬底、SiGe衬底、SOI(Silicon On Insulator,绝缘体上硅)或者GOI(Germanium On Insulator,绝缘体上锗)等。在本具体实施方式中,以所述衬底20为P-型硅衬底为例进行说明。所述衬底20内具有多个呈阵列排布

的有源区AA,相邻两个所述有源区AA之间通过STI (Shallow Trench Isolation,浅沟槽隔离结构) 隔开,所述字线21可以是位于所述有源区AA内的字线和/或位于STI中的字线。如图2A所示,所述字线21为埋入式字线,且所述字线21沿Y轴方向延伸,多条所述字线沿X轴方向平行排布。所述存储单元接触区22位于所述位线接触区23的相对两侧,且所述存储单元接触区22与所述位线接触区的材料可以均为N-型硅。

[0034] 步骤S12,降低所述导电接触区的高度,于相邻所述隔离层25之间形成孔,如图2E所示。

[0035] 可选的,多条所述字线21将所述衬底20划分为若干个交替排列的存储单元接触区22和位线接触区23;于相邻所述隔离层25之间形成孔的具体步骤包括:

[0036] 刻蚀所述存储单元接触区22和所述位线接触区23,于两个相邻的所述隔离层25之间形成与所述存储单元接触区22对应的第一孔281、并同时于另两个相邻的所述隔离层25之间形成与所述位线接触区23对应的第二孔282,如图2E所示。

[0037] 可选的,所述衬底20表面还具有第一掩膜层26,所述第一掩膜层26中具有与多条所述字线21一一对应的多个字线开口261,如图2A所示;于相邻所述隔离层25之间形成孔的具体步骤包括:

[0038] 形成至少填充满所述字线开口261的第二掩膜层27,如图2B所示;

[0039] 去除所述第一掩膜层26,于所述第二掩膜层27中形成暴露所述存储单元接触区22的第一刻蚀窗口271、并同时形成暴露所述位线接触区23的第二刻蚀窗口272,如图2D所示;

[0040] 沿所述第一刻蚀窗口271刻蚀所述存储单元接触区22、并沿所述第二刻蚀窗口272刻蚀所述位线接触区23,形成所述第一孔281和所述第二孔282。

[0041] 可选的,所述衬底20内还具有字线沟槽24,所述隔离层25覆盖于所述字线沟槽24表面,所述字线21填充于所述字线沟槽24内、并覆盖于部分所述隔离层25表面;

[0042] 所述字线21的顶面位于所述隔离层25的顶面之下,所述第二掩膜层27覆盖所述字线21顶面、并自所述字线沟槽24向外延伸。

[0043] 具体来说,所述字线21的形成步骤包括:于所述衬底20表面形成具有所述第一开口261的所述第一掩膜层26;然后,沿所述第一开口261刻蚀所述衬底20,形成字线沟槽24;接着,沿所述字线沟槽24沉积绝缘材料,形成一一覆盖于多个所述字线沟槽24表面的多个所述隔离层25,用于电性隔离所述字线21与所述存储单元接触区22、以及所述字线21与所述位线接触区23;之后,沿所述字线沟槽24沉积导电材料,例如钨,形成所述字线21,且所述字线21的顶面在所述隔离层25的顶面之下,即所述字线21未填充满所述字线沟槽24,如图2A所示。

[0044] 在形成所述字线21之后,保留所述第一掩膜层26,形成填充满所述第一开口261、填充未被所述字线21填充的所述字线沟槽24中的区域、并覆盖所述第一掩膜层26表面的第二掩膜层27,如图2B所示。之后,利用化学机械研磨或者刻蚀工艺刻蚀所述第二掩膜层27,暴露所述第一掩膜层26,如图2C所示。接着,去除所述第一掩膜层26,形成暴露所述存储单元接触区22的第一刻蚀窗口271和暴露所述位线接触区23的第二刻蚀窗口272,如图2D所示。之后,沿所述第一刻蚀窗口271刻蚀所述存储单元接触区22,以降低所述存储单元接触区22的高度,在与该存储单元接触区22相邻的两个隔离层25之间形成第一孔281;同时,沿所述第二刻蚀窗口272刻蚀所述位线接触区23,以降低所述位线接触区23的高度,在与该位

线接触区23相邻的两个隔离层25之间形成第二孔282,如图2E所示。本具体实施方式中,所述第一掩膜层26的材料与所述第二掩膜层27的材料之间应该具有较高的刻蚀选择比,例如所述第一掩膜层26的材料为硬掩膜材料、所述第二掩膜层27的材料为含碳有机掩膜层材料,以便于选择性的对所述第一掩膜层26或所述第二掩膜层27进行刻蚀。

[0045] 本步骤中,由于在形成所述字线22的所述第一掩膜层26表面直接形成所述第二掩膜层27,使得图2D中残留的所述第二掩膜层27与所述字线22自对准,从而极大的简化了半导体结构的制造工艺。

[0046] 步骤S13,自所述孔刻蚀所述导电接触区,形成与所述孔连通的沟槽,所述沟槽的宽度小于所述孔的宽度,如图2H所示。

[0047] 可选的,形成与所述孔连通的沟槽的具体步骤包括:

[0048] 形成覆盖所述第一孔281的侧壁、所述第二孔282的侧壁和暴露的所述隔离层25表面的侧墙29,如图2F所示;

[0049] 沿所述第一孔281刻蚀所述存储单元接触区22、并沿所述第二孔282刻蚀所述位线接触区23,于所述存储单元接触区22形成与所述第一孔281连通的第一沟槽30、并于所述位线接触区23形成与所述第二孔282连通的第二沟槽31。

[0050] 具体来说,在形成如图2E所示的结构之后,首先,沿所述第一孔281和所述第二孔282沉积介质材料,形成覆盖于所述第一孔281侧壁表面和所述第二孔282侧壁表面的所述侧墙29,且使得所述侧墙29能够完全覆盖所述隔离层25的侧壁和顶面,避免在刻蚀所述存储单元接触区22和所述位线接触区23的过程中,对所述隔离层25造成损伤,确保所述字线21与所述存储单元接触区22之间、以及所述字线21与所述位线接触区23之间良好的电性绝缘,如图2F、2G所示,图2G是图2F的俯视结构示意图。之后,沿所述侧墙29刻蚀所述存储单元接触区22和所述位线接触区23,于所述存储单元接触区22内形成所述第一沟槽30、并同时于所述位线接触区23内形成所述第二沟槽31,如图2H所示。

[0051] 本具体实施方式中,通过调整形成的所述侧墙29的厚度,可以控制所述第一沟槽30和所述第二沟槽31的宽度,有助于调整最终形成的存储单元接触插塞与所述存储单元接触区22之间的接触面积、以及位线接触插塞与所述位线接触区23之间的接触面积。

[0052] 所述第一沟槽30的宽度小于与其连通的所述第一孔281的宽度,且所述第二沟槽31的宽度小于与其连通的所述第二孔282的宽度。

[0053] 步骤S14,形成填充满所述孔与所述沟槽的接触插塞。

[0054] 可选的,形成填充满所述孔与所述沟槽的接触插塞的具体步骤包括:

[0055] 形成至少填充满所述第一孔281和所述第一沟槽30的存储单元接触插塞32、并形成填充满所述第二孔282和第二沟槽31的位线接触插塞33,如图2I所示。

[0056] 具体来说,在形成如图2H所示的结构之后,首先,采用化学机械研磨等工艺除去所述侧墙29以及部分的所述第二掩膜层27,暴露全部的所述存储单元接触区22的顶面和全部所述位线接触区23的顶面。接着,沉积导电材料(例如N-型多晶硅材料)于所述第一沟槽30、所述第一孔281和所述第二沟槽31、所述第二孔282,同时形成所述存储单元接触插塞32和所述位线接触插塞33,如图2I所示。

[0057] 本具体实施方式增大了所述存储单元接触插塞32与所述存储单元接触区22之间的接触面积,降低了所述存储单元接触区22与所述存储单元接触插塞32之间的接触电阻;

同时,增大了位线接触区23与所述位线接触插塞33之间的接触面积,降低了所述位线接触区23与所述位线接触插塞33之间的接触电阻。

[0058] 可选的,在沿垂直于所述衬底20的方向上,所述第一沟槽30的底部与所述第二沟槽31的底部均位于所述字线21的顶部之上。即所述第一沟槽30底部的高度和所述第二沟槽31底部的高度均大于所述字线21顶部的高度。

[0059] 不仅如此,本具体实施方式还提供了一种半导体结构,本具体实施方式提供的半导体结构的结构可参见图2I,其形成方法可参见图1、图2A-图2I。如图1、图2A-图2I所示,本具体实施方式提供的半导体结构,包括:

[0060] 衬底20,所述衬底20内具有多条字线21、位于相邻两条字线21之间的导电接触区;

[0061] 孔,位于所述导电接触区;

[0062] 沟槽,位于所述导电接触区内;

[0063] 所述孔位于所述沟槽上方且相互连通;

[0064] 其中所述孔的宽度大于所述沟槽的宽度。

[0065] 可选的,所述半导体结构还包括:

[0066] 隔离层25,位于所述字线21与所述导电接触区之间,用于电性隔离所述导电接触区与所述字线21;

[0067] 所述字线21的顶面与所述沟槽的底面均位于所述隔离层25的顶面之下。

[0068] 可选的,所述衬底20内还具有字线沟槽24,所述隔离层25覆盖于所述字线沟槽24内壁,所述字线21填充于部分所述字线沟槽24内、并覆盖于部分所述隔离层25背离所述导电接触区的表面。

[0069] 可选的,所述孔的宽度与所述导电接触区的宽度相等。

[0070] 可选的,所述导电接触区为存储单元接触区22或位线接触区23。

[0071] 可选的,多条所述字线21将所述衬底20划分为若干个交替排列的存储单元接触区22和位线接触区23;

[0072] 所述孔包括位于所述存储单元接触区22的第一孔281和位于所述位线接触区23的第二孔282;

[0073] 所述沟槽包括位于所述存储单元接触区22的第一沟槽30和位于所述位线接触区23的第二沟槽31;

[0074] 所述接触插塞包括至少填充满所述第一孔281和所述第一沟槽30的存储单元接触插塞32、以及至少填充满所述第二孔282和所述第二沟槽31的位线接触插塞33。

[0075] 可选的,所述存储单元接触插塞32与所述位线接触插塞33的材料均为多晶硅材料。

[0076] 可选的,所述字线21的材料为金属材料,例如金属钨。

[0077] 可选的,在沿垂直于所述衬底20的方向上,所述存储单元接触插塞32和所述位线接触插塞33的底面均位于所述字线21的顶面之上。

[0078] 可选的,在沿垂直于所述衬底的方向上,所述存储单元接触插塞32的底面距离所述隔离层25顶面的距离大于或等于所述存储单元接触插塞32的底面距离所述字线21顶面的距离,且所述位线接触插塞33的底面距离所述隔离层25顶面的距离大于或等于所述位线接触插塞33的底面距离所述字线21顶面的距离。

[0079] 具体来说,在如图21所示的结构中,所述存储单元接触插塞32的底面位于所述字线21的顶面与所述隔离层25的顶面连线的中点或者中点偏下的位置,以在更好的降低所述存储单元接触区22与所述存储单元接触插塞32之间接触电阻的同时,避免所述字线21与所述存储单元接触插塞32之间出现漏电现象;所述位线接触插塞33的底面位于所述字线21的顶面与所述隔离层25的顶面连线的中点或者中点偏下的位置,以在更好的降低所述位线接触区23与所述位线接触插塞33之间接触电阻的同时,避免所述字线21与所述位线接触插塞33之间出现漏电现象。

[0080] 本具体实施方式提供的半导体结构,通过在导电接触区内额外形成与所述孔连通的沟槽,并控制所述沟槽的宽度小于所述孔的宽度,使得用于与所述导电接触区电性接触的接触插塞填满所述沟槽并完全、充分覆盖所述导电接触区表面,增大了接触插塞与导电接触区之间的接触面积,从而降低接触插塞与导电接触区之间的接触电阻,改善了半导体结构的性能,提高了半导体结构的良率。

[0081] 以上所述仅是本实用新型的优选实施方式,应当指出,对于本技术领域的普通技术人员,在不脱离本实用新型原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本实用新型的保护范围。

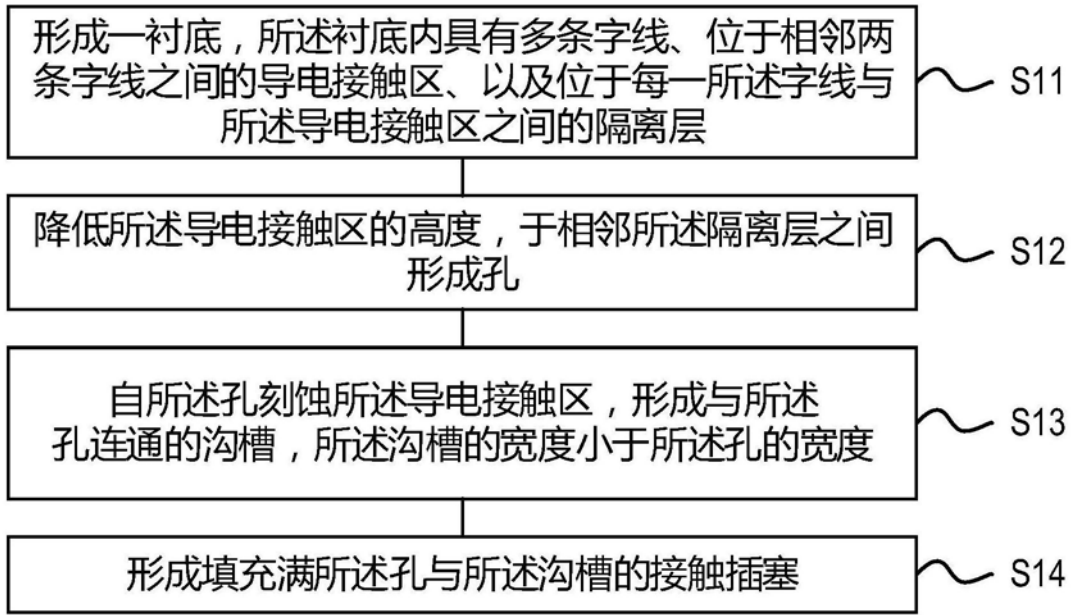


图1

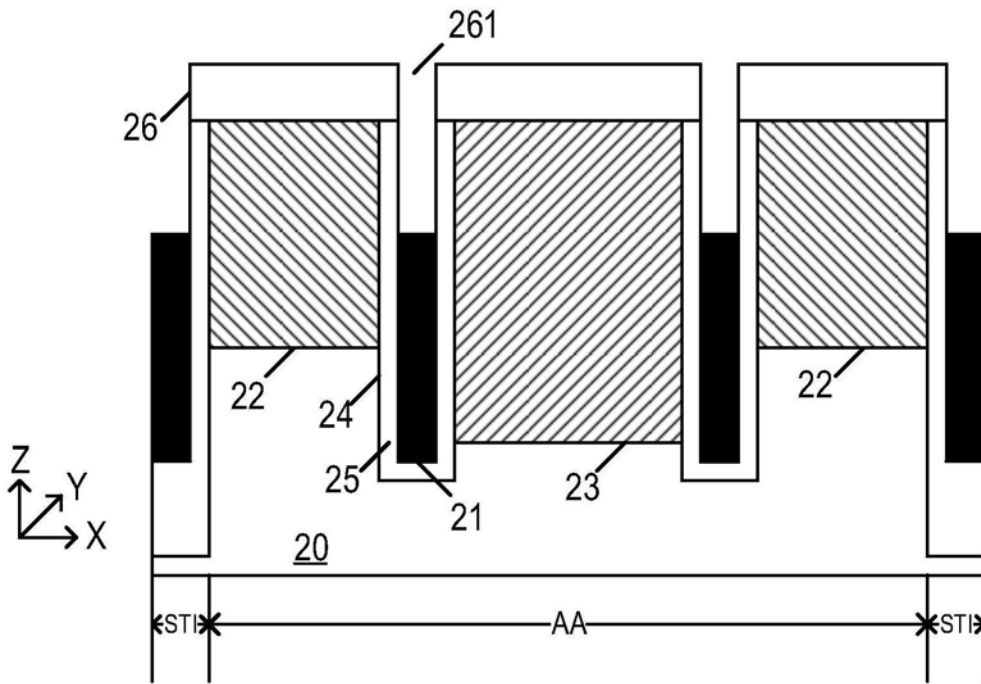


图2A

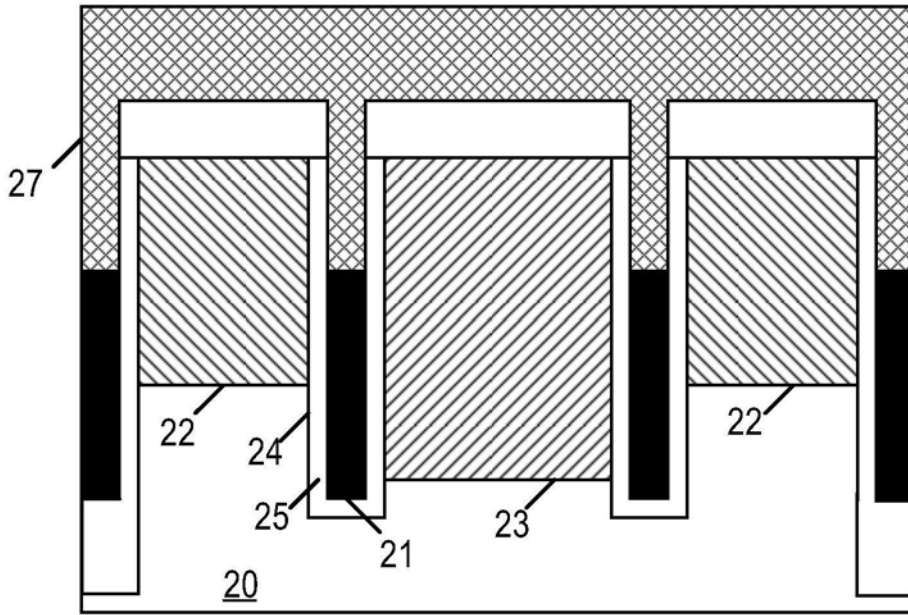


图2B

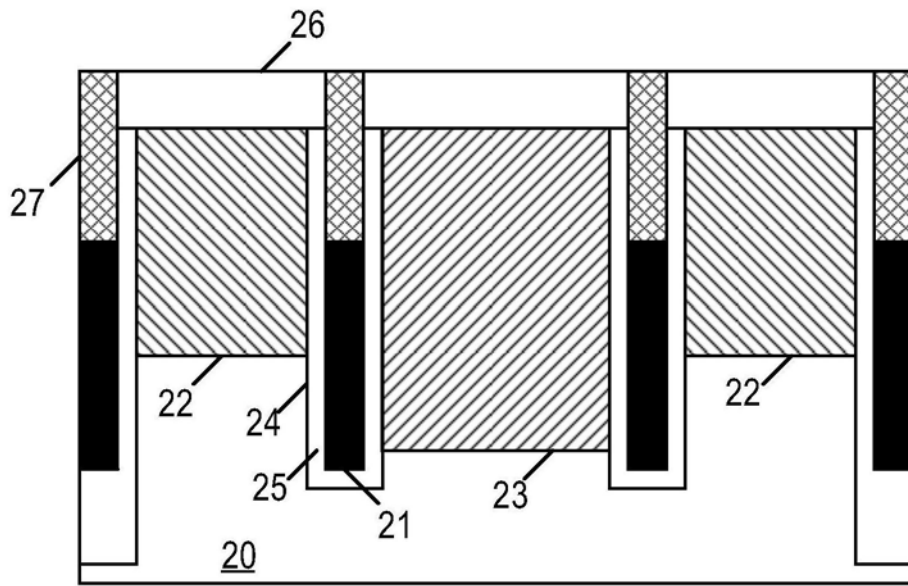


图2C

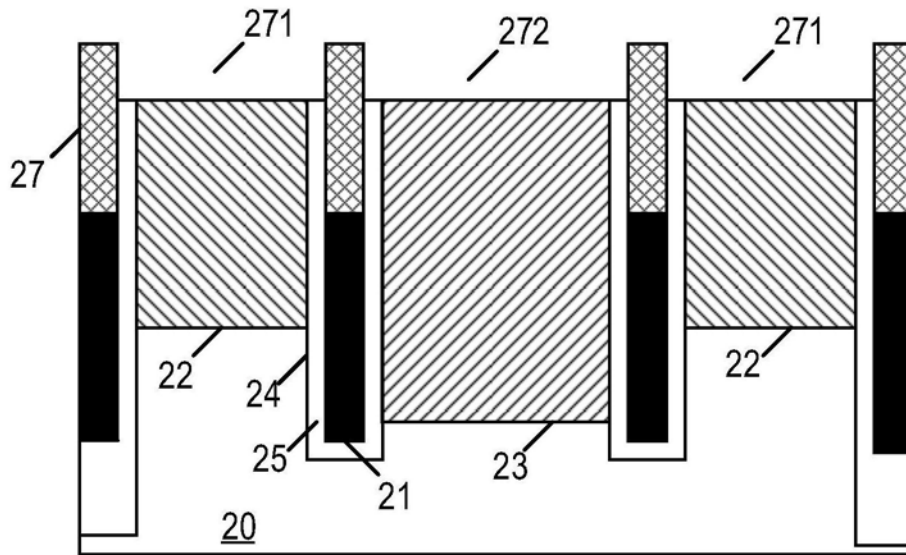


图2D

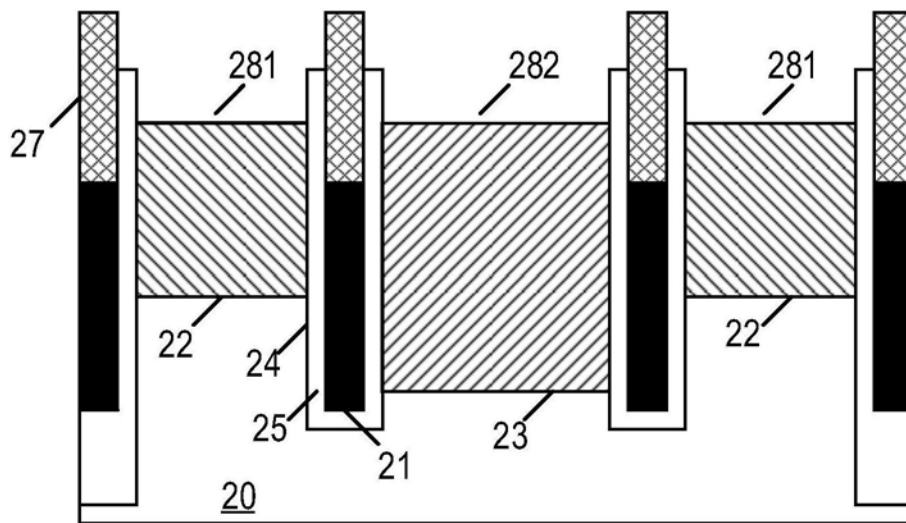


图2E

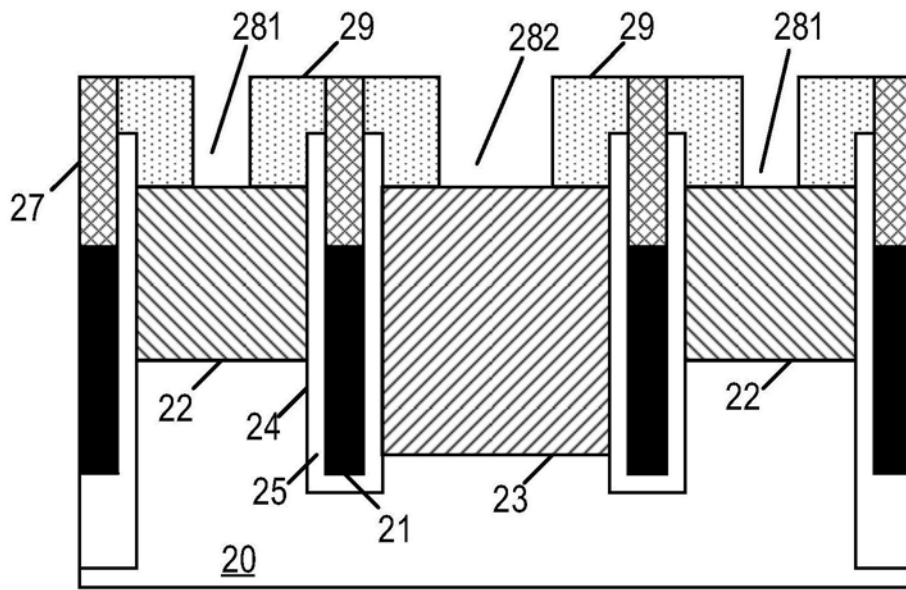


图2F

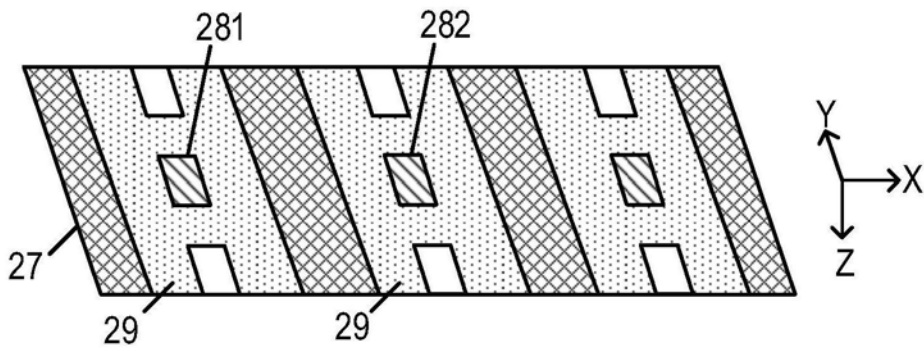


图2G

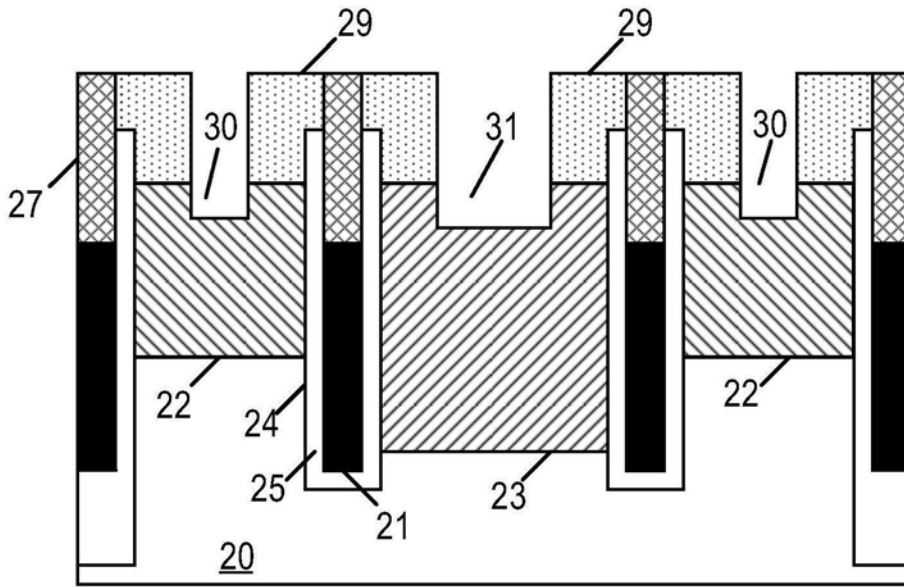


图2H

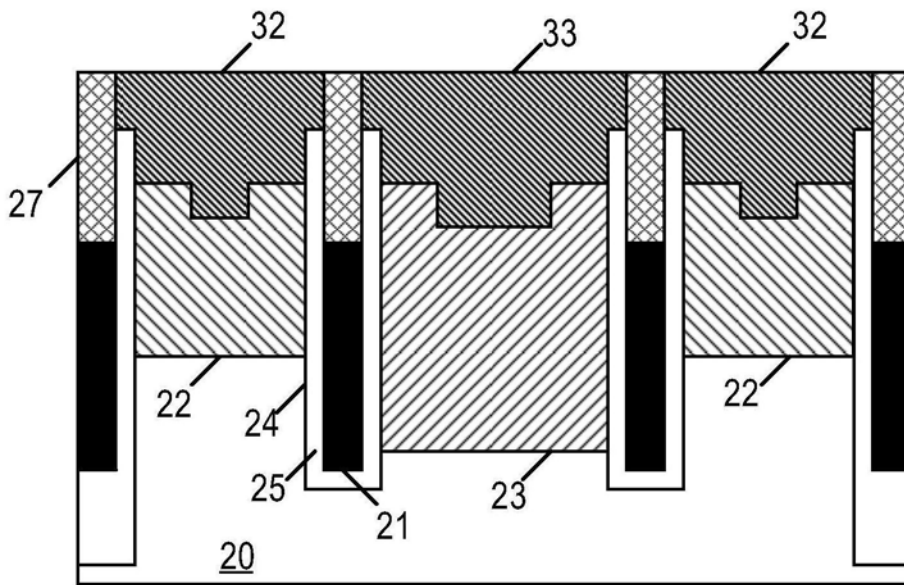


图2I