



(12)发明专利

(10)授权公告号 CN 103646967 B

(45)授权公告日 2016.08.24

(21)申请号 201310574660.6

(22)申请日 2013.11.14

(73)专利权人 中航(重庆)微电子有限公司

地址 401331 重庆市沙坪坝区西永镇西永大道25号

(72)发明人 黄晓槽 沈健 陈逸清

(74)专利代理机构 上海光华专利事务所 31219

代理人 李仪萍

(51)Int.Cl.

H01L 29/872(2006.01)

H01L 29/06(2006.01)

H01L 21/329(2006.01)

审查员 梁庆然

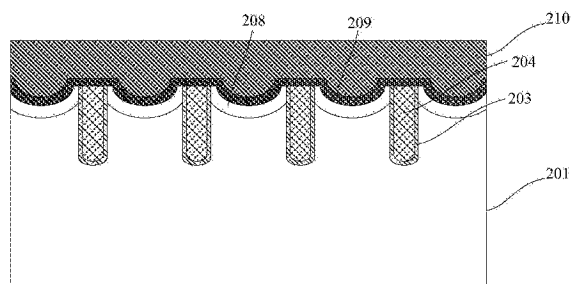
权利要求书2页 说明书7页 附图8页

(54)发明名称

一种沟槽式肖特基二极管结构及其制备方法

(57)摘要

本发明提供一种沟槽式肖特基二极管结构及其制备方法,所述沟槽式肖特基二极管结构至少包括:第一导电类型的衬底;多个沟槽结构,包括形成于所述衬底中的多个沟槽、结合于各该沟槽表面的介质层、以及填充于各该沟槽内的导电材料;其中,相邻两个沟槽结构之间的衬底表面包含有凹弧面;金属半导体化合物,形成于所述衬底表面;正面电极层,覆盖于所述金属半导体化合物及沟槽结构表面。本发明通过工艺改进,衬底表面的肖特基势垒层包括凹弧面结构,比起常规的平面形结构面积大大增大,从而有效降低正向压降VF,提高了器件性能。本发明的结构及制备方法简单,效果显著,适用于工业生产。



1. 一种沟槽式肖特基二极管结构,其特征在于,至少包括:

第一导电类型的衬底;

多个沟槽结构,包括形成于所述衬底中的多个沟槽、结合于各该沟槽表面的介质层、以及填充于各该沟槽内的导电材料;其中,相邻两个沟槽结构之间的衬底表面包含有凹弧面,所述凹弧面的宽度为相邻两个沟槽结构之间宽度的30%~100%;

金属半导体化合物,形成于所述衬底表面;

正面电极层,覆盖于所述金属半导体化合物及沟槽结构表面。

2. 根据权利要求1所述的沟槽式肖特基二极管结构,其特征在于:还包括第一导电类型的重掺杂层,形成于所述衬底表层,且其厚度大于所述金属半导体化合物的厚度。

3. 根据权利要求1或2所述的沟槽式肖特基二极管结构,其特征在于:所述第一导电类型为N型导电类型或P型导电类型。

4. 根据权利要求1或2所述的沟槽式肖特基二极管结构,其特征在于:所述凹弧面的宽度为相邻两个沟槽结构之间宽度的70%~90%。

5. 根据权利要求1或2所述的沟槽式肖特基二极管结构,其特征在于:所述衬底为硅衬底、锗硅衬底、锗衬底或III-V族化合物衬底;所述介质层为SiO<sub>2</sub>、SiON、高K介质的一种或组合;所述导电材料为多晶硅、无定形硅、金属的一种或组合。

6. 一种沟槽式肖特基二极管结构的制备方法,其特征在于:至少包括以下步骤:

1) 提供第一导电类型的衬底,于所述衬底中形成多个间隔排列的沟槽,于所述沟槽表面形成介质层,并于所述沟槽内沉积导电材料;

2) 制作于相邻两个沟槽之间具有刻蚀窗口的掩膜层,藉由各该刻蚀窗口对所述衬底进行各向同性刻蚀,以于所述衬底表面刻蚀出凹弧面,接着去除所述掩膜层,其中,所述刻蚀窗口的宽度为相邻两个沟槽结构之间宽度的30%~100%;

3) 于所述衬底表面沉积肖特基金属,并通过热处理的方法使其与所述衬底反应形成金属半导体化合物;

4) 于上述结构表面制作正面电极层。

7. 根据权利要求6所述的沟槽式肖特基二极管结构的制备方法,其特征在于:步骤2)之后还包括步骤:对所述衬底进行第一导电类型离子注入,以于所述衬底表层形成第一导电类型的重掺杂层。

8. 根据权利要求6或7所述的沟槽式肖特基二极管结构的制备方法,其特征在于:所述第一导电类型为N型导电类型或P型导电类型。

9. 根据权利要求6或7所述的沟槽式肖特基二极管结构的制备方法,其特征在于:所述金属半导体化合物中的金属包括Ti、TiN、Al、Au、Ag、Pt、Pb、W、Ni、Co的一种或多种。

10. 一种沟槽式肖特基二极管结构的制备方法,其特征在于:至少包括以下步骤:

1) 提供第一导电类型的衬底,于所述衬底中形成具有多个间隔排列窗口的氮化硅层,通过选择性氧化工艺对各该窗口中的衬底进行热氧化,形成下表面为凸弧面的多个氧化层;

2) 去除所述氮化硅层,以所述多个氧化层为掩膜对所述衬底进行干法刻蚀,以于所述衬底中形成多个间隔排列的沟槽;

3) 去除各该氧化层,露出相邻沟槽之间的衬底的凹弧面表面;

- 4)制作出结合于各该沟槽表面的介质层及填充于各该沟槽内的导电材料;
- 5)于所述衬底表面沉积肖特基金属,并通过热处理的方法使其与所述衬底反应形成金属半导体化合物;
- 6)于上述结构表面制作正面电极层。

11.根据权利要求10所述的沟槽式肖特基二极管结构的制备方法,其特征在于:步骤4)之后还包括步骤:对所述衬底进行第一导电类型离子注入,以于所述衬底表层形成第一导电类型的重掺杂层。

12.根据权利要求10或11所述的沟槽式肖特基二极管结构的制备方法,其特征在于:所述第一导电类型为N型导电类型或P型导电类型。

## 一种沟槽式肖特基二极管结构及其制备方法

### 技术领域

[0001] 本发明涉及一种半导体器件及其制备方法,特别是涉及一种沟槽式肖特基二极管结构及其制备方法。

### 背景技术

[0002] 随着半导体技术的不断发展,功率器件作为一种新型器件,被广泛地应用于磁盘驱动、汽车电子等领域。功率器件需要能够承受较大的电压、电流以及功率负载。而现有MOS晶体管等器件无法满足上述需求,因此,为了满足应用的需要,各种功率器件成为关注的焦点。

[0003] 现有的肖特基二极管一般是贵金属(金、银、铝、铂等)为正极,以N型半导体为负极,利用二者接触面上形成的势垒具有整流特性而制成的金属-半导体器件。因为N型半导体中存在着大量的电子,贵金属中仅有极少量的自由电子,所以电子便从浓度高的N型半导体中向浓度低的贵金属中扩散。显然,贵金属中没有空穴,也就不存在空穴自金属向N型半导体的扩散运动。随着电子不断从N型半导体扩散到贵金属,N型半导体表面电子浓度逐渐降低,表面电中性被破坏,于是就形成势垒,其电场方向为N型半导体朝向贵金属。但在该电场作用之下,贵金属中的电子也会产生从贵金属向N型半导体的漂移运动,从而削弱了由于扩散运动而形成的电场。当建立起一定宽度的空间电荷区后,电场引起的电子漂移运动和浓度不同引起的电子扩散运动达到相对的平衡,便形成了肖特基势垒。

[0004] 可见,肖特基二极管是基于金属和半导体接触的整流特性进行工作的多数载流子器件,具有正向压降低、反向恢复电流小、开关速度快、噪声系数小、功耗低等特点,目前广泛应用于开关电源、变频器、驱动器等领域。

[0005] 常规的沟槽式肖特基二极管结构如图1所示,为了有利于说明,图中各层厚度未按实际比例绘制,并且背晶的金属层未画出。该槽式肖特基二极管结构包括N型衬底101(其表面为平面)、N型重掺杂层102、间隔形成于所述N型衬底中的多个沟槽结构104、形成于所述N型重掺杂层表面的金属硅化物103以及制作于上述结构表面的正面电极105。由图可知,常规的沟槽式肖特基二极管的金属-半导体接触是平面型的,即金-半接触有效面积是总面积扣除沟槽所占面积。

[0006] 由于传统的平面肖特基二极管的反向偏压较低、反向漏电流偏大,目前主要被沟槽式肖特基二极管所替代。沟槽式肖特基二极管在反偏时相邻沟槽间耗尽区会发生夹断,从而有效增大反向偏压 $V_R$ 、减小反向漏电流 $I_R$ 。

[0007] 肖特基二极管还有一个非常重要的直流参数,即正向压降 $V_F$ ,该参数希望越小越好,以增大正向电流。调节 $V_F$ 的方法一般通过精确调节肖特基势垒性能来实现,但这种方法比较复杂和困难。另外,如果能在单位面积增大有效的肖特基接触面积,同样也能有效降低 $V_F$ 。

### 发明内容

[0008] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种沟槽式肖特基二极管结构及其制备方法,用于解决现有技术中沟槽式肖特基二极管的正向压降VF难以降低等问题。

[0009] 为实现上述目的及其他相关目的,本发明提供一种沟槽式肖特基二极管结构,至少包括:

[0010] 第一导电类型的衬底;

[0011] 多个沟槽结构,包括形成于所述衬底中的多个沟槽、结合于各该沟槽表面的介质层、以及填充于各该沟槽内的导电材料;其中,相邻两个沟槽结构之间的衬底表面包含有凹弧面;

[0012] 金属半导体化合物,形成于所述衬底表面;

[0013] 正面电极层,覆盖于所述金属半导体化合物及沟槽结构表面。

[0014] 作为本发明的沟槽式肖特基二极管结构的一种优选方案,还包括第一导电类型的重掺杂层,形成于所述衬底表层,且其厚度大于所述金属半导体化合物的厚度。

[0015] 作为本发明的沟槽式肖特基二极管结构的一种优选方案,所述第一导电类型为N型导电类型或P型导电类型。

[0016] 作为本发明的沟槽式肖特基二极管结构的一种优选方案,所述凹弧面的宽度为相邻两个沟槽结构之间宽度的30%~100%。

[0017] 进一步地,所述凹弧面的宽度为相邻两个沟槽结构之间宽度的70%~90%。

[0018] 作为本发明的沟槽式肖特基二极管结构的一种优选方案,所述衬底为硅衬底、锗硅衬底、锗衬底或III-V族化合物衬底;所述介质层为SiO<sub>2</sub>、SiON、高K介质的一种或组合;所述导电材料为多晶硅、无定形硅、金属的一种或组合。

[0019] 本发明还提供一种沟槽式肖特基二极管结构的制备方法,至少包括以下步骤:

[0020] 1)提供第一导电类型的衬底,于所述衬底中形成多个间隔排列的沟槽,于所述沟槽表面形成介质层,并于所述沟槽内沉积导电材料;

[0021] 2)制作于相邻两个沟槽之间具有刻蚀窗口的掩膜层,藉由各该刻蚀窗口对所述衬底进行各向同性刻蚀,以于所述衬底表面刻蚀出凹弧面,接着去除所述掩膜层;

[0022] 3)于所述衬底表面沉积肖特基金属,并通过热处理的方法使其与所述衬底反应形成金属半导体化合物;

[0023] 4)于上述结构表面制作正面电极层。

[0024] 作为本发明的沟槽式肖特基二极管结构的制备方法的一种优选方案,步骤2)之后还包括步骤:对所述衬底进行第一导电类型离子注入,以于所述衬底表层形成第一导电类型的重掺杂层。

[0025] 作为本发明的沟槽式肖特基二极管结构的制备方法的一种优选方案,所述第一导电类型为N型导电类型或P型导电类型。

[0026] 作为本发明的沟槽式肖特基二极管结构的制备方法的一种优选方案,所述刻蚀窗口的宽度为相邻两个沟槽结构之间宽度的30%~100%。

[0027] 作为本发明的沟槽式肖特基二极管结构的制备方法的一种优选方案,所述金属半导体化合物中的金属包括Ti、TiN、Al、Au、Ag、Pt、Pb、W、Ni、Co的一种或多种。

[0028] 本发明还提供一种沟槽式肖特基二极管结构的制备方法,至少包括以下步骤:

[0029] 1)提供第一导电类型的衬底,于所述衬底中形成具有多个间隔排列窗口的氮化硅层,通过选择性氧化工艺对各该窗口中的衬底进行热氧化,形成下表面为凸弧面的多个氧化层;

[0030] 2)去除所述氮化硅层,以所述多个氧化层为掩膜对所述衬底进行干法刻蚀,以于所述衬底中形成多个间隔排列的沟槽;

[0031] 3)去除各该氧化层,露出相邻沟槽之间的衬底的凹弧面表面;

[0032] 4)制作出结合于各该沟槽表面的介质层及填充于各该沟槽内的导电材料;

[0033] 5)于所述衬底表面沉积肖特基金属,并通过热处理的方法使其与所述衬底反应形成金属半导体化合物;

[0034] 6)于上述结构表面制作正面电极层。

[0035] 作为本发明的沟槽式肖特基二极管结构的制备方法的一种优选方案,步骤4)之后还包括步骤:对所述衬底进行第一导电类型离子注入,以于所述衬底表层形成第一导电类型的重掺杂层。

[0036] 作为本发明的沟槽式肖特基二极管结构的制备方法的一种优选方案,所述第一导电类型为N型导电类型或P型导电类型。

[0037] 如上所述,本发明提供一种沟槽式肖特基二极管结构及其制备方法,所述沟槽式肖特基二极管结构至少包括:第一导电类型的衬底;多个沟槽结构,包括形成于所述衬底中的多个沟槽、结合于各该沟槽表面的介质层、以及填充于各该沟槽内的导电材料;其中,相邻两个沟槽结构之间的衬底表面包含有凹弧面;金属半导体化合物,形成于所述衬底表面;正面电极层,覆盖于所述金属半导体化合物及沟槽结构表面。本发明通过工艺改进,衬底表面的肖特基势垒层包括凹弧面结构,比起常规的平面形结构面积大大增大,从而有效降低正向压降VF,提高了器件性能。本发明的结构及制备方法简单,效果显著,适用于工业生产。

## 附图说明

[0038] 图1显示为现有技术中的一种沟槽式肖特基二极管结构的结构示意图。

[0039] 图2显示为本发明的沟槽式肖特基二极管结构的结构示意图。

[0040] 图3~图8显示为本发明实施例2中的沟槽式肖特基二极管结构的制备方法各步骤所呈现的结构示意图。

[0041] 图9~图16显示为本发明实施例3中的沟槽式肖特基二极管结构的制备方法各步骤所呈现的结构示意图。

[0042] 元件标号说明

	201、301	衬底
	202、305	沟槽
	203、307	介质层
	204、308	导电材料
	205	掩膜层
	206	刻蚀窗口
[0043]	207、306	凹弧面
	208、309	重掺杂层
	209、310	金属半导体化合物
	210、311	正面电极层
	302	氮化硅层
	303	窗口
	304	氧化层

### 具体实施方式

[0044] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0045] 请参阅图2~图16。需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0046] 实施例1

[0047] 如图2所示,本实施例提供一种沟槽式肖特基二极管结构,至少包括:

[0048] 第一导电类型的衬底201;

[0049] 多个沟槽结构,包括形成于所述衬底201中的多个沟槽、结合于各该沟槽表面的介质层203、以及填充于各该沟槽内的导电材料204;其中,相邻两个沟槽结构之间的衬底201表面包含有凹弧面;

[0050] 金属半导体化合物209,形成于所述衬底201表面;

[0051] 正面电极层210,覆盖于所述金属半导体化合物209及沟槽结构表面。

[0052] 作为示例,还包括第一导电类型的重掺杂层208,形成于所述衬底201表层,且其厚度大于所述金属半导体化合物209的厚度。在本实施例中,所述重掺杂层208的形状为凹弧状,且与所述衬底201表面的凹弧面对应。

[0053] 所述第一导电类型,可以为N型导电类型或P型导电类型,在本实施例中,所述第一

导电类型为N型导电类型。

[0054] 所述衬底201,可以为硅衬底、锗硅衬底、锗衬底或Ⅲ-V族化合物,如氮化镓、砷化镓等,在本实施例中,所述衬底201为硅衬底,对应地,所述金属半导体化合物209为金属硅化物。当然,其它预期的可以用于制作肖特基二极管的一切衬底都应该可以用于本发明,并不限于以上所列举的几种。

[0055] 所述沟槽结构,其形状、深度和间隔均可根据器件的实际需求进行确定。所述介质层203为SiO<sub>2</sub>、SiON、高K介质的一种或组合,所述导电材料204为多晶硅、无定形硅、金属的一种或组合。在本实施例中,所述介质层203为SiO<sub>2</sub>层,所述导电材料204为多晶硅。

[0056] 作为示例,所述凹弧面的宽度为相邻两个沟槽结构之间宽度的30%~100%。在本实施例中,所述凹弧面的宽度为相邻两个沟槽结构之间宽度的70%~90%,并且,所述凹弧面的顶部不低于所述沟槽结构的顶部。

[0057] 所述正面电极层210,覆盖于所述金属半导体化合物209及沟槽结构表面,其材料可以为铝、铝铜、铝硅铜、钛、镍、银等的一种或者组合。

[0058] 本实施例的沟槽式肖特基二极管结构的衬底表面的肖特基势垒层包括凹弧形结构,比起常规的平面形结构面积大大增大,从而有效降低正向压降VF,提高了器件性能。

[0059] 实施例2

[0060] 如图3~图8所示,本实施例提供一种沟槽式肖特基二极管结构的制备方法,至少包括以下步骤:

[0061] 如图3~图4所示,首先进行步骤1),提供第一导电类型的衬底201,于所述衬底201中形成多个间隔排列的沟槽202,于所述沟槽202表面形成介质层203,并于所述沟槽202内沉积导电材料204。

[0062] 所述第一导电类型,可以为N型导电类型或P型导电类型,在本实施例中,所述第一导电类型为P型导电类型。所述衬底201,可以为硅衬底、锗硅衬底、锗衬底或Ⅲ-V族化合物,如氮化镓、砷化镓等,在本实施例中,所述衬底201为硅衬底。所述介质层203为SiO<sub>2</sub>、SiON、高K介质的一种或组合,所述导电材料204为多晶硅、无定形硅、金属的一种或组合。在本实施例中,所述介质层203为SiO<sub>2</sub>层,所述导电材料204为多晶硅。

[0063] 具体地,首先于所述硅衬底表面制作具有多个间隔排列刻蚀窗口的光刻胶层,然后通过干法刻蚀法刻蚀所述硅衬底至一预设深度,形成多个间隔排列的沟槽202,然后通过气相沉积或者热氧化方法与所述沟槽202表面及硅衬底表面形成SiO<sub>2</sub>层,接着于所述沟槽202内沉积多晶硅,直至将所述沟槽202填满,最后通过刻蚀工艺将所述硅衬底表面的多晶硅及SiO<sub>2</sub>层去除,保留沟槽202内的多晶硅及SiO<sub>2</sub>层,形成沟槽结构。

[0064] 如图5~图6所示,然后进行步骤2),制作于相邻两个沟槽202之间具有刻蚀窗口206的掩膜层205,藉由各该刻蚀窗口206对所述衬底201进行各向同性刻蚀,以于所述衬底201表面刻蚀出凹弧面207,接着去除所述掩膜层205。

[0065] 作为示例,所述掩膜层205可以为光刻胶层、二氧化硅层或氮化硅层等。

[0066] 具体地,采用湿法刻蚀法对所述硅衬底进行各向同性刻蚀,在本实施例中,采用的刻蚀液为摩尔比为6:1的HF和HNO<sub>3</sub>的水溶液。

[0067] 作为示例,所述刻蚀窗口206的宽度为相邻两个沟槽202结构之间宽度的30%~100%。在本实施例中,所述刻蚀窗口206的宽度为相邻两个沟槽202结构之间宽度的70%~



90%。

[0068] 需要注意的是,刻蚀完成后,需要保证所述凹弧面207的顶部不低于所述沟槽结构的顶部。

[0069] 在本实施例中,步骤2)之后还包括步骤:对所述衬底201进行第一导电类型离子注入,以于所述衬底201表层形成第一导电类型的重掺杂层208。在本实施例中,所述重掺杂层208的形状为凹弧状,且与所述衬底201表面的凹弧面207对应。

[0070] 如图7所示,接着进行步骤3),于所述衬底201表面沉积肖特基金属,并通过热处理的方法使其与所述衬底201反应形成金属半导体化合物209。

[0071] 作为示例,所述金属半导体化合物209中的金属包括Ti、TiN、Al、Au、Ag、Pt、Pb、W、Ni、Co等的一种或多种。

[0072] 如图8所示,最后进行步骤4),于上述结构表面制作正面电极层210。

[0073] 作为示例,于所述金属半导体化合物209及沟槽结构表面沉积金属材料形成正面电极层210,其材料可以为铝、铝铜、铝硅铜、钛、镍、银等的一种或者组合。

[0074] 实施例3

[0075] 如图9~图16所示,本实施例提供一种沟槽式肖特基二极管结构的制备方法,至少包括以下步骤:

[0076] 如图9~图10所示,首先进行步骤1),提供第一导电类型的衬底301,于所述衬底301中形成具有多个间隔排列窗口303的氮化硅层302,通过选择性氧化工艺对各该窗口303中的衬底301进行热氧化,形成下表面为凸弧面的多个氧化层304。

[0077] 所述第一导电类型,可以为N型导电类型或P型导电类型,在本实施例中,所述第一导电类型为N型导电类型。所述衬底301,可以为硅衬底、锗硅衬底、锗衬底或III-V族化合物,如氮化镓、砷化镓等,在本实施例中,所述衬底301为硅衬底。

[0078] 如图11所示,然后进行步骤2),去除所述氮化硅层302,以所述多个氧化层304为掩膜对所述衬底301进行干法刻蚀,以于所述衬底301中形成多个间隔排列的沟槽。

[0079] 作为示例,采用湿法刻蚀法去除所述氮化硅层302。

[0080] 如图12所示,接着进行步骤3),去除各该氧化层304,露出相邻沟槽之间的衬底301的凹弧面306表面。

[0081] 如图13~图14所示,然后进行步骤4),制作出结合于各该沟槽表面的介质层307及填充于各该沟槽内的导电材料308。

[0082] 作为示例,所述介质层307为SiO<sub>2</sub>、SiON、高K介质的一种或组合,所述导电材料308为多晶硅、无定形硅、金属的一种或组合。在本实施例中,所述介质层307为SiO<sub>2</sub>层,所述导电材料308为多晶硅。

[0083] 具体地,通过气相沉积或者热氧化方法与所述沟槽表面及硅衬底表面形成SiO<sub>2</sub>层,接着于所述沟槽内沉积多晶硅,直至将所述沟槽填满,最后通过刻蚀工艺将所述硅衬底表面的多晶硅及SiO<sub>2</sub>层去除,露出所述硅衬底表面,保留沟槽内的多晶硅及SiO<sub>2</sub>层,形成沟槽结构。

[0084] 作为示例,步骤4)之后还包括步骤:对所述衬底301进行第一导电类型离子注入,以于所述衬底301表层形成第一导电类型的重掺杂层309。在本实施例中,所述重掺杂层309的形状为凹弧状,且与所述衬底301表面的凹弧面306对应。

[0085] 如图15所示,接着进行步骤5),于所述衬底301表面沉积肖特基金属,并通过热处理的方法使其与所述衬底301反应形成金属半导体化合物310。

[0086] 作为示例,所述金属半导体化合物310中的金属包括Ti、TiN、Al、Au、Ag、Pt、Pb、W、Ni、Co等的一种或多种。

[0087] 如图16所示,最后进行步骤6),于上述结构表面制作正面电极层311。

[0088] 作为示例,于所述金属半导体化合物310及沟槽结构表面沉积金属材料形成正面电极层311,其材料可以为铝、铝铜、铝硅铜、钛、镍、银等的一种或者组合。

[0089] 本实施例的沟槽式肖特基二极管结构的制备方法相比于实施例1,节省了一道专门制备凹弧面衬底表面的光罩,进一步降低了制备成本。

[0090] 如上所述,本发明提供一种沟槽式肖特基二极管结构及其制备方法,所述沟槽式肖特基二极管结构至少包括:第一导电类型的衬底;多个沟槽结构,包括形成于所述衬底中的多个沟槽、结合于各该沟槽表面的介质层、以及填充于各该沟槽内的导电材料;其中,相邻两个沟槽结构之间的衬底表面包含有凹弧面;金属半导体化合物,形成于所述衬底表面;正面电极层,覆盖于所述金属半导体化合物及沟槽结构表面。本发明通过工艺改进,衬底表面的肖特基势垒层包括凹弧面结构,比起常规的平面形结构面积大大增大,从而有效降低正向压降VF,提高了器件性能。本发明的结构及制备方法简单,效果显著,适用于工业生产。本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0091] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

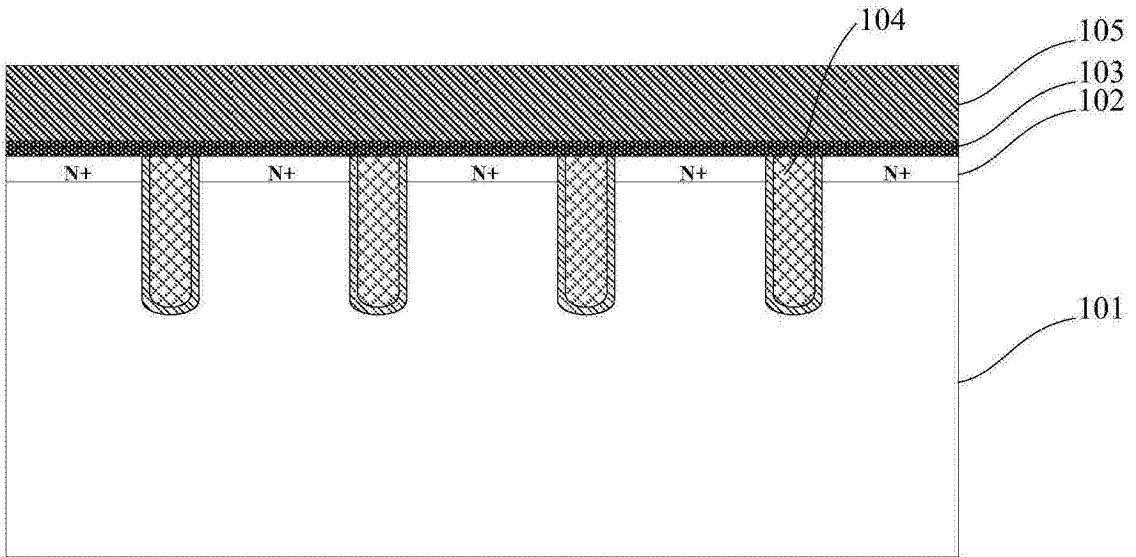


图1

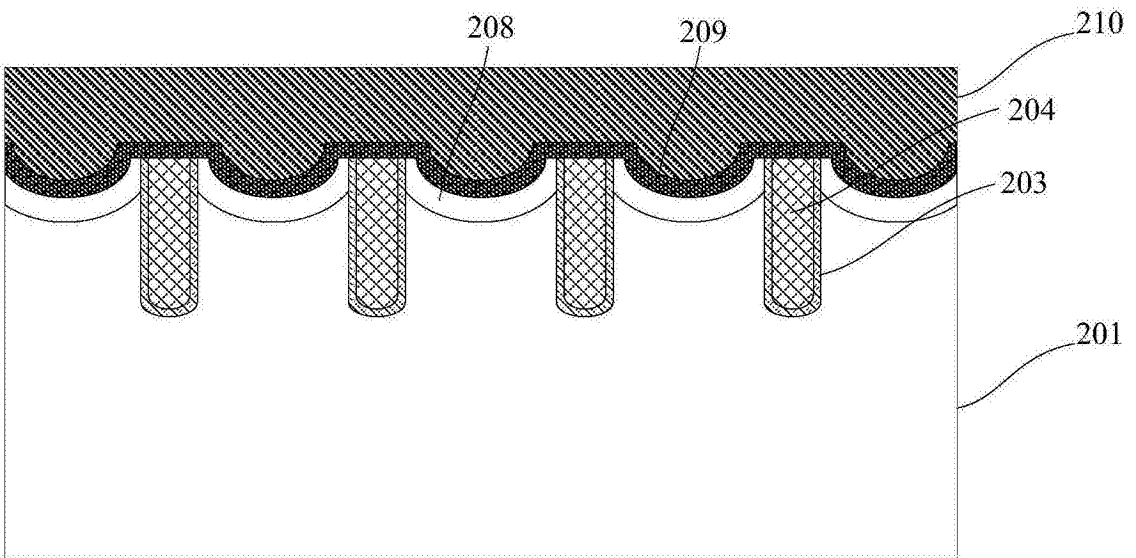


图2

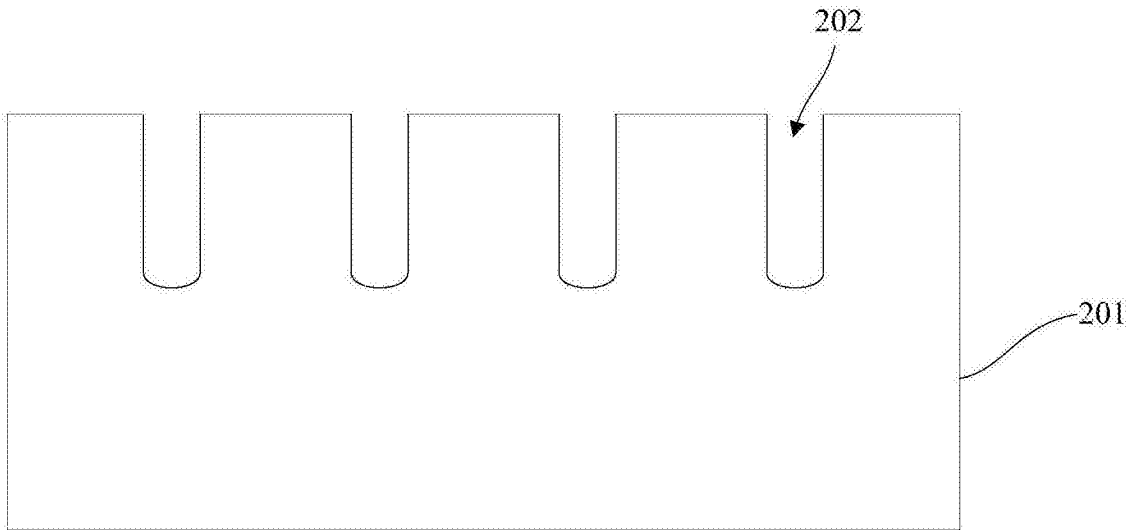


图3

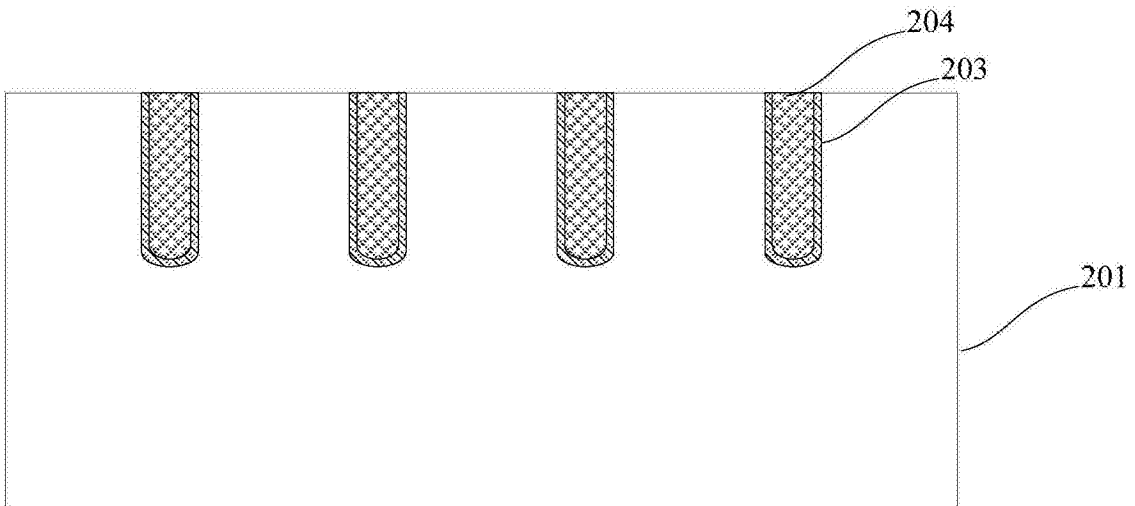


图4

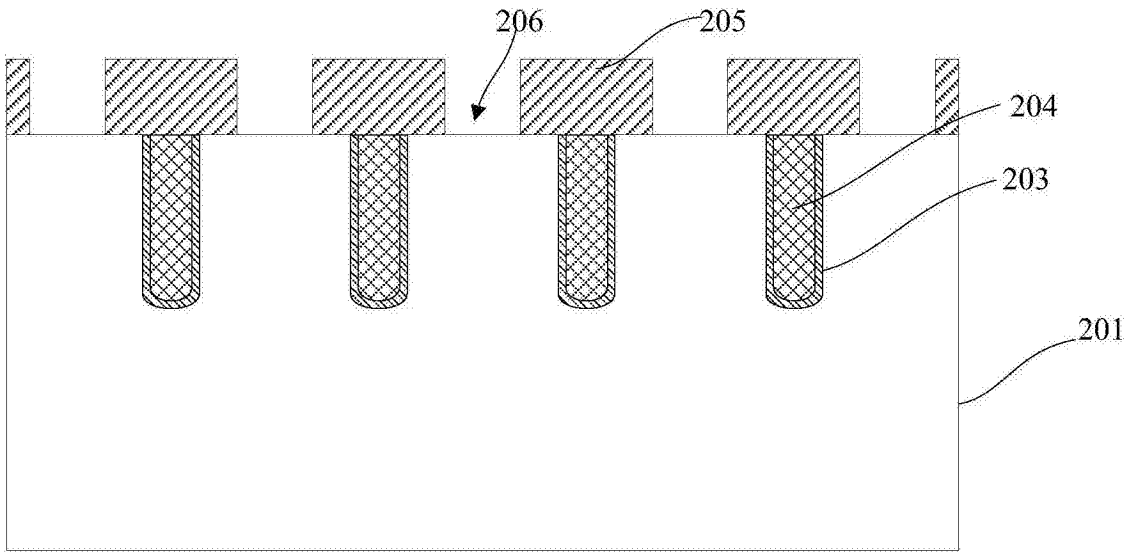


图5

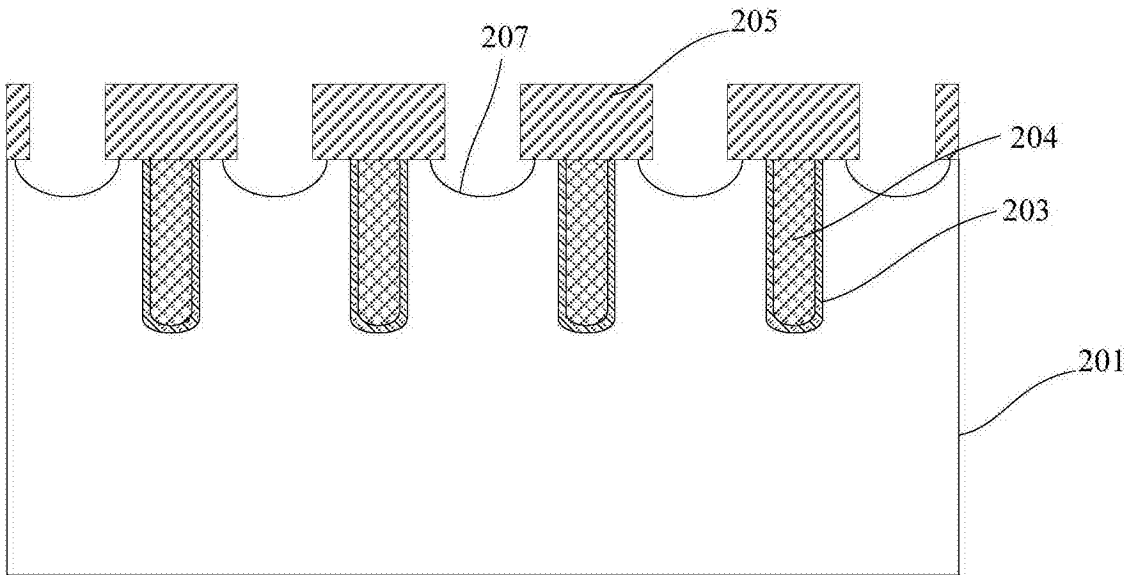


图6

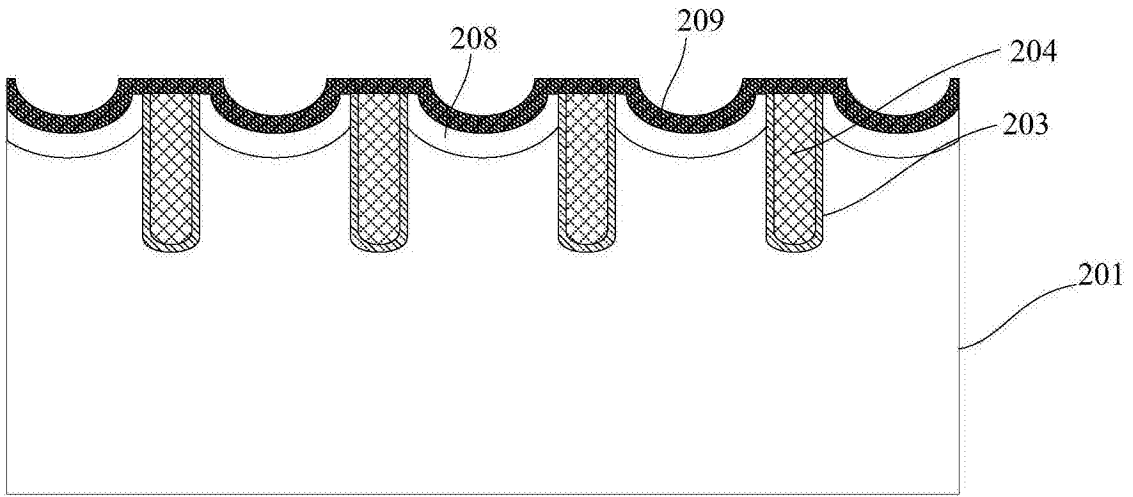


图7

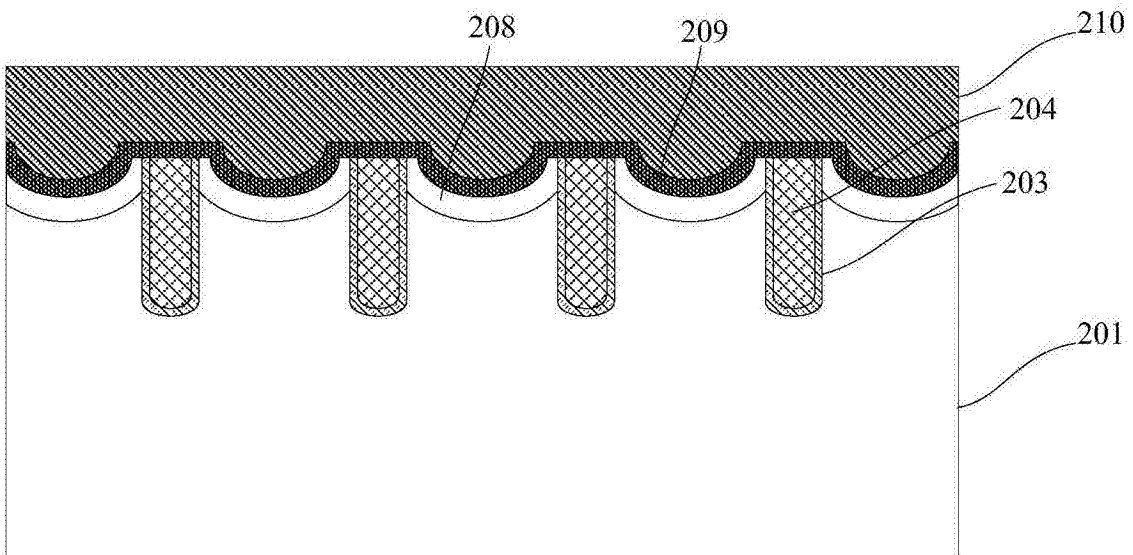


图8

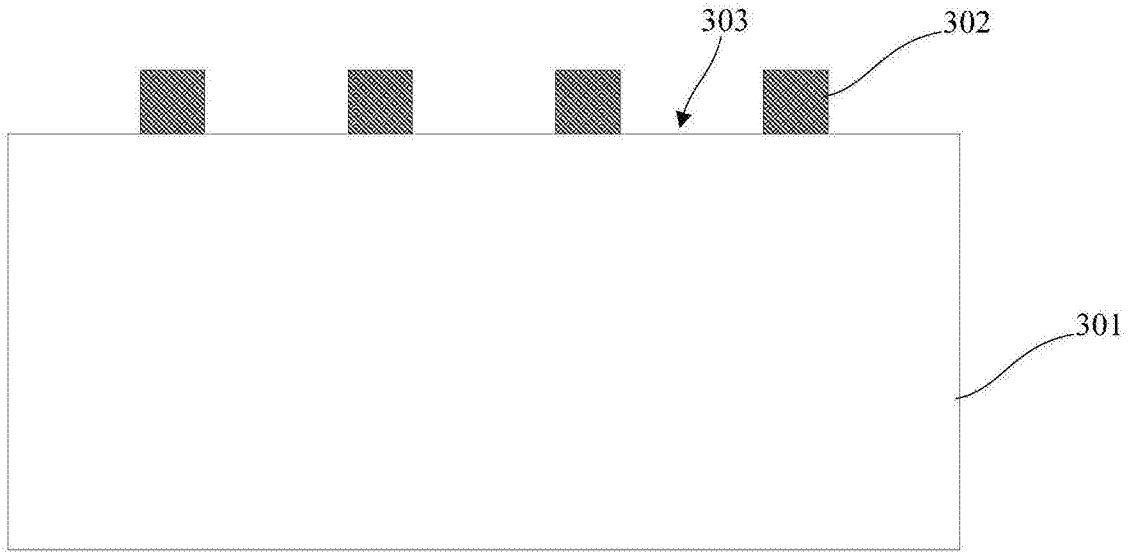


图9

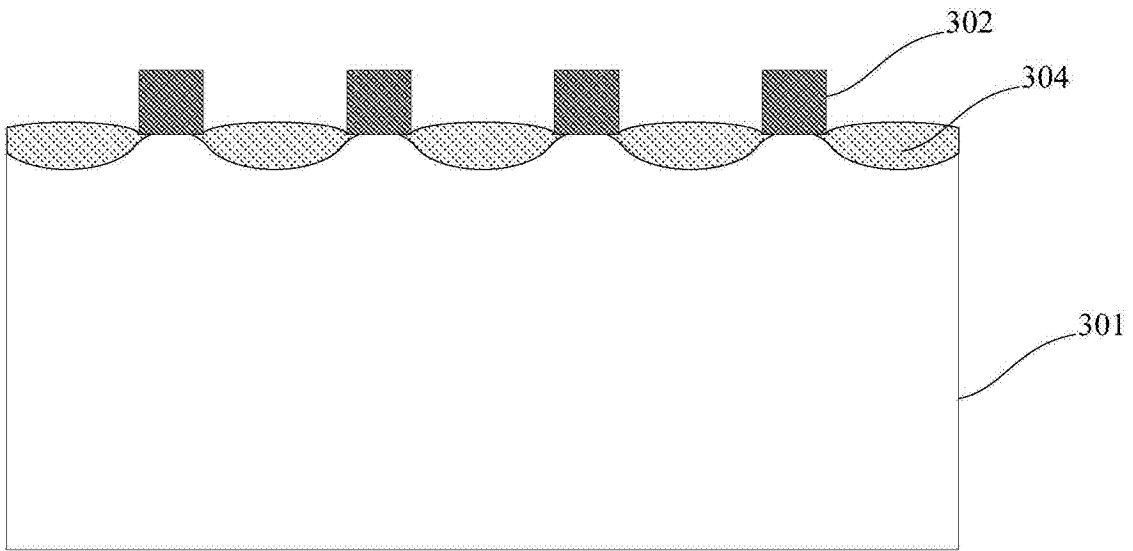


图10

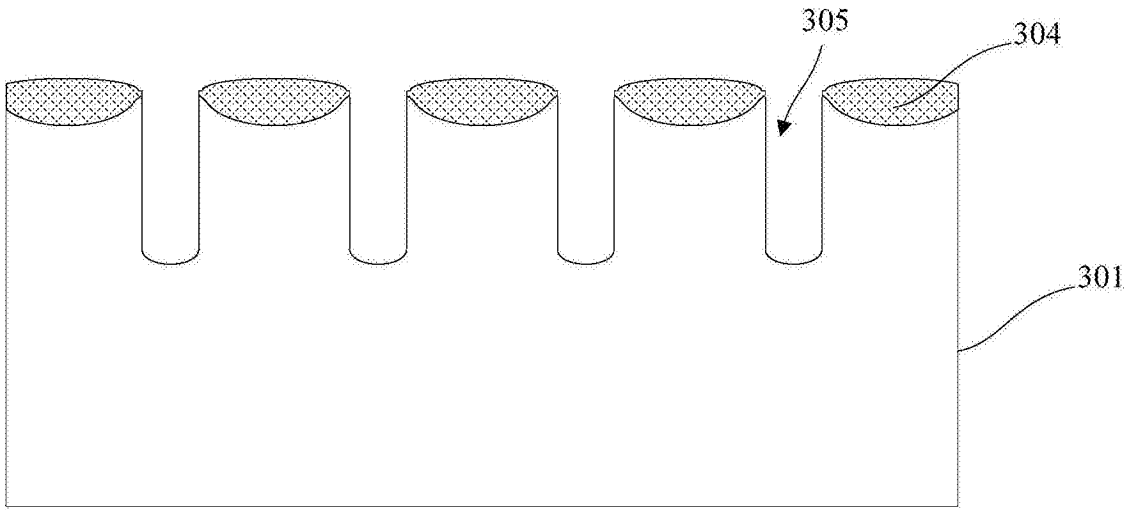


图11

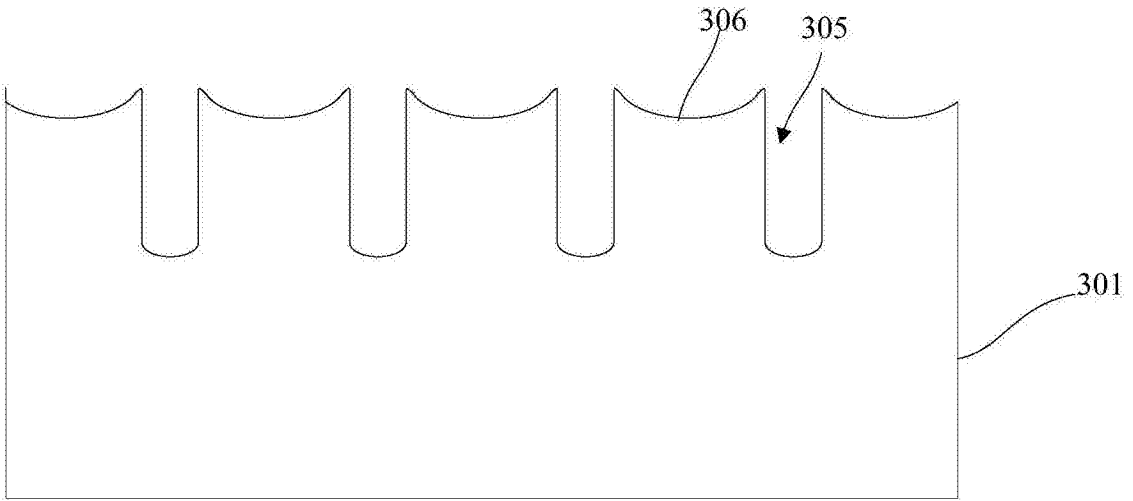


图12



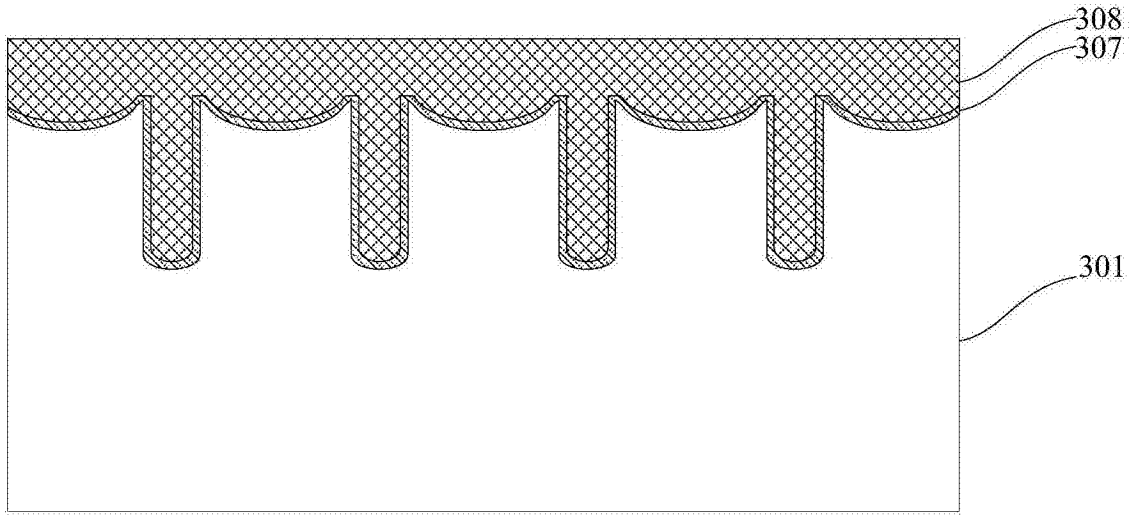


图13

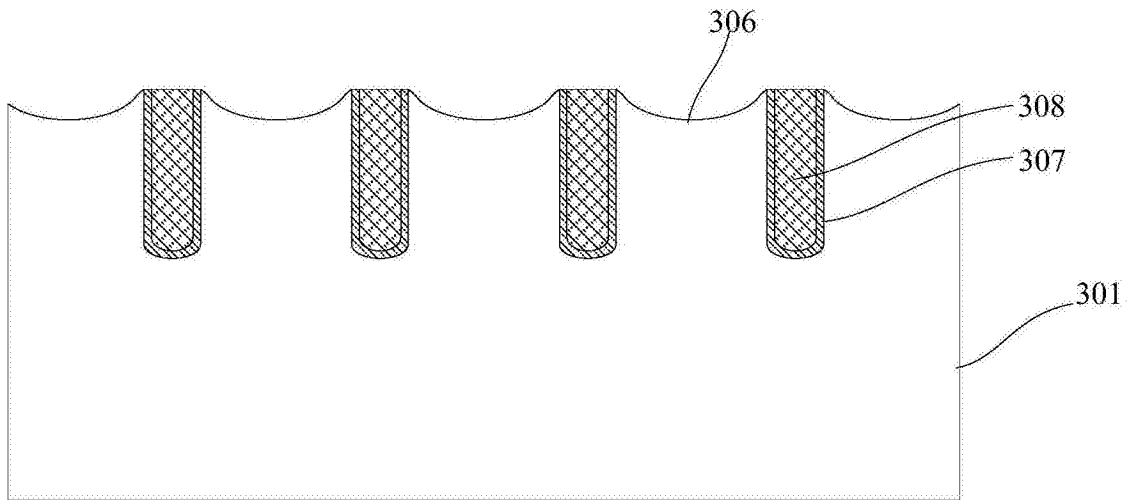


图14

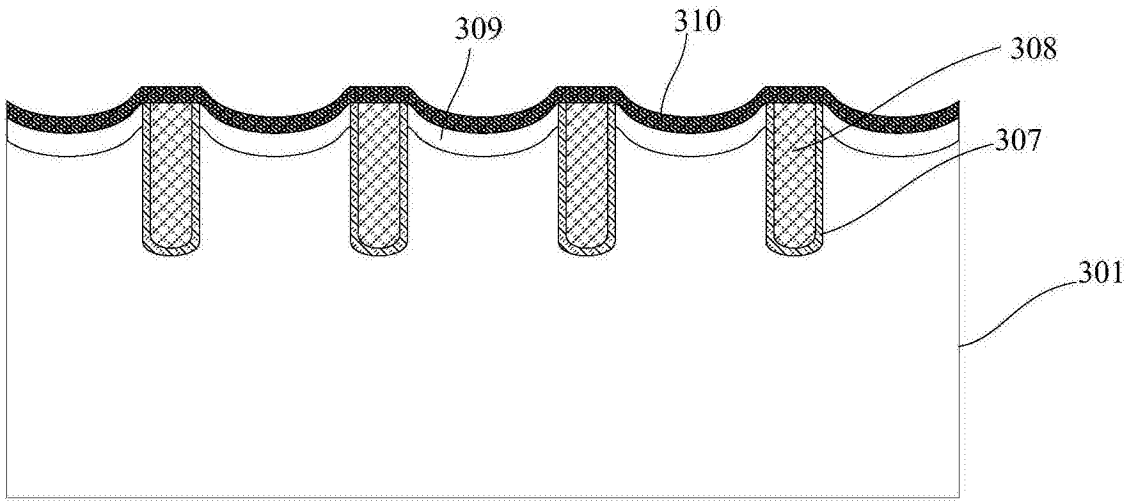


图15

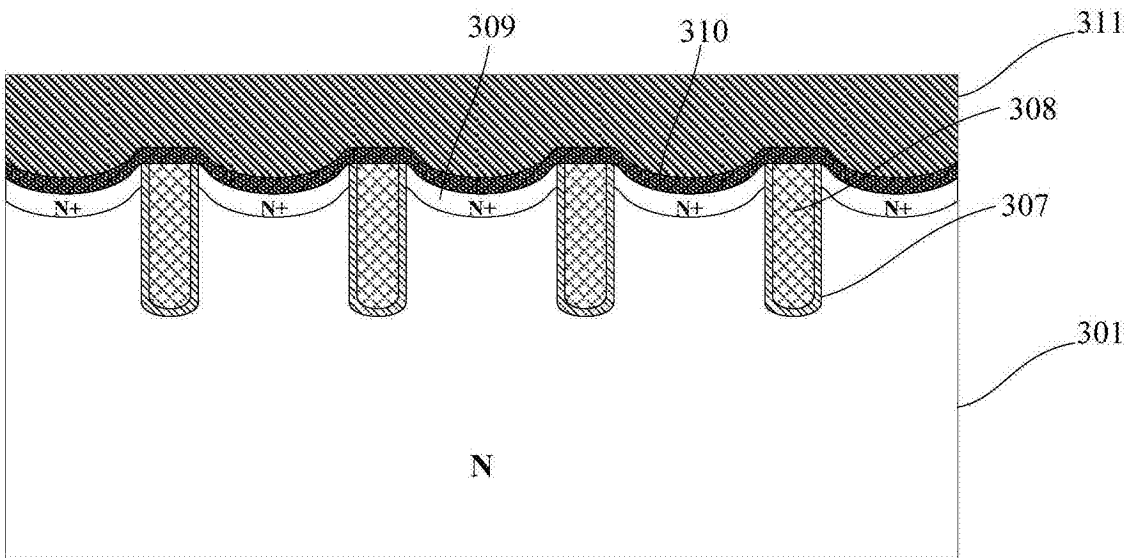


图16