



(12) 发明专利申请

(10) 申请公布号 CN 112970107 A

(43) 申请公布日 2021.06.15

(21) 申请号 201980073188.3

马克·麦克德莫特

(22) 申请日 2019.09.06

杰迪普·库尔卡尼

(30) 优先权数据

(74) 专利代理机构 北京三高永信知识产权代理  
有限责任公司 11138

62/727,886 2018.09.06 US

62/884,524 2019.08.08 US

代理人 关越

(85) PCT国际申请进入国家阶段日

(51) Int.Cl.

2021.05.06

H01L 25/00 (2006.01)

(86) PCT国际申请的申请数据

H01L 21/301 (2006.01)

PCT/US2019/049875 2019.09.06

H01L 21/98 (2006.01)

(87) PCT国际申请的公布数据

H01L 25/07 (2006.01)

W02020/051410 EN 2020.03.12

H01L 25/18 (2006.01)

(71) 申请人 德克萨斯大学系统董事会

地址 美国德克萨斯州奥斯汀

(72) 发明人 希德加塔·V·斯林瓦森

帕拉斯·阿杰伊 阿西姆·赛亚尔

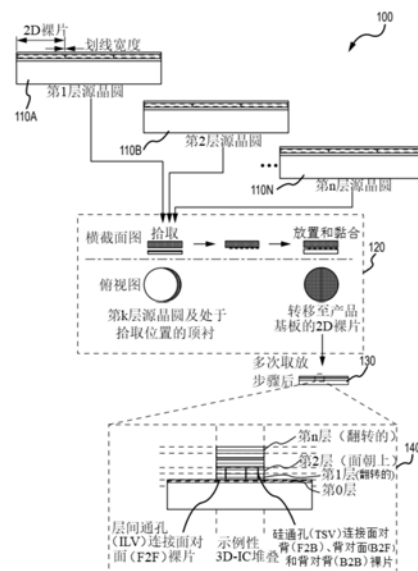
权利要求书7页 说明书35页 附图65页

(54) 发明名称

3D IC及可配置ASIC的纳米制造和设计技术

(57) 摘要

本技术的多个实施例提供了超高密度异质集成,其通过纳米精度的取放组装实现。例如,一些实施例提供了使用预制块(PFB)的模块化组装技术的集成。这些PFB可在一个或多个源晶圆上制造。然后,可以采用取放技术将PFB选择性地布置在目标晶圆上,从而可以高效制造纳米级对准的3D堆叠集成电路(N3-SI)和微米级模块化组装式ASIC(M2A2)。一些实施例包括采用取放组装来构建尺寸任意大于标准光刻场尺寸26×33mm的构造半导体器件的系统和技术。



1. 一种用于制造裸片尺寸大于 $900\text{mm}^2$ 的半导体器件的方法,所述方法包括:  
提供包含高分辨率电路元件的第一类型源晶圆,其中,所述高分辨率电路元件被划分成多个预制块PFB,其中每个PFB的尺寸至多为 $900\text{mm}^2$ ;  
提供包含低分辨率电路元件的第二类型源晶圆,其中,所述低分辨率电路元件被划分成多个PFB,其中每个PFB的尺寸至多为 $1500\text{mm}^2$ ;  
将所述第一类型源晶圆的PFB组装到产品基板上,然后将所述第二类型源晶圆的PFB组装到先前组装的PFB上,其中,完整组装的高分辨率和低分辨率PFB组在功能上相当于单片构建的SoC,但其尺寸任意大于 $900\text{mm}^2$ 。
2. 根据权利要求1所述的方法,其中,所述高分辨率PFB和低分辨率PFB之间的叠加精度优于 $100\text{nm}$ 。
3. 根据权利要求1所述的方法,其中,所述高分辨率PFB和低分辨率PFB之间的叠加精度优于 $50\text{nm}$ 。
4. 根据权利要求1所述的方法,其中,所述高分辨率PFB和低分辨率PFB之间的叠加精度优于 $25\text{nm}$ 。
5. 根据权利要求1所述的方法,其中,所述第一类型源晶圆或所述第二类型源晶圆具有多种PFB。
6. 根据权利要求1所述的方法,其中,所述PFB的厚度小于 $10\mu\text{m}$ 。
7. 根据权利要求1所述的方法,其中,所述PFB的厚度小于 $1\mu\text{m}$ 。
8. 根据权利要求1所述的方法,其中,所述PFB的厚度小于 $100\text{nm}$ 。
9. 根据权利要求1所述的方法,其中,所述低分辨率PFB包含仅包含金属层的定制金属裸片CMD。
10. 根据权利要求1所述的方法,其中,使用顶衬组件取放PFB,其中,所述顶衬组件具有一个或多个连接或未连接的子顶衬。
11. 根据权利要求10所述的方法,还包括,使用叠加控制架构将PFB的变形控制在纳米级。
12. 根据权利要求10所述的方法,其中,所述顶衬组件和/或子顶衬具有用于牺牲层蚀刻剂原位蚀刻PFB栓绳的布线。
13. 根据权利要求10所述的方法,其中,所述顶衬组件和/或子顶衬具有用于真空拾取的气流布线。
14. 根据权利要求1所述的方法,其中,通过晶圆级厚度的PFB实现取放组装,所述取放组装还包括:  
提供透明、热机械稳定的基板;  
使用黏合剂将所述含PFB的源晶圆贴附至所述透明、热机械稳定的基板上;  
将源晶圆切割成PFB;以及  
利用纳米精度取放组装工艺将PFB从所述透明基板取放到所述产品基板上。
15. 根据权利要求1所述的方法,还包括,对所述源晶圆上的PFB进行测试,以识别出合格的PFB用于组装,其中,所述测试通过功能和连通性检查确定出合格的PFB,并且其中,所述测试利用所述第一类型源晶圆和所述第二类型源晶圆的PFB内部、周边或外部的区域。
16. 根据权利要求15所述的方法,其中,通过对PFB的选定部分进行测试并使用统计模

型进行外推来判断整块PFB是否合格。

17. 一种用于在半导体器件制造过程中确保硬件安全的方法,所述方法包括:

提供包含高分辨率电路元件的第一类型源晶圆,其中,所述高分辨率电路元件被划分成多个预制块PFB,所述第一类型源晶圆能够在一个或多个受信任或不受信任的设施处制造;

提供包含低分辨率电路元件的第二类型源晶圆,其中,所述低分辨率电路元件被划分成多个PFB,所述第二类型源晶圆能够在一个或多个受信任或不受信任的设施处制造;

将所述第一类型源晶圆的PFB组装到产品基板上,然后将所述第二类型源晶圆的PFB组装到先前组装的PFB上,其中,完整组装的高分辨率和低分辨率PFB组在功能上相当于单片构建的SoC,其中,所述组装在受信任的设施处进行。

18. 根据权利要求17所述的方法,其中,所述高分辨率PFB和低分辨率PFB之间的叠加精度优于100nm。

19. 根据权利要求17所述的方法,其中,所述高分辨率PFB和低分辨率PFB之间的叠加精度优于50nm。

20. 根据权利要求17所述的方法,其中,所述高分辨率PFB和低分辨率PFB之间的叠加精度优于25nm。

21. 根据权利要求17所述的方法,其中,源晶圆具有多种PFB。

22. 根据权利要求17所述的方法,其中,所述PFB的厚度小于10 $\mu\text{m}$ 。

23. 根据权利要求17所述的方法,其中,所述PFB的厚度小于1 $\mu\text{m}$ 。

24. 根据权利要求17所述的方法,其中,所述PFB的厚度小于100nm。

25. 根据权利要求17所述的方法,其中,所述低分辨率PFB仅包含仅包含金属层的定制金属裸片CMD。

26. 根据权利要求17所述的方法,其中,使用顶衬组件取放PFB,其中,所述顶衬组件具有一个或多个连接或未连接的子顶衬。

27. 根据权利要求26所述的方法,其中,使用叠加控制架构将PFB中的变形控制在纳米级。

28. 根据权利要求26所述的方法,其中,所述顶衬组件和/或子顶衬具有用于牺牲层蚀刻剂原位蚀刻PFB栓绳的布线。

29. 根据权利要求26所述的方法,其中,所述顶衬组件和/或子顶衬具有用于真空拾取的气流布线。

30. 根据权利要求17所述的方法,其中,通过晶圆级厚度的PFB实现取放组装,所述取放组装还包括:

提供透明、热机械稳定的基板;

使用黏合剂将所述含PFB的源晶圆贴附至所述透明、热机械稳定的基板上;

将源晶圆切割成PFB;以及

利用纳米精度取放组装工艺将PFB从所述透明基板取放到所述产品基板上。

31. 根据权利要求17所述的方法,还包括,对所述源晶圆上的PFB进行测试,以识别出合格的PFB用于组装,其中,所述测试通过功能和连通性检查确定出合格的PFB,并且其中,所述测试利用所述第一类型源晶圆和所述第二类型源晶圆的PFB内部、周边或外部的区域。

32. 根据权利要求31所述的方法,其中,通过对PFB的选定部分进行测试并使用统计模型进行外推来判断整块PFB是否合格。

33. 一种用于制造半导体器件的方法,所述方法包括:

提供具有预制块PFB网格的源晶圆,其中,所述源晶圆具有牺牲层,所述牺牲层可被蚀刻掉以从晶圆本体释放PFB;

应用栓绳蚀刻以在所述PFB下方形成栓绳;

施加蚀刻剂以溶解所述栓绳,以将所述源晶圆上的PFB释放到PFB夹盘上;

从所述PFB夹盘单独拾取一个或多个PFB;

利用纳米精度对准技术将一个或多个PFB放置在产品晶圆上;以及

将所述PFB黏合到所述产品晶圆上。

34. 根据权利要求33所述的方法,其中,所述高分辨率PFB和低分辨率PFB之间的叠加精度优于100nm。

35. 根据权利要求33所述的方法,其中,所述高分辨率PFB和低分辨率PFB之间的叠加精度优于50nm。

36. 根据权利要求33所述的方法,其中,所述高分辨率PFB和低分辨率PFB之间的叠加精度优于25nm。

37. 根据权利要求33所述的方法,其中,源晶圆具有多种PFB。

38. 根据权利要求33所述的方法,其中,所述PFB的厚度小于10 $\mu\text{m}$ 。

39. 根据权利要求33所述的方法,其中,所述PFB的厚度小于1 $\mu\text{m}$ 。

40. 根据权利要求33所述的方法,其中,所述PFB的厚度小于100nm。

41. 根据权利要求33所述的方法,其中,所述低分辨率PFB仅包含金属层,且被称为定制金属裸片CMD。

42. 根据权利要求33所述的方法,其中,使用顶衬组件拾放PFB,其中,所述顶衬组件具有一个或多个连接或未连接的子顶衬。

43. 根据权利要求42所述的方法,其中,使用叠加控制架构将PFB中的变形控制在纳米级。

44. 根据权利要求42所述的方法,其中,所述顶衬组件和/或子顶衬具有用于牺牲层蚀刻剂原位蚀刻PFB栓绳的布线。

45. 根据权利要求42所述的方法,其中,所述顶衬组件和/或子顶衬具有用于真空拾取的气流布线。

46. 根据权利要求33所述的方法,其中,通过晶圆级厚度的PFB实现取放组装,所述取放组装还包括:

提供透明、热机械稳定的基板;

使用黏合剂将所述含PFB的源晶圆贴附至所述透明、热机械稳定的基板上;

将源晶圆切割成PFB;以及

利用纳米精度取放组装工艺将PFB从所述透明基板取放到所述产品基板上。

47. 根据权利要求33所述的方法,还包括,对所述源晶圆上的PFB进行测试,以识别出合格的PFB用于组装,其中,所述测试通过功能和连通性检查确定出合格的PFB,并且其中,所述测试利用所述源晶圆的PFB内部、周边或外部的区域。

48. 根据权利要求47所述的方法, 其中, 通过对PFB的选定部分进行测试并使用统计模型进行外推来判断整块PFB是否合格。

49. 一种用于制造半导体器件的方法, 所述方法包括:

提供具有预制块PFB网格的源晶圆,

其中, 所述源晶圆具有牺牲层, 所述牺牲层可被蚀刻掉以从晶圆本体释放PFB, 其中, 所述具有所述牺牲层的源晶圆由具有掺杂水平和/或类型有差异的两个或两个以上通过外延生长工艺生长的层的基板构建;

应用栓绳蚀刻以在所述PFB下方形成栓绳;

施加蚀刻剂以溶解所述栓绳, 以将所述源晶圆上的PFB释放到PFB夹盘上;

从所述PFB夹盘单独拾取一个或多个PFB;

利用纳米精度对准技术将一个或多个PFB放置在产品晶圆上; 以及

将所述PFB黏合到所述产品晶圆上。

50. 根据权利要求49所述的方法, 其中, 所述高分辨率PFB和低分辨率PFB之间的叠加精度优于100nm。

51. 根据权利要求49所述的方法, 其中, 所述高分辨率PFB和低分辨率PFB之间的叠加精度优于50nm。

52. 根据权利要求49所述的方法, 其中, 所述高分辨率PFB和低分辨率PFB之间的叠加精度优于25nm。

53. 根据权利要求49所述的方法, 其中, 源晶圆具有多种PFB。

54. 根据权利要求49所述的方法, 其中, 所述PFB的厚度小于10 $\mu\text{m}$ 。

55. 根据权利要求49所述的方法, 其中, 所述PFB的厚度小于1 $\mu\text{m}$ 。

56. 根据权利要求49所述的方法, 其中, 所述PFB的厚度小于100nm。

57. 根据权利要求49所述的方法, 其中, 所述低分辨率PFB仅包含金属层, 且被称为定制金属裸片CMD。

58. 根据权利要求49所述的方法, 其中, 使用顶衬组件取放PFB, 其中, 所述顶衬组件具有一个或多个连接或未连接的子顶衬。

59. 根据权利要求58所述的方法, 其中, 使用叠加控制架构将PFB中的变形控制在纳米级。

60. 根据权利要求58所述的方法, 其中, 所述顶衬组件和/或子顶衬具有用于牺牲层蚀刻剂原位蚀刻PFB栓绳的布线。

61. 根据权利要求58所述的方法, 其中, 所述顶衬组件和/或子顶衬具有用于真空拾取的气流布线。

62. 根据权利要求49所述的方法, 其中, 通过晶圆级厚度的PFB实现取放组装, 所述取放组装还包括:

提供透明、热机械稳定的基板;

使用黏合剂将所述含PFB的源晶圆贴附至所述透明、热机械稳定的基板上;

将源晶圆切割成PFB; 以及

利用纳米精度取放组装工艺将PFB从所述透明基板取放到所述产品基板上。

63. 根据权利要求49所述的方法, 还包括, 对所述源晶圆上的PFB进行测试, 以识别出合

格的PFB用于组装,其中,所述测试通过功能和连通性检查确定出合格的PFB,并且其中,所述测试利用所述源晶圆的PFB内部、周边或外部的区域。

64. 根据权利要求63所述的方法,还包括,通过对PFB的选定部分进行测试并使用统计模型进行外推来判断整块PFB是否合格。

65. 一种用于制造半导体器件的方法,所述方法包括:

提供具有预制块PFB网格的源晶圆,其中,所述源晶圆不具有牺牲层;

应用孔隙形成工艺以及孔隙驱除场,以在所述源晶圆中形成掩埋牺牲层;

应用栓绳蚀刻,以在所述PFB下方的所述掩埋牺牲层中形成栓绳;

施加蚀刻剂以溶解所述栓绳,以将所述源晶圆上的PFB释放到PFB夹盘上;

从所述PFB夹盘单独拾取一个或多个PFB;

利用纳米精度对准技术将一个或多个PFB放置在产品晶圆上;以及

将所述PFB黏合到所述产品晶圆上。

66. 根据权利要求65所述的方法,其中,所述高分辨率PFB和低分辨率PFB之间的叠加精度优于100nm。

67. 根据权利要求65所述的方法,其中,所述高分辨率PFB和低分辨率PFB之间的叠加精度优于50nm。

68. 根据权利要求65所述的方法,其中,所述高分辨率PFB和低分辨率PFB之间的叠加精度优于25nm。

69. 根据权利要求65所述的方法,其中,源晶圆具有多种PFB。

70. 根据权利要求65所述的方法,其中,所述PFB的厚度小于10 $\mu$ m。

71. 根据权利要求65所述的方法,其中,所述PFB的厚度小于1 $\mu$ m。

72. 根据权利要求65所述的方法,其中,所述PFB的厚度小于100nm。

73. 根据权利要求65所述的方法,其中,所述低分辨率PFB仅包含金属层,且被称为定制金属裸片CMD。

74. 根据权利要求65所述的方法,其中,使用顶衬组件取放PFB,其中,所述顶衬组件具有一个或多个连接或未连接的子顶衬。

75. 根据权利要求74所述的方法,还包括,使用叠加控制架构将PFB的变形控制在纳米级。

76. 根据权利要求74所述的方法,其中,所述顶衬组件和/或子顶衬具有用于牺牲层蚀刻剂原位蚀刻PFB栓绳的布线。

77. 根据权利要求74所述的方法,其中,所述顶衬组件和/或子顶衬具有用于真空拾取的气流布线。

78. 根据权利要求65所述的方法,其中,通过晶圆级厚度的PFB实现取放组装,所述取放组装还包括:

提供透明、热机械稳定的基板;

使用黏合剂将所述含PFB的源晶圆贴附至所述透明、热机械稳定的基板上;

将源晶圆切割成PFB;以及

利用纳米精度取放组装工艺将PFB从所述透明基板取放到所述产品基板上。

79. 根据权利要求65所述的方法,还包括,对所述源晶圆上的PFB进行测试,以识别出合

格的PFB用于组装,其中,所述测试通过功能和连通性检查确定出合格的PFB,并且其中,所述测试利用所述源晶圆的PFB内部、周边或外部的区域。

80.根据权利要求79所述的方法,其中,通过对PFB的选定部分进行测试并使用统计模型进行外推来判断整块PFB是否合格。

81.一种用于制造半导体器件的方法,所述方法包括:

提供第一组源晶圆,其中各源晶圆具有预制块PFB网格;

提供第二组源晶圆,其中各源晶圆具有定制金属裸片CMD网格;

将所述第二组的CMD组装在所述第一组源晶圆的PFB的顶部,其中,所述第一组源晶圆用作产品晶圆。

82.一种用于制造半导体器件的系统,所述系统包括:

蚀刻室;

纳米精度取放组装单元;

存储单元,其中存储有多个源晶圆和产品晶圆,其中,所述多个源晶圆包括分别具有不同预制块的第一类型和第二类型源晶圆;

机械手,用于:

将一个或多个所述源晶圆转移到所述蚀刻室中以施用栓绳蚀刻;以及

在所述栓绳蚀刻完成后,将所述一个或多个源晶圆从所述蚀刻室转移到所述纳米精度取放组装单元;

其中,所述纳米精度取放组装单元将所述一个或多个源晶圆的预制块PFB组装到产品基板。

83.根据权利要求82所述的系统,其中,所述系统是微型晶圆厂的一部分。

84.根据权利要求83所述的系统,其中,所述微型晶圆厂进一步包括:

一个或多个测试单元,用于对所述多个源晶圆中的合格裸片进行测试;

一个或多个化学机械抛光CMP单元,用于抛光所述多个源晶圆的顶部。

85.一种用于制造半导体器件的方法,所述方法包括:

提供一个或多个包含预制块PFB网格的源晶圆;和

将所述PFB分两层或更多层组装到产品晶圆上,其中,第二、第三或后续层中的PFB仅包含金属结构。

86.一种用于设计3D SoC的方法,所述方法包括:

宏单元和逻辑标准单元的布局规划;

使用采用混合整数规划MIP技术的后端EDA设计方法,将逻辑标准单元划分并放置在多个层中,

其中,目的在于:在一组约束条件下使包括2D和3D在内的所有网状物的总边际成本最小化,

其中,网状物的总边际成本通过考虑以下因素确定:网状物的时序轮廓权重、时钟频率、时序路径中的各阶段、裕量轮廓、源极和驱动器单元的扇出、每微米延迟、MIV寄生现象、MIV尺寸、相邻单元的布线阻隔影响、单元内的布线阻隔影响、电容以及各层之间的距离;

其中,所述组约束条件包括:以不重叠的方式在每个层中放置单元,针对电源配送网络的MIV放置阻隔,以及确保任一层的放置密度不超过阈值的区域平衡;

生成所述宏单元和所述逻辑标准单元的时钟树合成；  
不同电路元件之间的布线；以及  
不同电路元件或模块的时序和物理签核。



### 3D IC及可配置ASIC的纳米制造和设计技术

#### 相关申请的交叉引用

[0001] 本申请要求2018年9月6日提交的美国临时申请序列号62/727,886以及2019年8月8日提交的美国临时申请序列号62/884,524的优先权,上述申请的全部内容通过引用合并于此。

#### 技术领域

[0002] 本发明的多个实施例通常涉及集成电路的纳米制造和设计。更具体地,本技术的一些实施例涉及用于高级半导体器件的纳米级对准的3D堆叠集成电路(Nanoscale-aligned 3D Stacked Integrated Circuit,N3-SI)和微米级模块化组装式ASIC(Microscale Modular Assembled ASIC,M2A2)技术。

#### 背景技术

[0003] 仅在70年前,低成本高性能计算机的普及还只是空想。晶体管尺寸快速、持续的尺寸缩减(scaling)是如今低成本、高性能计算设备得以实现的主要原因。在过去50年中的大多数时间里,晶体管的尺寸缩减始终符合一定的规律——摩尔定律。但是,尺寸缩减的未来发展面临着许多艰巨的挑战,其中最近的挑战在于如何以经济上可行的方式使用光刻技术对20nm以下(半节距, half-pitch)的特征进行图案化。

[0004] 尽管如今20nm以下尺寸的单个晶体管的制造已经常态化,但越来越明显的是底部空间正在迅速缩小,而计算方面的发展无法再依赖于以现有的缩减晶体管尺寸的方式所获得的性能提升。在物理、材料、功率-导热、技术、经济等方面都存在一些挑战。

[0005] 例如,随着晶体管变得更小,隧穿和泄漏电流增大为信号电流的一部分,对CMOS器件的性能和功能产生负面影响,由此带来了物理方面的挑战。由于使用过程中特征尺寸的缩小,目前使用的介电和导线材料无法继续提供可靠的绝缘和传导,带来了材料方面的挑战。由于晶体管电源电压的降低速度不如晶体管尺寸缩减的速度快,带来了功率-导热方面的挑战。如此一来,晶体管中的功率密度增大,带来了功耗技术方面的挑战。关于技术方面的挑战,其例子包括但不限于,使用193nm浸没工具对20nm以下的特征进行图案化,其需要复杂的多重图案化,或者切换到有问题的EUV曝光工具。

[0006] 这些因素中的每一个都会导致生产和测试成本的显著增加,而功能和性能却没有相应提高。这降低了半导体制造商的利润,最终降低了其积极缩减尺寸的动力。

#### 发明内容

[0007] 描述了用于集成电路的纳米制造和设计的系统和方法。更具体地,本技术的一些实施例涉及用于高级半导体器件的纳米级对准的3D堆叠集成电路(N3-SI)和微米级模块化组装式ASIC(M2A2)技术。一些实施例提供了一种用于制造裸片尺寸大于期望尺寸(例如,900mm<sup>2</sup>)的半导体器件的方法。该方法能够包括:提供包含高分辨率电路元件的第一类型源晶圆,其中,该高分辨率电路元件被划分成多个预制块(pre-fabricated block,PFB)。在一

些实施例中,每个PFB的尺寸至多为 $900\text{mm}^2$ 。还能够提供第二类型源晶圆。该第二类型源晶圆能够包含被分成多个PFB的低分辨率电路元件。

[0008] 在一些实施例中,该第二类型源晶圆上每个PFB的尺寸可至多为 $1500\text{mm}^2$ 。可以将第一类型源晶圆的PFB组装到产品基板上,然后将第二类型源晶圆的PFB组装到先前组装的PFB上。因此,完整组装的高分辨率和低分辨率PFB组可以在功能上相当于单片构建的 SoC,但其尺寸任意大于 $900\text{mm}^2$ 。在一些实施例中,高分辨率和低分辨率PFB之间的叠加精度能够优于 $100\text{nm}$ 、 $50\text{nm}$ 、 $25\text{nm}$ 或其他分辨率。

[0009] 根据多个实施例,第一类型源晶圆和/或第二类型源晶圆具有多种PFB。在一些实施例中,PFB的厚度可以小于 $10\mu\text{m}$ 、 $1\mu\text{m}$ 、 $100\text{nm}$ 或更小。在一些实施例中,低分辨率 PFB可以仅包含金属层,且被称为定制金属裸片(custom-metal die,CMD)。在一些实施例中,可以使用顶衬组件(superstrate assembly)取放第一和第二源晶圆的PFB。该顶衬组件可以具有一个或多个连接或未连接的子顶衬。在一些实施例中,可以使用叠加控制架构(overlay control architecture)将PFB中的变形控制在纳米级。该顶衬组件和/或子顶衬可以具有用于牺牲层蚀刻剂原位蚀刻PFB栓绳的布线(routing)。顶衬组件和/或子顶衬可以具有用于真空拾取的气流布线。

[0010] 在一些实施例中,取放组装可以通过晶圆级厚度的PFB实现。例如,取放组装可配置为:提供透明、热机械稳定的基板;使用黏合剂将含PFB的源晶圆贴附至该透明、热机械稳定的基板上;将源晶圆切割成PFB;以及利用纳米精度取放组装工艺将PFB从该透明基板取放到产品基板上。

[0011] 在一些实施例中,能够对源晶圆上的PFB进行测试,以识别出合格的PFB用于组装。例如,在一些实施例中,该测试能够通过功能和连通性检查确定出合格的PFB。例如,该测试能够利用第一类型源晶圆和第二类型源晶圆的PFB内部、周边或外部区域来完成。可以通过对PFB的选定部分进行测试并使用统计模型进行外推来判断整块PFB是否合格。

[0012] 一些实施例提供了一种用于在半导体器件制造过程中确保硬件安全的方法。在一些实施例中,能够提供包含高分辨率电路元件的第一类型源晶圆,其中,该高分辨率电路元件被划分成多个预制块(PFB)。该第一类型源晶圆能够在一个或多个受信任或不受信任的设施处制造。在一些实施例中,可以使用包含低分辨率电路元件的第二类型源晶圆,其中,该低分辨率电路元件被划分成多个PFB。该第二类型源晶圆能够在一个或多个受信任或不受信任的设施处制造。可以将第一类型源晶圆的PFB组装到产品基板上。然后,可以将第二类型源晶圆的PFB组装到先前组装的PFB上。这样能够制造完整组装的高分辨率和低分辨率PFB组,其在功能上相当于单片构建的SoC。在一些实施例中,该组装可以在受信任的设施处进行。

[0013] 一些实施例包括一种用于制造半导体器件的方法。可以提供一个或多个源晶圆。源晶圆可以具有预制块(PFB)网格以及牺牲层,该牺牲层可被蚀刻掉以从一个或多个源晶圆的每一个的自体释放PFB。可以应用栓绳蚀刻,以在PFB下方形成栓绳。可以施加蚀刻剂以溶解栓绳,以将单个源晶圆上的所有PFB释放到PFB夹盘上。可以从该PFB夹盘中拾取一个或多个PFB,并利用纳米精度对准技术将一个或多个PFB放置在产品晶圆上。然后能够将PFB黏合到产品晶圆上。

[0014] 在一些实施例中,可以提供源晶圆,该源晶圆具有预制块(PFB)网格以及牺牲层,

该牺牲层可被蚀刻掉以从晶圆本体释放PFB。牺牲层可以由具有掺杂水平和/或类型有差异的两个或两个以上层的基板构建,这些层能够生长,例如,通过外延生长工艺生长。可以应用栓绳蚀刻,以在PFB下方形成栓绳。可以使用蚀刻剂以溶解栓绳,以便将单个源晶圆上的所有PFB释放到PFB夹盘上。可以从该PFB夹盘中单独拾取一个或多个PFB,并利用纳米精度对准技术将一个或多个PFB放置在产品晶圆上。然后能够将PFB黏合到产品晶圆上。

[0015] 在一些实施例中,可以使用具有预制块(PFB)网格的源晶圆。在一些实施例中,源晶圆不具有牺牲层,并且能够应用具有孔隙排斥场的孔隙形成工艺,以在该源晶圆中形成掩埋牺牲层。可以应用栓绳蚀刻,以在PFB下方的掩埋牺牲层中形成栓绳。然后可以使用蚀刻剂以溶解栓绳,以便将单个源晶圆上的所有PFB释放到PFB夹盘上。可以从该PFB夹盘中(例如,单独地)拾取一个或多个PFB,并利用纳米精度对准技术将一个或多个PFB放置在产品晶圆上。然后能够将PFB黏合到该产品晶圆上。

[0016] 在一些实施例中,可以使用第一组源晶圆和第二组源晶圆制造半导体器件,其中该第一组源晶圆中各源晶圆具有预制块(PFB)网格,该第二组源晶圆中各源晶圆具有定制金属裸片(CMD)网格。可以将该第二组的CMD组装在第一组源晶圆的PFB的顶部。这样,该第一组源晶圆能够用作产品晶圆。

[0017] 在一些实施例中,可以提供或制造一个或多个包含预制块(PFB)网格的源晶圆。然后,能够将该PFB分两层或更多层组装到产品晶圆上。在一些实施例中,第二、第三或后续层中的PFB仅包含金属结构。

[0018] 本发明实施例还包括计算机可读存储介质,该计算机可读存储介质包含指令集,以使一个或多个处理器执行本文所述的方法、方法的变型以及其他操作。

[0019] 一些实施例提供一种用于制造半导体器件的系统。该系统可以包括蚀刻室、纳米精度取放组装单元、存储单元、机械手和/或其他部件(例如,处理单元、测试单元等)。该存储单元中能够存储有多个源晶圆和产品晶圆。在一些实施例中,该多个源晶圆能够包括分别具有不同预制块的第一类型和第二类型源晶圆。机械手可以被配置用于将一个或多个源晶圆转移到蚀刻室中以应用栓绳蚀刻。在栓绳蚀刻完成后,机械手还可以将该一个或多个源晶圆从蚀刻室转移到纳米精度取放组装单元。该纳米精度取放组装单元能够将一个或多个源晶圆的预制块(PFB)组装至产品基板。在一些实施例中,该系统可以是微型晶圆厂(mini-fab)的一部分。该微型晶圆厂可以进一步包括:一个或多个测试单元,用于对多个源晶圆中的已知合格裸片进行测试;和/或,一个或多个化学机械抛光(chemical mechanical polishing, CMP)单元,用于抛光多个源晶圆的顶部。

[0020] 尽管公开了多个实施例,但是根据以下具体实施方式部分,仍存在对于本领域技术人员变得明显的本发明的其他实施例,该具体实施方式部分示出并描述了本发明的说明性实施例。应理解,本发明能够在多个方面进行修改,而所有这些修改都不脱离本发明的范围。因此,附图和具体实施方式部分本质上应被认为是说明性的而不是限制性的。

## 附图说明

[0021] 将通过使用附图来描述和解释本技术的实施例。

[0022] 图1示出了可以在本技术的多个实施例中使用的用于组装3D IC的取放顺序的示例。

[0023] 图2示出了可以在本技术的一些实施例中使用的微米级模块化组装式ASIC (M2A2)的取放顺序的示例。

[0024] 图3是纳米压印光刻的单元步骤与本技术的一个或多个实施例中使用的取放组装的单元步骤之间相似性的图示。

[0025] 图4示出了可以在本技术的多个实施例中使用的取放步进器的示例。

[0026] 图5A示出了根据本技术的多个实施例的具有单一载物台的晶圆载物台配置方式的示例,其中源晶圆和产品晶圆在同一托架上。

[0027] 图5B示出了根据本技术的一些实施例的具有多个T形载物台的晶圆载物台配置方式的示例。

[0028] 图6是可以在本技术的一些实施例中使用的热致动晶圆夹盘的示例。

[0029] 图7是可以在本技术的一个或多个实施例中使用的形貌控制的热致动晶圆夹盘的示例。

[0030] 图8是可以在本技术的多个实施例中使用的用于2D裸片拾取的基于NIL模板的顶衬的示例。

[0031] 图9是可以在本技术的一些实施例中使用的用于PFB拾取的基于NIL模板的顶衬的示例。

[0032] 图10是可以在本技术的一个或多个实施例中使用的大规模并行顶衬设计的示例。

[0033] 图11是可以在本技术的多个实施例中使用的多区域顶衬夹盘的示例。

[0034] 图12是可以在本技术的一些实施例中使用的供取放的非硅基源晶圆的示例。

[0035] 图13示出了根据本技术的一个或多个实施例的在每个晶圆场中包含所有PFB的源晶圆的示例。

[0036] 图14是根据本技术的多个实施例的对在SOI晶圆上制造的CMD进行组装的顺序的示例。

[0037] 图15是根据本技术的一些实施例的对在Si晶圆上制造的CMD进行组装的顺序的示例。

[0038] 图16是根据本技术的一个或多个实施例的对规则Si晶圆上PFB/2D裸片/CMD 进行取放组装的顺序的示例。

[0039] 图17是可以在本技术的多个实施例中使用的具有微米级针孔以改善导热性的载体基板的示意图的示例。

[0040] 图18是根据本技术的一些实施例的在卷对卷载体基板上对规则Si晶圆上PFB/2D裸片/CMD进行取放组装的顺序的示例。

[0041] 图19是根据本技术的一个或多个实施例的用于制造(设计和编织)超大型FPGA 的顺序的示例。

[0042] 图20是根据本技术的多个实施例的用于制造(设计和编织)超大型ASIC的顺序的示例。

[0043] 图21是可以在本技术的一些实施例中使用的用于领域专用SoC的存储器PFB的示例。

[0044] 图22是可以在本技术的一个或多个实施例中使用的用于领域专用SoC的数字逻辑PFB的示例。

- [0045] 图23是可以在本技术的多个实施例中使用的用于领域专用SoC的混合信号PFB 的示例。
- [0046] 图24是根据本技术的一些实施例的用于编织PFB、FPGA、ASIC和其他块以实现领域专用SoC的顺序的示例。
- [0047] 图25是根据本技术的一个或多个实施例的用于在已编织PFB/其他组件的SoC上组装CMD以实现领域专用SoC的顺序的示例。
- [0048] 图26是根据本技术的多个实施例的针对基于逻辑PFB的SoC的M2A2 EDA流程的示例。
- [0049] 图27是根据本技术的一些实施例的PFB设计算法的概述的示例。
- [0050] 图28A-28D示出了可以在本技术的一个或多个实施例中使用的PFB设计算法中的disSimilarityCost分析示例。
- [0051] 图29是可以在本技术的多个实施例中使用的PFB设计算法中进行K均值聚类以生成最终PFB的示例。
- [0052] 图30是可以在本技术的一些实施例中使用的PFB编织算法的概述的示例。
- [0053] 图31是根据本技术的一个或多个实施例的组装CMD与已编织PFB的SoC以实现最终SoC的示例。
- [0054] 图32是根据本技术的多个实施例的后端处理已编织PFB的SoC (PFB knitted SoC) 以实现最终SoC的的示例。
- [0055] 图33是根据本技术的多个实施例的基于ASIC和M2A2的示例性平面布局的示例。
- [0056] 图34是根据本技术的一些实施例的基于ASIC和M2A2的示例性平面布局的示例。
- [0057] 图35是可以在本技术的一个或多个实施例中使用的基于M2A2的SoC的测试方法的示例。
- [0058] 图36A-36E示出了可以在本技术的多个实施例中使用的用于基于M2A2的设计中的PFB、CMD以及最后层级SoC的测试逻辑的示例。
- [0059] 图37是示出了可以在本技术的一些实施例中使用的分体制造方法的图。
- [0060] 图38是示出了根据本技术的一个或多个实施例的使用N-MAP的分体晶圆厂 (SDSF) 的图。
- [0061] 图39是示出了可以在本技术的多个实施例中使用的沿着J-FIL的线路模型化处理的基于真空的取放组装的示例的框图。
- [0062] 图40是示出根据本技术的一些实施例的进入孔形成和封装层包覆的图。
- [0063] 图41是示出了根据本技术的一个或多个实施例的留下栓绳的牺牲层的定时蚀刻的示例的图。
- [0064] 图42是示出根据本技术的多个实施例的自源晶圆拾取PFB的示例的图。
- [0065] 图43是根据本技术的一些实施例的用于在默认组装配置中去除封装层的处理顺序的示例。
- [0066] 图44是根据本技术的一个或多个实施例的通过逐裸片拾取顶衬进行产品晶圆上的取放的示例。
- [0067] 图45是根据本技术的多个实施例的用于组装配置2的处理顺序的示例,其中在组装配置2中,PFB金属触点背向产品晶圆。

- [0068] 图46示出了在从源晶圆拾取期间的间隙压力显著大于大气压力的场景的示例。
- [0069] 图47是示出根据本技术的一个或多个实施例的在自源晶圆拾取期间的PFB的快照的图。
- [0070] 图48示出了可以在本技术的一些实施例中使用的顶衬引脚中的孔。
- [0071] 图49示出了在本技术的多个实施例中在放置到产品晶圆上之前的PFB的快照。
- [0072] 图50示出了在本技术的多个实施例中用于PFB拾取的DSMC模拟的域。
- [0073] 图51是示出根据本技术的一些实施例的可用于推导保证吸力的拾取方案的一组操作的示例的流程图。
- [0074] 图52示出了本技术的多个实施例中的压力的DSMC模拟的示例。
- [0075] 图53是示出在本技术的多个实施例中平均压力间隙的演变的示例的曲线图。
- [0076] 图54是在本技术的多个实施例中用于自源晶圆拾取2D裸片的保证吸力的运动方案的示例的曲线图。
- [0077] 图55是示出可以在本技术的一些实施例中使用的用于导出放置时间估计值的一组操作的示例的流程图。
- [0078] 图56是示出在本技术的一个或多个实施例中用于PFB放置的平均压力间隙的演变的示例的曲线图。
- [0079] 图57是根据本技术的多个实施例的用于在块状硅中形成掩埋牺牲层的工艺流程的示例。
- [0080] 图58是根据本技术的一些实施例的用于在块状硅中形成掩埋牺牲层的工艺流程的示例。
- [0081] 图59示出了包覆有薄铬层的硅中的孔隙驱除。
- [0082] 图60示出了可以在本技术的多个实施例中使用的用于孔隙形成的光电化学蚀刻器。
- [0083] 图61示出了根据本技术的多个实施方式的用于刚度计算的空气轴承的示例。
- [0084] 图62示出了空气轴承间隙减小10倍的示例。
- [0085] 图63示出了PFB夹盘的示例,示出了单独的微型阀和引脚层。
- [0086] 图64示出了根据本技术的多个实施例的使用N-MAP的超光刻裸片的示例。
- [0087] 图65是示出了可以在本技术的一些实施例中使用的微型晶圆厂的多个组件的框图。
- [0088] 图66是可以在本技术的一些实施例中使用的计算机系统的示例。
- [0089] 附图未必按比例绘制。类似地,出于讨论本技术的一些实施例的目的,一些组件和/或操作可以被分开为不同的块或被组合成单个块。此外,尽管该技术可以进行多种修改和替代形式,但是在附图中以示例的方式示出了特定的实施例,并且在下面对其进行了详细描述。然而,本发明并非要将技术限于所描述的特定实施例。相反,技术意图覆盖落入由所附权利要求书限定的技术范围内的所有修改、等效形式和替代形式。

### 具体实施方式

[0090] 本发明的多个实施例通常涉及集成电路的纳米制造和设计。更具体地,本技术的一些实施例涉及用于高级半导体器件的纳米级对准的3D堆叠集成电路(N3-SI)和微米级模

块化组装式ASIC (M2A2) 技术。半导体器件的传统集成架构由在高质量硅上制造的单一晶体管层和以分层方式连接晶体管的多层导线构成。器件在历史上局限于这种架构,即,单一的密集包装晶体管层,而不是若干异质集成的晶体管层堆叠,这是因为在先前制造的层上生长高质量晶体硅具有挑战。

[0091] 然而,缩减尺寸方面的挑战最终推动了行业朝向异质集成方案发展。正在探索一系列方法,从封装和接合焊盘级集成到单个晶体管级别的顺序单片集成。本技术的多个实施例提供了超高密度异质集成,其通过纳米精度的取放组装实现。例如,一些实施例提供了使用预制块 (PFB) 的模块化组装技术的集成。能够在一个或多个源晶圆上制造这些PFB。然后,能够采用取放技术将PFB选择性地布置在目标晶圆上,从而可以高效地制造N3SI和M2A2。一些实施例包括利用取放组装来构建尺寸任意大于标准光刻场尺寸 $26 \times 33\text{mm}$ 的构造半导体器件的系统和技术。

[0092] 虽然缩减尺寸是半导体行业的中心问题,但还有其他问题也可以使用此处探讨的方法解决。硬件安全就是这样的问题之一。为了使器件从最初的设计过渡到大规模的制造和使用,需要跨许多组织和国家边界共享敏感的知识产权。借助相关信息,供应链中不受信任的成员可能会仿制原始设计和/或将恶意组件插入器件中。

[0093] 据估计,半导体行业每年由于IP侵权导致高达40亿美元的损失,而每年由于伪造IC(包括回收、标记、篡改和过量生产的IC)导致估计1690亿美元的损失。本技术的多个实施例提供了分体制造的方法作为硬件安全性问题的解决方案。这可能涉及在先进且可能不受信任的代工厂中制造电路的高分辨率前端部分,而低分辨率电路制造则在受信任的(可能是本地或内部)但不太先进的代工厂中进行。因而,一些实施例允许构建硬件安全有保证的半导体器件,即使这类器件的一部分是在不受信任的设施处制造的。

[0094] 另外,一些实施例提供了针对上述应用的相关电路设计方法。一些实施例还包括用于将块状硅源晶圆转换成包含掩埋牺牲层的源晶圆以供取放组装的系统和方法。另外,还包括在取放组装期间通过纳米级气流建模实现纳米精度组装的方法。还包括半导体制造设施——微型晶圆厂的概念,其占地面积和资金需求明显小于传统大规模晶圆厂,但可以与大规模晶圆厂结合使用,以用于由未必专攻半导体制造的实体/公司制造定制半导体器件。

[0095] 本技术的多个实施例为制造系统和部件提供了广泛范围的技术效果、优点和/或改进。例如,多个实施例包括以下技术效果、优点和/或改进中的一项或多项:1) 实现许多需要对电路元件进行纳米精度组装的应用(例如,3D集成电路,具有超光刻尺寸因子的裸片,硬件安全以及高混合低体积ASIC等应用);2) 纳米精度组装,这是通过使用多种技术实现的,这些技术包括用以在块状硅源晶圆内部制造掩埋牺牲层的新型工艺;3) 使用可感知纳米级气流的顶衬设计,这些设计可在保持光刻精度的同时从源晶圆拾取电路元件,以达成纳米精度组装;4) 集成了在空中(in-air)的叠加校正方法,该方法还使用基于波纹的对准计量法,用于电路元件在产品晶圆上的纳米精度放置,以实现通过使用多种技术达成的纳米精度组装;和/或5) 用于高混合低体积ASIC的新型电路设计(EDA) 方案。一些实施例可以包括本文所讨论的另一一些技术效果、优点和/或改进。

[0096] 在下面的描述中,出于解释的目的,阐述了许多具体细节以便提供对本技术的实施例的透彻理解。然而,对于本领域的技术人员将显然的是,可以在没有这些具体细节中的

一些的情况下实践本技术的实施例。

[0097] 此处介绍的技术可以体现为专用硬件(例如,电路),利用软件和/或固件适当编程的可编程电路,或专用与可编程电路的组合。因此,实施例可以包括机器可读介质,该机器可读介质上储存有可用于对计算机(或其他电子设备)进行编程以执行制程的指令。机器可读介质可以包括但不限于软盘、光盘、压缩光盘只读存储器(computer disc read-only memory,CD-ROM)、磁光盘、ROM、随机存取存储器(random access memory,RAM)、可擦除可编程只读存储器(erasable programmable read-only memory,EPR0M)、电可擦除可编程只读存储器(electrically erasable programmable read-only memory,EEPROM)、磁卡或光卡、闪存或适用于存储电子指令的其他类型介质/机器可读介质。

[0098] 短语“在一些实施例中”,“根据一些实施例”,“在所示的实施例中”,“在其他实施例中”等通常表示该短语之后的特定特征、结构或特性包括在本技术的至少一个实施方式中,并且可以被包括在不止一个实施方式中。另外,这样的短语不必要指示相同的实施例或不同的实施例。

[0099] 本技术的多个实施例涉及使用纳米精度的取放组装技术来制造3D IC和微米级模块化组装式ASIC(M2A2)的系统和方法。根据多个实施例的用于组装3D IC和M2A2的通用取放顺序分别在图1和图2中示出。

[0100] 图1示出了可以在本技术的多个实施例中使用的用于组装3D IC的取放顺序100的示例。如图1所示,多个不同的源晶圆110A-110N能够包括多种2D裸片,这些2D裸片能够通过取放过程120组装以制造3D IC 130。可以配置图1中所示的3D IC工艺的多个实施例,以便可以以面对面(face-to-face,F2F),面对背(face-to-back,F2B),背对面(back-to-face,B2F)或背对背(back-to-back,B2B)的方式进行组装。之后B2F、F2B和B2B堆叠式3D IC可以被连接,例如使用硅通孔(through-silicon via,TSV)连接。F2F堆叠式3D IC可以使用层间通孔(inter-layer via,ILV)连接,如显示了3D IC130的放大部分的标注140所示。

[0101] 图2示出了可以在本技术的一些实施例中使用的微米级模块化组装式ASIC(M2A2)的取放顺序200的示例。如图2示出的实施例中所示,能够包括多个源晶圆 210A-210N,每个源晶圆包含不同的预制块(PFB)。根据多个实施例,源晶圆210A-210N能够包括在牺牲层(例如,掩埋氧化物层)顶部的多个PFB。这在源晶圆210N的横截面215中示出。

[0102] 取放顶衬能够被设计为具有可编程拾取位置,从而允许取放过程220拾取源晶圆并将一个或多个PFB从源晶圆转移到产品基板以制造定制的组装ASIC 230。如示出了ASIC 230的一部分235的放大剖视图的标注240中所见,不同的PFB 250能够被以所需的次序并排放置在产品基板260上。

[0103] 对于任何通用的取放组装顺序,都可能在多个中间步骤中产生误差,而所有误差都可能导致最终的叠加误差。表I对这些误差来源进行了总结。

表I

取放组装过程中的叠加误差来源



误差来源	矢量命名*	子分量
1 源晶圆制造过程中的配准误差	$\delta_{\text{Reaistration@fabrication}}^{\text{Overlay}}$	
2 取放步骤中顶衬和 2D 裸片之间的粘滑行为	$\delta_{\text{SS@pickup,placement}}^{\text{Overlay}}$	
3 取放步骤中由于 2D 裸片、顶衬和基板之间的热失配（在温度和/或热膨胀系数方面）引起的叠加误差	$\delta_{\text{Therm@pickup,placement}}^{\text{Overlay}}$	$\delta_{\text{-RB}}^{\text{Overlay}} + \delta_{\text{-nRB}}^{\text{Overlay}}$
4 取放步骤中由于 2D 裸片和基板之间的形貌不匹配引起的叠加误差	$\delta_{\text{Topo@pickup,placement}}^{\text{Overlay}}$	
5 黏合剂固化期间的粘弹性蠕变	$\delta_{\text{Creep@curina}}^{\text{Overlay}}$	
6 永久贴附步骤中的变形	$\delta_{\text{Distortion@attachment}}^{\text{Overlay}}$	

\*2D裸片中对准点处的误差向量

\*\*RB=刚体分量,nRB=非刚体分量

[0104] 多个实施例提供了多种技术以减少和/或消除上述叠加误差来源。为了简洁起见，在随后的部分中描述的叠加控制技术能够称为“叠加控制架构”。除非另有说明，否则所公开的方法可以应用于本文探讨的任何应用。

基于J-FIL步进器的机器设计

[0105] 本技术的多个实施例提供了通用取放工具的新设计，其集成了来自纳米压印光刻步进器的设计元素。图3并排示出了通用的取放组装顺序300和纳米压印光刻顺序350，从而图示出这些顺序之间的平行。例如，NIL/J-FIL使用玻璃模板，而本技术的一些实施例结合了使用真空顶衬的取放步进器。在一些实施例中，取放步进器本质上可以是经过修改以具有真空线路的NIL模板。NIL/J-FIL使用可UV固化的抗蚀剂。本技术的一些实施例可以结合可使用可UV固化的液体的取放步进器。UV可固化液体在配方上类似于UV可固化抗蚀剂。NIL/J-FIL使用基于波纹的叠加计量法和基于MSCS的叠加校正。在多个实施例中，也可以使用基于波纹的叠加计量法来进行取放式步进器中的叠加计量。UV曝光后，NIL/J-FIL包括分离步骤，在该步骤中应注意不要损坏固化的抗蚀剂。在本技术的多个实施例中使用的取放步进器可以使用类似的受控分离方式来从2D裸片的源基板拾取这些2D裸片。

[0106] 图4示出了沿着纳米压印步进器的线路模型化的取放步进器400。在图4所示的实施例中，步进器400能够包括z形头组件410。z形头组件410能够具有以下一个或多个特征：移动z轴、线内叠加计量、顶衬夹盘以及真空和蚀刻剂布线。z形头组件410能够可移动地安装在花岗岩底座430上的花岗岩桥420上。源晶圆440和产品晶圆450能够定位在晶圆夹盘组件460上，以允许由位于z形头组件410上的顶衬470进行拾取和放置。一些实施例可以包括运动状态480，在该运动状态下源基板和产品基板都被安装在同一托架上。

[0107] 步进器400的多个实施例可以具有一个或多个晶圆载物台，其能够是空气轴承载物台，滚柱轴承载物台，或能够以纳米精度产生平面运动、同时能够在不损失精度的情况下承受法线方向的力的载物台的任何其他变体/组合。图5A-5B示出了可以在一些实施例中使

用的晶圆载物台配置方式的示例。在图5A中,示出了单一载物台,其中源晶圆和产品晶圆都在同一托架上。在图5A中,源晶圆和产品晶圆510(以及夹盘组件)可以被包括在单一载物台支架中。夹盘组件可以共享其(X,Y)自由度,但可以具有独立的 $\theta$ 和更高阶致动。在单一载物台的情况下,该载物台可以具有多个夹盘,以容纳多种源晶圆和产品晶圆(图5A)。

[0108] 图5B示出了具有多个T形载物台的实施例。在多个T形载物台配置方式中,源晶圆和产品晶圆520(以及夹盘组件)可以以字母“T”的形状定位(例如,顶排具有三个夹盘组件,而单一一个夹盘组件位于其正下方)。在这些实施例中,能够针对每个晶圆520独立地控制(X,Y, $\theta$ )自由度。在一些实施例中,可以独立控制另外的更高自由度。因而,步进器400可以具有多个独立移动的载物台,每个载物台具有其自身的单一夹盘或多个夹盘(图5B)。

[0109] 晶圆夹盘可以具有嵌入其内部的热致动器单元(加热/冷却元件)。这种夹盘的示例设计如图6所示。控制多个热致动器所需的额外数量的电线和组件可以与机载复用器一起容纳在载物台托架上的组件中,以减少穿越载物台线轨道的走线连接的数量。热致动器不仅可以用于将夹盘保持在所需的恒定温度,还可以用于有意地改变热分布,以达到如加热冷却元件610所示的特定变形分布。在图6的底部的夹盘的剖视图中,可以看到将加热元件隔开的散热片620。出于所有目的以全文引用的方式并入本文的以下参考文献描述了此种特征: Ajay, Paras等人, "Multifield sub-5nm overlay in imprint lithography." *Journal of Vacuum Science & Technology B, Nanotechnology and Microelectronics: Materials, Processing, Measurement, and Phenomena* 34.6 (2016): 061605.

[0110] 根据多个实施例,晶圆夹盘可以由诸如氧化铝和透明SiC的透明材料(在相关光谱中)制成,以允许从底部进行计量和黏合剂-液体固化。图7是可以在本技术的一个或多个实施例中使用的形貌控制的热致动晶圆夹盘的示例。在图7所示的实施例中,晶圆夹盘700可以进一步具有嵌入式z致动器(压电,基于音圈等)的阵列,以在取放步骤期间改变晶圆的形貌。在图7中,示出了仰视图710以及沿着线AA的截面图720。

[0111] 晶圆夹盘700能够包括形貌控制元件730。如截面图720所示,这些元件中的每一个能够包括热致动器740、薄的顶部750、夹在热致动器740和厚的底部760之间的形貌控制元件730。因而,晶圆夹盘700可以在引脚表面770处设置期望的形貌。例如,在一些实施例中,可以使用在晶圆上图案化的频扰波纹对准标记以线内方式感测形貌误差(以及平面内变形)。顶衬-基板形貌匹配在取放组装中比NIL更重要,因为在拾取步骤中,如果2D裸片/PFB在不同瞬间与顶衬接触,就像在顶衬-基板形貌不十分匹配的情况下一样,会造成局部区域发生牺牲栓绳过早断裂的区别挂机,增大叠加损失的可能性。此外,在放置步骤期间,用于校正由形貌失配(或同样地,其他来源)引起的叠加误差的液体中对准的范围减小,这是因为2D裸片/PFB是在与NIL模板相比明显较小的区域上固持至顶衬(这会引发摩擦阻力减小以致滑动)。为了减少上述可能性,多个实施例“在空中”校正形貌和叠加误差二者。

#### 顶衬设计

[0112] 本技术的多个实施方案包括基于NIL熔融二氧化硅模板的顶衬的设计。图8是可以在本技术的多个实施例中使用的用于2D裸片拾取的基于NIL模板的顶衬的示例。图9是可以在本技术的一些实施例中使用的用于PFB拾取的基于NIL模板的顶衬的示例。熔融二氧化硅的热膨胀系数低,这使其适合在取放组装过程中用作热稳定基板。它也对可见光、UV和近红外光谱透明,从而允许在计量和抗蚀剂/黏合剂固化过程中发生光透射。与诸如SiC及氧化

铝的其他硬基板相比,熔融二氧化硅也相对容易加工。用于NIL的熔融二氧化硅模板在市场上可买到。除非另有说明,否则在本公开中将主要探索两种方法:基于HF蒸气的脱离(disengage)及基于栓绳断裂的脱离(detack)。然而,本技术的其他实施例可以使用不同技术。

表II

基于HF蒸气的脱离对比基于栓绳断裂的脱离

	基于 HF 蒸气的脱离	基于栓绳断裂的脱离
1 所需的拾取力量值	低	高(可通过减小栓绳颈部尺寸及使栓绳分布稀疏来降低)
2 拾取时间	几分钟(取决于栓绳颈部尺寸、HF 蚀刻速率、腔室密封时间及冲洗时间)	几秒钟

[0113] 顶衬组件可以具有单一顶衬或多个连接或未连接的子顶衬。在一系列可能的顶衬设计中,一种可能的渐近情况是具有用于几千个可能挑选的PFB的几千个可单独致动的子顶衬的顶衬组件。

[0114] 图10是可以在本技术的一个或多个实施例中使用的规模并行顶衬设计1000的示例。如图10示出的实施例中所示,该系统能够包括全局z致动轴1010、热致动器1020、顶衬夹盘1030(例如,具有全局气流和/或蚀刻剂布线)、规模并行的顶衬组件1040,以及磁致动器1050。在一些实施例中,全局z致动轴1010可以是音圈致动器、压电致动器等。

[0115] 在一些实施例中,每个子顶衬1060可以使用致动器1080(例如,微型压电元件)致动。全局顶衬组件1040和/或子顶衬1060可以附接有热致动器1020,以将顶衬保持在固定温度,或者可替代地,例如与晶圆热致动器一起主动地改变顶衬的温度以进行变形控制。这些顶衬可以另外使用磁致动器1050以受控方式使顶衬变形以进行叠加校正。每个子顶衬组件可以具有布线1070以供牺牲层蚀刻剂原位蚀刻PFB/2D裸片栓绳,以及用于真空拾取的气流布线。

[0116] 图11是可以在本技术的多个实施例中使用的多区域顶衬夹盘1100的示例。图11所示的顶衬夹盘的实施例可以具有多个区域1110,以在多层顶衬组件1130内提供全局气流源和蚀刻剂路线1120。在一些实施例中,为了保护工具免受腐蚀性蚀刻剂的腐蚀,可以在气体路线上包覆特氟隆、氧化铝或其他惰性材料。此外,为了确保进一步防漏和/或防腐蚀保护,全局气流可被引导离工具中的关键部分,随后进入废料出口。另外,可以建立气幕以进一步阻止任何泄漏的蚀刻剂的扩散。

[0117] 为了将气态蚀刻剂约束在原位蚀刻腔内部,可使用由例如特氟龙制成的O形环来密封该腔室。由于基于HF蒸气的脱离中的意图仅为尽可能快地分离2D裸片,而非蚀刻的瞬时速率均匀性,因此HF蒸气蚀刻可在升高温度下进行,通过使用顶衬及晶圆夹盘上的热致动器,和/或在HF蒸气进入蚀刻腔室中之前将HF蒸气本身加热。

[0118] 由熔融二氧化硅制成的顶衬中的顶衬真空孔可使用计算机数控(computer numerical controlled,CNC)加工、激光加工或多种其他材料去除技术制造。图8和图9中所示的引脚可使用诸如缓冲氧化物蚀刻、HF蒸气蚀刻等化学蚀刻技术制造。

### 异质材料组装

[0119] 本技术的多个实施例可在取放组装中使用由诸如GaAs、InP等的非硅基半导体材料制成的2D裸片/PFB。一种用于GaAs、InP等制成的2D裸片/PFB的可能的取放方法是提供合适的掩埋牺牲层，该掩埋牺牲层可被选择性地蚀刻掉，优选使用气态反应物。这些PFB的封装层可由诸如PTFE、聚对二甲苯、旋涂碳等材料组成，这些材料能抵抗蒸气蚀刻剂。图 12是可以在本技术的一些实施例中使用的供取放的非硅基源晶圆1200的示例。在图12所示的实施例中，非硅基源晶圆1200能够包括器件层1210、牺牲层1220和主体层1230。先前有多个小组对此进行了探讨。有关这些工作的概述，请参见表III。

表III

III-V牺牲层和蚀刻剂选择

	材料（器件及主体）	牺牲层	蚀刻剂
1	GaAs	AlAs、InAlP	HCl
2	GaN	ZnO	HCl
3	InAs	AlSb	HF
4	InP	InGaAs、InAlAs	FeCl <sub>3</sub> :H <sub>2</sub> O

### M2A2成本分摊范例

[0120] 一些实施例可以将不同的源晶圆用于各个PFB。然而，情况未必必须如此。单一源晶圆也能够具有多种类型的PFB。图13示出了根据本技术的一个或多个实施例的在每个晶圆场1320中包含所有PFB 1310A-1310C的源晶圆1300的示例。另一些实施例可以在源晶圆上包括更多或更少类型的PFB。当设计所需的每个PFB都存在于单一晶圆上时，只需制造一个高成本的掩模，就可以实现最大的掩模成本摊销。

### M2A2范例：PFB组装+定制金属裸片（CMDS）

[0121] 尽管在一些实施例中，一旦组装好了PFB层，就可以将晶圆送回晶圆厂以进行后续的金属化。对于许多情况/应用，这可能并不太优选。例如，金属化晶圆厂可能不接受已使用诸如取放组装器的非标准设备处理过的晶圆。对于安全性受关注的应用（例如，国防应用）和在高竞争性领域的应用（例如，新兴的机器学习应用）而言，设计人员可能不希望晶圆返回第三方金属化晶圆厂，但可能又不具有拥有私人晶圆厂的资源。

[0122] 作为解决上述问题的一种可能的方法，可以将金属化结构本身制造成具有掩埋牺牲层的晶圆上的2D裸片——定制金属裸片（CMD），并取放在PFB层上。以此方式，取放组装步骤现在可为整个电路制造制程中的最后一步。应该注意的是，PFB和CMD的制造可以在不同的晶圆厂处进行。这在设计人员首选的CMD晶圆厂不同于PFB晶圆厂的情况下可能很有价值。

[0123] 图14是根据本技术的多个实施例的对在SOI晶圆上制造的CMD进行组装的顺序1400的示例。如图14所示，带有已组装PFB层的产品晶圆1410可以与SoI晶圆1430上的CMD 1420一起使用。应注意，金属尺寸（和节距）可随层数1440的增大而减小。这允许在CMD翻转后面对PFB时具有正确的金属节距。如图14所示，该工艺能够包括多种步骤，例如通孔蚀刻1450、封装1460、栓绳形成1470以及取放1480（翻转或不翻转），可以使用在D1、D2及本公开

中先前已描述的工艺来执行。另外，在图14所示的实施例中，通孔将必须穿过翻转的CMD中的薄硅层以接入用于电路封装的焊料凸块1460。

[0124] 图15是根据本技术的一些实施例的对在Si晶圆上制造的CMD进行组装的顺序1500的示例。在图15所示的实施例中，可以提供具有已组装PFB层的产品晶圆1510，同时可以在Si晶圆1520上形成CMD。首先，可以在Si晶圆1520的顶部形成氧化物层1430，然后在制造金属层以形成CMD 1550之前，用封装层1540封装该氧化物层。在一些实施例中，能够形成第二封装层1555以覆盖CMD 1550。然后，进行通孔蚀刻1560、栓绳形成1565和取放1570（翻转或不翻转）。在图15所示的实施例中，可以使用诸如化学气相沉积（chemical vapor deposition, CVD）、物理气相沉积（physical vapor desposition, PVD）等的标准半导体工艺来实现在Si上的氧化物层沉积。原位灰化1575可使用工具中氧等离子体腔室达成。灰化过程可以是定时的，使得灰化在通常比封装层2薄的封装层1被蚀刻掉后即停止。

应注意，在图15中的顺序中，封装层相当厚。这是为了在取放期间为氧化物层提供额外的机械支撑。封装层材料应能抵抗牺牲层蚀刻剂，与标准的半导体工艺兼容，且在取放已完成后容易蚀刻（优选利用气态蚀刻剂）。这允许与用于封装的焊料凸块的直接连接1580。表IV提供了可能的选择列表。

表IV  
封装层材料选择

	材料	优选用于封装层#	vHF 中的蚀刻速率 (nm/分钟)	用于 vHF 后剥离的蚀刻剂
1	聚对二甲苯	1	~0	O <sub>2</sub> 等离子体
2	聚酰亚胺（自旋）	1	~0	O <sub>2</sub> 等离子体
3	多晶硅	2	~0	XeF <sub>2</sub> （定时）
4	Al	2	~0	KOH
5	Al <sub>2</sub> O <sub>3</sub>	2	~0	KOH

#### M2A2/3D IC范例：晶圆级厚度的PFB/CMDs/2D裸片的组装

[0125] 尽管一些实施例可以利用牺牲层（例如，参见图12中的1220）来促进PFB/CMD/2D裸片与主体基板的分离，但这种配置在多种应用中可能并非最佳的。例如，在无法获得具有掩埋牺牲层的晶圆和/或具有掩埋牺牲层的晶圆与晶圆厂中的标准工艺不兼容的情况下，这些配置可能并非最佳的。作为以上问题的解决方案，可实施晶圆级厚度的2D 裸片/PFB的取放。该2D裸片/PFB基板仍可为Si、GaN、GaAs或多种其他材料。

[0126] 图16示出了顺序1600，其中首先使用UV脱离黏合剂将源晶圆黏合至透明且导热的载体基板上。源晶圆1610（例如，规则Si晶圆上的2D裸片/PFB）可包覆有封装层3 1620。在一些实施例中，封装可在黏合步骤之前完成，以保护晶圆免受来自载体基板1630以及在切割工艺期间形成的碎屑的污染。在一些实施例中，载体基板可以是透明的热传导（head-conductive）载体基板。封装可与非半导体级载体基板相关，这些载体基板的制造工艺通常

未优化达到半导体级颗粒水平。

[0127] 该封装层可以例如由聚酰亚胺制成。接下来进行晶圆切割1640以将2D裸片/PFB单粒化。切割可使用诸如激光切割等熔蚀工艺,和/或诸如金属辅助化学蚀刻(metal assisted chemical etching,MACE)等化学工艺进行,MACE已展示出在硅中蚀刻深孔的能力。在切割工艺期间所产生的任何热量都可经由传导性载体基板传导走。

[0128] 在通过取放顶衬1670进行拾取之前,能够执行原位灰化1660以去除封装层。通过数字微镜装置(digital micromirror device,DMD)1680,可以使用UV脱离黏合剂1650的选择性UV曝光对2D裸片/PFB选择性地脱离。载体基板的样本选择可以是蓝宝石、透明SiC和显示器等级玻璃。显示器玻璃可以具有微米级的针孔,以提高传导性。

[0129] 图17是可以在本技术的多个实施例中使用的具有微米级针孔1710以改善导热性的载体基板1700的示意图。可使用亦可为透明的导热材料填充针孔1710,这些导热材料诸如氧化铟锡(indium tin oxide,ITO)、铝掺杂氧化锌(aluminum-doped zinc oxide,AZO)等。玻璃基板1720可在其顶部及底部侧面上额外地包覆有透明的ITO、AZO导电膜,和/或金属网,例如铜网。在一些实施例中,针孔1710的直径1740可以为几十微米至几百微米。

[0130] 可替代地,在图16中,可以使用可红外(infrared,IR)辐射固化的水凝胶基黏合剂对2D裸片/PFB选择性地脱离。基于此,规则硅晶圆可用作载体晶圆,这是因为硅相当好地透射IR辐射。

[0131] 图18示出了顺序1800,其中将源晶圆黏合至具有微穿孔的卷对卷(roll-to-roll)金属基板上。能够提供源晶圆1810(例如,在规则Si晶圆上具有2D裸片或PFB)。该源晶圆能够与具有微穿孔的卷对卷载体基板1820对准。在一些实施例中,可以使用狭缝模涂布的黏合剂1830。接下来可以进行晶圆切割1840以将2D裸片/PFB单粒化。在切割工艺期间所产生的任何热量可经由传导金属基板传导走。然后可通过选择性 $O_2$ 等离子体灰化黏合的2D裸片/PFB之间的黏合剂,将这些2D裸片/PFB单独地脱离。顶衬1850和夹盘1860可用于拾取和放置裸片。根据一些实施例,顶衬1850和夹盘1860能够包括真空孔1870。金属卷的材料的可能选择可以是钢。微穿孔可使用诸如反应性离子蚀刻(reactive ion etching,RIE)、激光加工、聚焦离子束(focused ion beam,FIB)加工等各向异性工艺制造。该方法具有能够在卷对卷系统上执行取放组装的优点,从而能够提升组装工艺的吞吐量。

使用PFB+CMD组装制造超大型裸片

[0132] 对于需要大于 $26\text{mm} \times 33\text{mm}$ 的标准光刻场的裸片大小的应用,可在PFB层上镶嵌(tessellated)CMD,可能在多层堆叠中镶嵌,使得这些CMD跨越 $26\text{mm} \times 33\text{mm}$ 场区域且确保裸片宽度上的金属连接性。应该注意的是,这不一定是高混合低体积的应用,因此,这些PFB可为场级(field-scale)尺寸且针对每一新器件定制。

使用M2A2技术的超大型FPGA和ASIC的设计和EDA

[0133] M2A2技术的主要优点之一是能够实现尺寸大于场大小的超大型裸片的制造。由于当前光刻技术中的 $26\text{mm} \times 33\text{mm}$ 的场大小限制,使用现有商业制造技术无法制造超大型裸片。此外,若裸片的大小接近场大小,则良率显著地降低。然而,使用M2A2技术,可将ASIC或FPGA裸片分段成多个较小的片块(dice)/分区(partition),然后使用取放机构对其进行组装/编织。以下分节描述了用以将ASIC或FPGA分段成较小片块/分区的方法,以及设计和编织每一个较小裸片/分区所需的EDA方法。

[0134] 本技术的多个实施例包括用以将ASIC或FPGA分段成较小分区及设计这些分区的技术。可使用现有商业/传统的或使用任何其他EDA流程来设计FPGA或ASIC SoC。然后,可使用以下任一方法将FPGA或ASIC的较大裸片分割成多个较小片块/分区:(1) 随机分段成具有所需小尺寸的分区;(2) 基于物理坐标均匀地分段以得到具有较小尺寸的分区;(3) 基于使用任一优化技术优化的某一目标函数进行分区,这些优化技术中的一些是最少切割、最小流量、线性/非线性离散优化、退火、ML驱动学习技术等,这些技术使用内部、第三方或新开发的软件/硬件工具。

[0135] 一旦分区设计完成,即利用使用定制金属裸片(CMD)的较高金属层将分区间连接连线。每一分区由基础层及前端互连件构成,且CMD包含较高金属层以布线不同分区之间的连接。这些较高金属层连接可使用现有商业EDA工具或任何内部/第三方或新开发的软件工具布线。可存在或不存在任何布线约束条件,诸如与ASIC流程相比较高的节距、较高宽度、额外的布线障碍等。

[0136] 图19-20示出了使用M2A2技术设计超大型FPGA和ASIC SoC的概念。然而,仅出于说明目的而包括这些实施例,并且可能的设计及分区方法不限于实施例中所示的这些方法。

#### 基于PFB的领域专用SOC的设计和EDA

[0137] 本技术的多个实施例能够使用电路设计及EDA方法以实施且设计基于PFB的可配置,和/或高效能和/或低功率的领域专用SoC。专用SoC通常意味针对给定领域实现功能的芯片上系统(system on chip, SoC)。例如,实施影像分类器的SoC属于一个领域,而执行通信操作的SoC属于另一领域。针对PFB可配置的硬件加速器领域SoC,已实现电路设计及EDA技术。然而,设计PFB可配置的领域专用SoC的想法并不仅限于硬件加速器,而是能够扩展至其他领域,诸如通信、处理器、控制器、服务器的高效能计算(high performance computing, HPC)等。

[0138] 近年来,对于智能应用,传感器的使用已指数性地增长。这导致传感器收集的数据激增。机器学习在从传感器数据中提取有意义的信息方面起着举足轻重的作用。机器学习通常利用神经网络技术来提取有意义的信息。在此分析中,由于大量、高速率地收集数据,因此需要大量的计算。这就必然需要能够执行高能效操作的专用硬件(称为硬件加速器)。计算可在云端或在边缘层级执行。云端处的计算可能会导致带宽问题。此外,通信的高能量成本与云计算相关联。因此,对在传感器(边缘)执行本地分析而非在云端处执行分析的需求不断增加。边缘计算还解决了与隐私、延时及安全性相关的主要担忧。然而,边缘计算设备对能耗具有严格约束条件,并且需要延长的电池寿命。因此,需要提出用于边缘计算的准确且能量效率高的电路。

[0139] 机器学习算法正在快速演进,以实现更好的性能/准确度。此外,硬件加速器中的诸如影像分类、视讯分类、语音识别等的不同任务需要不同类型的神经网络架构(不同类型的卷积神经网络(convolution neural network, CNN)和递归神经网络(recurrent neural network, RNN)架构)。因此,在该领域中实现特定应用所需的器件/SoC数量很少,但仍需要高性能能量效率。随着CMOS工艺技术的尺寸缩减,用于制造纳米级结构的掩模成本对于这些低体积ASIC应用来说已经变得极其昂贵,由此被迫转向高度非优选的FPGA。

[0140] 使用M2A2技术,本技术的多个实施例为这些类型SoC提供以下好处:(1) 设计者使用现有电路(针对现有神经网络设计)实施新演进的神经网络架构的可配置性。(2) 跨CNN

或RNN架构使用相同PFB。例如：相同的PFB可用于实施LeNet-5及AlexNet架构中的卷积层。

(3) 跨多个神经网络类型使用相同的PFB,即,使用相同的PFB来设计CNN 或RNN等。这样一来,可跨实施硬件加速器领域中的多种应用的多种变型及多种类型的神经网络共享掩模成本。因此,可使用M2A2技术来设计用于此领域中的应用的配置且能量高效的电路。

[0141] 典型的基于神经网络的ML硬件加速器包含不同类型的神经元层,诸如卷积层、激活层、池化层、完全连接层等。这些层使用不同的信号处理及设计域以硬件的方式实施,这些信号处理及设计域诸如数字逻辑、模拟域处理、时域处理、内存中计算或内存附近计算、混合信号设计等。

[0142] 本技术的多个实施例提供了用于实施多种基于神经网络的机器学习应用的高度可配置的能量高效电路的新型架构、设计及EDA。值得一提的是,通过使用PFB实现可配置性和能量效率的这一概念并不限于ML专用域。通过以下特征中的一个或多个来描述能量高效电路的新型架构及设计:

1. 卷积层,和/或激活层,和/或池化层和/或完全连接层及其他功能性区块是通过基于信号处理技术中的一种或多种的称作PFB的“微型电路”实现的;信号处理技术包括:时域,和/或模拟域,和/或混合信号域,内存中计算,和/或内存附近计算,和/或数字域处理技术。

2. 可存在各自具有不同设计配置的多种类型的PFB,这些PFB可包括以下电路中的一种或多种:

- a. 静态随机存取存储器 (static random access memory, SRAM)
- b. 动态随机存取存储器 (dynamic random access memory, DRAM)
- c. 非易失性存储器 (non-volatile memory, NVM)
- d. 数字合成的区块,这些区块包含实现任何功能的标准单元/逻辑闸
- e. 模拟和混合信号组件,例如模数转换器 (Analog to Digital converter, ADC), 和/或数模转换器 (Digital to Analog converter, DAC), 和/或压控振荡器 (voltage-controlled oscillator, VCO), 和/或时间数字转换器 (time to digital convertor, TDC) 等。

3. 每种类型的PFB都包含有限层数 $n$ ,其中 $n \geq 1$ 。所有组件可不连接且保持断开/浮动以实现可配置性。

4. 典型的领域专用SoC包含上文讨论的一种或多种类型的PFB的多个例子(#2)。

5. 典型的领域专用SoC可包含定制ASIC区块、FPGA、存储器区块、其他第三方知识产权 (intellectual property, IP) 区块等。

6. 在这一类型的SoC中,将组件 (PFB、定制块和其他块) 连线以实现给定的功能。

[0143] 如上所述,PFB是用于实现神经网络的特定层的微型电路 (大小通常为 $50\mu\text{m} \times 50\mu\text{m}$ 至 $5000\mu\text{m} \times 5000\mu\text{m}$ )。每一类型的PFB都可以随机设计,也可以考虑诸如功率、面积、性能、PPA、能量效率、数据移动减少、神经网络要求等的目标/考虑因素中的任一者来设计。值得一提的是,PFB的设计并不仅限于这些目标。

[0144] 图21是可以在本技术的一些实施例中使用的用于领域专用SoC的存储器PFB的示例。存储器PFB可用于储存和/或计算目的。阵列尺寸可随机地或基于规格 (优化PPA、能量效率、数据移动或任何其他度量下的储存及计算要求) 选择。在基于规格确定尺寸的情况下,



可使用多种技术,诸如图形技术、优化技术(离散、线性、非线性等)、基于机器学习的监督/无监督或任何其他学习技术、基于电路的设计技术等,这些技术使用现有内部或现有第三方或新开发的内部/第三方软件和/或硬件工具。

[0145] 这些类型的PFB中的存储单元可以或可不彼此连接,且随机确定或使用优化算法(这些优化算法中的一些在上文已提及)中的任一者基于可配置性对比性能折中来确定。这一类型的PFB包含基础层及 $n$ 个金属层,其中 $n \geq 1$ 。这些PFB可包含任何存储器技术及技术节点,即,可利用诸如14nm、20nm、28nm、45nm等的任何技术节点使用SRAM、DRAM、eDRAM、NVM等制造。图21示出了用于领域专用SoC的存储器PFB的示例。然而,仅出于说明的目的而包括该实施例,并且存储器PFB的可能的设计配置不限于实施例中所示的设计配置。

[0146] 图22是可以在本技术的一个或多个实施例中使用的用于领域专用SoC的数字逻辑PFB的示例。数字逻辑PFB可用于实现用于计算及其他目的的数字合成的宏区块。这些PFB中的标准单元及其他组件被放置于其中,并且彼此之间可以使用 $n$ 个金属层( $n \geq 1$ )随机地,或利用优化技术中的任一种(图形技术、优化技术(离散、线性、非线性等)、基于机器学习的优化、基于电路的设计技术等,这些优化技术使用现有内部或现有第三方或新开发的内部/第三方软件和/或硬件工具)进行连接,以针对以下一项或多项进行优化:PPA、功率、性能、面积、能量效率或任何其他度量。

[0147] 这些PFB还能够包含标准迷你IP宏区块,诸如比较器、移位器、脉冲发生器等。这些IP宏区块可在内部设计或者可由第三方供货商提供。此外,这些PFB可以包含FPGA 以实现任何特定功能。图22示出了呈现用于领域专用SoC的数字逻辑PFB的概念的实施例的示例。然而,仅出于说明的目的而包括该实施例,并且数字逻辑PFB的可能的设计配置不限于实施例中所示的设计配置。

[0148] 图23是可以在本技术的多个实施例中使用的用于领域专用SoC的混合信号PFB 的示例。混合信号及模拟域PFB可以用于实现诸如放大器(OPAMP、OTA、差分放大器、PLL等)、VCO、滤波器等模拟域信号处理元件,以产生领域专用SoC中所需的模拟域信号。这些类型的PFB可以或可不包含诸如ADC、DAC、TDC、DTC等的混合信号域元件,以实现模拟或混合信号域计算(例如在模拟时间或电压域中实现的MAC操作)所需的混合信号功能。

[0149] 这一类型的PFB中的组件可以或可不使用 $n$ 个金属层彼此连接,其中 $n \geq 1$ 。这些PFB可以完全在内部设计,或者这些类型的PFB中的一些或全部组件可以由第三方供货商提供。要放置在这些类型的PFB中的组件的放置及选择是随机确定的,或基于电路要求采用基于电路或其他优化技术中的任一种而确定的(这些技术中的一些在#1及#2中提及)。图23是呈现了用于领域专用SoC的混合信号模拟域PFB的概念的实施例的示例。然而,仅出于说明的目的而包括该实施例,并且混合信号/模拟域PFB的可能的设计配置不限于实施例中所示的设计配置。

[0150] 一些实施例提供了电路设计,且讨论了编织PFB及其他IP区块(FPGA、定制 ASIC、宏区块等)以实现领域专用SoC(示例:硬件加速器)的EDA方法。不同类型的PFB 及其他IP区块可随机地进行编织,或考虑诸如功率、面积、性能、PPA、能量效率、数据移动减少、神经网络要求等的多个目标/考虑因素中的任一者进行编织。

[0151] 值得一提的是,PFB的编织不仅限于这些目标。在基于一些特定度量/目标的优化来编织PFB的情况下,可使用多种技术,诸如图形技术、优化技术(离散、线性、非线性等)、基

于机器学习的监督/无监督或任何其他学习技术、基于电路的设计技术等,这些技术使用现有内部或现有第三方或新开发的内部/第三方软件和/或硬件工具。图24是根据本技术的一些实施例的用于编织PFB、FPGA、ASIC和其他块以实现领域专用SoC的顺序的示例。然而,仅出于说明的目的而包括该实施例,并且基于PFB的领域专用SoC的可能的设计配置不限于实施例中所示的设计配置。

[0152] 已编织PFB的SoC包含晶体管的基础层,及前端互连件。相同或不同PFB组件之间的连接是使用较高的金属层形成的。将已编织PFB的SoC与定制金属裸片(CMD)组装。CMD中的这些较高金属层可以使用现有商业EDA工具或任何内部/第三方或新开发的软件工具来设计/布线。可存在或不存在任何布线约束条件,诸如与ASIC流程相比较高的节距、较高宽度、额外的布线障碍等。

[0153] 图25是根据本技术的一个或多个实施例的用于在已编织PFB/其他组件的SoC上组装CMD以实现领域专用SoC的顺序的示例。然而,仅出于说明的目的而包括该实施例,并且用以设计/组装CMD与编织的PFB的可能方法不限于实施例中所示的方法。

#### 用于基于逻辑PFB的SOC的EDA方法

[0154] 图26是根据本技术的多个实施例的针对基于逻辑PFB的SoC的M2A2 EDA流程的示例。如图26所示,可以将训练集设计馈送到PFB设计生成模块2610中。可以将使用基线ASIC流程的设计的放置数据、逻辑PFB的数目及技术库馈送至可设计基于PFB的SoC的PFB编织模块2620中。可以将此设计馈送至用于合成的准备模块2630中,且掩模模块2640可准备用于合成的后掩模ECO。优化模块2650能够执行一个或多个前CTS优化以形成后掩模CTS2660。布线引擎2670能够建立可由签核分析模块2680分析的后掩模布线。决策区块可确定QoR是否已得到满足,并且可以将请求的更新设计或对设计的验证2690提交至代工厂。

[0155] 图27是根据本技术的一些实施例的PFB设计算法2700的概述的示例。图28描述了用于基于逻辑PFB的SoC的设计实现方式的EDA方法。在PFB设计生成中,基于来自多个基线ASIC的时序及放置数据生成有限数目的PFB。一旦PFB生成,则将其充当设计库。在M2A2设计实现阶段中,将PFB编织在一起以满足给定设计的功能要求。将此设计称作预放置PFB SoC (pSoC)。接下来,处理PFB及pSoC设计放置数据以生成网络连线表和设计交换格式(design exchange format,DEF)文件。然后,使用行业标准的ECO工具(Cadence Conformal)执行后掩模ECO合成。这样就可以使用预先放置在pSoC中的备用单元对设计进行合成。这些构成了前端设计阶段。

[0156] 在后端设计阶段,首先使用商业EDA工具(Cadence Innovus)执行前时钟树合成(前CTS)优化。为了实现后掩模CTS,首先使用商业EDA工具(Cadence Innovus),通过在SoC的所需区域中插入单元来构建时钟树。这些所需区域是放置备用时钟缓冲器、反相器及时钟门控单元的区域。然后,使用最小成本二分匹配算法将新添加的时钟树单元映射到现有备用单元。一旦使用备用单元最佳地构建了时钟树,即使用商业EDA工具执行布线和签核分析。

#### 用于通用或领域专用SOC的逻辑PFB的设计

[0157] PFB设计问题可被公式化为设计可以用于实现多个ASIC的有限数目的通用PFB。对PFB中的标准单元的随机选择及放置可导致堵塞、高互连延迟及时序收敛问题。此外,设计可能导致使用大量的PFB,从而使M2A2设计的PPA降级。另一方面,基于贪婪映射的聚类及

基于迭代映射的聚类技术可以用于PFB设计。然而,这些方法并不保证全局最佳解决方案,这是因为决策是基于在每一迭代中可获得的信息迭代地做出的,而非优化总体目标函数而做出的。

[0158] 为了设计最佳PFB,多个实施例使用基于图形匹配及无监督学习技术的PFB设计算法(图27)。这个想法是通过学习多个基线ASIC(训练集设计)的标准单元放置信息来设计PFB的。一些实施例可首先识别训练集设计中的与标准单元放置具有相似性的区域。随后,将具有类似标准单元放置的区域分组在一起以生成PFB。使用图形匹配技术执行相似性分析,而使用k均值算法执行对相似区域的分组。k均值中的质心的随机初始化通常生成次优解。为了解决此问题,我们确定了初始质心位置,以使每个质心都位于唯一的集群内。

[0159] PFB设计算法可划分成2个阶段:(1)生成充当k均值算法的初始质心的initialPFB;及(2)通过执行k均值聚类及生成PFB的最终集合来改善initialPFB。第一阶段的细节如下。使用基线ASIC流程合成且放置训练集设计。

[0160] 在步骤1中,获得放置分布及时序路径属性,诸如时钟周期、所有单元的时序路径载物台的数目。将所有训练集设计逐个放置,并且处理这些合并设计的单元放置信息。值得一提的是,并不考虑训练集设计中的单元的连接性,这是因为PFB包含备用门(具有浮动输入及输出引脚的标准单元)。在步骤2中,将合并设计的平面布局图分段成多个小区域,称为分格(bin)。使分格的尺寸保持与PFB的尺寸(使用者输入)相同。

[0161] 步骤3至5确定跨不同分格的标准单元放置的相似性。评估每一分格的单元示例的相对位置。通过假设分格的左下角为原点来计算分格中的每一单元的相对位置(图28B)。在步骤3中,如(1)所给出,评估每一单元示例的cellTimingWeight。该参数定义为时钟频率与通过给定单元的每一时序路径的载物台的数目的乘积的最大值。通常,更高的载物台数目和/或更快的时钟速度在时序路径的每一载物台中引起较低的时序裕量裕度。因此,

$$cellTimingWeight = \max_{\forall path_i \in allPaths} (\#stages_{path_i} * freq_{path_i}) \quad (1)$$

$$binTimingWeight = \sum_{i=1}^m cellTimingWeight_i \quad (2)$$

cellTimingWeight表明给定单元的时序临界因子。接着,通过累积放置于给定分格中的全部单元的cellTimingWeight值来计算每一分格的binTimingWeight度量(图28A)。临界时序路径单元所放置的分格,和/或具有较多单元数目的分格具有较高的binTimingWeight度量值。

其中m为存在于分格中的单元的总数。在步骤4中,将最大的时序临界分格(具有最高 binTimingWeight的分格)指定为时间临界分格。将所有其他分格与该时间临界分格进行比较。使用二分图执行相似性分析。二分图为图形顶点的集合,该集合分解成两个不相交集,即 A及B,使得每个边缘连接A中的顶点和B中的顶点。将给定分格(集合A)的单元匹配至时间临界分格(集合B)的单元。接着评估每一对单元的二分图中的边缘成本,边缘成本表示给定分格及时间临界分格中的单元之间的时序加权曼哈顿距离。计算给定分格及时间临界分格中的单元的相对位置之间的曼哈顿距离(图28B)。接着通过cellTimingWeight与时间临界分格中的映射单元的距离的乘积来计算edgeCost度量,如(3)所给出。

$$edgeCost_{xy} = CellTimingWeight_x * relative\_distance(x,y) \quad (3)$$

其中x为分格中的单元,y为时间临界分格中的单元。[SEP]在步骤5中,评估给定分格中的所有单元的matchingCost,如(4)所给出。将给定分格中的单元映射至时间临界分格中的逻辑上等价的单元,使得二分图中的匹配的总成本(edgeCost)减至最小(图28D)。

[0162] 为了优化运行时间,以 $O(n \log n)$ 时间复杂性实现最小成本二分图匹配算法,其中n为待匹配的顶点的数目。对于未匹配至时间临界分格中的单元的单元,确定penaltyCost,如(5)所给出。对于每一未匹配单元,将给定单元与最远分格边缘之间的曼哈顿距离乘以单元的cellTimingWeight以计算单元的edgeCost。接着,通过将所有未匹配单元的edgeCost相加,并且将结果乘以惩罚因子(p,由使用者基于#PFB类型设定)来计算penaltyCost。接着,通过将放置于分格中的所有逻辑类型的单元的matchingCost及penaltyCost相加来计算每一分格的disSimilarityCost,由(6)给出。该度量定性地表示给定分格与时间临界分格之间的标准单元放置的相异性(图28)。

$$matchingCost = \min \left( \sum_{j=1}^m edgeCost_j \right) \quad (4)$$

$$penaltyCost = p * \left( \sum_{k=1}^q cellTimingWeight_k * edgeCost_k \right) \quad (5)$$

$$disSimilarityCost = \sum_{i=1}^n (matchingCost_i + penaltyCost_i) \quad (6)$$

其中m=给定逻辑类型的单元的数目,q=未匹配单元的数目,n=放置于分格中的单元的总逻辑类型,并且p=惩罚因子。

[0163] 将disSimilarityCost小于disSimilarityThreshold值的分格分组在一起。disSimilarityThreshold的值表明放置于给定分格中的单元至时间临界分格的相对位置中所允许的最大变化。接下来,评估binTimingWeight度量,该度量定性地表示由分组的分格形成的集群的相对大小。将此度量与基于PFB类型的数目(使用者输入)确定的groupingThreshold 进行比较。若groupedBinsWeight超过groupingThreshold值,则将时间临界分格指定为 initialPFB。将所有已分组分格指定为匹配分格。否则,不形成initialPFB。重复生成initialPFB 的过程,直至得到所需数目的initialPFB。应注意,在后续迭代中,仅考虑不匹配分格。最后,将剩余的不匹配分格匹配至initialPFB中的具有最低disSimilarityCost的initialPFB。

[0164] 现在执行k均值聚类算法以改善initialPFB设计。图29是可以在本技术的多个实施例中使用的PFB设计算法中进行K均值聚类以生成最终PFB的示例。将每一分格匹配至initialPFB中的具有最低disSimilarityCost的initialPFB(2910及2920)。一旦全部分格指定至 initialPFB中的一个,即基于这些匹配分格对initialPFB设计进行更新(2930)。在initialPFB 中添加/删除/移动这些标准单元以减小相对于匹配分格的disSimilarityCost。这可被视为将每一质心移动至其集群的中心。迭代地运行k均值算法,直至观测到disSimilarityCost无改善或改善最小。最后,在每一PFB中执行标准单元放置合法化,使得总的单元位移减至最小。

用于通用或领域专用SOC的逻辑PFB的编织

[0165] 图30是可以在本技术的一些实施例中使用的PFB编织算法的概述的示例。图30 中

所示的PFB编织算法的目标为选择PFB且将这些PFB放置在基板上,使得已编织PFB的 SoC可在最佳PPA下实现给定设计的功能。为了实现此目的,首先使用基线ASIC流程执行给定设计的合成及放置,以得到标准单元的放置分布。接着,将PFB编织至SoC上,使得其类似于ASIC设计的标准单元放置。算法的细节如下。接下来,处理ASIC设计中的单元的放置及时序信息。在下一步骤中,将整个ASIC设计平面布局图分段成多个小区域,被称为分格(3010)。使分格的大小保持与PFB的大小相同。接下来,使用(1)及(2)确定所有单元及分格的cellTimingWeight及binTimingWeight。在下一步骤中,定义有效PFB位点,这些位点具有大于阈值的标准单元利用率(取决于面积约束条件)。

[0166] 接下来,使用最小成本二分图匹配技术将具有有效PFB位点的全部分格匹配至PFB。将给定分格与每一PFB进行比较,并且将其映射至具有最低disSimilarityCost(使用(4)至(6)计算,3020)的分格。因此,将标准单元放置最类似于PFB位点的标准单元放置的PFB指定给分格。重复此步骤,直至将PFB中的一个指定给每一有效PFB位点(3030)。一旦所有PFB被指定,即确保预先放置PFB设计中的循序组件(正反器、锁存器等)的计数不小于(基线ASIC中所使用的)所需计数。

[0167] 这可以通过以下方式实现:(1)针对循序组件设定较高cellTimingWeight。因此,循序组件的disSimilarityCost将较高,并且由循序组件支配的PFB将指定给具有较高循序组件的PFB位点。(2)在设计中添加额外PFB,使得所需数目的循序组件放置在已编织PFB的SoC中。一旦PFB选择被改进,则执行设计中的PFB的放置合法化。在此步骤中,将这些PFB对准至标准单元行,使得总的PFB位移减至最小(3040)。在此步骤中,还确保PFB之间的空间为填充物PFB尺寸的整数倍,使得可在空白处插入填充物单元PFB以满足密度要求。最后,将PFB放置数据馈送至ECO工具(Cadence Conformal)以使用预先放置于已编织PFB的SoC中的备用单元执行后掩模ECO合成。

[0168] 图31是根据本技术的一个或多个实施例的组装CMD与已编织PFB的SoC以实现最终SoC的示例。图32是根据本技术的多个实施例的用以实现最终SoC的已编织PFB的SoC(PFB knitted SoC)的后端处理的示例。图33是根据本技术的多个实施例的基于ASIC和M2A2的示例性平面布局的示例。图34是根据本技术的一些实施例的基于ASIC和M2A2的示例性平面布局的示例。仅出于说明目的而包括这些实施例,并且设计/组装已编织的PFB的可能方法不限于这些实施例中所示的方法。

针对通用或领域专用SOC的逻辑PFB设计和编织考虑因素

[0169] PFB的尺寸设定是一个取决于多种设计及成本折中的工程化优化问题。较小的PFB尺寸使PFB通用性较低,由此使所需的PFB类型的数目增大,从而导致NRE成本增加。另一方面,当与ASIC相比时,较小尺寸的PFB导致M2A2设计具有较小的面积支出(overhead),因此改善了PPA。因此,需要通过考虑NRE成本与PPA对M2A2设计的影响之间的折中来小心地挑选PFB尺寸。

[0170] 为了确定PFB类型的最佳数目,针对不同k值执行PFB设计算法(k均值)。挑选通过增大k不会进一步减小disSimilarityCost的k的最小值作为PFB类型的限制(最佳)数目。这确保设计最少数目的PFB,使整个训练集设计的区域/分格的标准单元放置具有相当良好的相似性。

[0171] 对于给定设计的成功合成,在已编织PFB的SoC中具有所需数目的标准单元是必需

的。若与给定设计的所需循序单元相比,存在的循序单元数目不足,则可不合成该设计。提出的PFB编织算法确保将足够数目的循序单元放置在已编织PFB的SoC中。对于不足的组合式标准单元,执行后掩模ECO合成(使用现有EDA工具)以使用备用组合式逻辑门来实现必要的逻辑功能性。若合成即使在应用逻辑重构技术之后仍失败,则编织额外的PFB,从而确保维持直线(rectilinear)平面布局图。在最坏情况的场景中,添加单一PFB至平面布局图可导致平面布局图面积增加该PFB的整个列/行。在M2A2面积计算中考虑此支出。在分析中,我们注意到,后接后掩模ECO合成的PFB包括的单一迭代实现了设计的成功合成。

[0172] 为了缓解合成期间的布线堵塞,可设定最大放置利用率,和/或在频繁使用的PFB中,可以将备用单元示例中的一些指定为“不使用”。若合成由于错失备用门而失败,则邻近于原始PFB放置复制PFB,并且再次执行合成。

[0173] 通过对属于功能类别的特定集合的设计的训练集应用学习技术k均值算法来生成PFB。因此,可以使用所提出的基于PFB的M2A2实现具有类似“功能组成”的给定设计。该设计十分适合需要具类似功能性设计的多个变型的低体积ASIC。应注意,有限PFB无法实现与训练集设计功能组成差别很大的“任意任意”设计。给定的任意设计可能不会正确地合成,这是因为这些PFB未针对此设计集合进行训练。这种限制对机器学习中的标记数据集的训练是通用的,并且不特定于提出的M2A2方法。此限制可通过扩大现有PFB库以理解新设计的功能组成来缓解,代价为由额外PFB引起的NRE成本增加。

[0174] 在先进CMOS节点中,不仅较低金属层(M0及M1)需要关键掩模集合,而且中间金属层(M2至M5)也需要,从而招致高NRE成本。在此情境中,PFB可能需要包括中间金属层,并且可不再仅含有备用标准单元。这可限制PFB设计灵活性,并且可导致PFB类型数目和/或编织设计所需的高PFB示例的显著增加。因此,M2A2设计的PFB类型的数目、PFB中的金属层的数目及PPA间的折中分析是必要的。

#### 基于PFB的SOC(通用或领域专用)的测试

[0175] 本技术的多个实施例提供针对基于PFB的SoC的测试方面的系统及技术。这些SoC可以用于如处理器、控制器、通信等的一般ASIC应用,或用于如硬件加速器等领域专用应用。M2A2技术的主要益处之一在于M2A2技术可提升中型至大型裸片的良率。这是由于M2A2技术编织PFB以实现最终SoC。

[0176] 不管基于PFB的SoC的大小如何,PFB大小保持不变(小得多)。例如:假设PFB大小为 $500\mu\text{m} \times 500\mu\text{m}$ ,并且最终SoC的尺寸为 $40\text{mm} \times 40\text{mm}$ 。由于当前光刻技术中的 $26\text{mm} \times 33\text{mm}$ 的场大小限制,不能使用现有商业制造技术制造这种SoC。此外,若裸片的大小接近场大小,则良率降低。然而,在M2A2技术中,可使用现有商业制造在高良率下制造 $500\mu\text{m} \times 500\mu\text{m}$ 尺度的PFB,随后,将 $6400 \left( (40\text{mm} \times 40\text{mm}) / (500\mu\text{m} \times 500\mu\text{m}) \right)$ 个这样的PFB编织/组装以实现最终SoC。此外,即使存在某一不良PFB裸片,也不组装该裸片以实现最终SoC。这样一来,M2A2实现的设计的良率显著优于现有ASIC、FPGA等,尤其对于超大型设计而言。

[0177] 为了使用M2A2技术实现高良率设计,多个实施例可执行以下各项中的一种或多种:1) 找出合格的PFB裸片,可组装该PFB裸片以实现基于PFB的SoC的前端层。2) 找出合格的定制金属裸片(CMD)裸片,该裸片可与已编织PFB的设计进行组装;及3) 确定最终SoC(组装了PFB及CMD)是否为合格的裸片。

[0178] 在下文讨论了用以解决上述要求的测试手段/方法。为了确定合格的PFB裸片,使

用标准测试技术中的任一种来执行功能性及连接性检查,这些标准测试技术诸如内建自测试(built-in self-test,BIST)、基于扫描链的测试(边界的,部分的,等等)、固定型故障技术以及针对功能、结构、物理及连接性的其他标准商业测试技术。此测试逻辑可存在于PFB区内部,或存在于PFB区外部(用于编织PFB的空间)。

[0179] 其他可能技术中的一者可为放置逻辑/存储单元等,该技术对PFB外(此空间是用于编织PFB的空间)的制造/光刻(难以实现)具有关键/复杂/挑战性要求。测试类似于PFB的关键功能逻辑的测试逻辑。基于使用现有或新开发的内部/第三方工具的统计数据及良率分析,可确定PFB其是否为合格的PFB。关于连接性检查,对定制金属裸片(CMD)进行测试。商业第三方或内部或新开发的测试软件可以用于连接性测试。可在CMD中布线/添加/放置额外金属层、引脚及端口中的一些,以仅用于确定CMD是否为合格裸片这一测试目的。一旦合格的PFB被编织且合格的CMD被组装,执行最终的完整SoC层级测试。在此层级,使用标准测试技术中的任一种执行功能层级测试及连接性层级测试,这些技术诸如内建自测试(built-in self-test,BIST)、基于扫描链的测试(边界的、部分的等等)、固定型故障技术以及针对功能、结构、物理及连接性的其他标准商业测试技术。

[0180] 图35是可以在本技术的一个或多个实施例中的基于M2A2的SoC的测试方法3500的示例。在图35中所示的实施例中,PFB测试操作3510测试PFB以确定这些裸片是否为合格的裸片。CMD测试操作3520测试CMD以确定CMD是否为合格的裸片。若PFB测试操作3510或CMD测试操作3520识别一不良PFB或CMD,则在一些实施例中,可以将该不良元件的位置添加至一不使用列表。编织操作3530编织合格的PFB,并将合格的CMD 组装在已编织的PFB上以实现完整SoC。此操作可例如基于测试操作3510和/或3520生成的不使用列表或黑名单进行。然后,SoC测试操作3540测试所完成的SoC。

[0181] 图36A-36E示出了可以在本技术的多个实施例中使用的用于基于M2A2的设计中的PFB、CMD以及最后层级SoC的测试逻辑的示例。仅出于说明目的而包括这些实施例,并且测试PFB、CMD以及组装有PFB和CMD的SoC的可能方法并不限于实施例中所示的方法。图36A和36B示出了多个PFB。在许多情况下,无法测试整个PFB。因而,一些实施例允许将测试逻辑整合在PFB的周边上,而功能部件(例如,存储器阵列等)置于其中。在图36C中,可以将合格的PFB编织在一起。图36D和36E示出了这些金属层的不同横截面。

#### 用于3D SOC中的逻辑分割的EDA方法

[0182] 近年来,基于摩尔定律的晶体管2D尺寸缩减正在接近基本的物理极限,从而需要范例式转变以保持集成电路的进步。同时,由于消费型移动设备、IoT和由诸如机器学习及大数据分析等高端云计算应用的驱动,对能量高级的高级计算及存储器的需求正在达到空前水平。在高性能及海量数据计算的领域中,正在探索3D集成电路(3D-IC)技术以形成紧凑型异质整合的逻辑至逻辑(logic-logic)或逻辑至存储器(logic-memory)3D IC。传统2D ASIC 设计可一个在一个上方地堆叠成多个阶层/层,从而形成芯片上3D系统(SoC)。这在较低占据面积下生成了更好的功率及性能度量。典型的2D ASIC SoC包含数百万个标准单元。3D 设计分割问题处理的是如何最优地将单元指定至3D堆叠中的每一层/阶层。最优意味着以使得实现最低功率—性能—面积(Power-Performance-Area,PPA)的方式来放置单元。

#### 3D ASIC设计分割问题

[0183] 在前沿设计节点(20nm及更低)中,延迟由导线延迟主导,并且功率由泄漏功率主

导。导线延迟与网状物的导线长度成正比。减小导线长度导致延迟更少(意味着较高性能)及功率更低(需要较小数目的缓冲器、更多VT单元以满足频率目标)。为了减小导线长度,可以以3D空间而非2D空间放置单元。可将单元放置在多个阶层中,即可一个在一个上方地堆叠多个2D平面。3D设计分割问题处理的是如何最优地将单元指定至不同阶层中,使得PPA减至最小。

[0184] 此问题可以使用诸如迭代贪婪方法、模拟退火、基于图形的技术、基于目标函数的优化技术等的方法来解。本技术的多个实施例可以使用优化技术来解决此问题。此问题是优化问题,其中多个实施例在给定约束条件的集合下将目标函数减至最小。此优化问题属于NP难题的类别,这些问题可以使用以下方法中的一种或多种高效地且最佳地解决:线性规划(linear programming, LP),和/或整数线性规划和/或混合整数规划(mixed integer programming, MIP)模型。

[0185] 所提出的方法的细节讨论如下。值得一提的是,下文所示的分析是针对2个阶层(阶层0及阶层1)。然而,此分析(同一方法)可针对任何(更多)数目的阶层进行缩放/一般化。

问题公式化—目标函数及约束条件

[0186] 考虑具有n个单元(节点)及k个网状物(边缘)的ASIC设计。目标是将分割成2个阶层(层0及层1)的设计中的总边缘成本减至最小,以便得到最佳PPA。目标函数可以由(7)给出。

$$\text{minimize } \sum_{k=1}^{k=\gamma} \text{edgeCost}_k \quad (7)$$

其中,  $\gamma$  为设计(图)中的网状物(边缘)的总数。

[0187] 边缘成本(edge cost)表明设计中的2D时序及物理察觉(physical awareness),及3D通孔及布线障碍。边缘成本由(8)给出。

$$\text{edgeCost}_{i,j} = \alpha_{i,j} (|x_i - x_j| + |y_i - y_j|) + \beta_{i,j} (|z_i - z_j|) \quad (8)$$

其中,对于单元i及j,  $\alpha_{i,j}$ 表示时序系数,  $\beta_{i,j}$ 表示3D通孔及布线障碍惩罚因子(自身布线障碍及至相邻单元的布线障碍)。(  $x_i, y_i, z_i$  )为单元i的X、Y及Z坐标。在此,  $|x_i - x_j| + |y_i - y_j|$ 表示单元i与j之间的2D曼哈顿距离。在此,

$$z_i = \begin{cases} 0, & \text{如果单元i被放置在第0层} \\ 1, & \text{如果单元i被放置在第1层} \end{cases}$$

[0188] 结合(7)和(8),目标函数由(9)给出。

$$\text{minimize } \sum_{i=1}^{i=n} \sum_{j=1}^{j=m_i} \left( \alpha_{i,j} (|x_i - x_j| + |y_i - y_j|) + \beta_{i,j} (|z_i - z_j|) \right) \quad (9)$$

其中, n为单元的总数,  $m_i$ 为连接至单元i的单元的总数。

[0189] 在该设计中,单元可仅以标准单元行放置,即,单元的y坐标值是标准单元高度的倍数。考虑此情况,目标函数可由(10)给出。

$$\text{minimize } \sum_{i=1}^{i=n} \sum_{j=1}^{j=m_i} \left( \alpha_{i,j} (|x_i - x_j| + h|r_i - r_j|) + \beta_{i,j} (|z_i - z_j|) \right) \quad (10)$$



其中,  $h$  为标准单元高度,  $r_i$  为单元  $i$  的行号,  $r_j$  为单元  $j$  的行号。在此, 行号  $r$  属于  $Z^+$ , 其中  $Z^+$  表示正整数的集合。 $\alpha_{i,j}$ 、 $\beta_{i,j}$  及  $h$  为设计系数/常数。

[0190] 以上问题的约束条件由 (11) 至 (15) 给出如下。

[0191] 决策变量  $(x_i, r_i)$  的上界及下界:

$$0 \leq \min(x_{2D}) \leq x_i \leq \max(x_{2D}), x_i \in \mathbb{R}^+ \quad (11)$$

$$0 \leq \min(r_{2D}) \leq r_i \leq \max(r_{2D}), r_i \in \mathbb{Z}^+ \quad (12)$$

$$0 \leq z_i \leq 1, z_i \in \mathbb{Z}^+ \quad (13)$$

[0192] 在此,  $R^+$  表示正实数的集合,  $Z^+$  表示正整数的集合,  $x_{2D}$  及  $r_{2D}$  为 2D 设计 (平面) 中的任何单元的  $x$  坐标 (在水平方向上的单元的中心) 及行号。 $(x_i, r_i, z_i)$  分别为单元  $i$  的  $X$  坐标、行号及  $Z$  坐标。

[0193] 设计中单元不重叠 (相同阶层/平面):

$$|x_i - x_j| \geq \left( \frac{w_i + w_j}{2} \right), \text{ if } (r_i = r_j \wedge z_i = z_j) \quad (14)$$

[0194] 在此,  $x_i, x_j$  为中心水平坐标,  $r_i, r_j$  为行号,  $z_i, z_j$  为  $Z$  坐标,  $w_i, w_j$  分别为单元  $i$  及  $j$  的宽度。

[0195] 每一阶层/层的面积平衡约束条件:

$$\left( \frac{1 - \epsilon}{2} \right) \sum_{i=1}^{i=n} w_i h \leq \sum_{i=1}^{i=n} w_i h p_{i,k} \leq \left( \frac{1 + \epsilon}{2} \right) \sum_{i=1}^{i=n} w_i h \quad (15)$$

[0196] 在此,  $\sum_{i=1}^{i=n} w_i h$  表示总的标准单元面积。 $h$  为标准单元高度,  $w_i$  为标准单元  $i$  的宽度。标准单元  $i$  指定至层  $k$ , 则  $p_{i,k}$  为 1。 $k$  的有效值为 0 及 1。 $\epsilon$  为面积释放因子, 其可凭经验确定。

[0197] 应考虑用于电源配送网络的预先放置 MIV。这些 MIV 位点应保留且不应用于信号 MIV。此情况可加为预先 (upfront) 约束条件, 或可在 MIV 合法化阶段中考虑 (无需预先约束条件)。

[0198] 在 F2F 或 F2B 3D 技术的情况下, 可考虑 I/O 端口或垫的放置以限制找出最佳解决方案的搜寻空间。因此, 问题为在约束条件 (11) 至 (15) 下对 (10) 求解。

[0199] 多个实施例可评估如上文所讨论的目标函数 (10) 的系数  $(\alpha_{i,j}, \beta_{i,j})$ 。参数  $\alpha$  表示将单元  $i$  作为驱动器单元且将单元  $j$  作为接收器单元的网状物的时序轮廓权重。该参数基于以下因素确定:

- 时钟频率: 对于通过单元  $i$  及  $j$  的给定网状物, 获得通过这些单元的时序路径的列表。在确定  $\alpha$  时考虑具有最快时钟频率 (最小时钟周期) 的有效时序路径。

- 时序路径中的载物台数目及裕量轮廓: 若时序路径中存在更多载物台, 则时序路径将更受约束。载物台的数目越多, 每一载物台/网状物的时序预算越少。因此, 可评估与每一网状物相关联的裕量。若裕量/载物台值较小, 则  $\alpha$  将较小。

- 源单元的扇出数目: 对于给定网状物, 若源单元具有高扇出, 则源单元的旋转速率较低, 这限制了通过此源单元的网状物的时序预算。

- 每微米的延迟:针对一给定技术,评估每微米的延迟。在 $\alpha$ 的确定中使用此参数。

[0200] 针对单元*i*及*j*,参数 $\beta$ 表示3D通孔及布线障碍惩罚因子。此参数基于以下因素确定:

- MIV的寄生( $R_{MIV}, C_{MIV}$ )及尺寸:MIV尺寸(直径及深度)和寄生( $R_{MIV}, C_{MIV}$ )确定两个裸片之间的耦合电容。若单片阶层间通孔(monolithic inter-tier via, MIV)的尺寸较大,则MIV寄生将更多。

- 扇出数目(布线障碍对相邻单元的影响):若源单元或接收器单元的扇出高,则所需的布线资源则更多。若插入MIV,则MIV将在更多路径中形成障碍。因此,扇出愈高,由MIV插入引起的布线障碍对相邻单元的影响愈高。

- 自身布线障碍影响:由于MIV插入,形成了布线障碍,如此在同一网状物的2D布线中添加了一定弯路。在 $\beta$ 的确定中应考虑此因子。

- 阶层之间的距离:裸片间耦合电容取决于MIV尺寸及阶层之间的距离,并且在阶层间距离小于1微米后开始占主导。

#### 硬件安全

[0201] 虽然缩减尺寸是半导体行业的中心问题,也是本文的主要目标,但还有其他问题也可以使用此处探讨的方法解决。硬件安全就是这样的问题之一。以下是简要说明。

[0202] 为了使设备从最初的设计过渡到大规模的制造和使用,需要跨许多组织和国家边界共享敏感的知识产权。借助相关信息,供应链中不受信任的成员可能会仿制原始设计和/或将恶意组件插入器件中。据估计,半导体行业每年由于IP侵权导致高达40亿美元的损失,而每年由于伪造IC(包括回收、标记、篡改和过量生产的IC)导致估计1690亿美元的损失。已经提出了分体制造方法作为硬件安全问题的解决方案。这涉及在先进且可能不受信任的代工厂中制造电路的高分辨率前端部分,而在受信任的(可能是本地或内部)但不太先进的代工厂中进行低分辨率电路制造(参见图37)。

[0203] 图37是示出了可以在本技术的一些实施例中使用分体制造方法的图3700。然而,分体制造不能保证安全性。例如,若直至金属层*n*的制造在先进但不受信任的代工厂发生,其中 $n \geq 2$ ,则存在特洛伊插入或对芯片连接进行逆向工程的可能(若 $n > 3$ )。另一方面,若在不受信任的代工厂制造至金属层1,无法使用用于高级CMOS节点的现有受信任的代工厂基础架构制造后端层。

#### 使用N-MAP的用于硬件安全的分体设计/制造方法

[0204] 多个实施例可组装有限数目的小心设计的前端PFB,并且使用后端金属层连接这些前端PFB,由此允许实现类ASIC的功率、性能及面积规格。EDA方法的一些实施例可与N-MAP一起调整,以实现稳健的硬件安全解决方案。通过在可能不受信任的晶圆厂处制造作为PFB的部分的前端电路组件,并使用仅含有金属层的PFB(自此开始称为定制金属裸片或CMD)将这些前端电路组件联接在一起,多个实施例可基本上以下述方式分离IC设计,以使得不受信任的晶圆厂无法知道完成的器件的最终配置及功能。若假设前端PFB含有至多或低于金属层2的电路组件,则在14nm节点处,组装将需要 $\sim 17\text{nm} (\mu + 3\sigma)$ 的叠加精度。

[0205] 图38是示出了根据本技术的一个或多个实施例的使用N-MAP的分体晶圆厂(SDSF)的图3800。如图38中所示,不受信任设施3810(例如,P1、P2及P3)可以用于PFB(例如,PFB1、PFB2及PFB3)。PFB可以相同或不同。同样,另外可能的不受信任设施(例如,C1及

C2)可以用于制造CMD(例如,CMD1及CMD2)。CMD可以相同或不同。在一些实施例中,PFB设施可能与CMD设施相同或不同。这些PFB及CMD可转移至受信任设施3820。使用取放组装,受信任设施3820可产生完整SoC。

[0206] 源晶圆理想地应为晶圆厂不可知的。由于块状硅是半导体制造中最常使用的基板,因此理想地,源晶圆也应使用块状硅。一些实施例可以使用多种方法以用于在块状硅中制造PFB之后(并在取放之前)形成掩埋牺牲层。因而,可在一个代工厂形成PFB晶圆,同时可在第二代工厂形成CMD晶圆。然后,在受信任设施3820中,本文中所描述的取放技术可以用于自多个PFB晶圆(或具有多个PFB的单一晶圆)形成SoC 3830的前端。接着,取放组件可以将CMD放置在SoC3830的前端顶部上,以形成完整的SoC 3840。

[0207] 图39是示出了以在本技术的多个实施例中使用的沿着J-FIL的线路模型化的基于真空的取放组装工艺的示例的框图3900。源晶圆在取放组装之前经历以下预处理步骤(参见例如图40及图41)。化学机械抛光(CMP)对于工艺顺序中稍后的PFB黏合可为必需的,PFB黏合需要镜面抛光的黏合表面。封装层包覆可以用于保护抛光表面免于污染,以及保护PFB中的电路元件在栓绳形成期间免于化学侵蚀。进出孔蚀刻可以用于形成向下蚀刻至掩埋牺牲层的进出孔。第二封装层包覆可在一些实施例中使用以保护PFB的侧面。接着可应用栓绳蚀刻。此栓绳蚀刻可涉及部分地蚀刻掉掩埋牺牲层,使得留下栓绳结构。可以使用蒸气相蚀刻剂执行蚀刻,以防止由静摩擦引起的PFB塌陷。

[0208] 在默认组装配置中,PFB金属触点被定向为朝向产品晶圆。针对此配置,取放组装可在三个阶段中进行。在第一阶段中,PFB夹盘使用真空吸引将自身附接至(单个源晶圆上的)所有PFB(参见例如图42)。蒸气形式蚀刻剂经由断续的孔分配在PFB夹盘上,以蚀刻掉栓绳,接着自源晶圆提起这些PFB。PFB夹盘充当PFB的临时储存器—只要维持真空吸引,并且温度条件保持稳定,PFB将以光刻精度保持附接至夹盘。应注意,PFB夹盘上的吸取区域可单独地寻址以实现后续的逐裸片拾取。

[0209] 在取放至产品晶圆上之前,需要去除PFB上的封装层。在此处理阶段,将PFB定向为朝向PFB夹盘,其中封装层夹在PFB与夹盘之间。为了实现倒转定向,将PFB转移至第二PFB夹盘(参见例如图43),随后将该第二PFB夹盘转移至大气压力的 $O_2$ 等离子体灰化器。该灰化器将封装层与PFB上的任何有机污染物一起除去。随后PFB被转移回第一PFB夹盘。

[0210] 在第三也就是最后阶段中,使用逐裸片拾取的顶衬,该顶衬自PFB夹盘拾取单个PFB且将这些PFB放置(且黏合)至产品晶圆上(参见例如图44)。该逐裸片拾取顶衬确保仅拾取合格的PFB,因此实现N-MAP的高良率要求。

[0211] 图45示出了用于第二组装配置的工艺顺序4500,其中PFB金属触点背向产品晶圆。PFB夹盘(其可被视为主体拾取顶衬)及逐裸片拾取顶衬是组装工艺的关键部件。该两者确保当将PFB自源晶圆转移至产品晶圆时维持光刻精度。在自源晶圆的拾取期间,重要的是PFB的顶部与底部之间的压力差足以使这些PFB保持附接至PFB夹盘。这是自源晶圆的拾取期间的主要关注点。一旦PFB已经自源晶圆拾取且正在转移,例如自PFB夹盘至逐裸片拾取顶衬转移,夹盘即可通过对PFB的一侧加压来帮助拾取。然而,在自源晶圆拾取期间,对PFB的一侧加压产生了严重的工程化挑战。

[0212] 图46示出了在自源晶圆拾取期间,间隙压力显著大于大气压力的场景4600的示例。由于所有PFB必须在主体拾取期间被拾取,因此在300mm晶圆的区域上,为在PFB的一侧

维持例如2atm,需要运动载物台及z致动器支撑~7kN的额外负荷。较高压力也在源晶圆及顶衬的边缘处造成密封问题。尽管这些并非根本挑战,但自工程化观点看,使压力保持接近1atm是优选的。

[0213] 因此,在不能对PFB的一侧加压的情况下,并且在毫米尺度长、微米至亚微米薄的间隙(PFB与源晶圆之间)中具有受限的空气输送的情况下,为始终保证吸引,需要对拾取期间的气流进行仔细分析。顶衬引脚可提供多种功能。例如,这些顶衬引脚可密封进出孔,并且因此帮助维持真空吸引。另外,顶衬引脚可支持PFB抵抗真空吸引的力,同时确保不会对PFB生成刮擦或损坏。在多个实施例中可选择引脚几何形状(大小、节距、分布),使得以上两个条件得到满足,同时使PFB与引脚接触面积保持尽可能地低。另外,在一些实施例中,可使其包覆有导电层,并且在其面对PFB的表面上具有图案化的粗糙度,以降低黏合效应。应注意,通过适当修改引脚节距,任意薄的PFB都能够被固持以抵抗真空的力。该沿着牺牲层的、实现取放组装的顶衬的此特征提供了显著优于用于薄PFB制造及处置的基于研磨的方法的优点。归因于对源晶圆的顶部及底部表面的平行度的限制,研磨晶圆固有地限于微米尺度(~10 $\mu$ m或更大)厚度。

[0214] 顶衬与PFB之间的黏合力可引起不期望的静摩擦问题。黏合是主要由于以下三个力的相互作用出现的复杂现象:1)表面张力,2)范德华力;及3)静电力。表面张力由于接触表面上的吸附湿气的相互作用而出现。为了最小化表面张力,应主动地维持取放工具中的干燥条件。范德华力由于原子及分子的瞬时极化(归因于量子机械效应)而出现,并且仅与低于100nm的间隙尺度有关。为了减小这些力,顶衬引脚的表面应具有~100nm(Ra)或更大的图案化的粗糙度。静电力由于接触期间的电荷生成及电荷转移而出现且通常最难消除。本技术的一些实施例可减少静电相互作用,从而通过使用在接触表面之间具有较小接触电位的材料将接触起电减至最少。另外,在一些实施例中可以使用不容易形成高度绝缘的原生氧化物的导电材料。接触表面可为粗糙的,以将接触面积减至最小。此外,使用硬质材料可减少接触部位处的局部变形(这可增大净黏合力)。

[0215] 在一些实施例中可以使用抗牺牲层蚀刻剂(例如HF蒸气)的顶衬材料。顶衬材料可为半导体等级的,可以以大的形成尺寸(form-factor)获得,并且能够进行微加工。另外,在一些实施例中,顶衬材料可具有高硬度,以在多个取放循环中耐磨损并且减少静摩擦问题。一些实施例中所使用的顶衬材料可具有接近源晶圆及产品晶圆的热性质。理想地,顶衬材料应对可见或IR光谱中的光透明(以利于叠加计量)。给定这些约束条件的情况下,对顶衬材料的选择相当受限。硅、蓝宝石、熔融二氧化硅以及碳化硅(silicon carbide, SiC)可能是满足以上限制条件的全部或大部分的仅有的常规材料。在此等材料中,仅硅具有可以用于其的广泛多种微加工技术,并且很可能为顶衬材料的最佳选项。

#### 基于真空的取放组装的气流力学

[0216] 图47是示出根据本技术的一个或多个实施例的在自源晶圆拾取期间的PFB的快照的图4700。如图47中所示,自源晶圆提升PFB,并且发生以下两种竞争效应:1)空气稀薄化,这是因为在PFB与源晶圆之间的间隙扩大;及2)当空气自PFB的边缘涌入时的压力等化,其中顶衬中的大孔(几十微米宽)将压力维持在~1atm。

[0217] 这些具有明显不同的时间尺度—

$$time_{rarefaction} \propto \frac{gap_{PFBtoSubstrate}(at\ time = 0)}{v_{verticalPressureFront}}$$

$$time_{pressureEqualization} \propto \frac{0.5 * width_{PFB}}{v_{lateralPressureFront}}$$

假设 $v_{垂直压力前沿}(v_{PressureFront}) \sim v_{横向压力前沿}(v_{lateralPressureFront}) \sim v_{RTP下的声音}(v_{soundAtRTP})$ 、空隙 $_{PFB至基板}(gap_{PFBtoSubstrate}) \sim 1\mu m$ 且宽度 $_{PFB}(width_{PFB}) \sim 5mm$ ，则时间 $_{压力等化}(time_{pressureEqualization})$ 比时间 $_{稀薄空气}(time_{rarefaction})$ 大约三个数量级。因此，若PFB的拾取速度快于间隙中的压力等化，则PFB有失去吸力的风险。实际上，在毫米尺度区域上，稍微低于 $P_{顶衬}(P_{superstrate})$ 的局部 $p_{空隙}(p_{gap})$ 可引起PFB的明显变形，从而可能导致失去叠加，并且对PFB电路元件造成损害。例如，在 $p_{顶衬} \sim 0.1atm$ 、在 $1mm$ 宽的局部区域上平均 $p_{空隙}$ 比 $p_{顶衬}$ 低 $\sim 5\%$ 、并且厚度 $_{PFB} \sim 1\mu m$ 的情况下，在该局部区域的中心出现 $\sim 30\mu m$ 的偏转。若此点处的空隙 $_{PFB至基板}$ 小于 $30\mu m$ ，则PFB很可能已撞上源晶圆。因此，拾取期间的良好经验(good rule-of-thumb)是在间隙中一直维持最小压力 $p_{空隙}^{min} = k_{pressureMargin} * p_{顶衬}$ 。在后续分析中，我们假设 $k_{pressureMargin} = 5$ ， $p_{顶衬} = 0.1atm$ ， $p_{空隙}^{min} = 0.5atm$ 。多个实施例可以使用时间 $_{压力等化}$ 的更精确估计值，并且使用该值导出保证吸力的顶衬运动方案。

[0218] 当朝向产品晶圆压迫PFB以进行放置及黏合时，出现以下两种竞争效应(大致上是拾取期间的对应效应的时间反转版本)：1) 当PFB与产品晶圆之间的间隙收缩时，空气压缩；及2) 当空气冲出PFB的边缘时，压力等化，其中顶衬中的大孔将压力维持在 $\sim 1atm$ 。

[0219] 空气压缩增大PFB与产品晶圆之间的空气的刚度，从而提供了在PFB放置期间在空中叠加校正的可能机制。压缩的空气随着空气冲出边缘而最终消散。一些实施例可以使用此消散时间的估计值，其可稍后通知工具设计者可用于在空中叠加校正的时间尺度。

[0220] 图48示出了可以在本技术的一些实施例中使用的顶衬引脚4810中的孔。PFB附接至顶衬。当将PFB拉出时，可产生吸力从而损坏PFB。一些实施例可以使用顶衬中的孔以避免该吸力。图49示出了在本技术的多个实施例中在将PFB放置到产品晶圆上之前的PFB的快照4900。多个实施例可以使用多种宽度 $_{PFB}(width_{PFB})$ 及厚度 $_{牺牲层}(thickness_{sacrificialLayer})$ 值的PFB拾取模拟的结果，并且导出针对PFB夹盘的保证吸力的运动方案。

[0221] 图50示出了在本技术的多个实施例中用于PFB拾取的DSMC模拟5000的域。为了降低模拟复杂度，进行了以下初步假设。首先，假设PFB与源晶圆之间的间隙是立方体的。构成间隙体积的一小部分的进出孔未模型化。第二，假设立方体几何形状相对于气流的二次对称，仅模型化体积的四分之一。最后，假设PFB的边缘处在 $1atm$ 压力下。这由PFB夹盘街区中的大孔保证，这些孔将压力维持在 $\sim 1atm$ 。

[0222] 在模拟域外的空气的内在状态规定如下：1) 假设空气由分别以 $1.901 \times 10^{25} m^{-3}$ 及 $0.546 \times 10^{25} m^{-3}$ 的数密度存在的两种分子种类— $N_2$ 及 $O_2$ 构成，这对应于在 $1atm$ 压力下的空气中的这些种类的数密度。2) 假定空气静止(净速度为零)。可以使用六面体网元(mesh element)将模拟体积离散，其中对于所有网元的所有边缘，尺寸 $_{网}(size_{mesh}) = 33nm$ 。

[0223] 在一些实施例中可以使用以下边界条件。将模拟域的顶部及底部处的硅表面模型化为壁，并且使用混合(漫射及镜面)壁相互作用模型来模型化壁—空气碰撞。将壁处的温度设定为 $300K$ 。在模拟域的四个垂直面中，将两个面设定为流入边界， $1atm$ 下的空气可穿过这些面流入或流出，而另外两个面为如图50所示出的对称边界。

[0224] 模拟的外在参数为厚度<sub>牺牲层</sub>及宽度<sub>PFB</sub>。归因于计算约束条件,仅以较小的宽度<sub>PFB</sub>及厚度<sub>牺牲层</sub>值运行模拟。在模拟的当前集合中,使宽度<sub>PFB</sub>保持低于60 $\mu\text{m}$ ,并且使得厚度<sub>牺牲层</sub>保持低于2.5 $\mu\text{m}$ 。之后,可以将数据外推到毫米级的体积。对于厚度<sub>牺牲层</sub>及宽度<sub>PFB</sub>的值的给定集合,可开发保证吸力的拾取方案。

[0225] 图51是示出根据本技术的一些实施例的可用于推导保证吸力的拾取方案的一组操作的示例的流程图5100。图52示出了本技术的多个实施例中的压力的DSMC模拟5200的示例。图53示出了针对宽度<sub>PFB</sub>=5mm及多个空隙<sub>PFB至基板</sub>值下的 $\text{avg}(p_{\text{空隙}})$ 的演进5300。应注意,压力等化速率在 $\sim 100$ 纳米的间隙附近开始明显变慢,这与分子流开始占主导时很像。

[0226] 图54示出了针对厚度<sub>牺牲层</sub>=0.01 $\mu\text{m}$ 及宽度<sub>PFB</sub>=5mm推导出的保证吸力的运动方案5400。保证吸力的运动方案针对自源晶圆的2D裸片拾取。在此,厚度<sub>牺牲层</sub>=0.01 $\mu\text{m}$ 且宽度<sub>PFB</sub>=5mm。只要在任何特定间隙值下的间隙对时间的斜率低于上文的极限运动方案的对应斜率,该运动方案即是保证吸力的。

#### PFB放置的DSMC模拟

[0227] 在一些实施例中所使用的PFB放置模拟能够包括与用于拾取情况的模拟域及内在参数相同的模拟域及内在参数。外在参数可为空隙<sub>PFB至产品晶圆</sub>及宽度<sub>PFB</sub>。由于计算约束条件,在一些实施例中,仅可以较小的间隙及宽度值运行模拟。在模拟的当前集合中,使宽度<sub>PFB</sub>保持低于20 $\mu\text{m}$ ,并且使空隙<sub>PFB至产品晶圆</sub>保持低于4 $\mu\text{m}$ 。但是,可以将数据外推到毫米级的体积。对于给定的空隙<sub>PFB至产品晶圆</sub>及宽度<sub>PFB</sub>值的集合,如下所述地导出放置时间估计值。

[0228] 图55是示出可以在本技术的一些实施例中使用的用于导出放置时间估计值的一组操作的示例的流程图5500。图56是示出在本技术的一个或多个实施例中用于PFB放置的平均压力间隙的演进的示例的曲线图5600。如图56中所示,基于上文所讨论的算法,针对宽度<sub>PFB</sub>=5mm的 $\text{avg}(p_{\text{空隙}})$ 的演进。放置时间估计值为 $\sim 10$ 毫秒。应注意,可通过在PFB的边缘上分配更多挥发性液体来限制气流而使此值增大。

#### 用于N-MAP的源晶圆

[0229] 一些实施例可假设可获得具有合适牺牲层的源晶圆,并且给定此假设的情况下,可研究N-MAP工艺的剩余部分。如前所述,源晶圆理想地应为晶圆厂不可知的。由于块状 $\langle 100 \rangle$ -定向硅是半导体制造中使用最广泛的基板,因此源晶圆也应使用它。然而,块状硅不含有任何掩埋牺牲层,并且因此在此天然形式下不能用于N-MAP。

[0230] 如果可以在不损坏电路元件的情况下在晶圆厂处理过的块状硅晶圆中形成掩埋牺牲层,则其可为源晶圆的理想技术选择。另一方面,SOI基板已含有掩埋牺牲层且不需要开发任何额外的后制造工艺。然而,在世界范围内,SOI基板目前仅由四个主要半导体晶圆厂中的一个进行处理。多个实施例提供了源晶圆技术选项,这些技术选项的范围为在一端上的SOI,至用于在另一端上形成后制造块状硅牺牲层的(可能)方法,这些技术选项中的每一个都具有其自身的优点及风险的集合。

[0231] 下面的表5.2示出了源晶圆的三个技术选项。

#### 表5.2具有掩埋牺牲层的源晶圆的技术选项

技术选项	应用	
	逻辑	存储器 (DRAM)
绝缘体上的硅 (Silicon on Insulator, SOI)	限于全球代工厂 (GF)	关注成本
掩埋外延牺牲层 (Buried Epitaxial Sacrificial Layers, BESL), 其利用 FIPO (变体 2)	需要与晶圆厂合作	关注成本
在块状 Si 中形成后制造牺牲层	不依赖晶圆厂	不依赖晶圆厂或关注成本

[0232] SOI在许多实施例中为默认选项,这是因为它已含有掩埋牺牲层。但是,SOI当前仅在单个大规模晶圆厂-Global Foundries处理。另外,对于存储器应用,SOI可具有明显的成本壁垒。

[0233] 基于FIPOS的第二变型的BESL需要与晶圆厂合作以处理形成多孔下层所需的外延晶圆。然而,先进逻辑设备(诸如FinFET与门极全包围FET)中的外延晶圆的最近实现方式使得可在逻辑空间中实现这一点。第三选项,即自可应用性观点来看的最佳的选项,是在块状Si中后制造形成牺牲层。

#### 在块状硅中形成掩埋牺牲层

[0234] 图57是根据本技术的多个实施例的用于在块状硅中形成掩埋牺牲层的工艺流程5700的示例。如图57中所示,随后可以将多孔层氧化以形成后制造掩埋牺牲氧化物层。然而,此工艺顺序并非理想的,这是因为由于孔隙的各向同性传播,在PFB的底面上形成巨大弯折。图58示出了替代顺序5800,在该顺序中,通过在靠近硅晶圆的表面施加电场,可实现对孔的驱除(其为孔隙形成所需的),从而可能阻止垂直蚀刻前部且显著减少、甚至消除弯折。

#### 实验验证

[0235] 图59示出了包被有薄铬层的硅中的孔隙驱除。金属层电压 $V_{\text{metal}}$ 在此情况下仅为电解质电位。使用内部蚀刻器进行阳极化。图60示出了可以在本技术的多个实施例中使用的用于孔隙形成的光电化学蚀刻器。

#### 空气轴承刚度

[0236] 图61示出了根据本技术的多个实施方式的用于刚度计算的空气轴承6100的示例。特定间隙处的空气轴承刚度可以使用气体的理想气体定律找出。图62示出了空气轴承间隙减小10倍的示例6200。例如,若间隙自 $\sim 1\mu\text{m}$ 减小至 $\sim 100\text{nm}$ ,则空气轴承的刚度增大至 $\sim 100$ 倍。

#### PFB夹盘

[0237] PFB夹盘引脚分布将必须基于PFB的尺寸而改变。为了避免必须为每一新类型的PFB制造新的阀阵列,阀阵列可驻留在单独层中,并且使用真空吸引附接至引脚层。引脚层可针对每一特定PFB类型制造且使用真空吸引附接至阀层,以允许两个层的快速附接及脱离。对于以下图中所示的设计,微型阀阵列的节距应为(可能遇到的)最小PFB尺寸的 $\sim 70\%$ 。通过此配置,微型阀阵列应能够控制任何任意PFB尺寸因子的气流。图63示出了PFB夹

盘的示例6300,示出了单独的微型阀和引脚层。

#### 使用N-MAP的超光刻裸片

[0238] 图64示出了根据本技术的多个实施例的使用N-MAP的超光刻裸片的示例6400。更确切地,图64示出了方法的示例,在该方法中,每个大小小于 $26\text{mm} \times 33\text{mm}$ 的PFB可按超光刻尺寸因子镶嵌,并且使用CMD联接以形成超光刻裸片上系统 (SoC)。

#### 微型晶圆厂

[0239] 图65是示出了可以在本技术的一些实施例中使用的微型晶圆厂的多个组件的框图6500。图65中所示的微型晶圆厂的实施例的占地面积和资金需求可以显著小于传统大规模晶圆厂,并且可以与大规模晶圆厂结合使用,以用于由未必专攻半导体制造的实体/公司制造定制半导体器件。上文所示的微型晶圆厂含有N-MAP工具、裸片测试台及诸如CMP台及烘烤台等一些其他辅助工具。应注意,烘烤台是用于在纳米精度取放组装工具中的黏合步骤之后提升黏合质量。图65还示出了处于倒转配置的PFB夹盘。在这种配置下,不需要翻转PFB。

#### 示例性计算机系统概述

[0240] 已经在多个步骤和操作的一般上下文中描述了本公开的设计工具和/或制造系统的各方面和实施方式。这些步骤和操作可以由硬件组件执行,也可以体现在计算机可执行指令中,这些指令可以用于使编程有这些指令的(例如,计算机、服务器或其他计算设备中的)通用或专用处理器执行这些步骤或操作。例如,步骤或操作可以通过硬件、软件和/或固件的组合来执行。

[0241] 图66是示出了代表设计工具和/或制造系统的计算机系统化的示例机器的框图。设计工具和/或制造系统控制器6600可以与包括一个或多个用户6625客户端/终端设备6620、用户输入设备6605、周边设备6610、可选的协助处理器设备(例如,密码处理器设备)6615 和网络6630等实体通信。用户可以利用终端设备6620通过网络6630与控制器6600进行交互。

[0242] 计算机可以采用中央处理单元 (central processing unit, CPU) 或处理器来处理信息。处理器可以包括可编程的通用或专用微处理器、可编程控制器、专用集成电路 (application-specific integrated circuit, ASIC)、可编程逻辑设备 (programmable logic device, PLD)、嵌入式组件、以及这些设备的组合等。处理器响应于用户和/或系统生成的请求来执行程序组件。这些组件中的一个或多个可以用软件、硬件或硬件和软件两者来实现。处理器传递指令(例如,操作和数据指令)以实现多种操作。

[0243] 控制器6600可以包括时钟6665、CPU 6670、诸如只读存储器 (read only memory, ROM) 6685和随机存取存储器 (random access memory, RAM) 6680之类的存储器、以及协助处理器6675。这些控制器组件可以连接到系统总线6660,并通过系统总线6660连接到接口总线6635。此外,用户输入设备6605、周边设备6610、协助处理器设备6615等可以通过接口总线6635连接到系统总线6660。接口总线6635可以连接到多个接口适配器,例如处理器接口6640,输入输出接口 (input/output, I/O) 6645,网络接口6650,存储接口6655等。

[0244] 处理器接口6640可以促进协助处理器设备6615和协助处理器6675之间的通信。在一种实现方式中,处理器接口6640可以加快请求或数据的加密和解密。输入输出接口 (I/O) 6645利用诸如用于处理音频、数据、视频接口、无线收发器等协议(例如,蓝牙, IEEE



1394a-b, 串行, 通用串行总线 (universal serial bus, USB), 数字视觉接口 (Digital Visual Interface, DVI), 802.11a/b/g/n/x, 蜂窝电话等) 来促进用户输入设备6605、周边设备6610、协助处理器设备6615和/或其他设备与控制器6600的组件之间的通信。网络接口6650可以与网络6630通信。通过网络6630, 远程终端设备6620可以访问控制器6600。网络接口6650可以使用多种有线和无线连接协议, 诸如直接连接、以太网、诸如IEEE 802.11a-x之类的无线连接等等。

[0245] 网络6630的示例包括因特网, 局域网 (Local Area Network, LAN), 城域网 (Metropolitan Area Network, MAN), 广域网 (Wide Area Network, WAN), 无线网络 (例如, 使用无线应用协议 Wireless Application Protocol, WAP), 安全的自定义连接等。网络接口6650可以包括防火墙, 在一些方面, 防火墙可以支配和/或管理访问/代管计算机网络中的数据的权限, 并追踪不同机器和/或应用之间的不同信任级别。防火墙可以是任何数量的模块, 这些模块具有能够在一组特定的机器和应用程序之间、机器和机器之间, 和/或应用程序和应用程序之间强制执行一组预定的访问权限, 例如以调节这些不同实体之间的流量和资源共享的硬件和/或软件组件的任意组合。防火墙可以另外对访问控制列表进行管理和/或访问, 该列表详细列出了权限, 例如包括个人、机器和/或应用程序对对象的访问和操作权限, 以及在什么情况下具有这些权限。在不偏离本公开新颖性的情况下, 防火墙功能中执行或包括的其他网络安全功能可以是但不限于, 例如, 防入侵、入侵检测、下一代防火墙、个人防火墙等。

[0246] 存储接口6655可以与许多诸如存储设备6690、可移动盘设备等的存储设备通信。存储接口6655可以使用多种连接协议, 诸如串行高级技术附件 (Serial Advanced Technology Attachment, SATA)、IEEE 1394、以太网、通用串行总线 (USB) 等。

[0247] 用户输入设备6605和外围设备6610可以连接到I/O接口6645以及可能的其他接口、总线和/或组件。用户输入设备6605可以包括读卡器、指纹读取器、操纵杆、键盘、麦克风、鼠标、遥控器、视网膜读取器、触摸屏、传感器等。外围设备6610可以包括天线、音频设备 (例如, 麦克风、扬声器等)、照相机、外部处理器、通信设备、射频标识符 (radio frequency identifier, RFID)、扫描仪、打印机、存储设备、收发器等。协助处理器设备6615可以通过接口总线6635连接到控制器6600, 并且可以包括微控制器、处理器、接口或其他设备。

[0248] 计算机可执行指令和数据可以存储在处理器可访问的存储器 (例如, 寄存器、高速缓冲存储器、随机存取存储器、闪存等) 中。这些存储的指令代码 (例如, 程序) 可以与处理器组件、母板和/或其他系统组件接合以执行期望的操作。控制器6600可以采用多种形式的存储器, 包括片上CPU存储器 (例如, 寄存器)、RAM 6680、ROM 6685和存储设备6690。存储设备6690可以采用任何数量的有形的、非暂时性的存储设备或系统, 例如固定或可移动磁盘驱动器、光盘驱动器、固态存储设备以及其他处理器可读存储介质。存储在存储器中的计算机可执行指令可以包括具有一个或多个程序模块的设计工具和/或制造平台, 该程序模块诸如执行特定任务或实现特定抽象数据类型的例程、程序、对象、组件、数据结构等。例如, 存储器可以包含操作系统 (operating system, OS) 组件6695、模块和其他组件、数据库表等。这些模块/组件可以存储在存储设备中并从存储设备存取, 包括从可通过接口总线访问的外部存储设备中存取。

[0249] 数据库组件可以存储由处理器执行以处理所存储的数据的程序。数据库组件可以

以关联型、可扩展、且安全的数据库的形式来实现。这种数据库的示例包括DB2、MySQL、Oracle、Sybase等。可替代地，可以使用多种标准数据结构来实现数据库，诸如阵列、哈希、列表、堆栈、结构化文本文件（例如，XML）、表等。这样的数据结构可以存储在存储器和/或结构化文件中。

[0250] 控制器6600可以在分布式计算环境中实现，在分布式计算环境中，任务或模块通过诸如局域网（LAN）、广域网（WAN）、互联网等通信网络链接的远程处理设备执行。在分布式计算环境中，程序模块或子例程可以位于本地和远程存储设备中。可以采用分布式计算来对资源进行负载平衡和/或聚合以供处理。可替代地，控制器6600的各方面可以电方式分布在互联网或其他网络（包括无线网络）中。相关领域的技术人员将认识到，设计工具和/或制造系统的部分可以驻留在服务器计算机上，而对应部分驻留在客户端计算机上。控制器6600的各方面特有的数据结构和数据传输也包含在本公开的范围內。

### 结论

[0251] 除非上下文另外明确要求，否则在整个说明书和权利要求书中，词语“包括”、“包含”等应理解为包含性含义，而不是排他性或穷举性含义。也就是说，应理解为“包括但不限于”。如本文中所使用的，术语“连接”，“耦接”或其任何变体是指两个或更多个元件之间的直接或间接的任何连接或耦接；元件之间的耦接或连接可以是物理的，逻辑的或其组合。另外，当在本申请中使用时，词语“本文”、“上文”、“下文”和类似含义的词语是指本申请整体，而不是本申请的任何特定部分。在上下文允许的情况下，上述实施方式中使用单数或复数的词语也可以分别包括复数或单数。涉及两个或多个项目的列表中的“或”一词涵盖所有以下词的解釋：列表中的任一项，列表中的所有项，以及列表中各项的组合列表。

[0252] 以上对本技术的实施方式部分并非意图穷举或将技术限制为以上公开的精确形式。尽管上文出于说明性目的描述了本技术的特定示例，但是如相关领域的技术人员将认识到的，在本技术的范围内多种等效修改是可能的。例如，尽管过程或块以给定次序呈现，但替代性实施方式可以按不同次序执行具有步骤的例程或采用具有块的系统，且一些制程或块可以删除、移动、添加、细分、组合和/或修改以提供替代例或子组合。这些过程或块中的每一个可以多种不同方式实现。而且，虽然有时将过程或块展示为顺序地执行，但是这些过程或块可以改为并行地执行或实施，或者可以在不同时间执行。此外，本文中指出的任何特定数字仅是示例：替代性实现方式可采用不同的值或范围。

[0253] 本文提供的关于技术的教导可以应用于其他系统，而不一定是上述系统。可以将上述多种示例的元素和动作进行组合以提供技术的进一步实现方式。技术的一些替代性实现方式不仅可以包括除上述那些实现方式以外的附加元件，也可以包括更少的元件。

[0254] 可以根据以上实施方式部分对技术进行这些和其他更改。尽管上文描述了技术的某些示例，并且描述了预期的最佳模式，但是无论以上内容如何详细地出现在本文中，技术都可以以许多方式实践。系统的细节在其具体实现方式上中可能有很大变化，而仍被本文所公开的技术所涵盖。如上所述，在描述技术的某些特征或方面时使用的特定术语不应被认为暗示该术语在本文中被重新定义为限于与该术语相关联的技术的任何特定的特性、特征或方面。通常，以下权利要求中使用的术语不应解释为将本技术限于说明书中公开的特定示例，除非以上实施方式部分明确定义了这些术语。因此，技术的实际范围不仅涵盖所公开的示例，而且还包括根据权利要求书实践或实施的技术的所有等效方式。

[0255] 为了减少权利要求的数量,下文以特定权利要求形式呈现技术的特定方面,但申请人预期了许多权利要求形式的技术的多个方面。例如,尽管仅将技术的一个方面引述为计算机可读介质权利要求,但是其他方面可以同样地体现为计算机可读介质权利要求或以其他形式体现,例如体现在方法附加功能权利要求中。意图根据专利法处理的任何权利要求将以词语「用于……的方法」开始,但术语「用于」在任何其他上下文中的使用不欲根据专利法援引处理。因此,申请人保留在提交本申请案之后追述额外权利要求的权利,以在本申请案中或在接续申请案中追述此等额外权利要求形式。

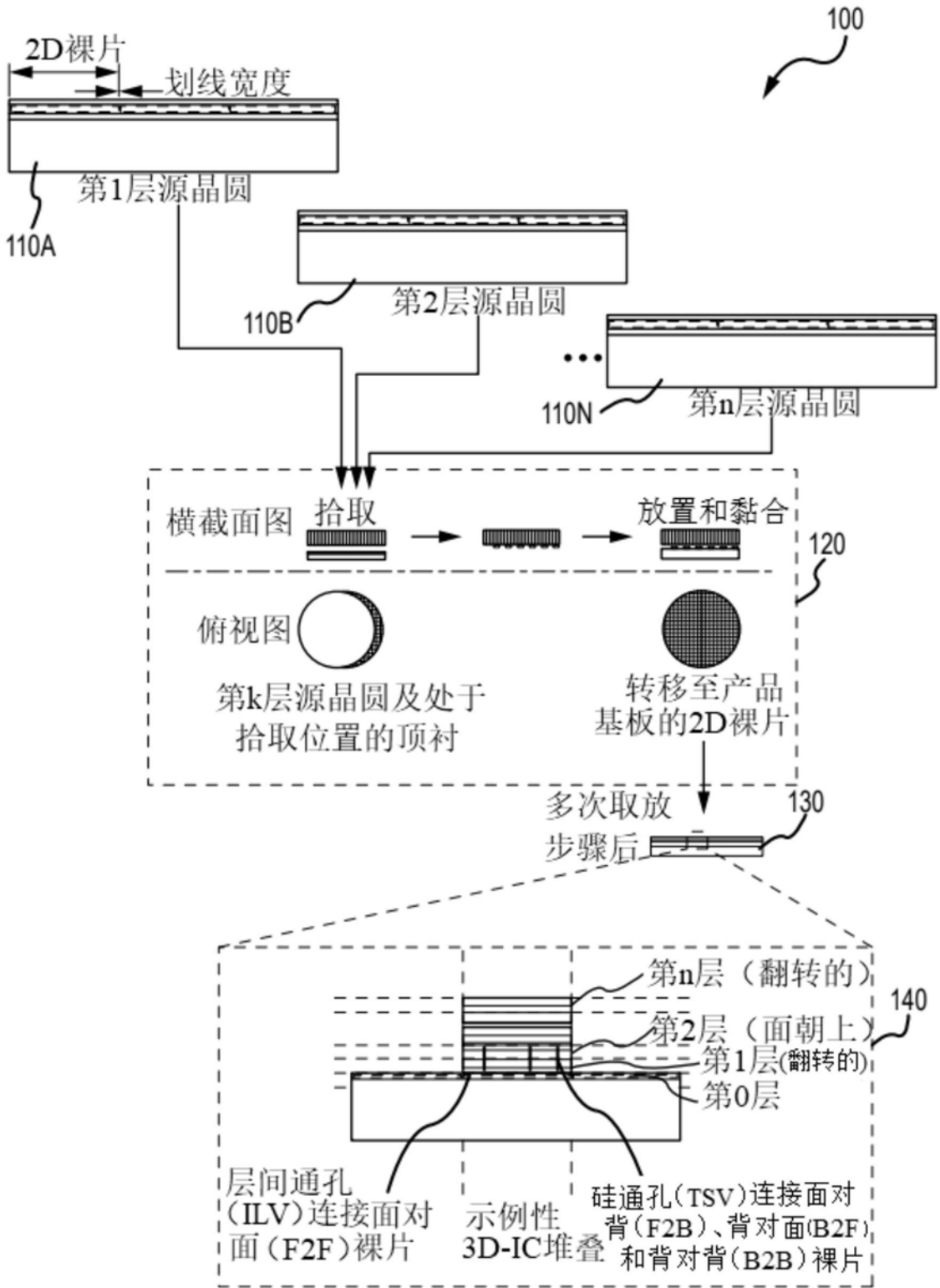


图1

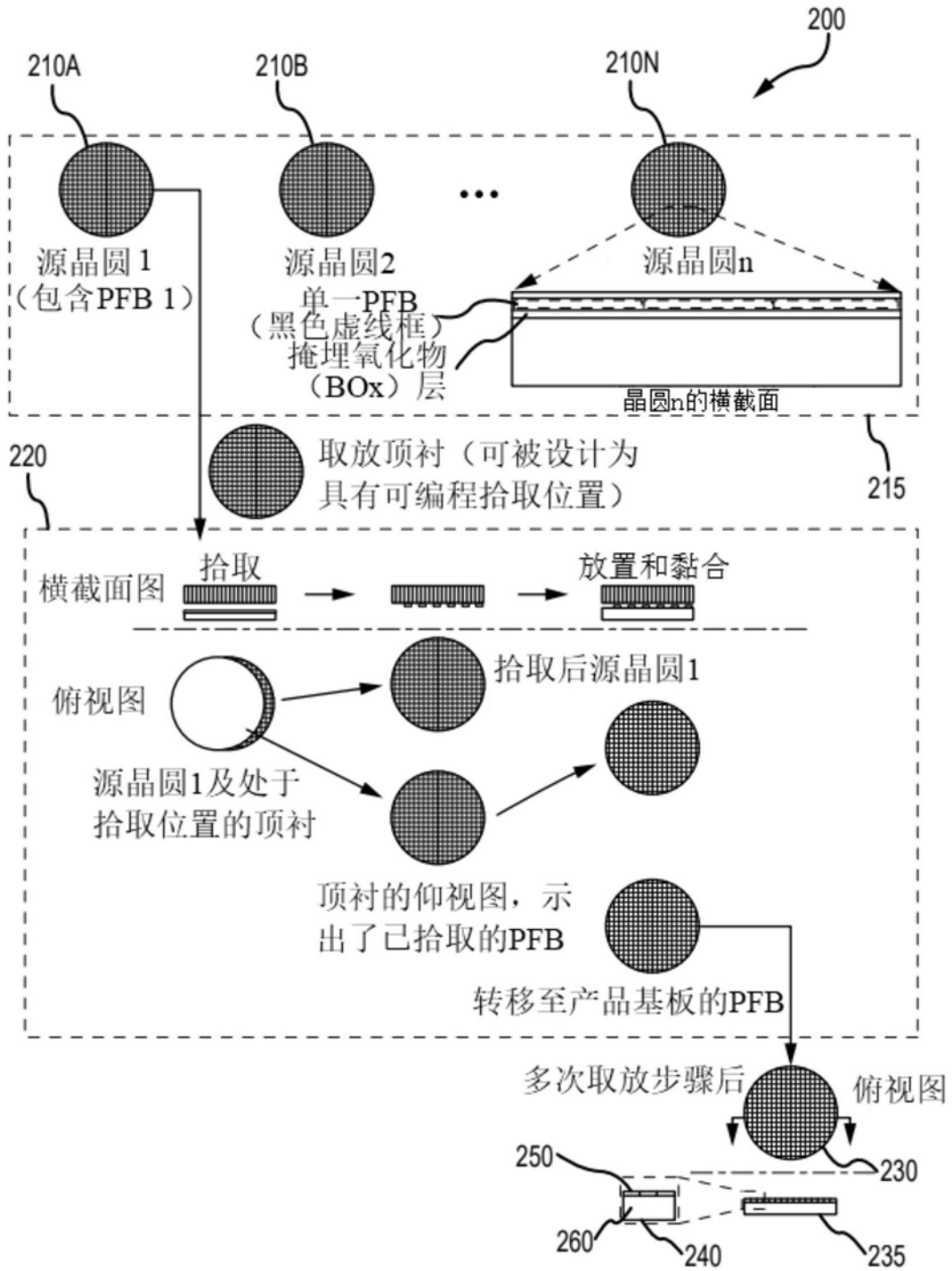


图2



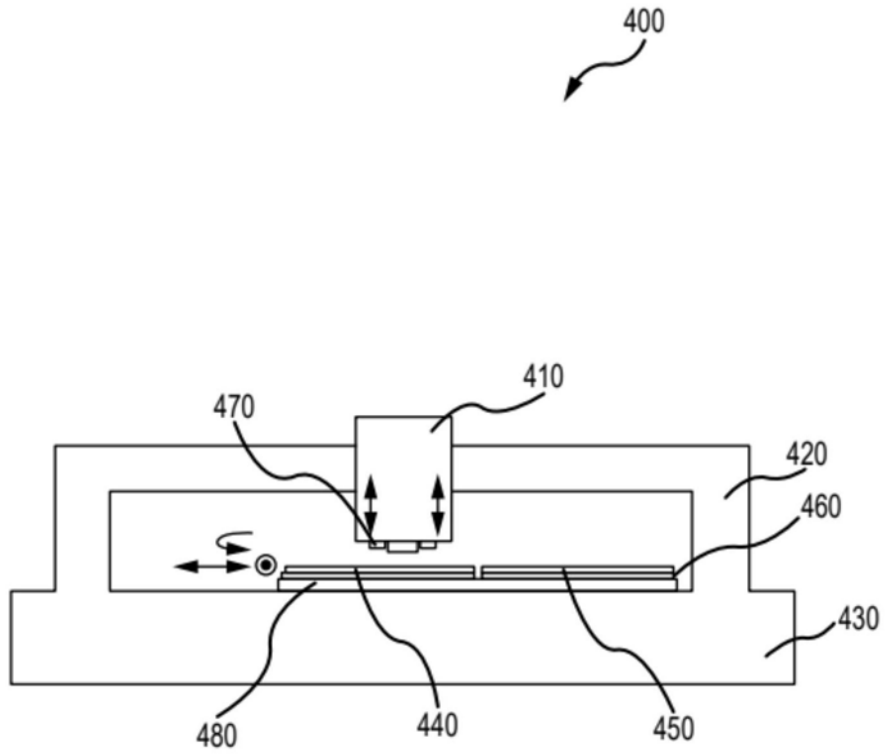
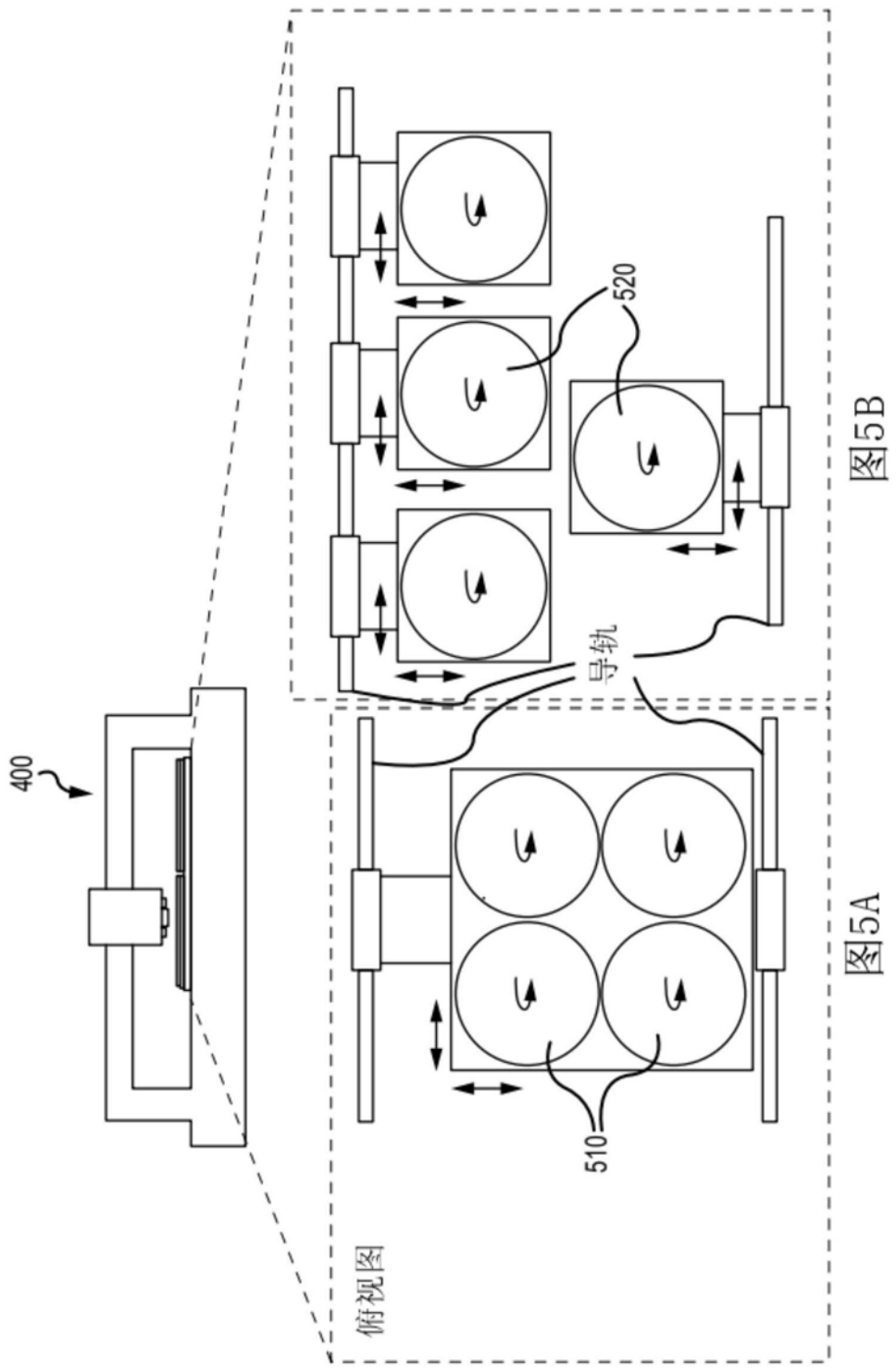


图4





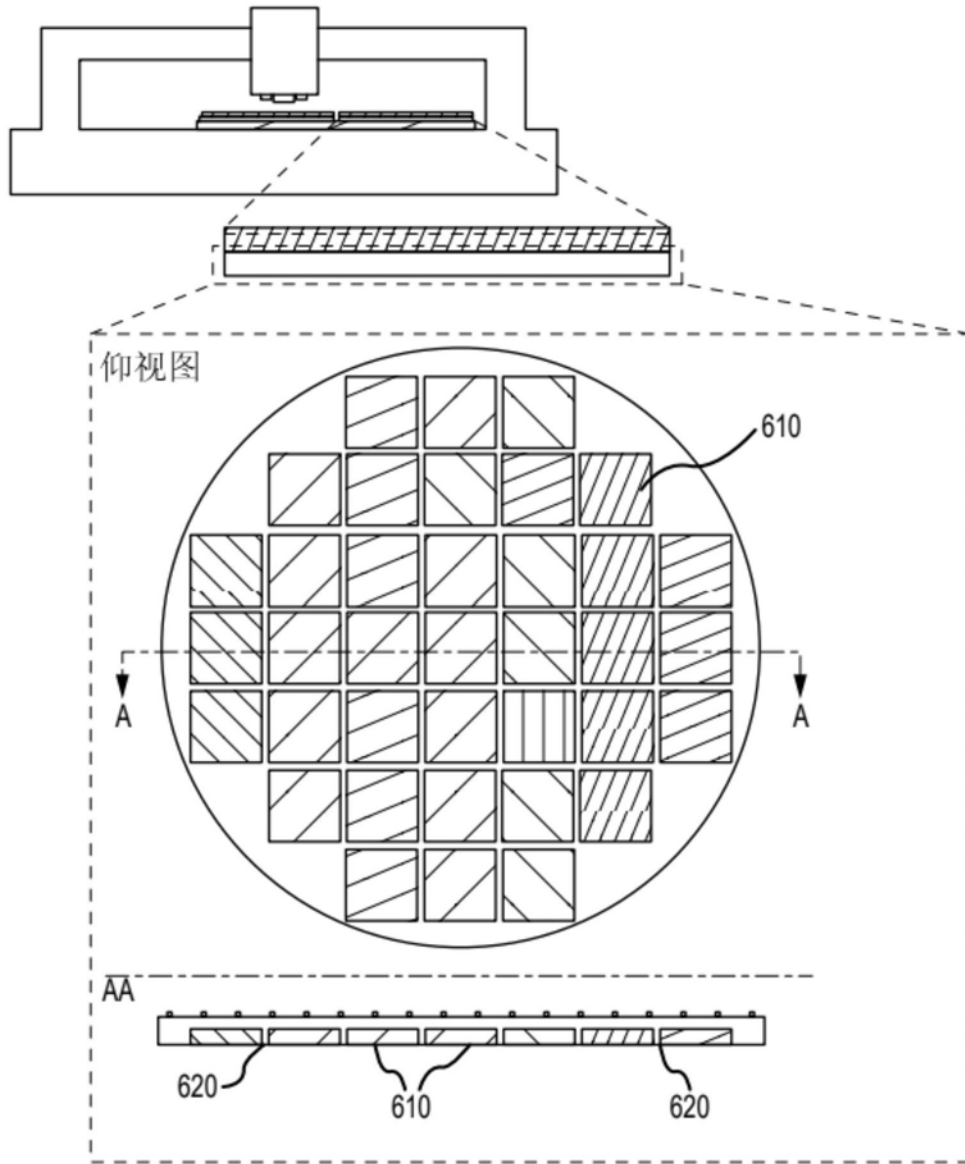


图6

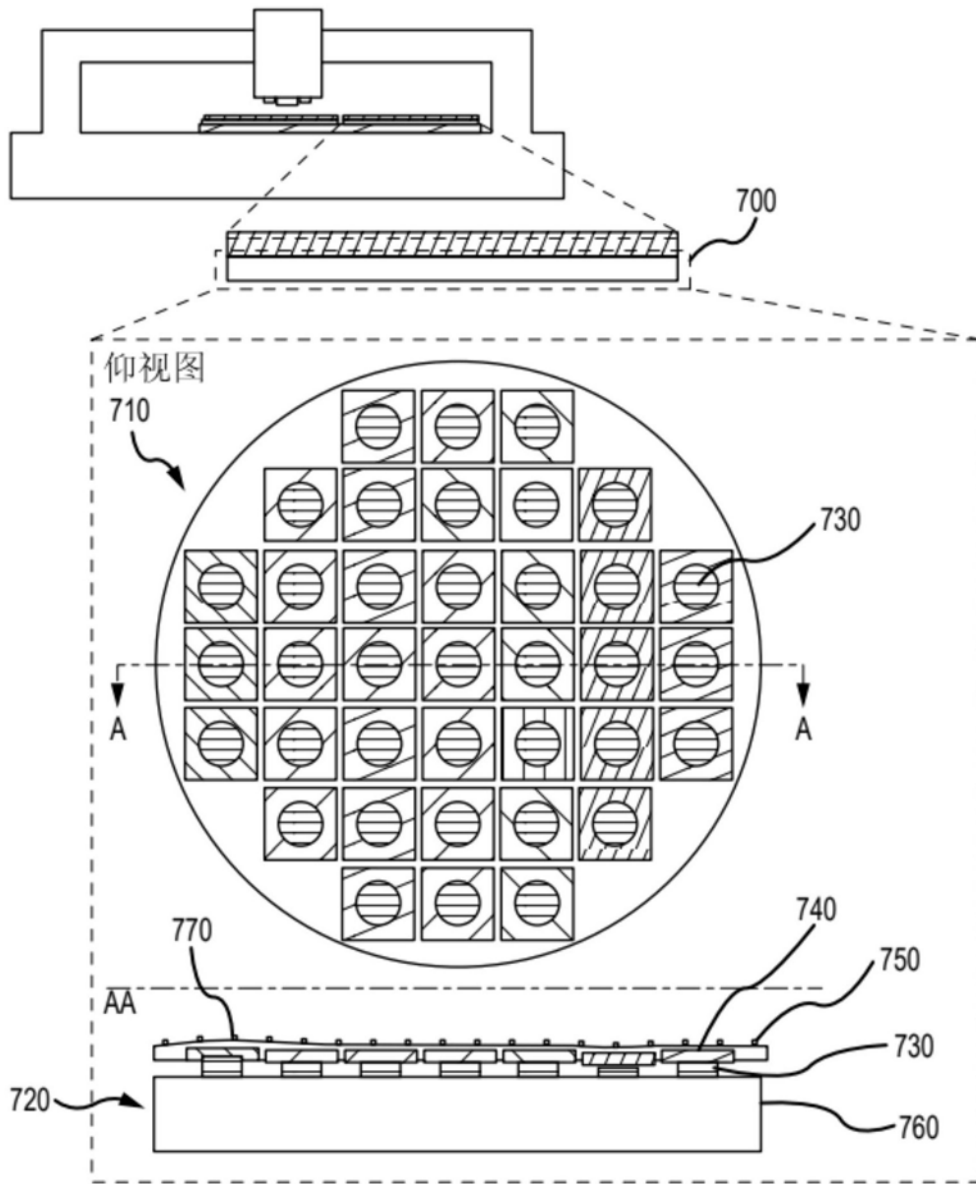


图7

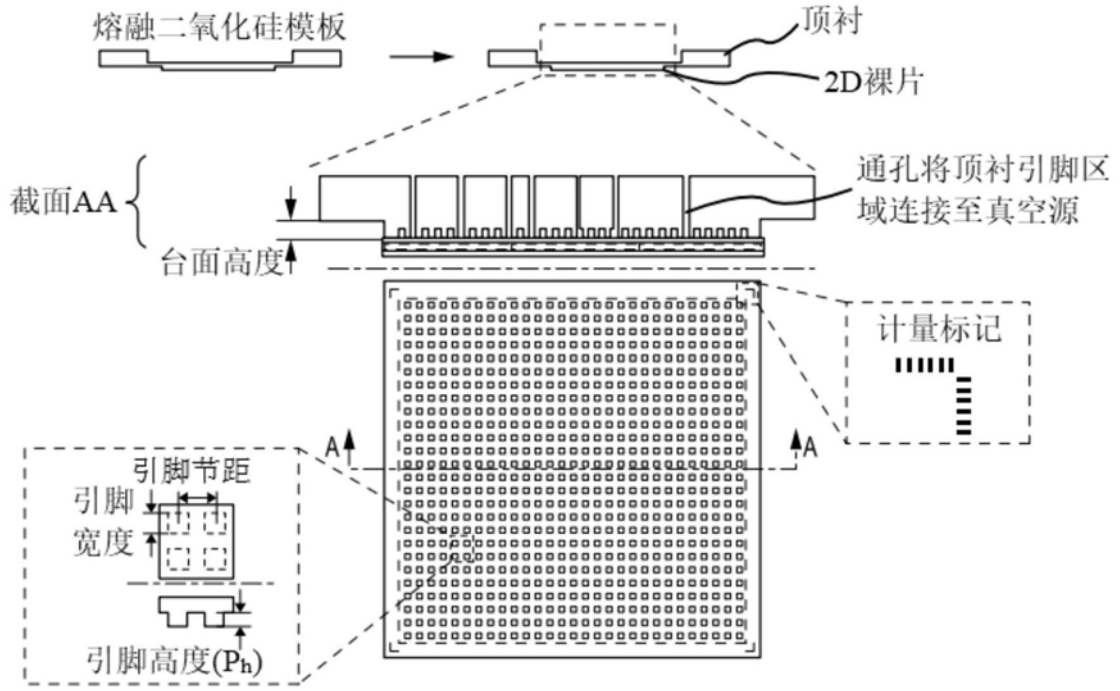


图8

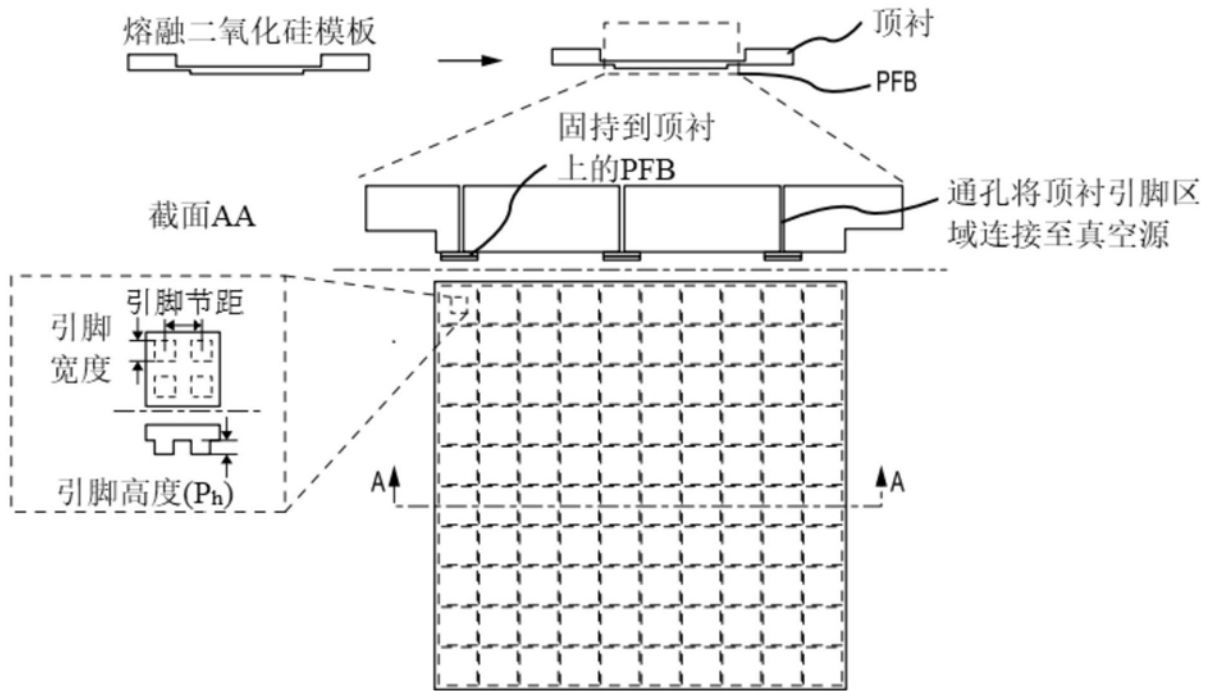


图9

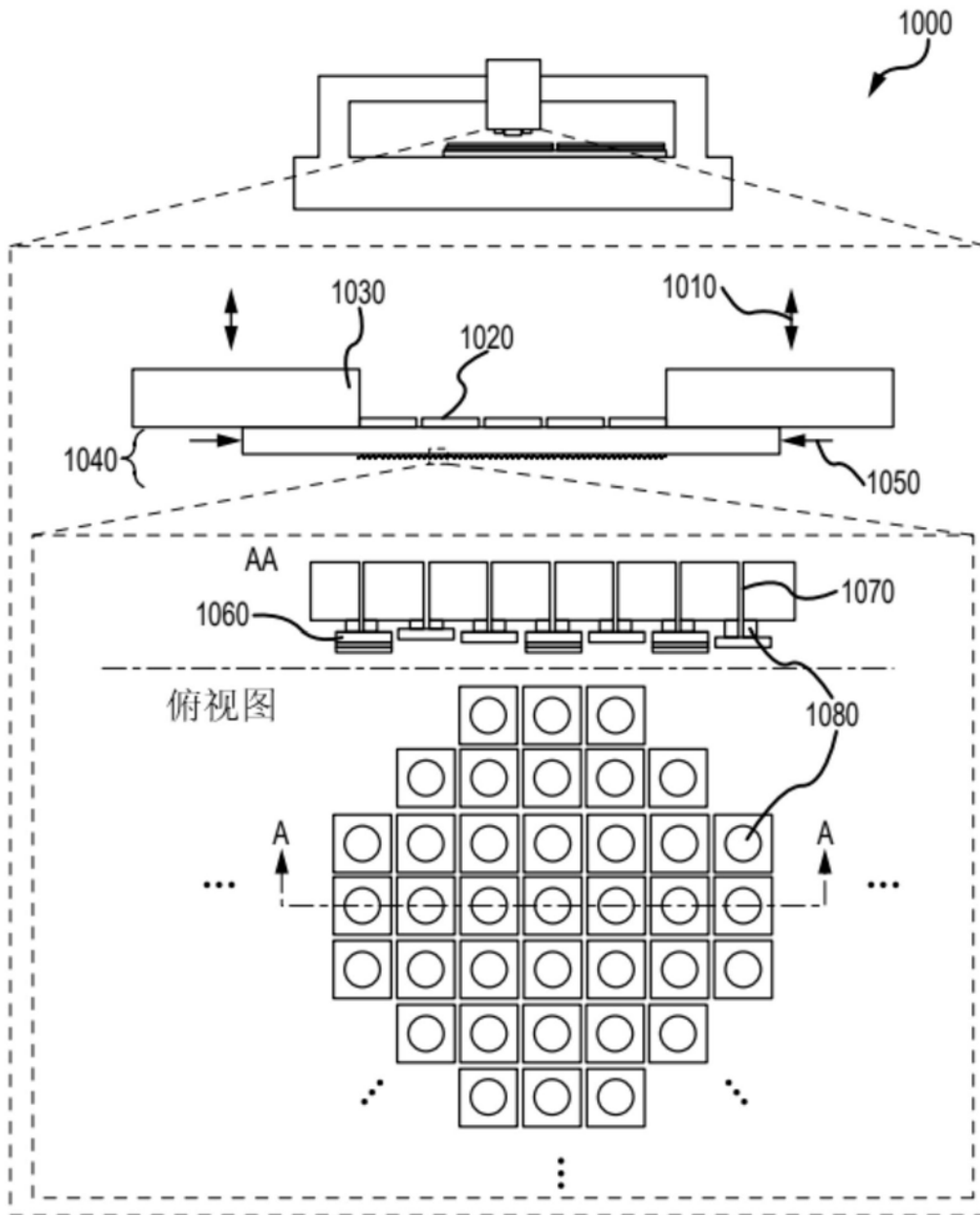


图10

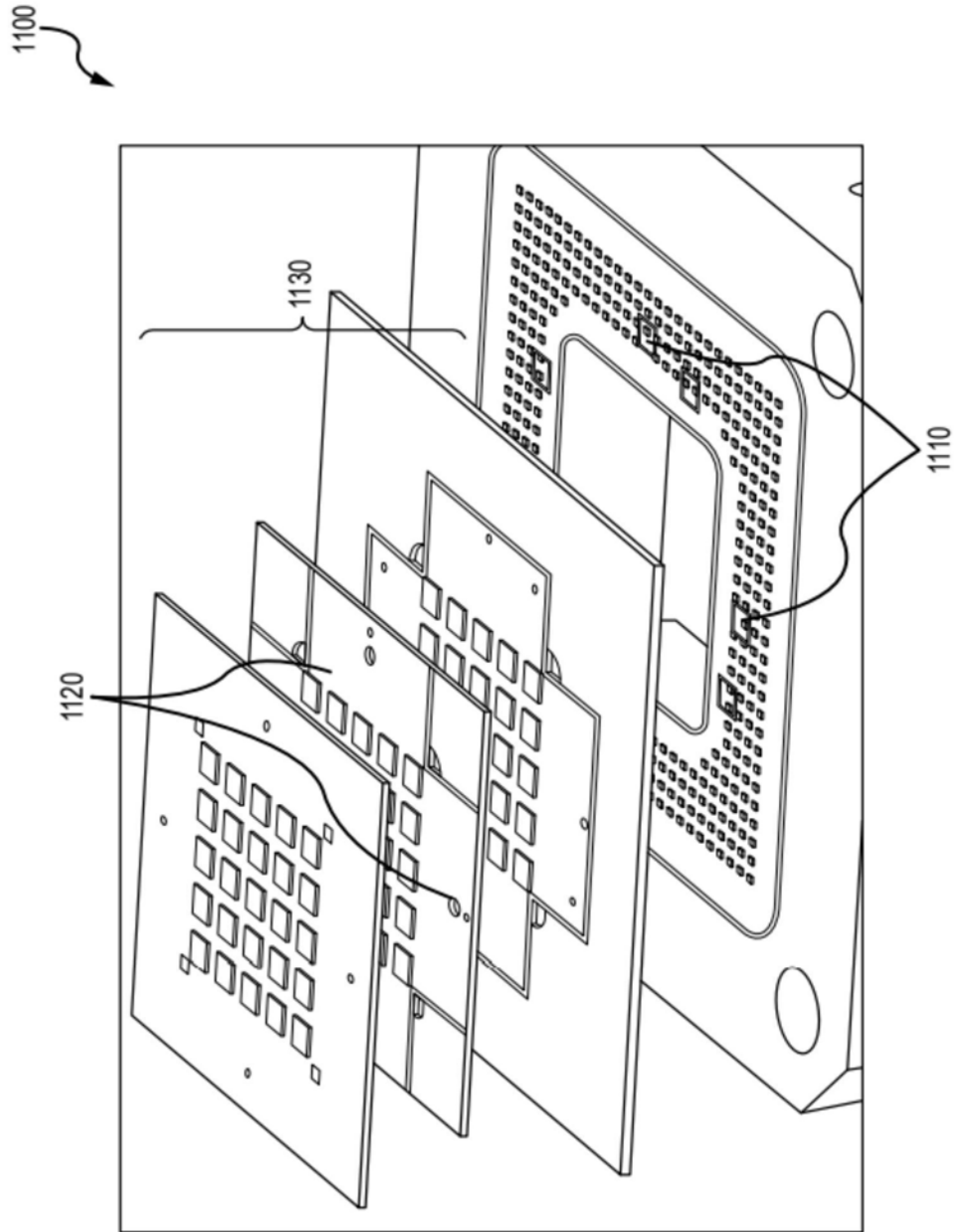


图11

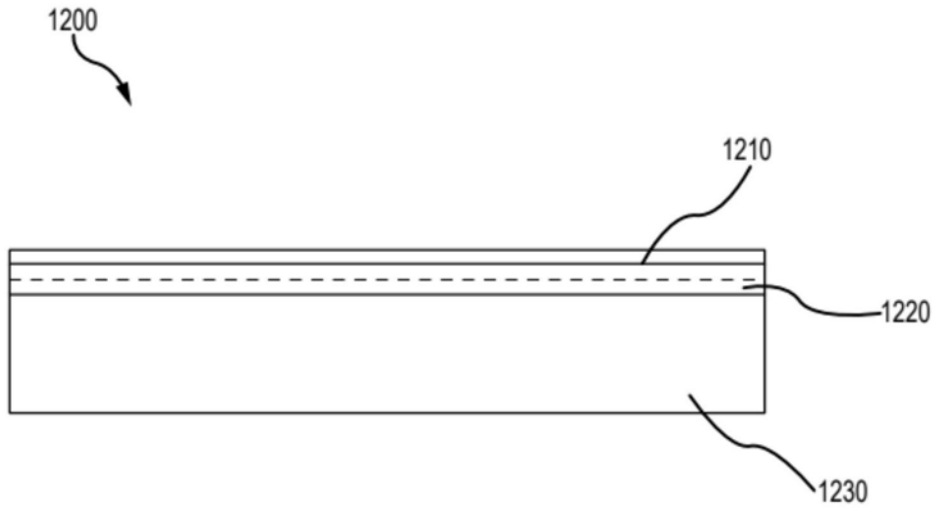


图12

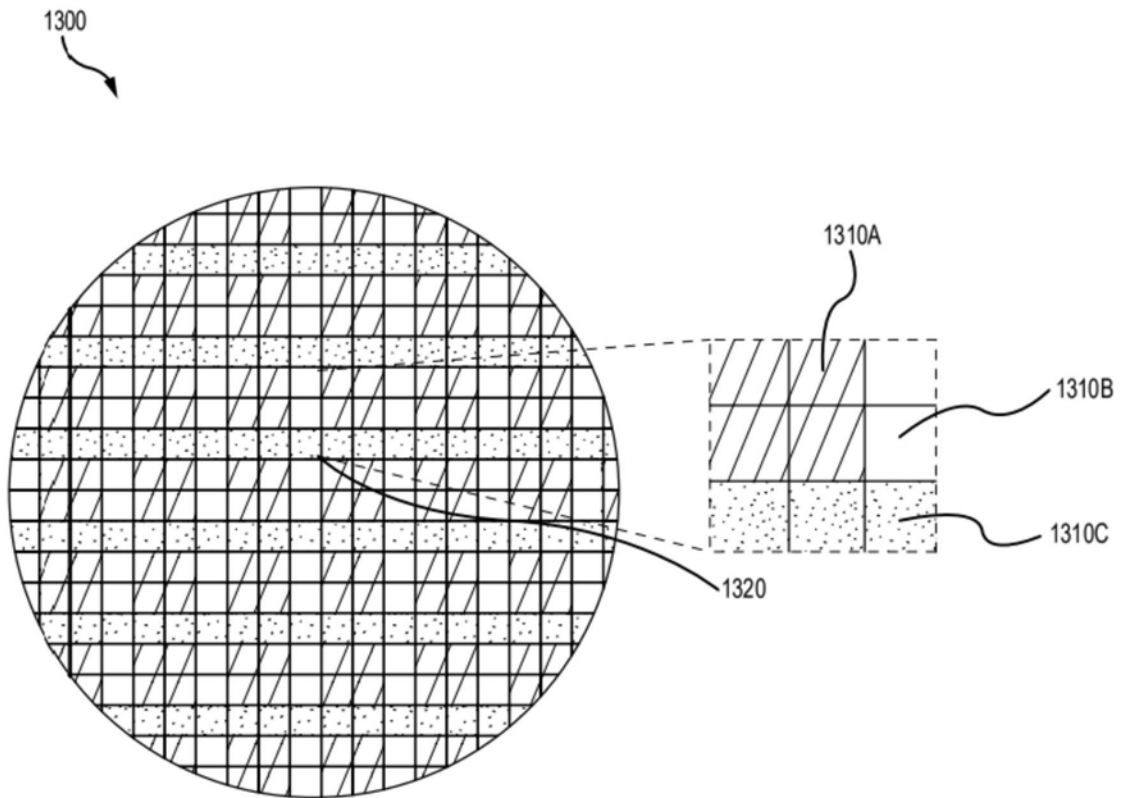


图13

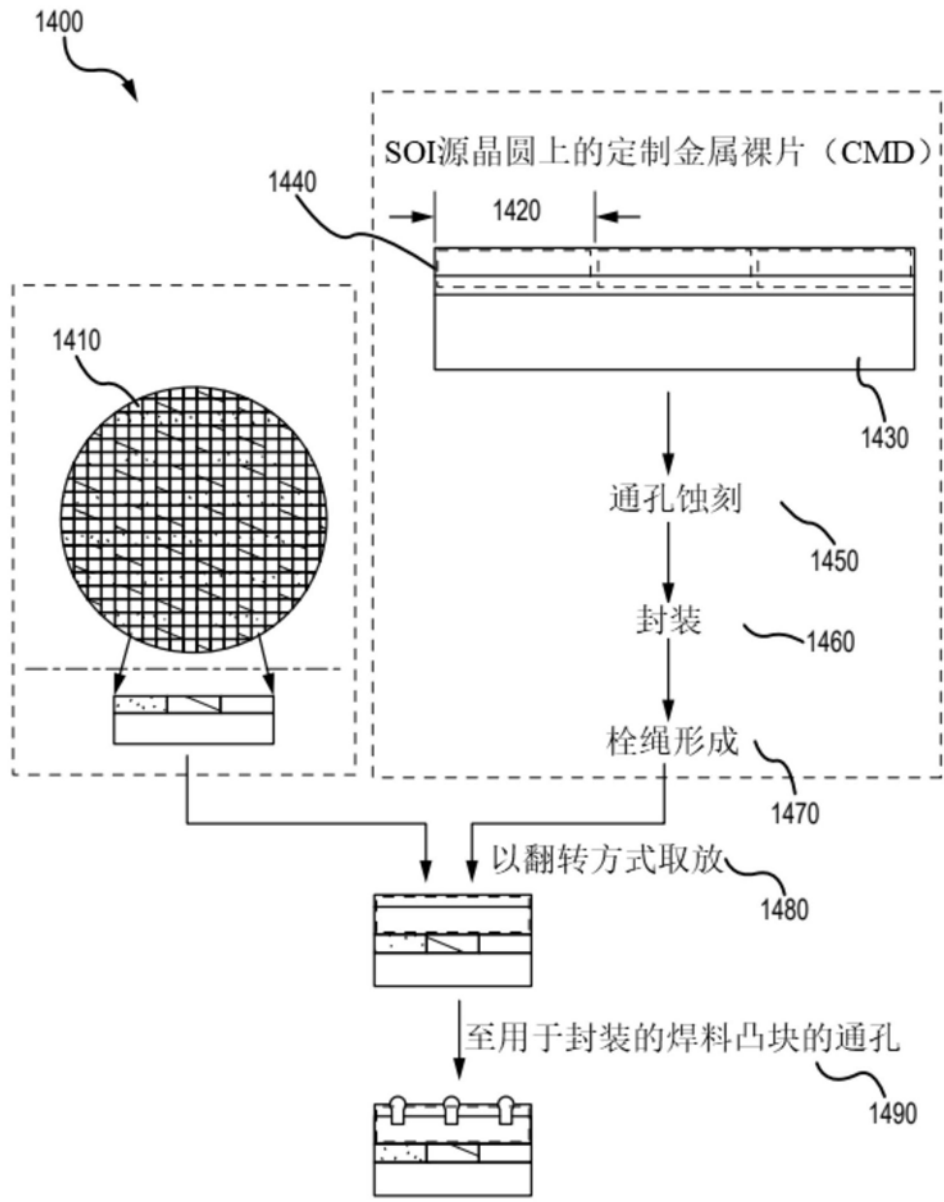


图14

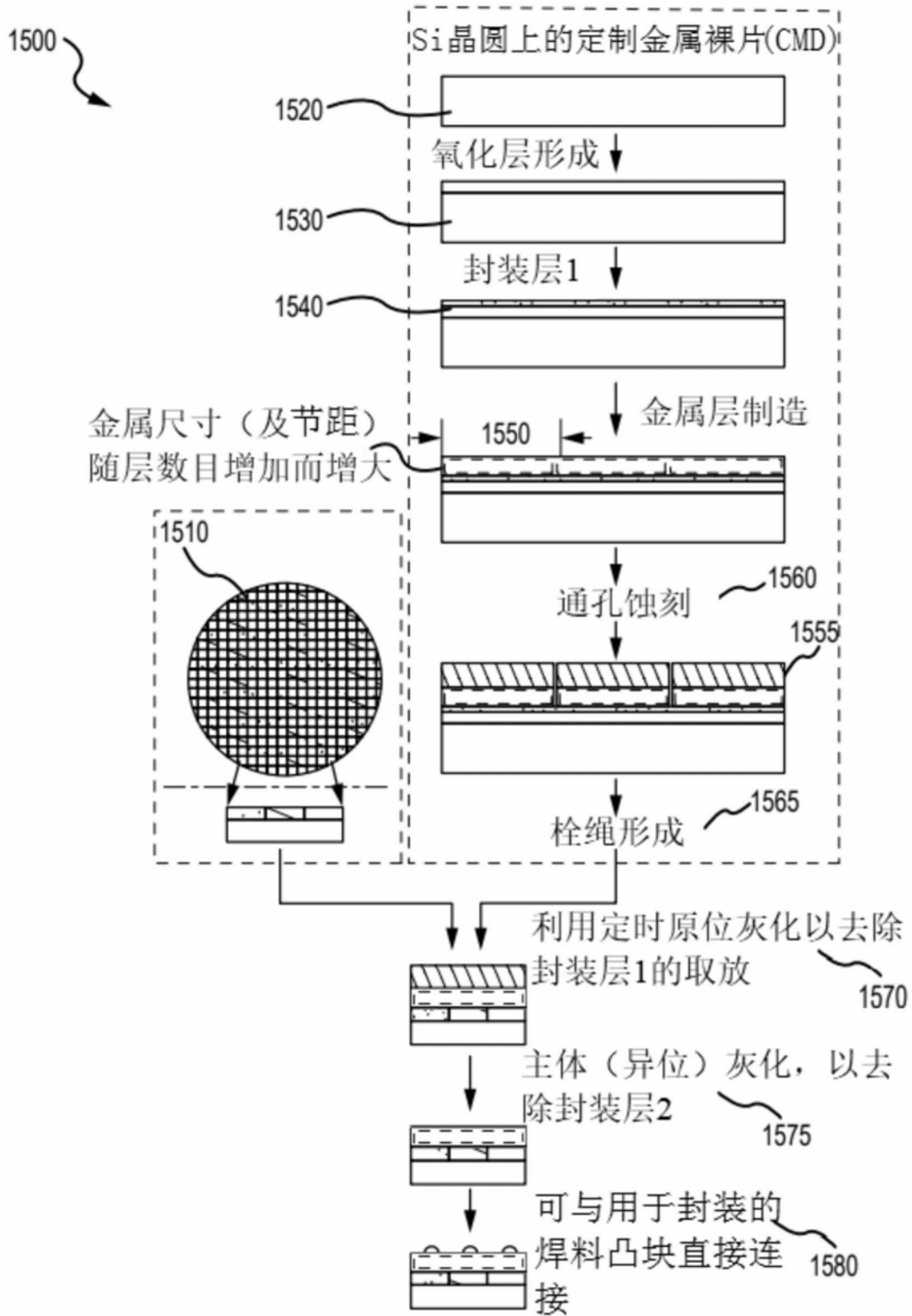


图15



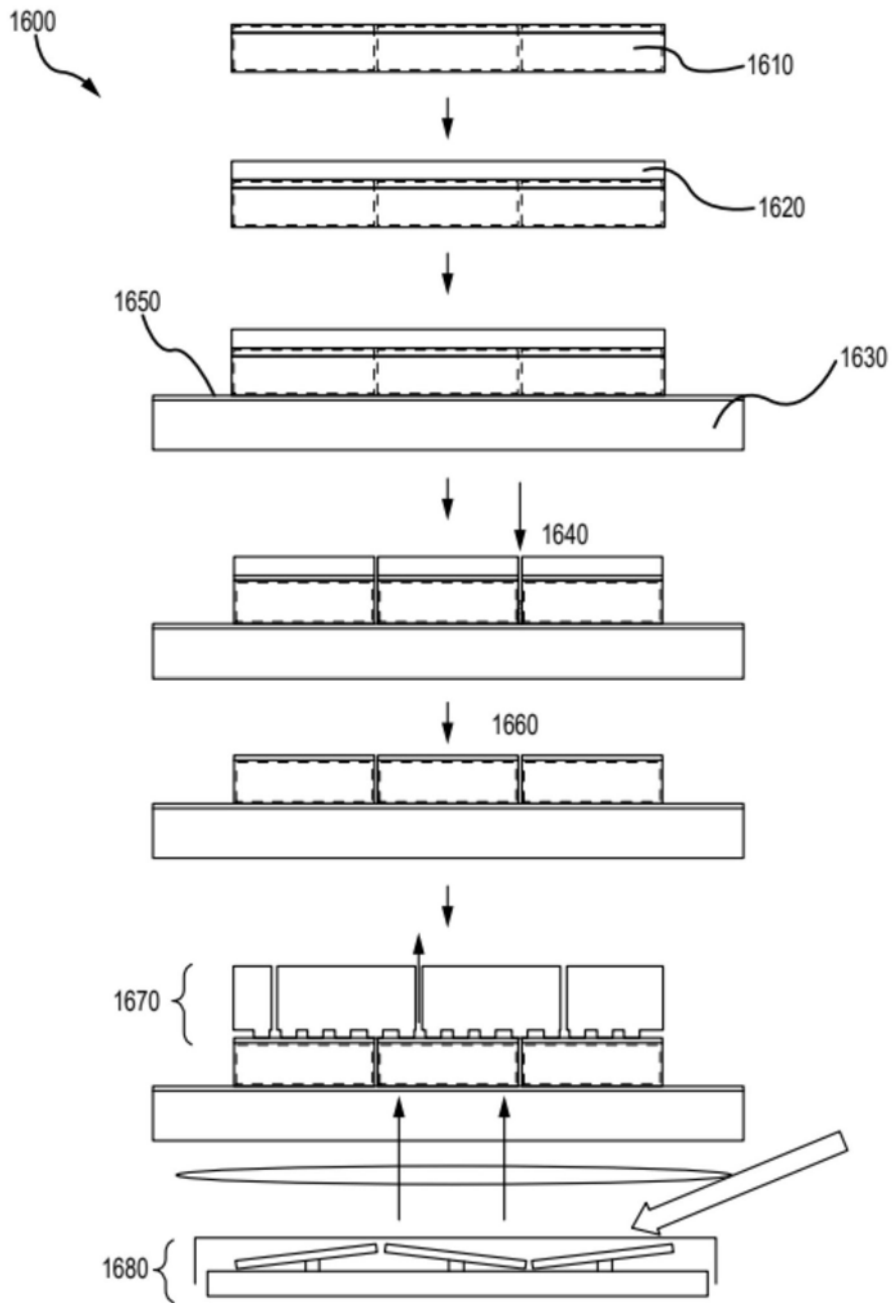


图16

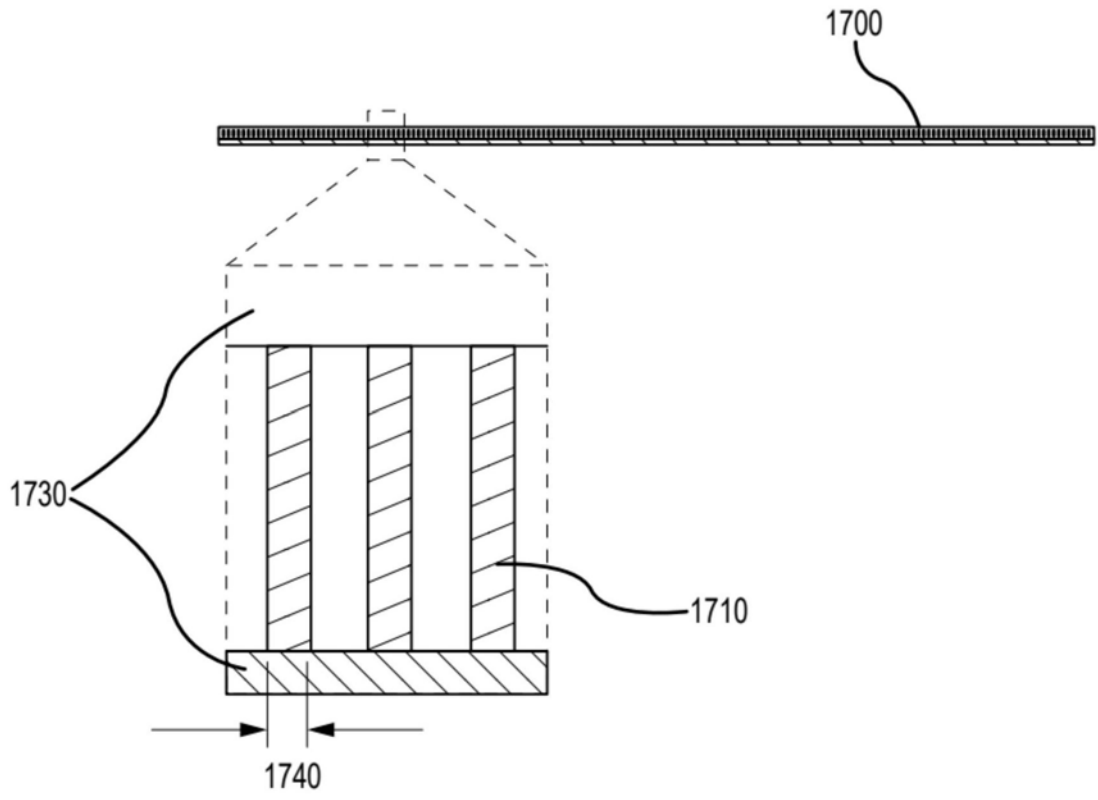


图17

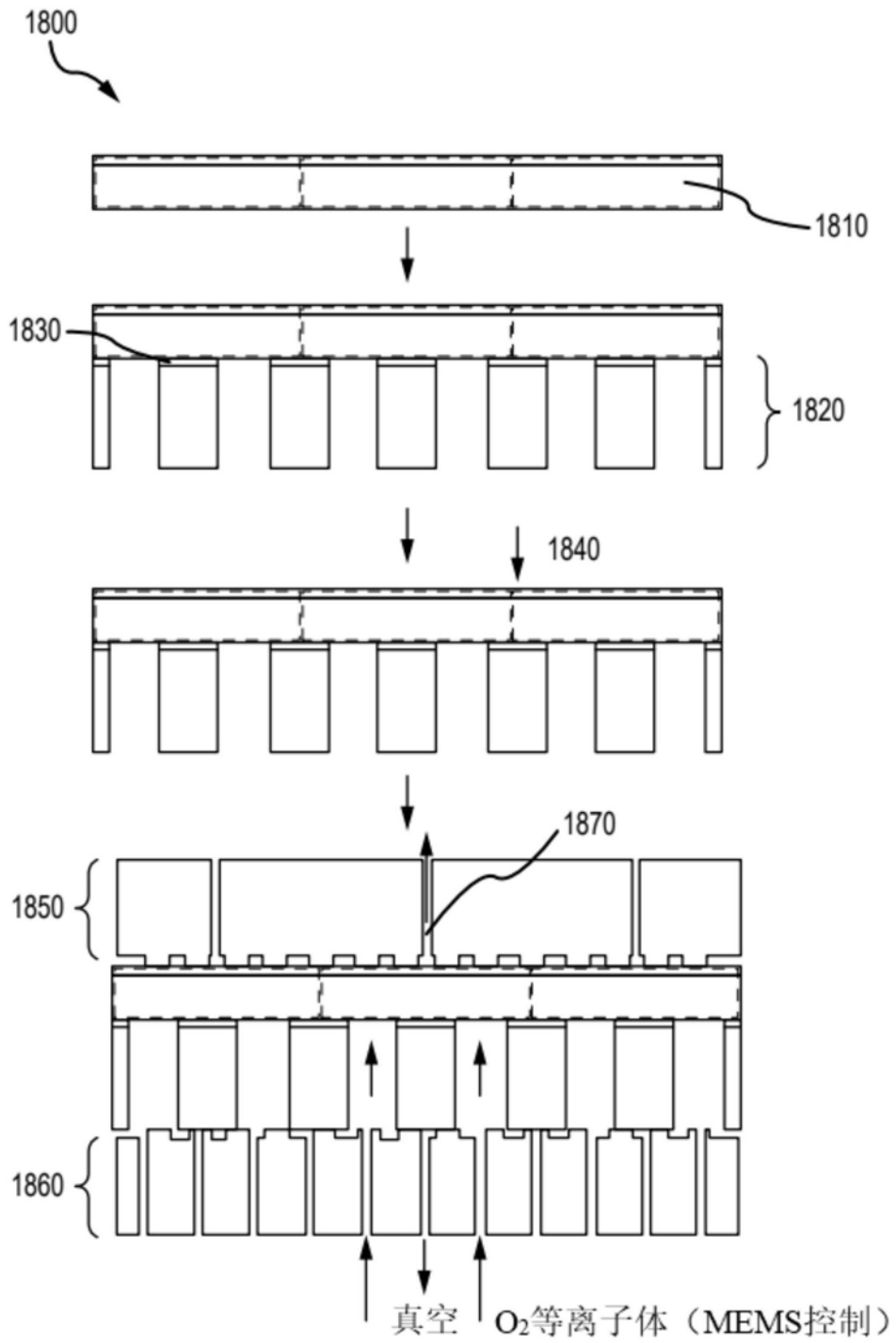


图18

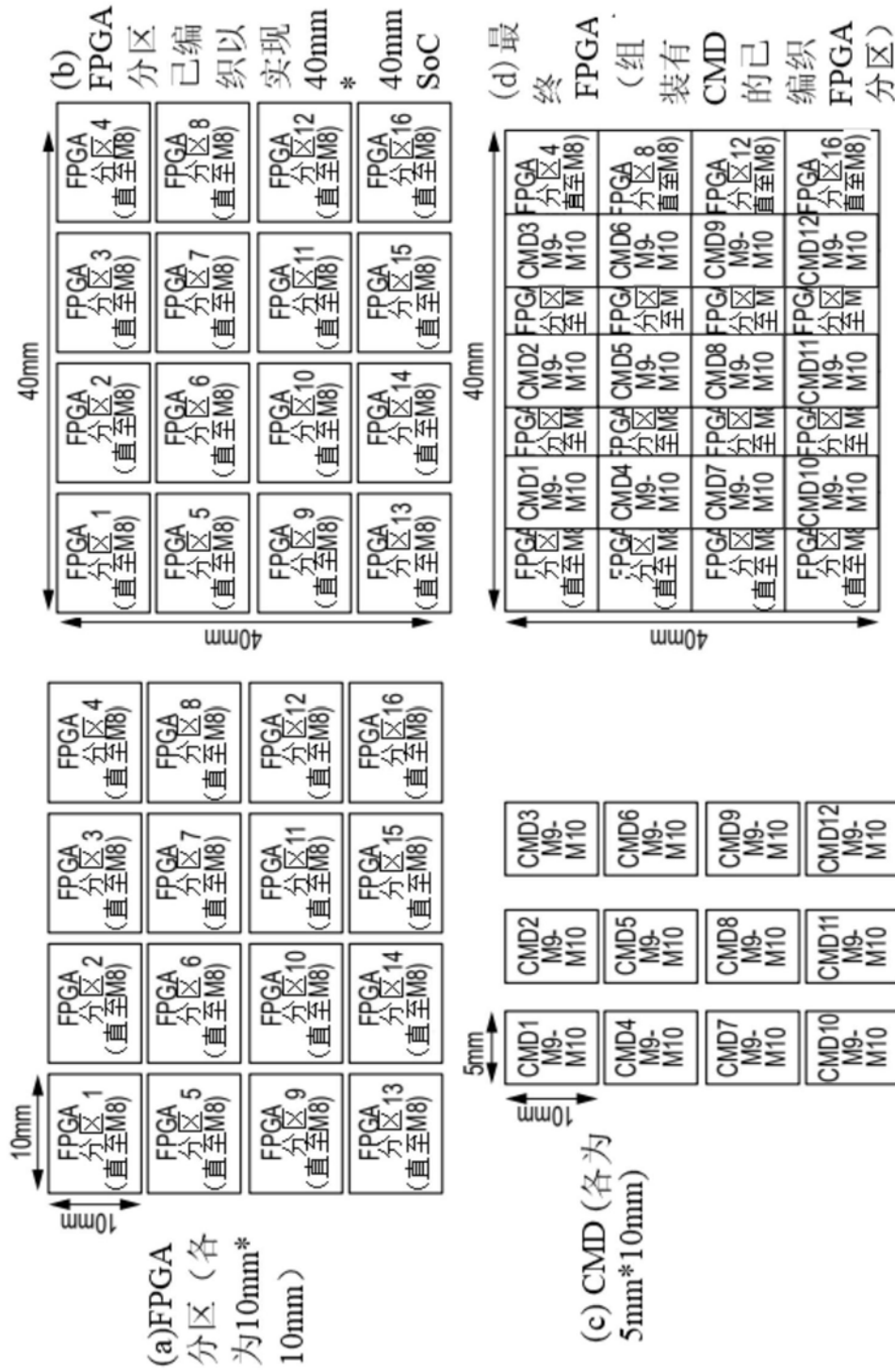


图19

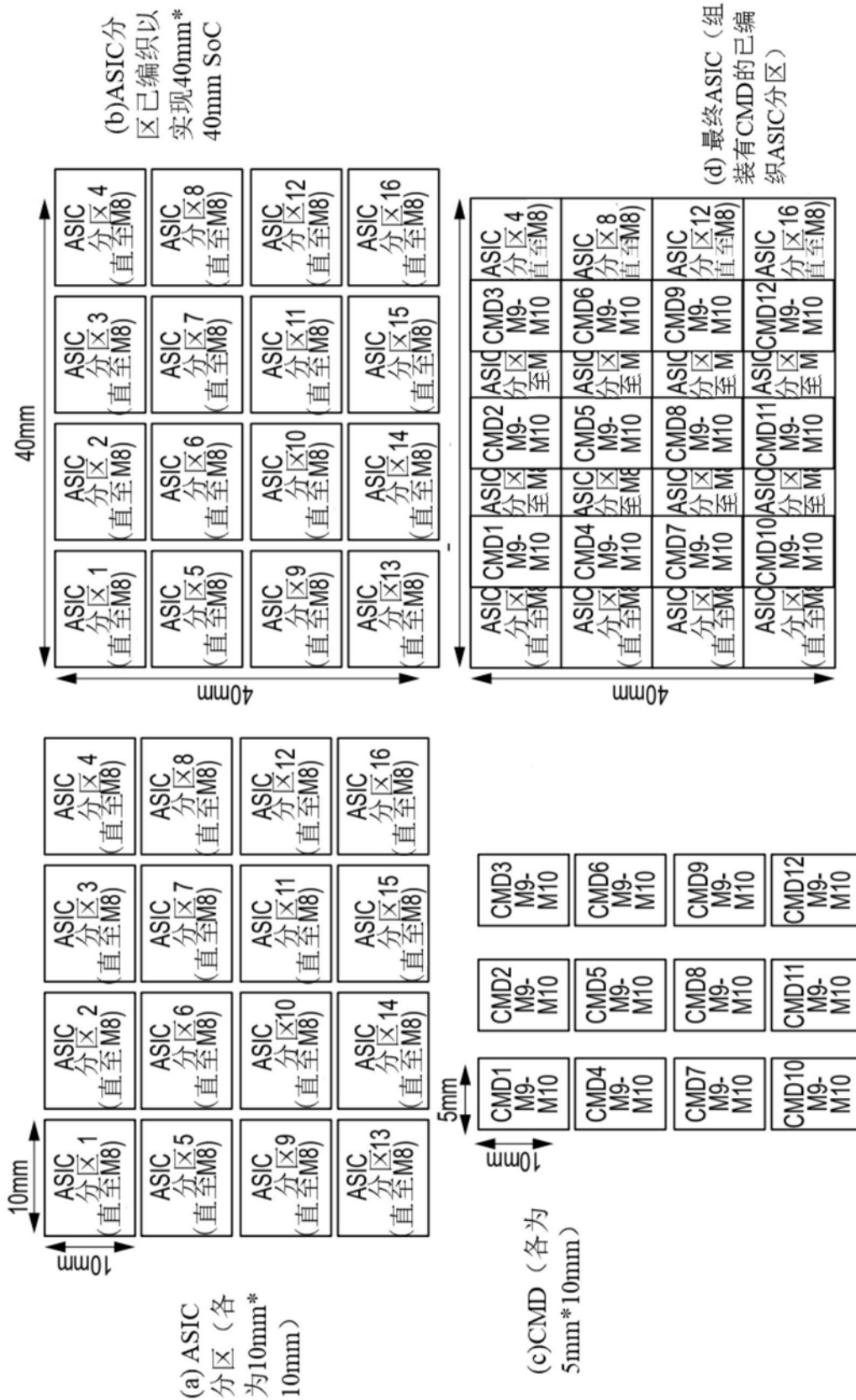


图20

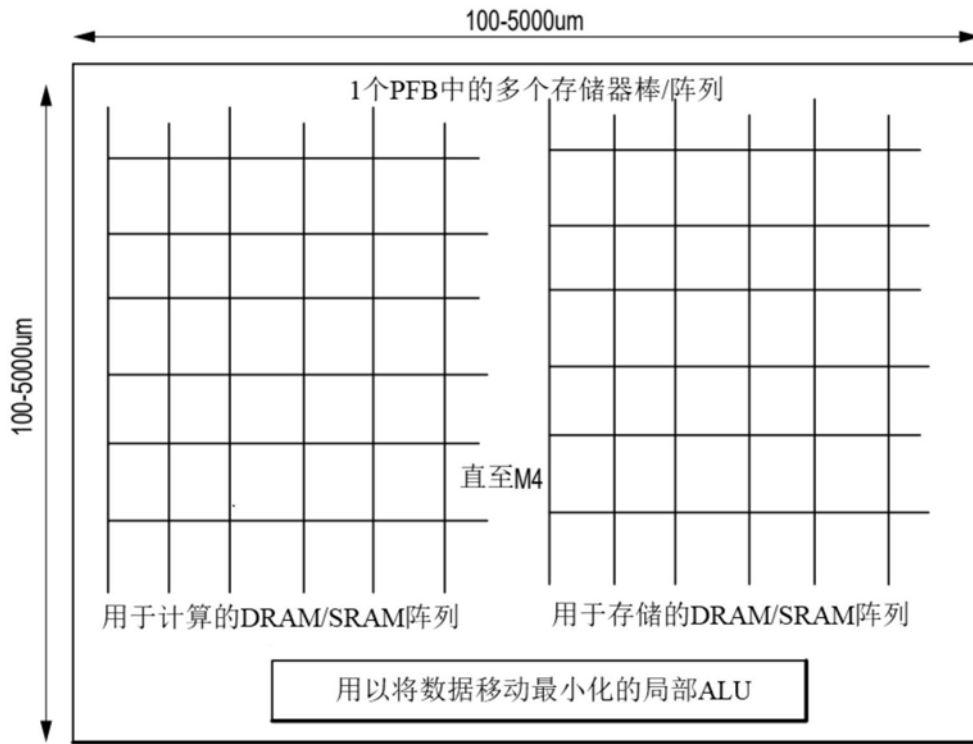


图21

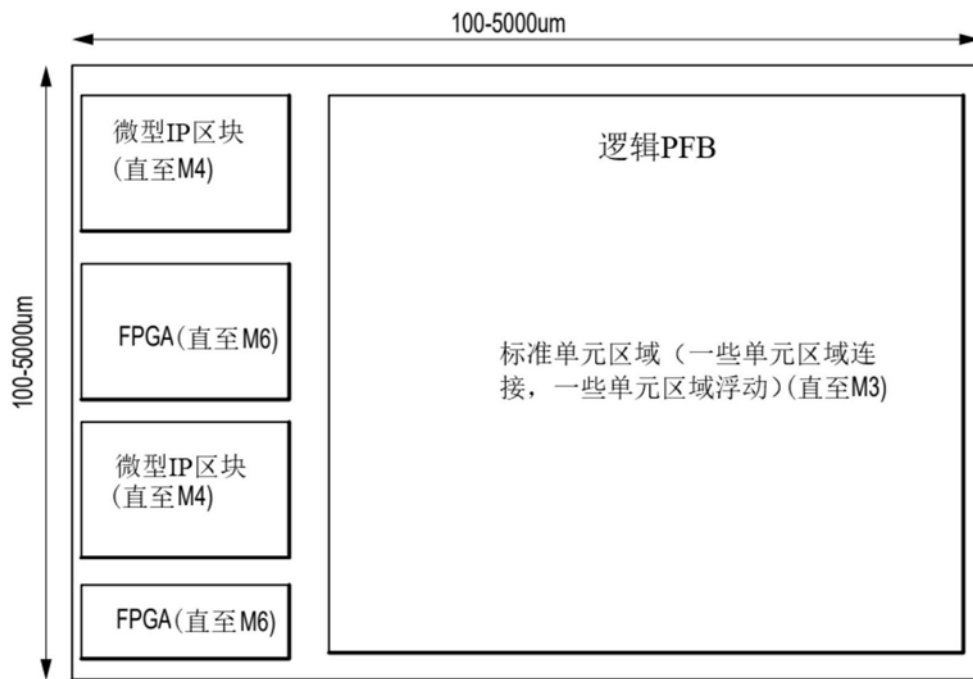


图22

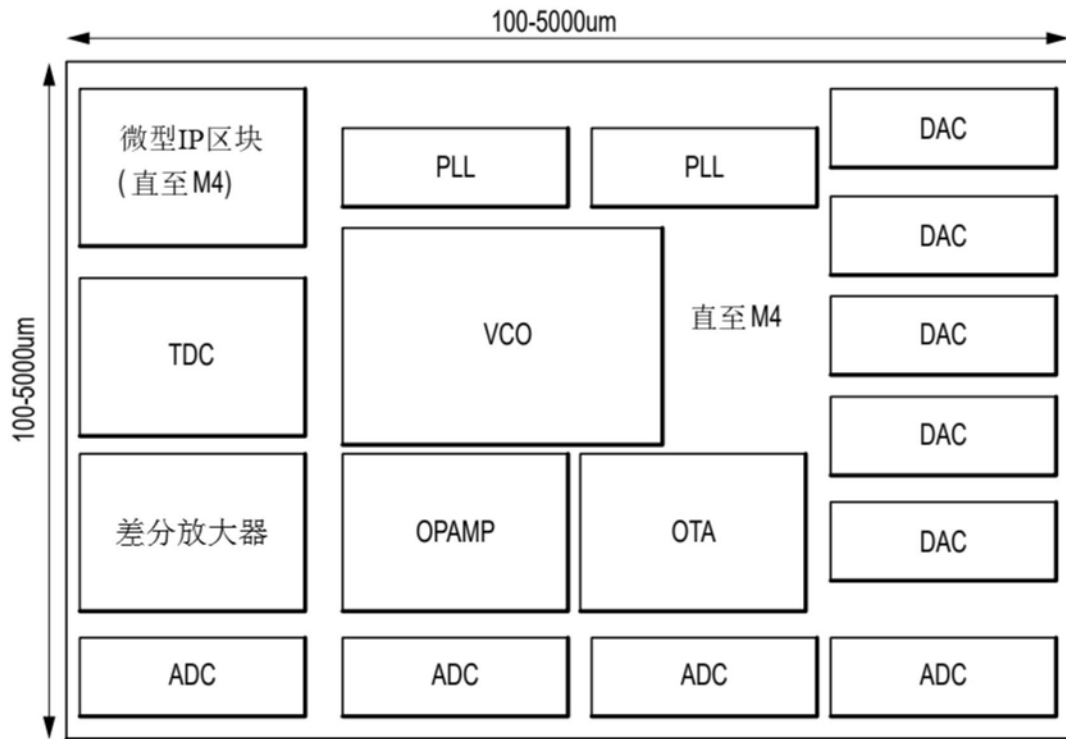


图23

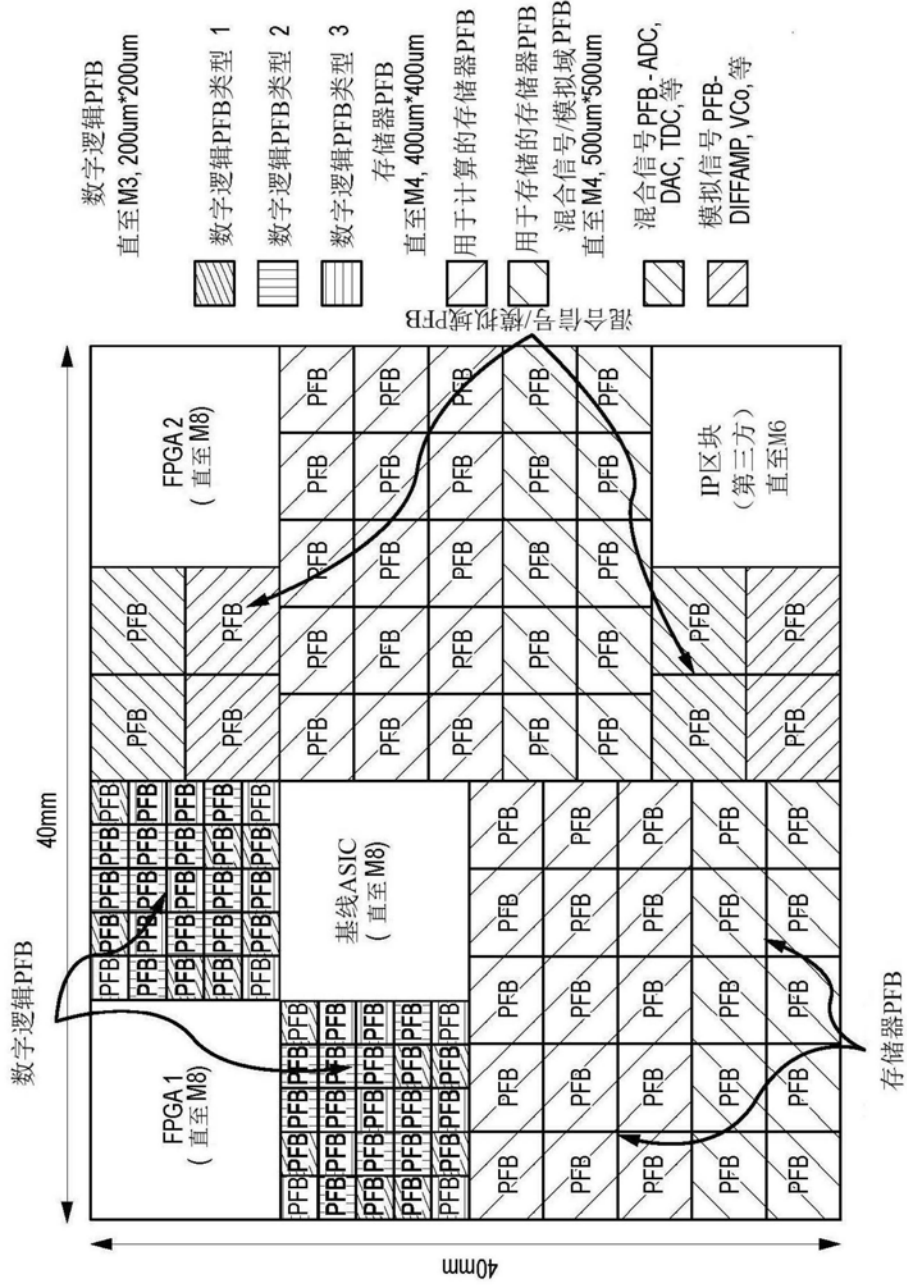
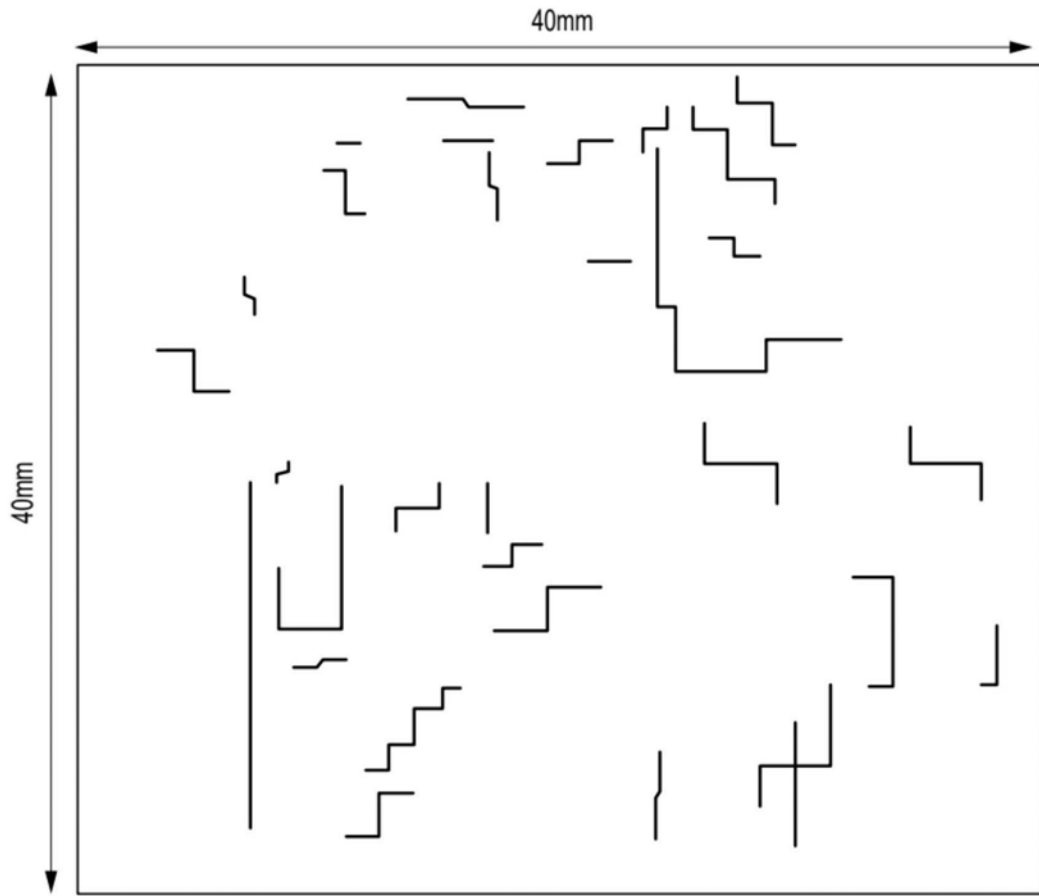


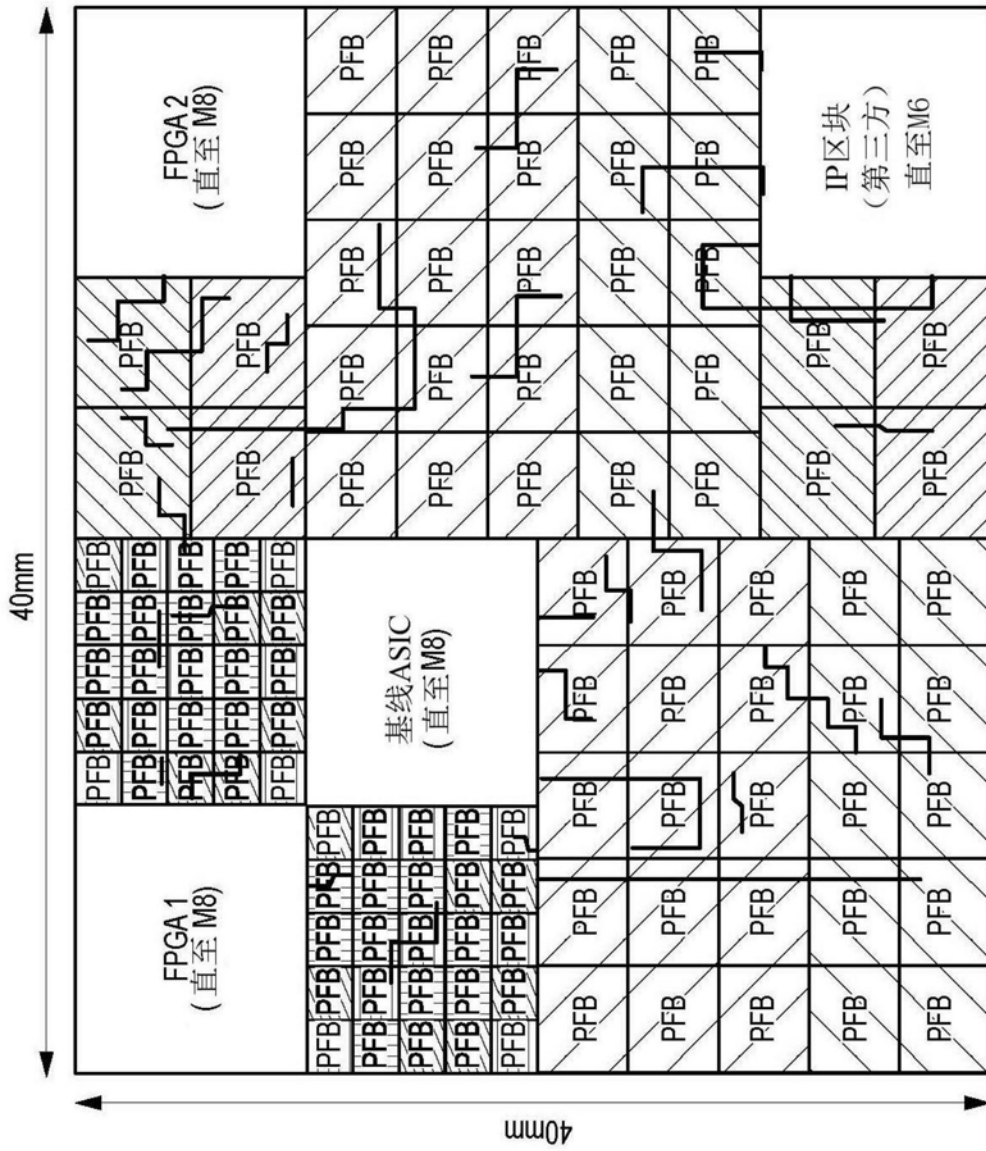
图24





(a) CMD金属裸片(M4-M10)

图25



(b) 已组装CMD与已编织PFB, 以实现最终SoC

图25续

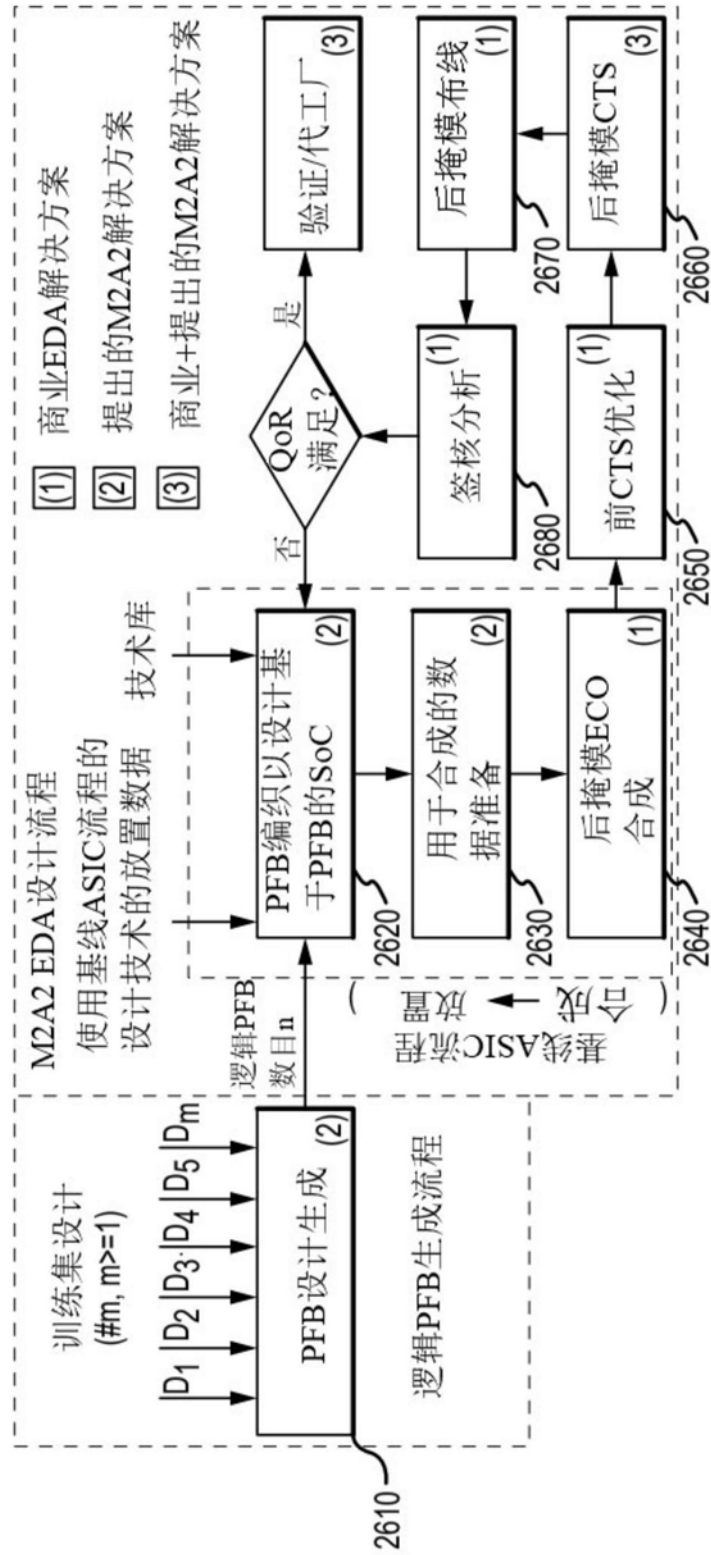


图26

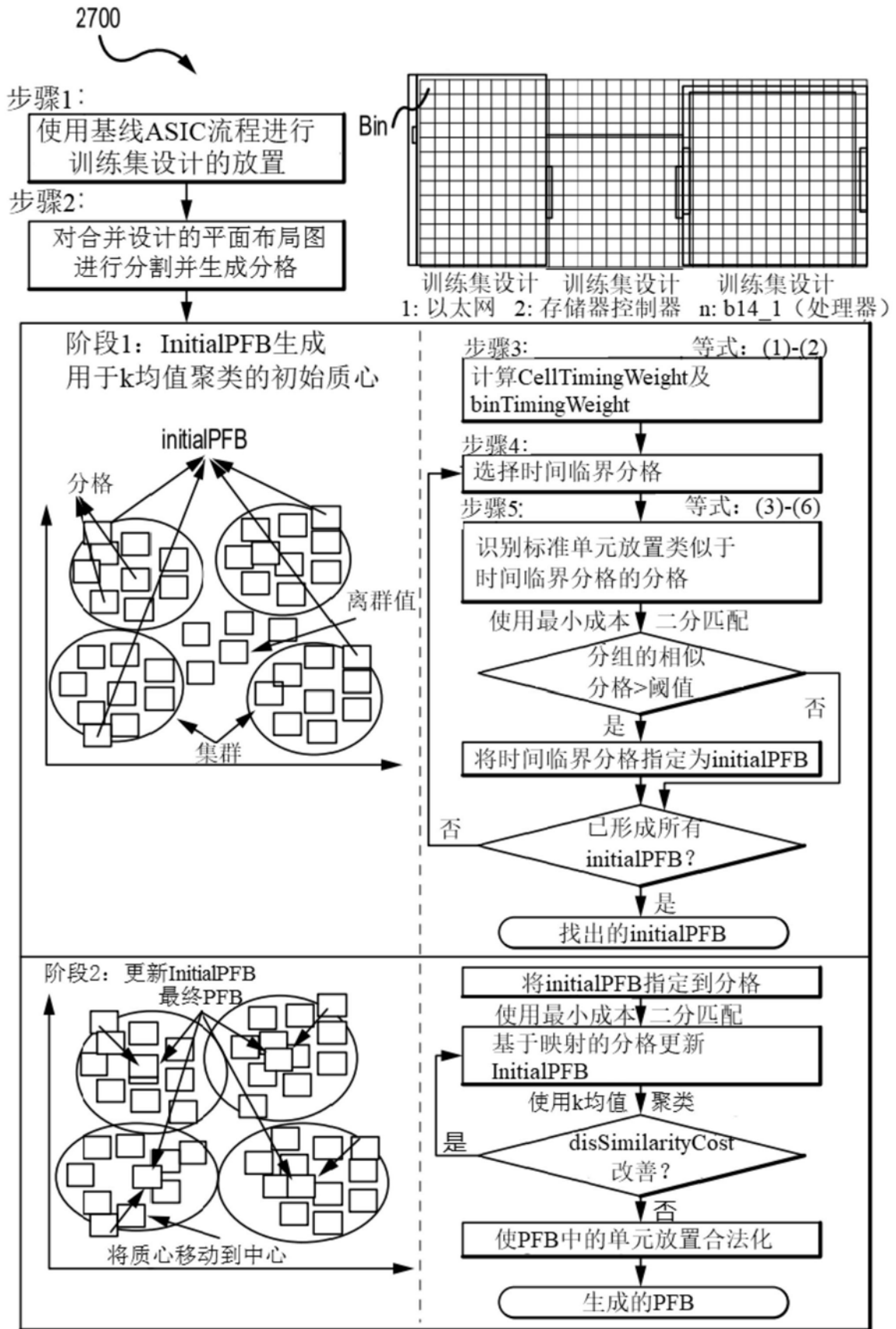


图27

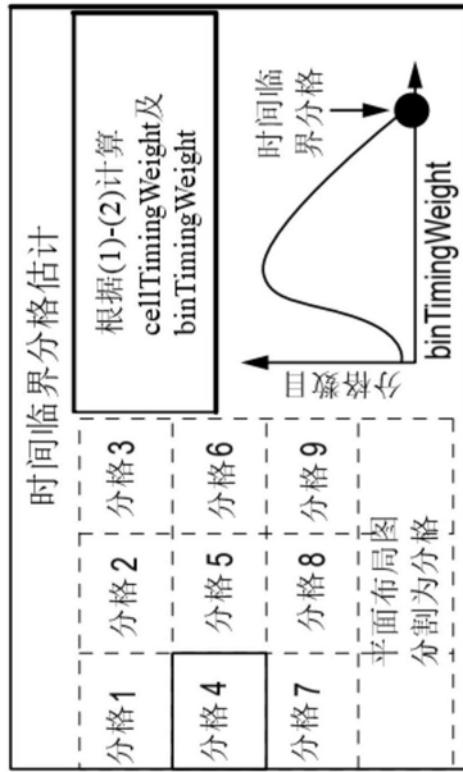


图28A

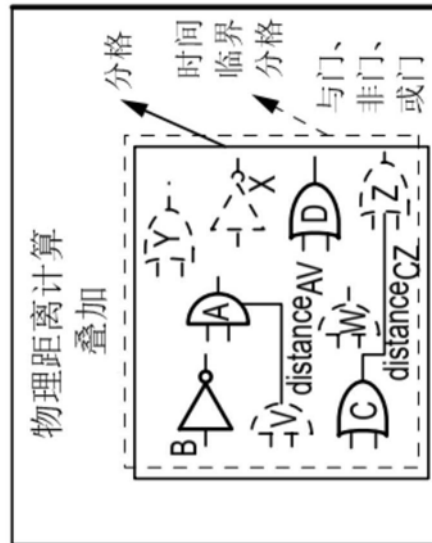


图28B

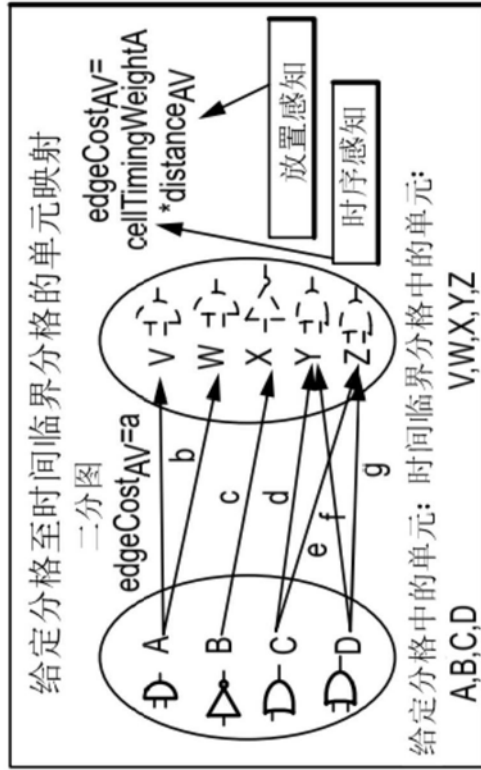
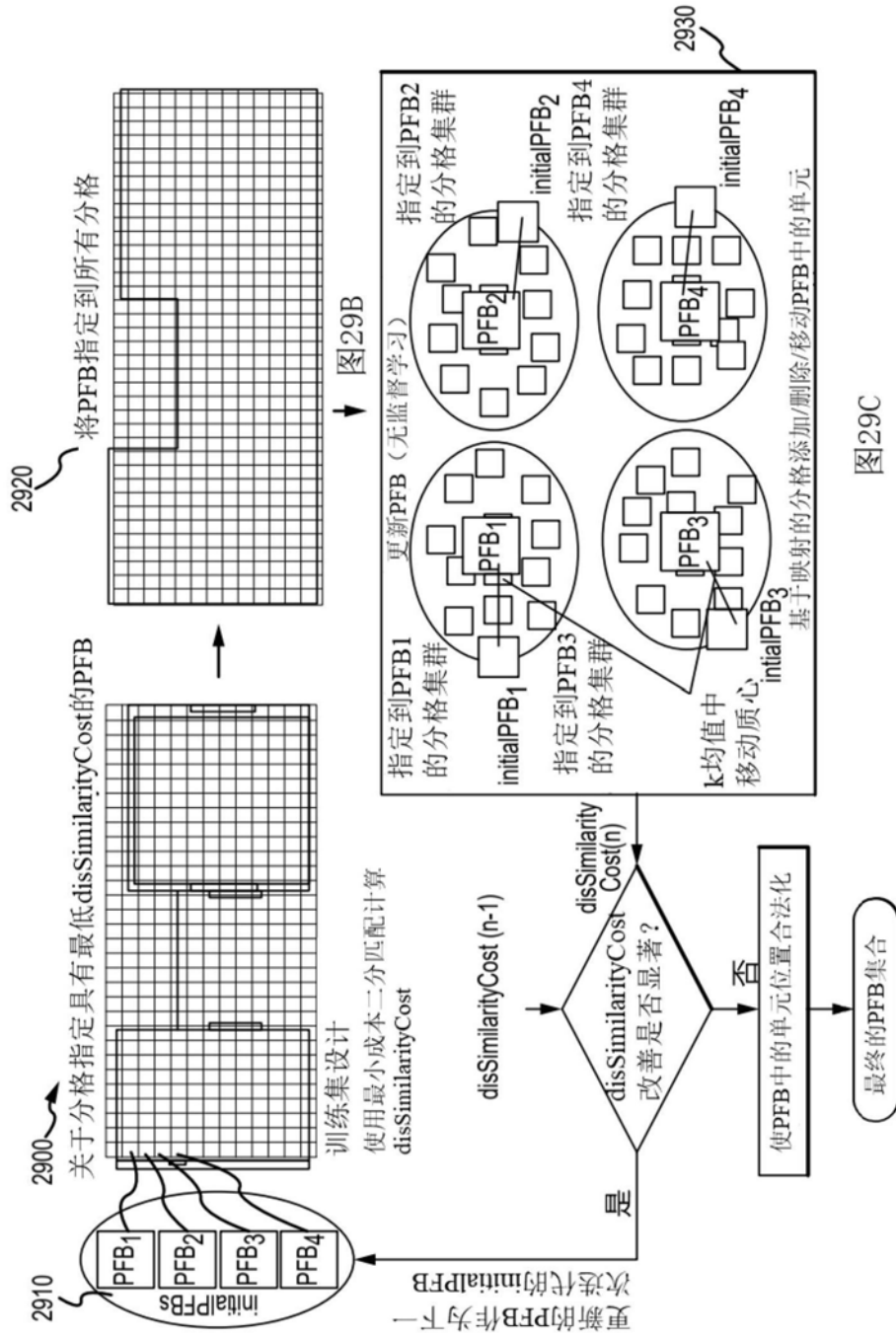


图28C



图28D



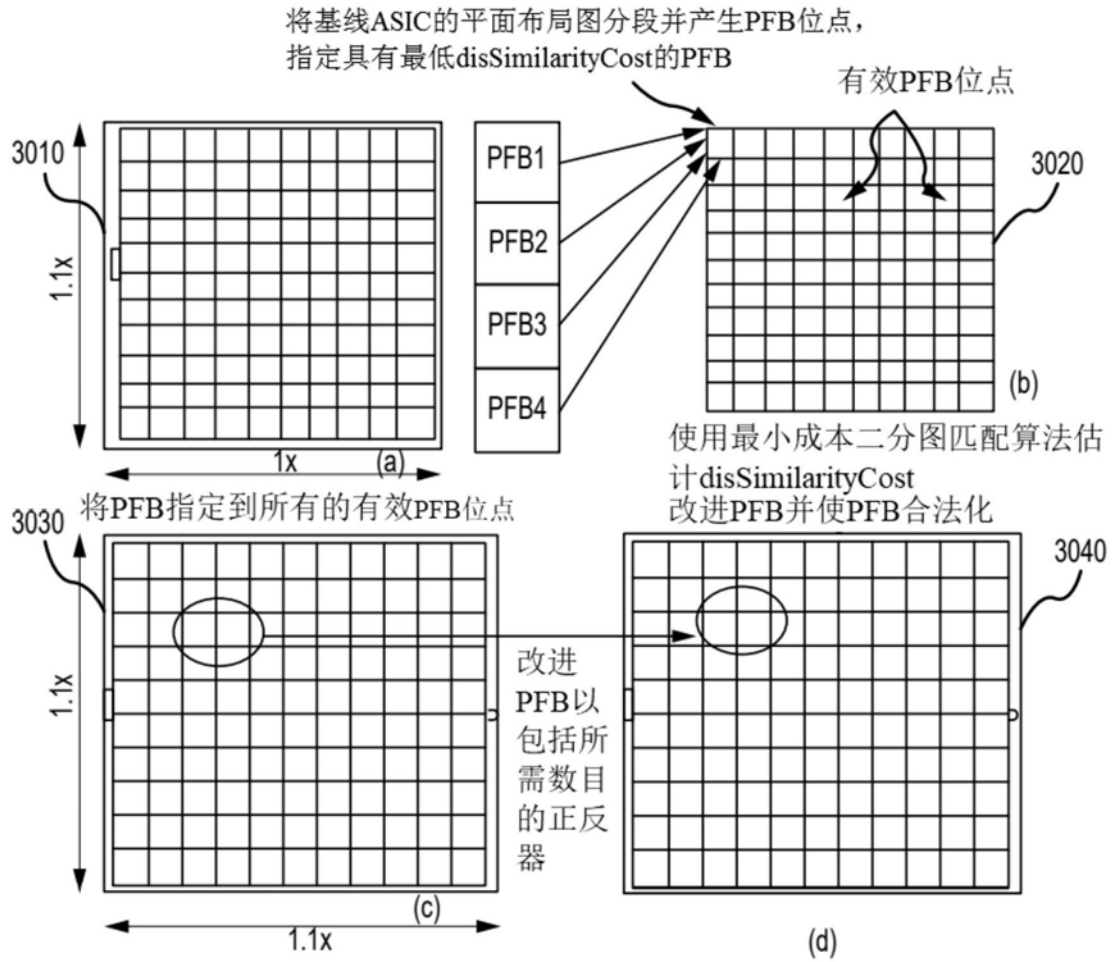


图30



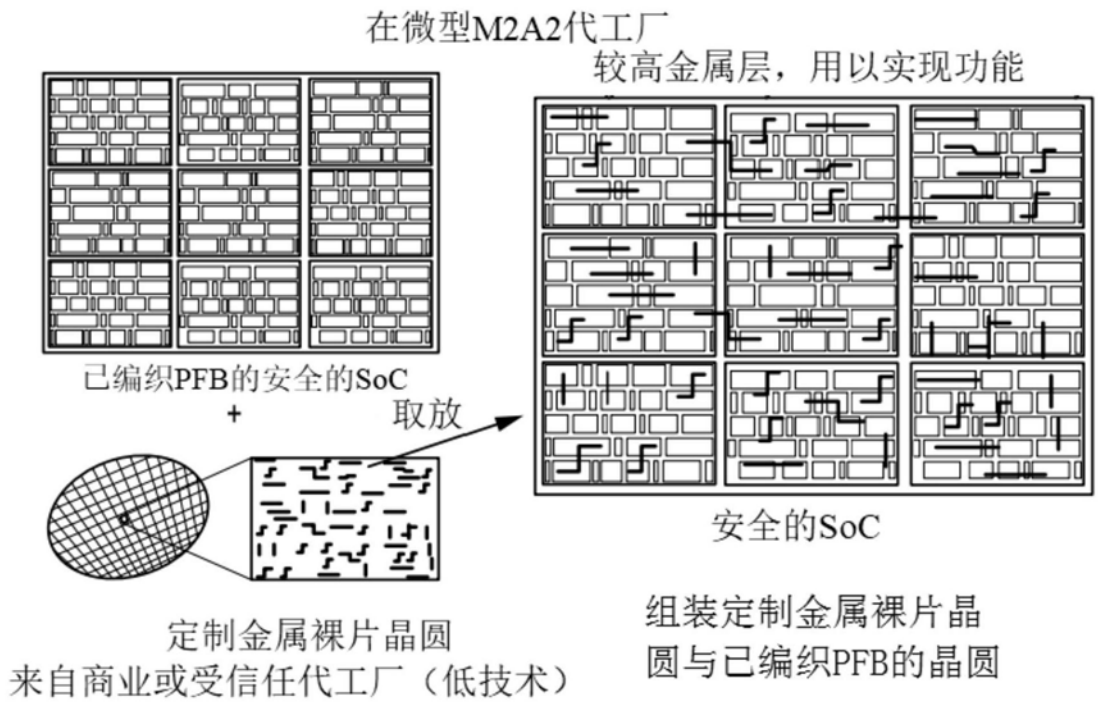
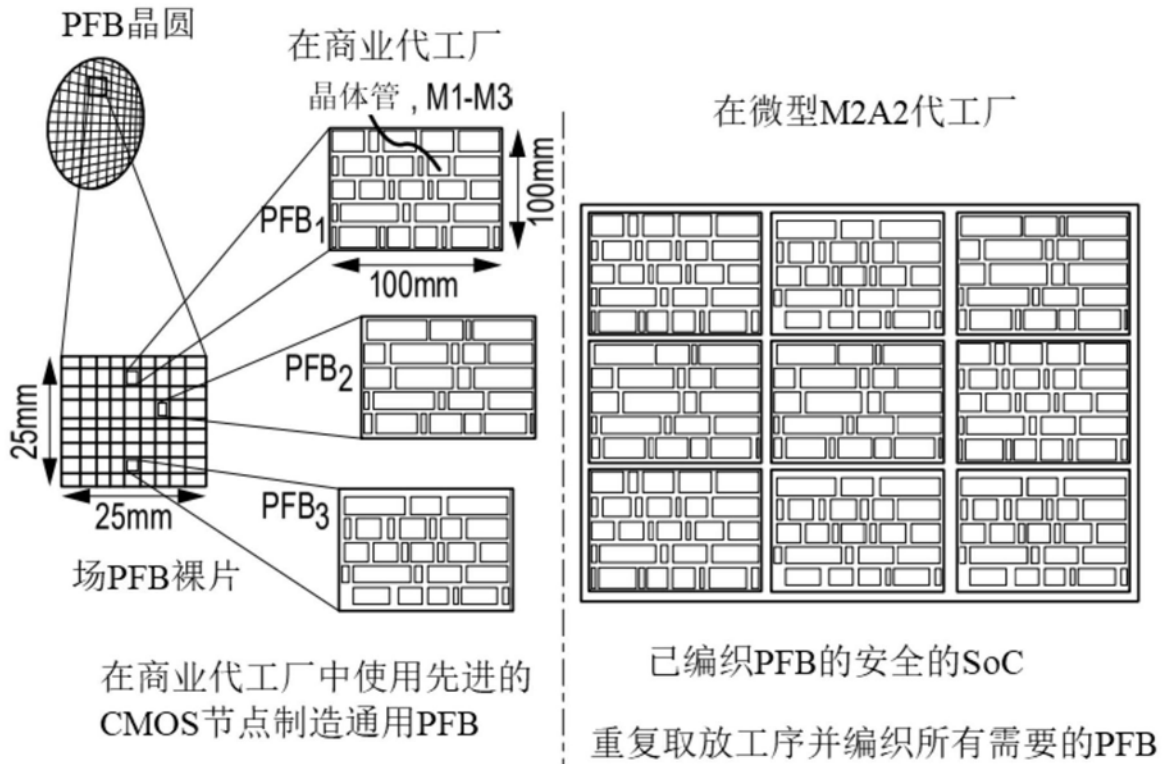


图31

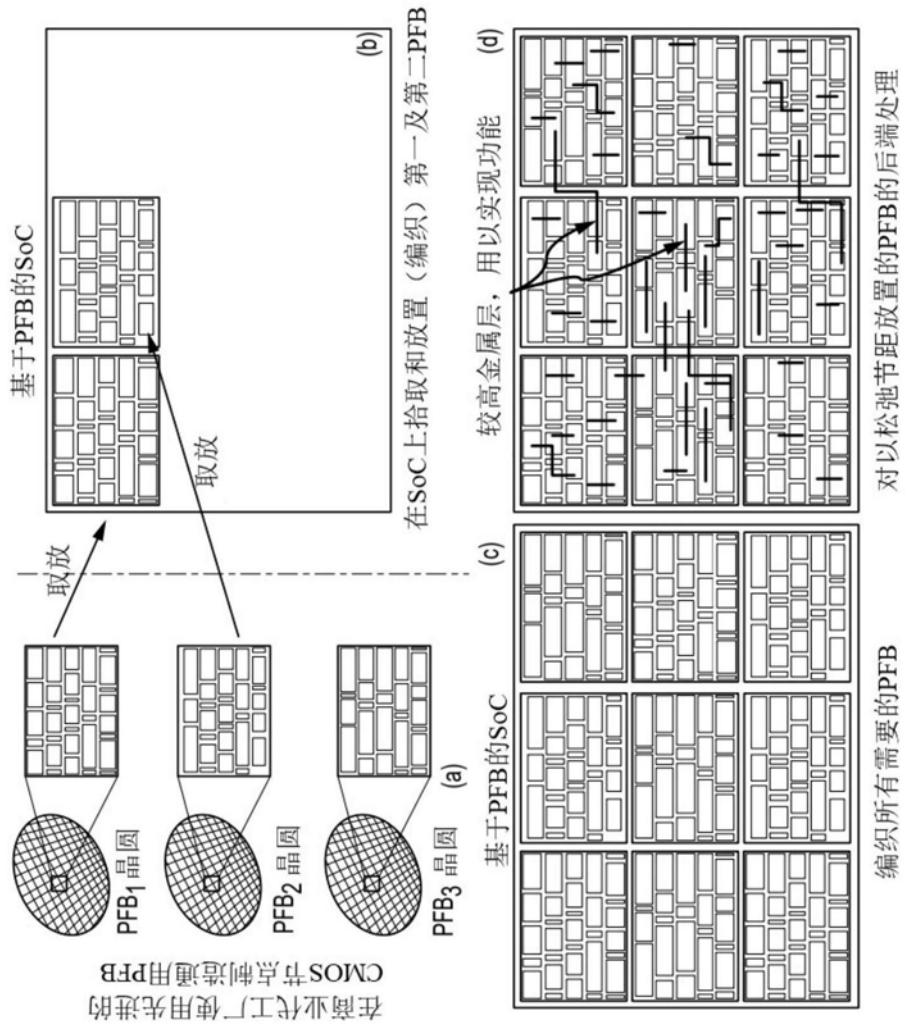


图32

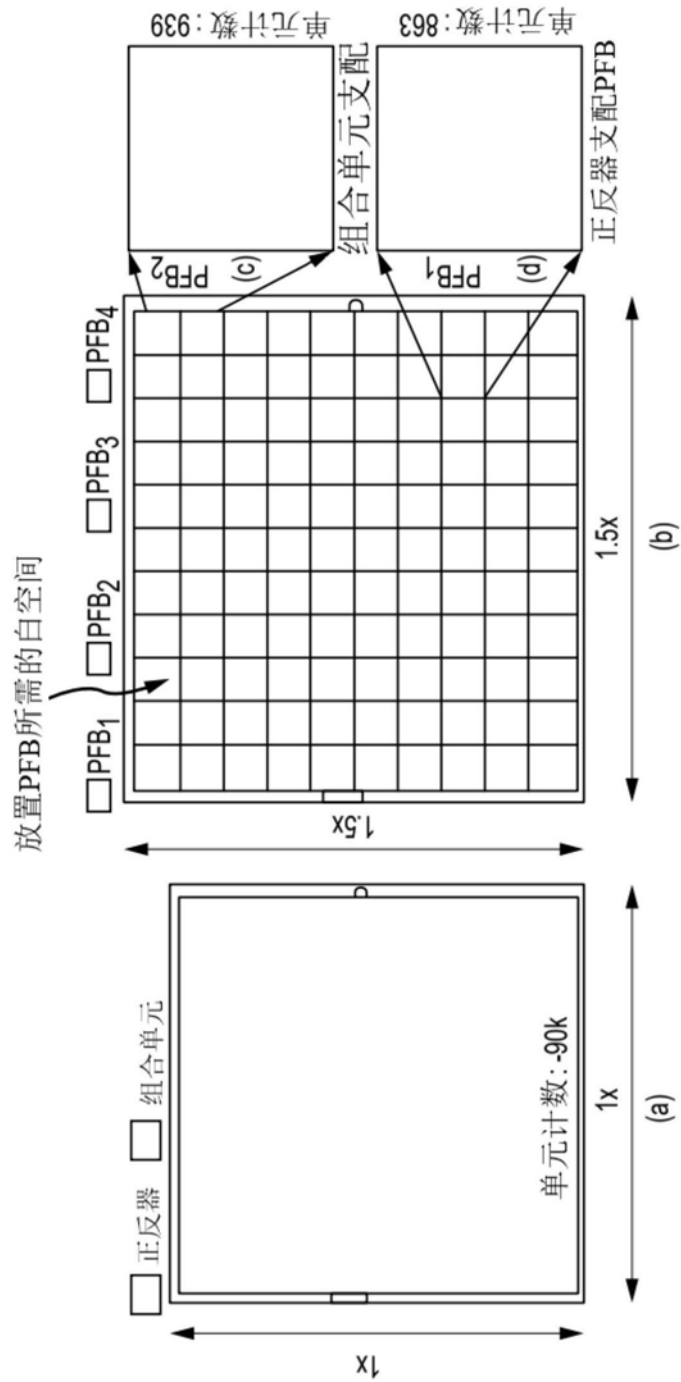


图33

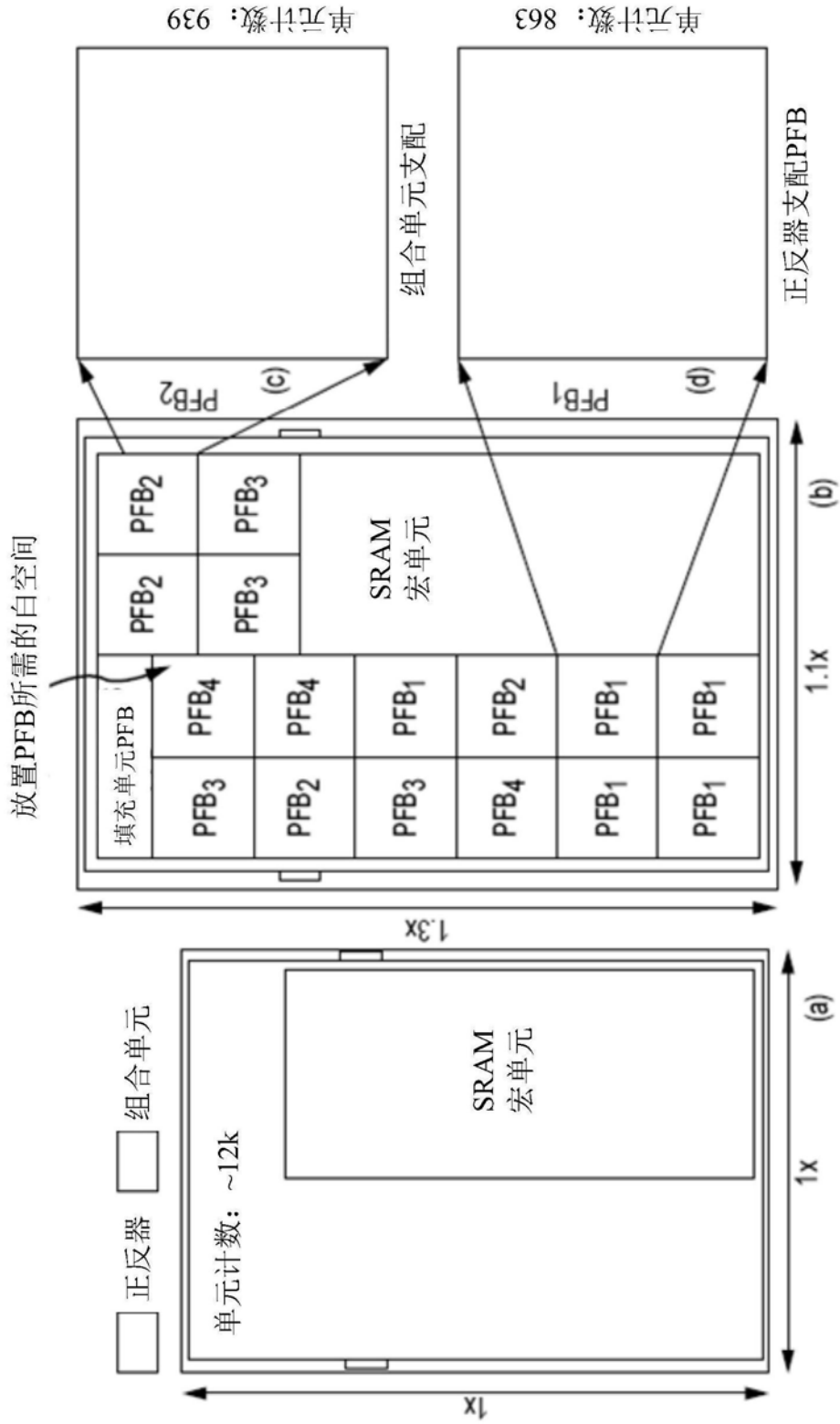


图34

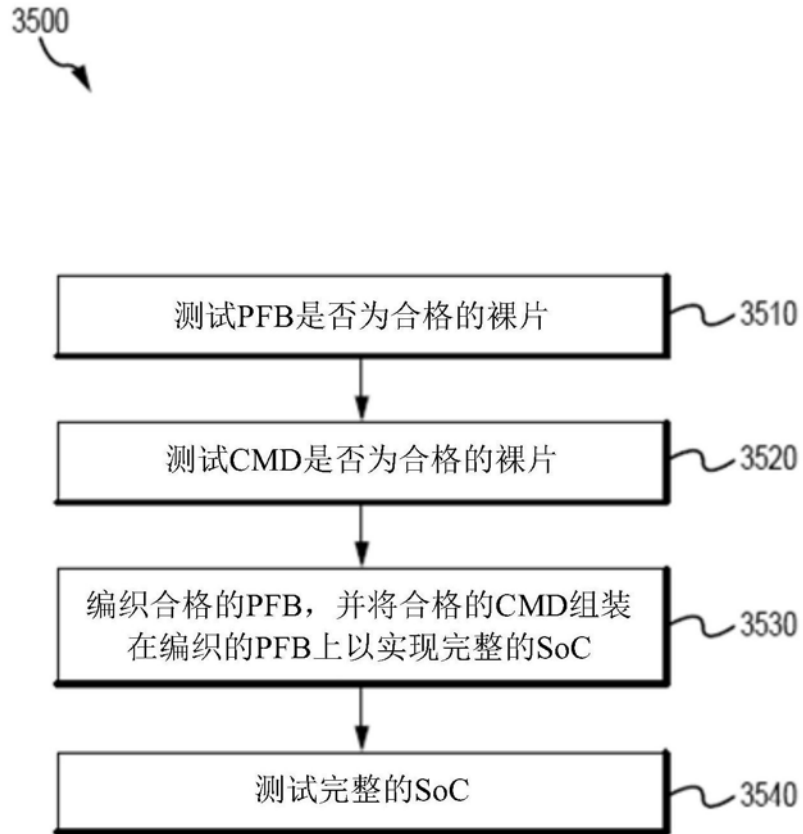


图35

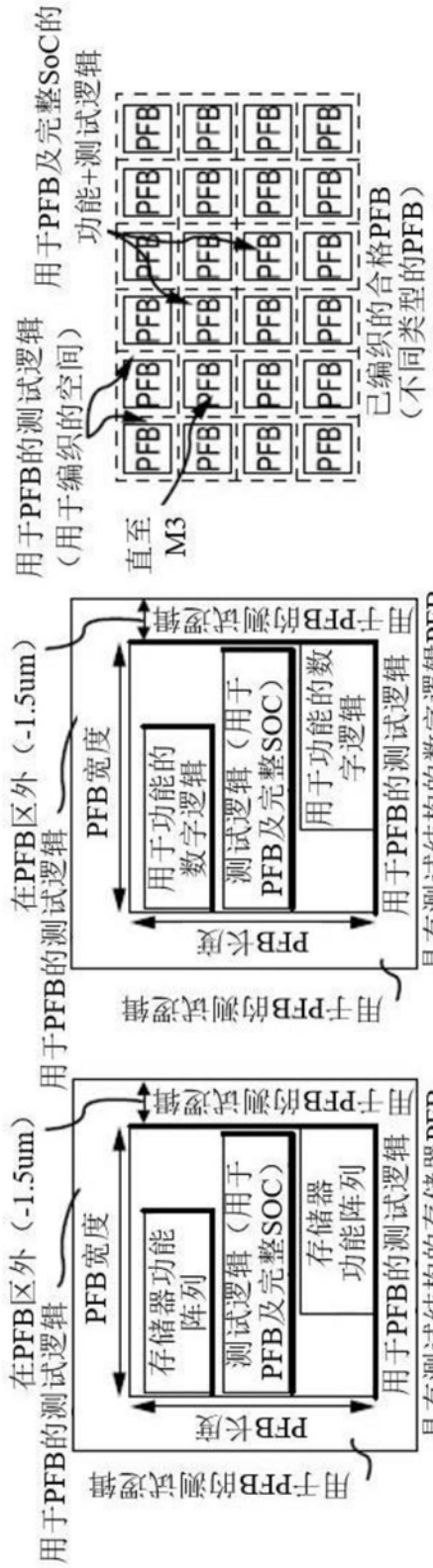
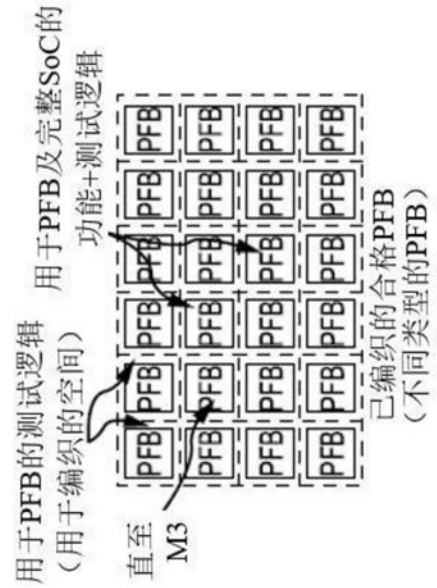


图36A

图36B

图36C



直至M3

用于PFB及完整SoC的功能+测试逻辑

图36C

用于PFB及完整SoC的功能+测试逻辑

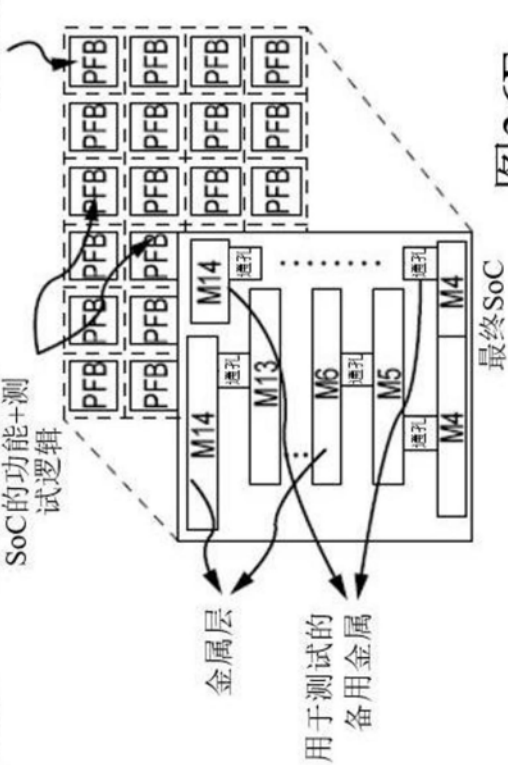


图36D

图36E

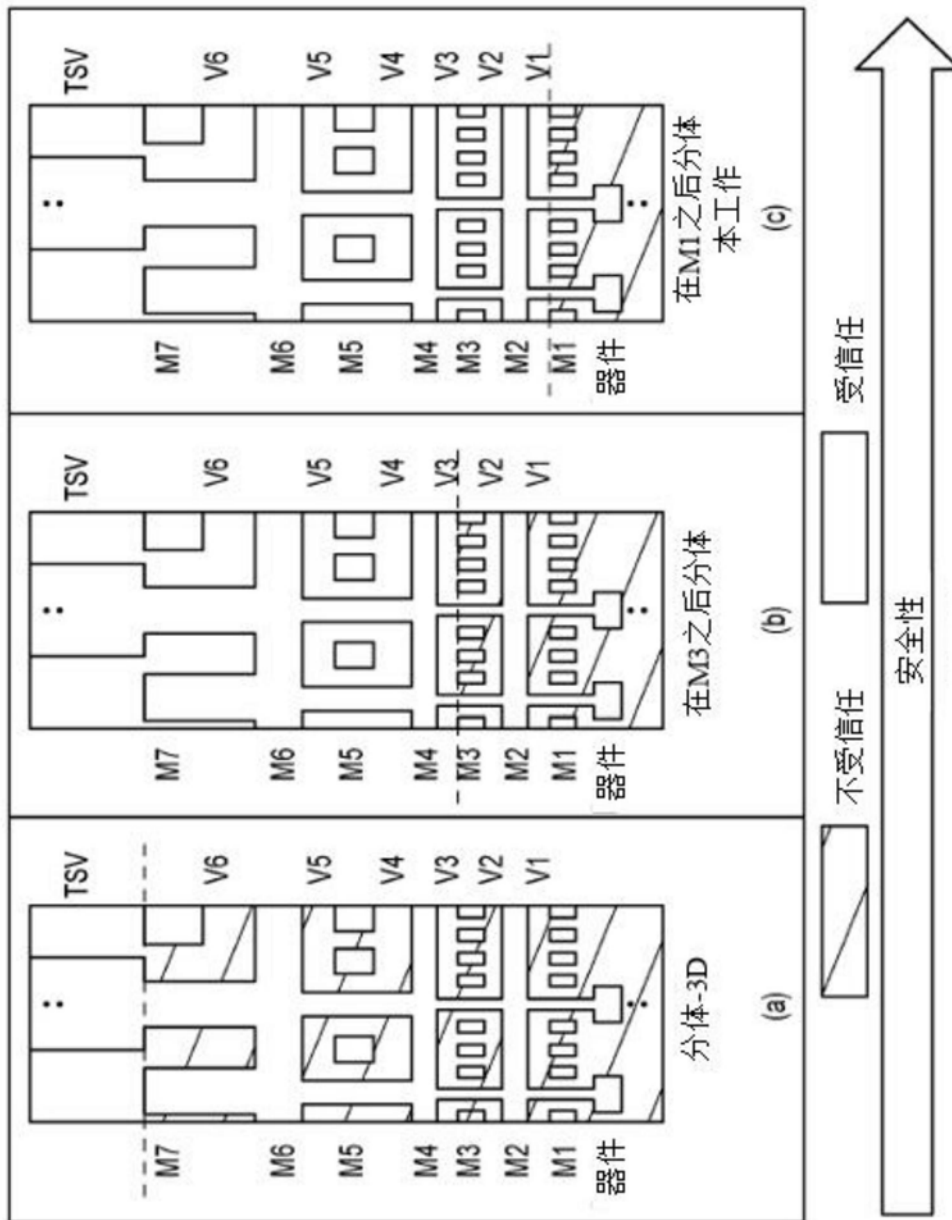


图37

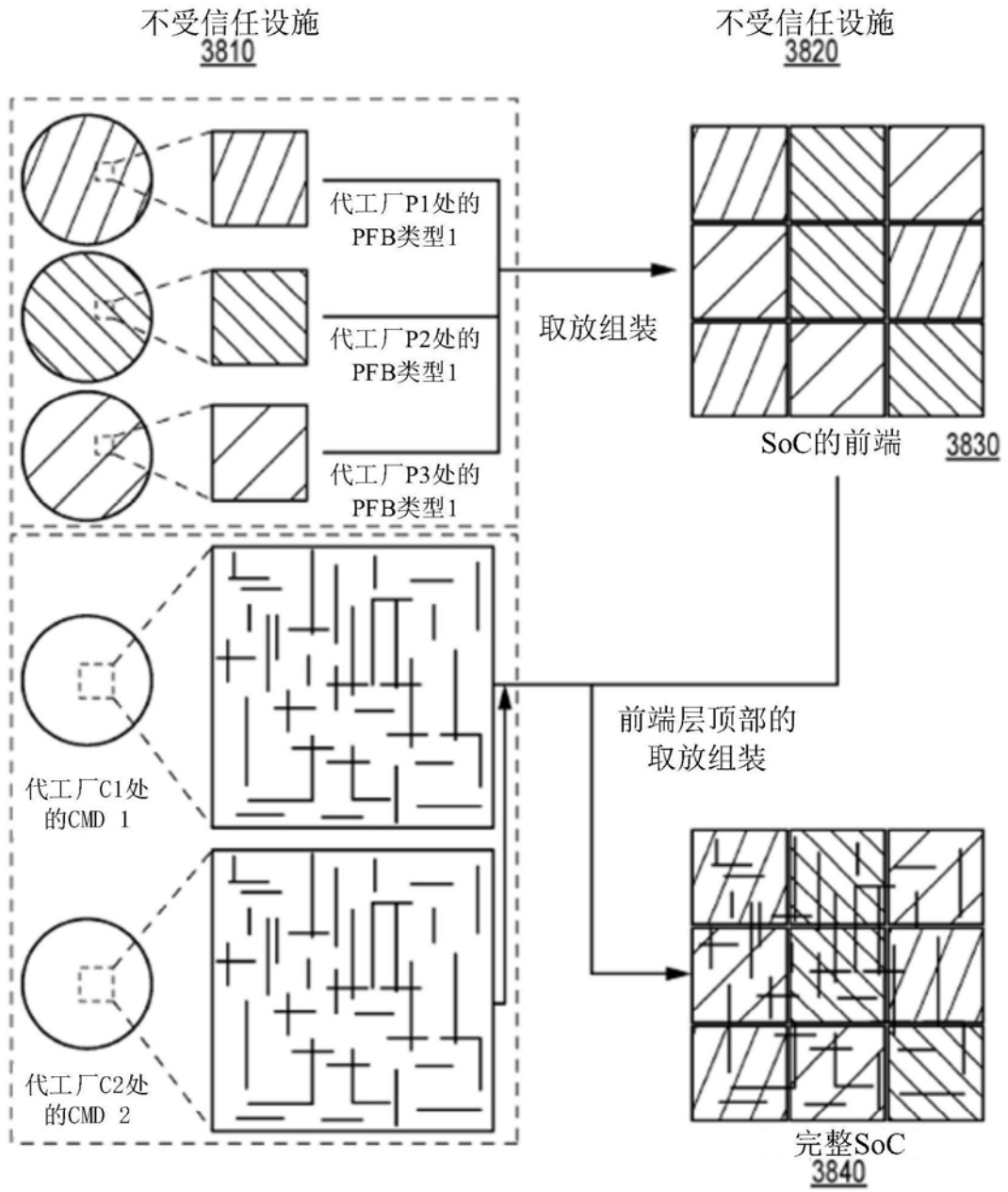


图38



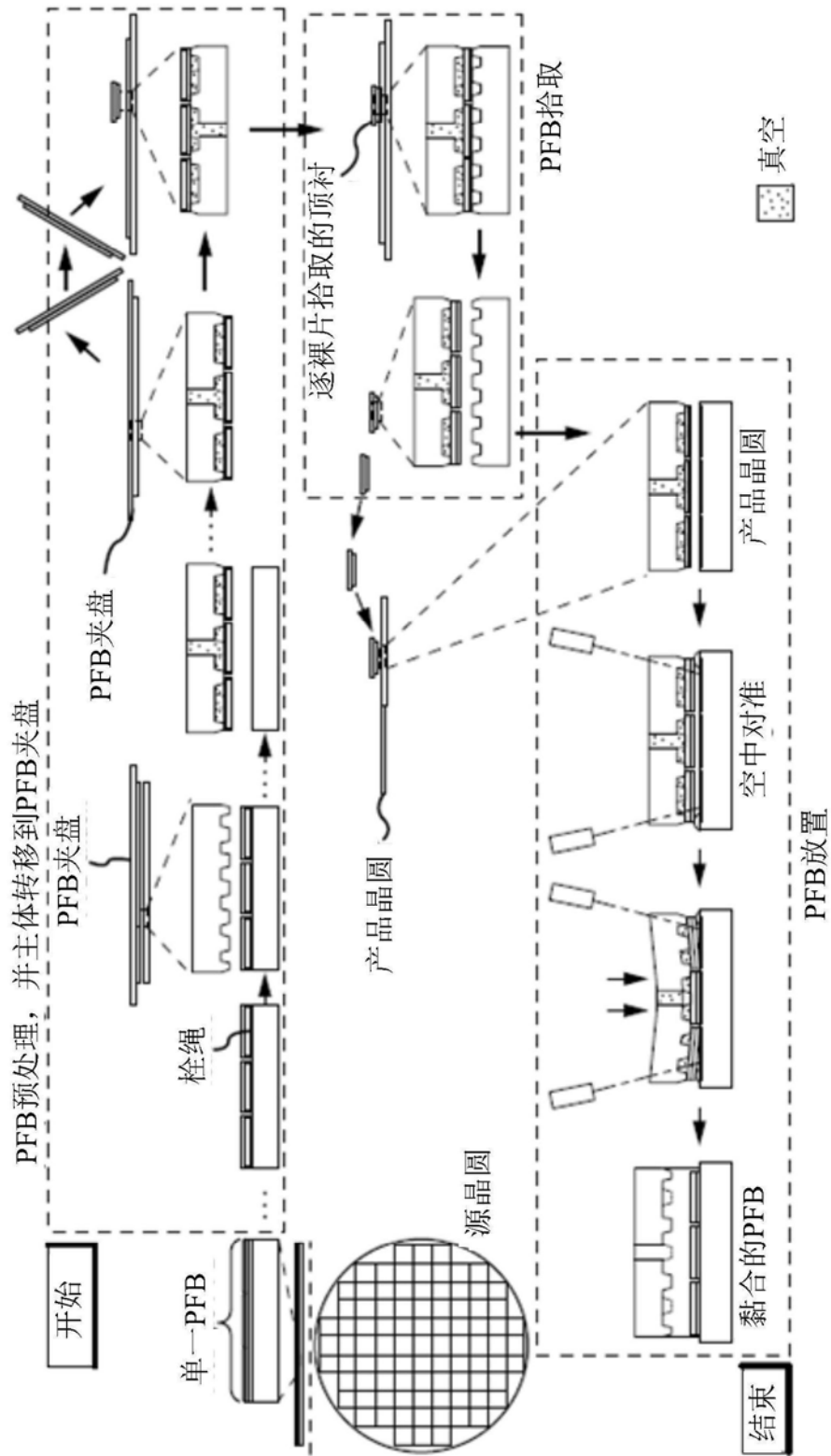


图39

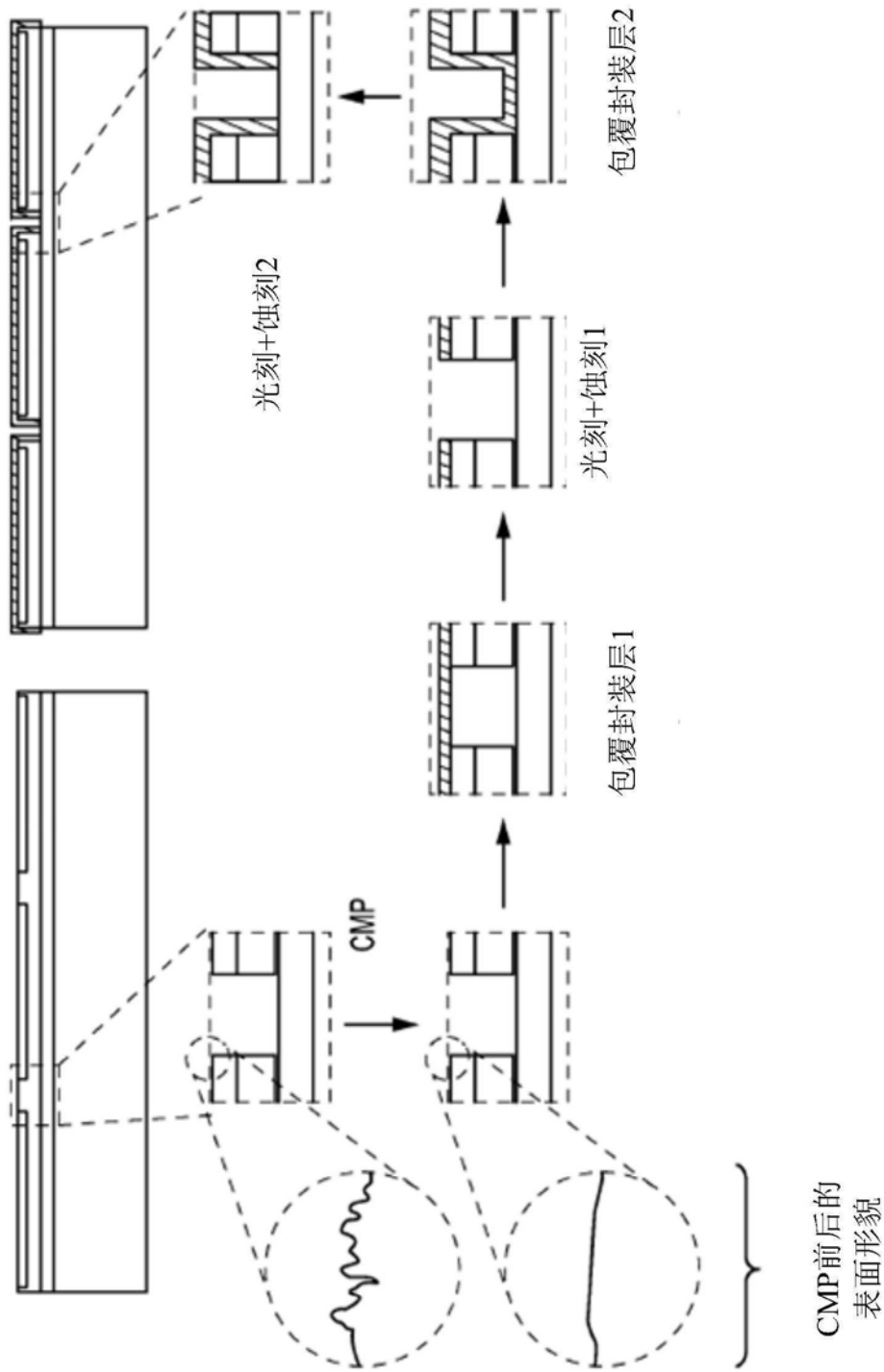


图40

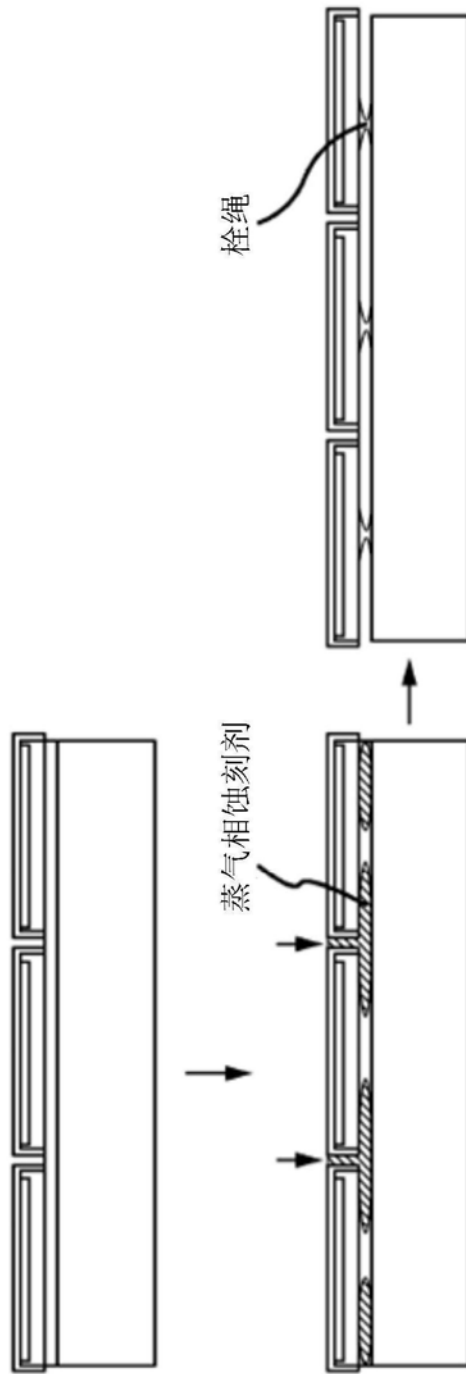


图41

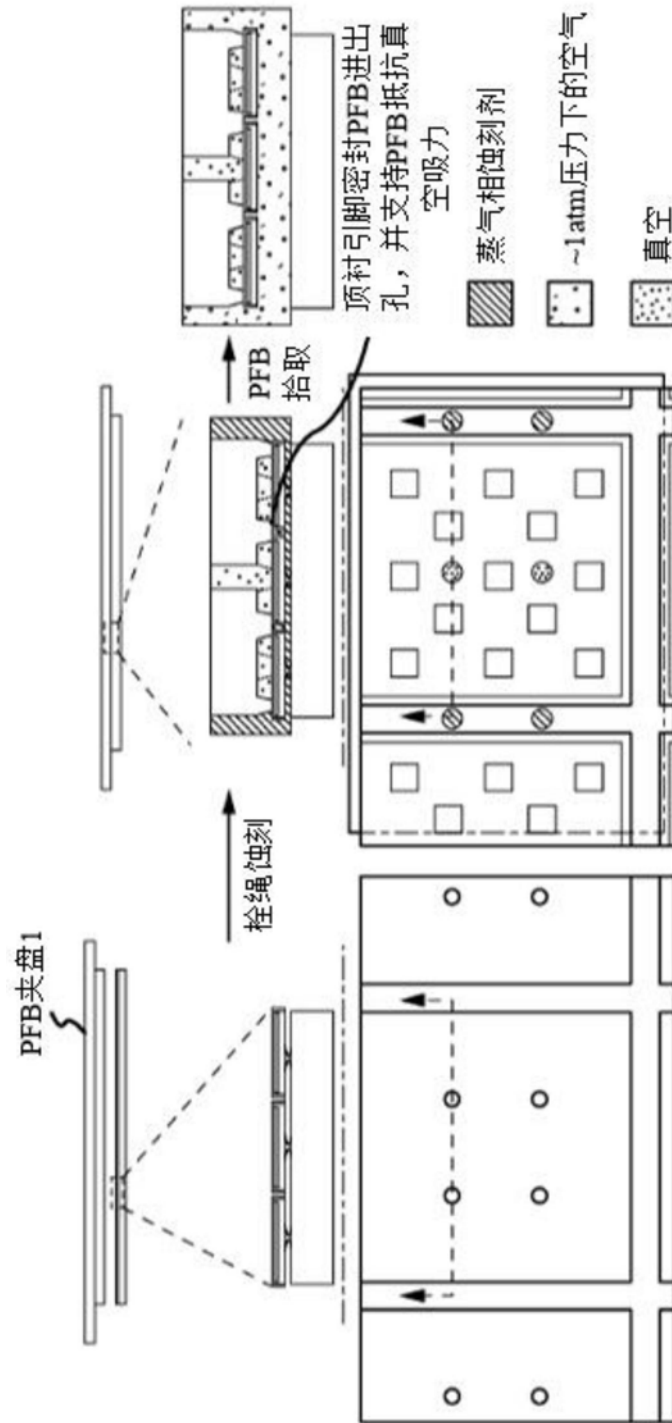


图42

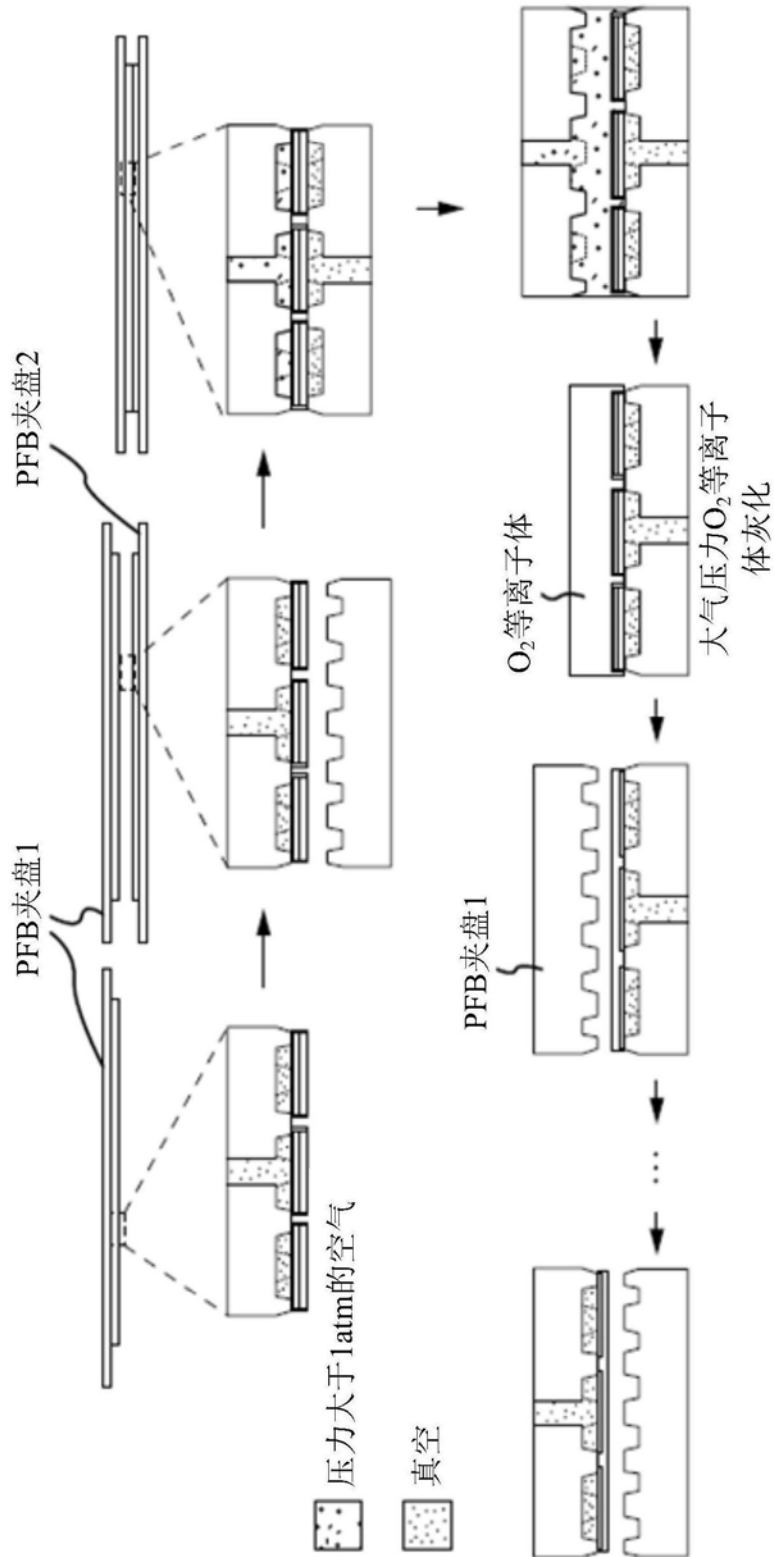


图43

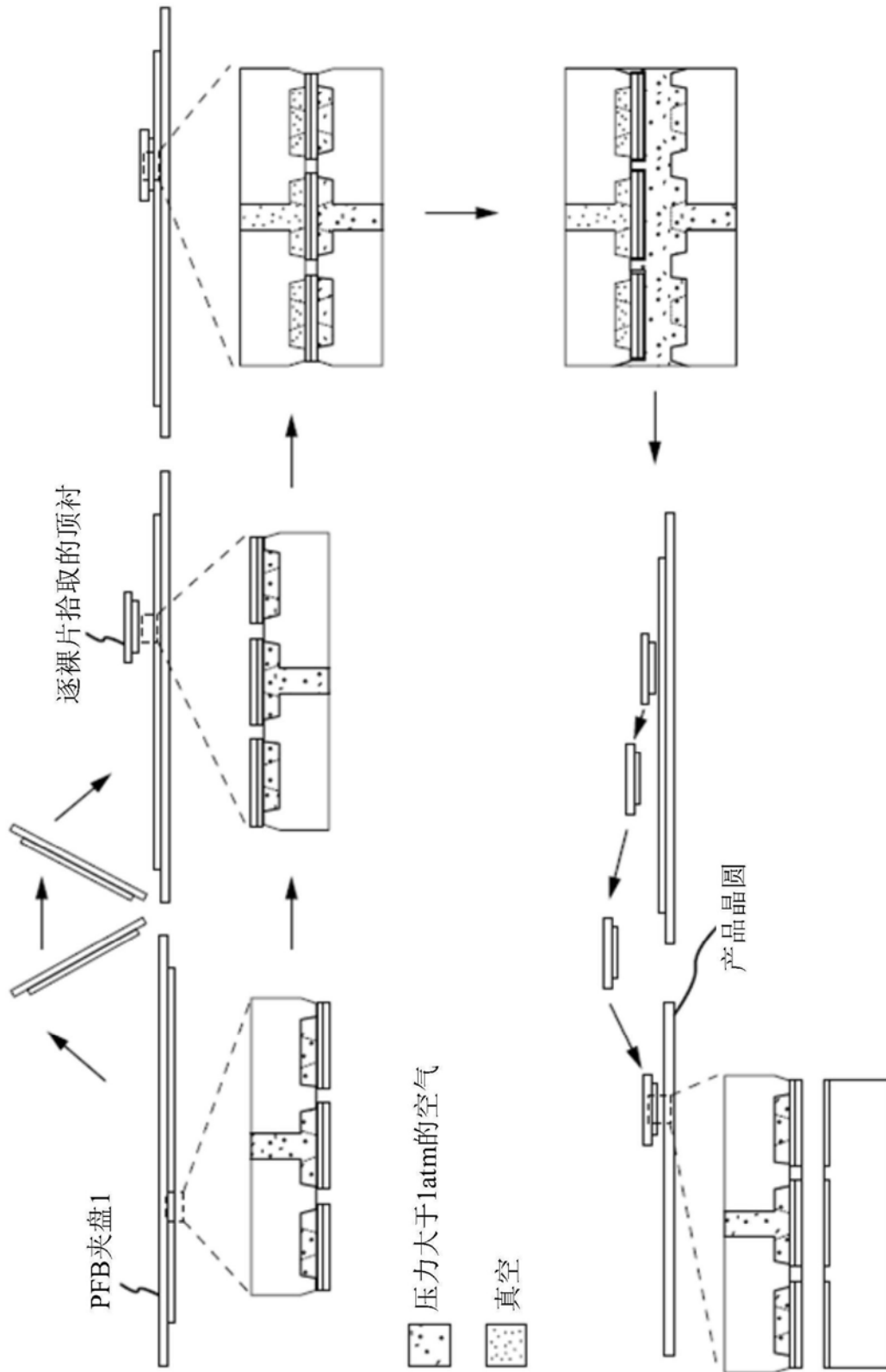


图44

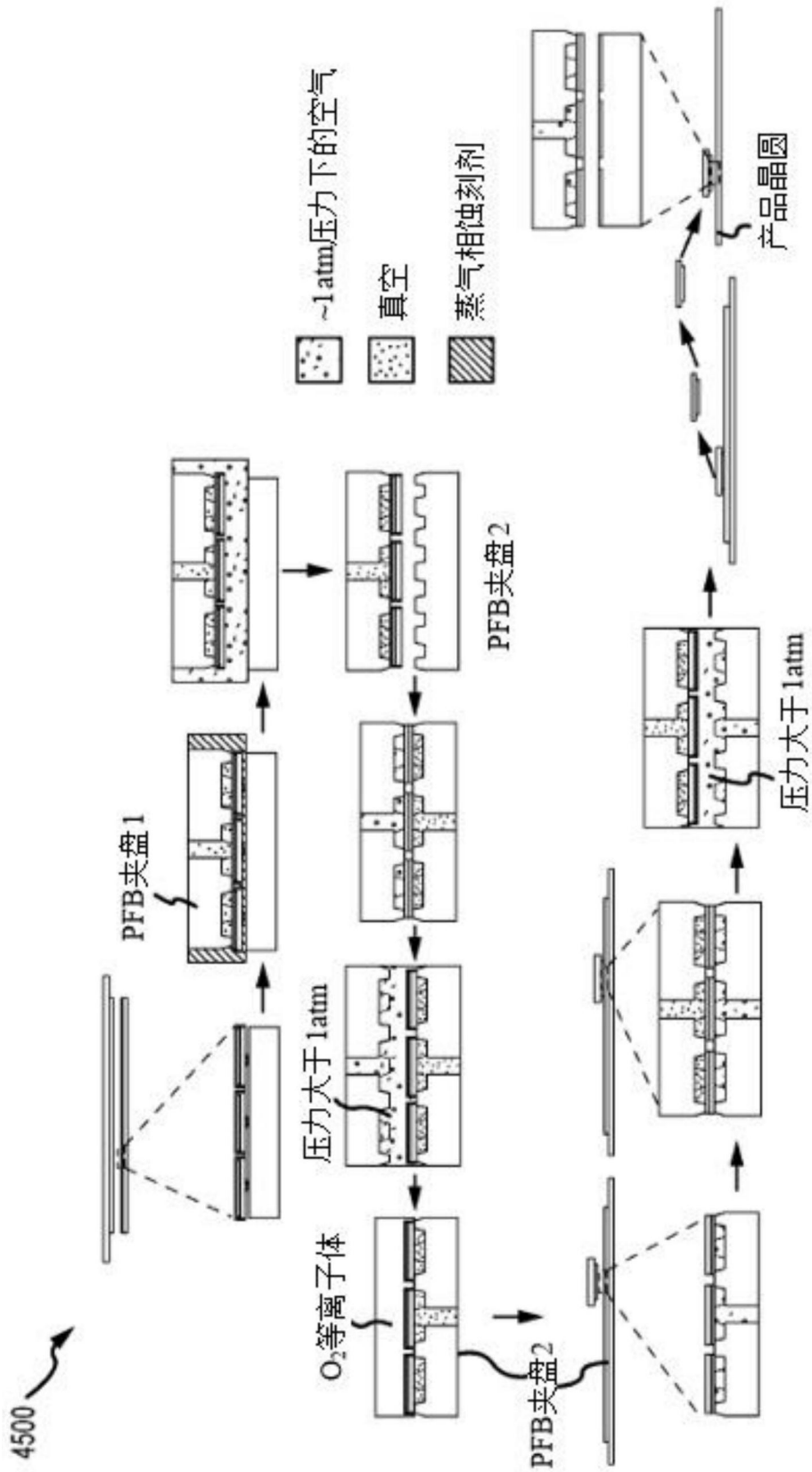


图45

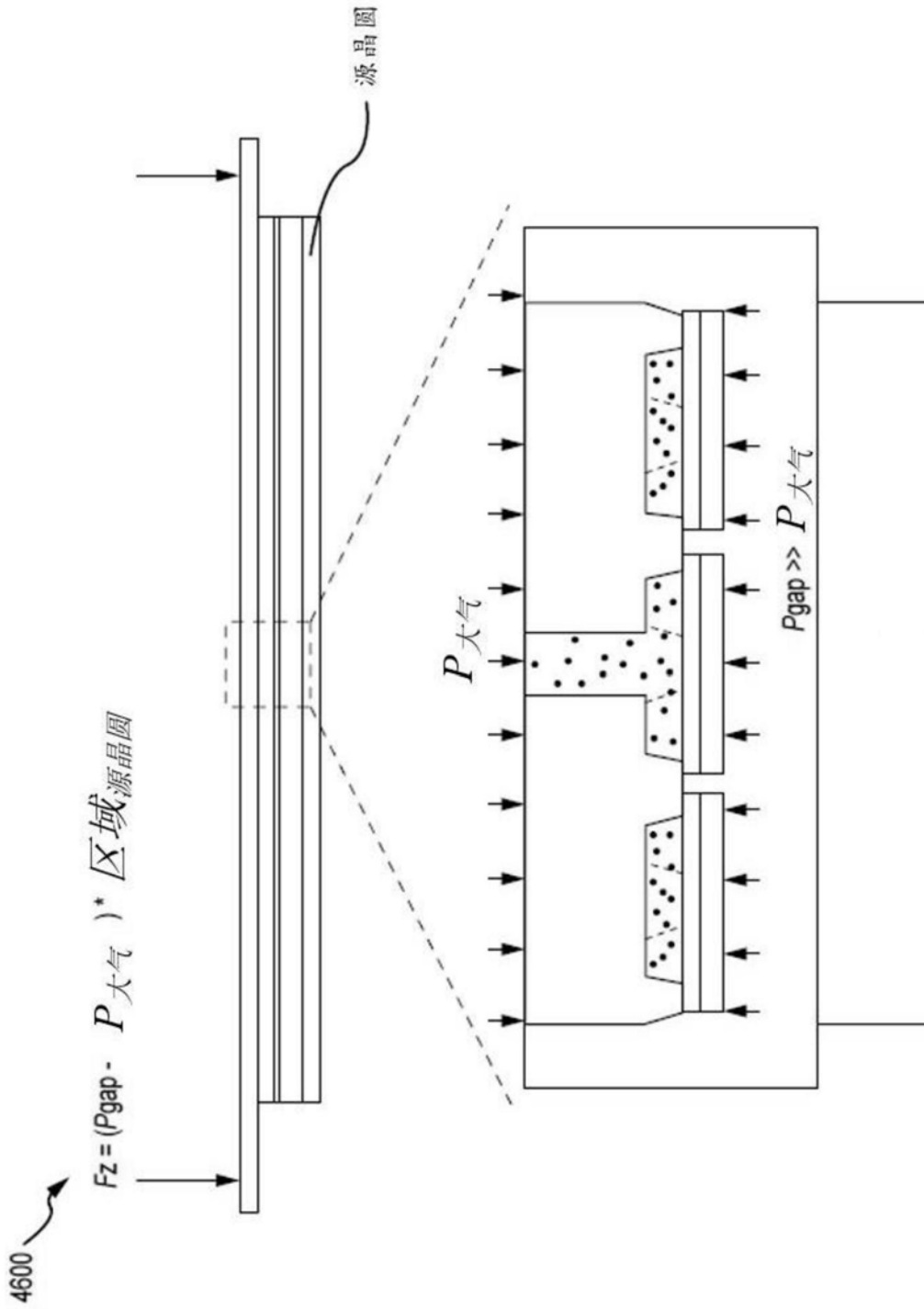


图46



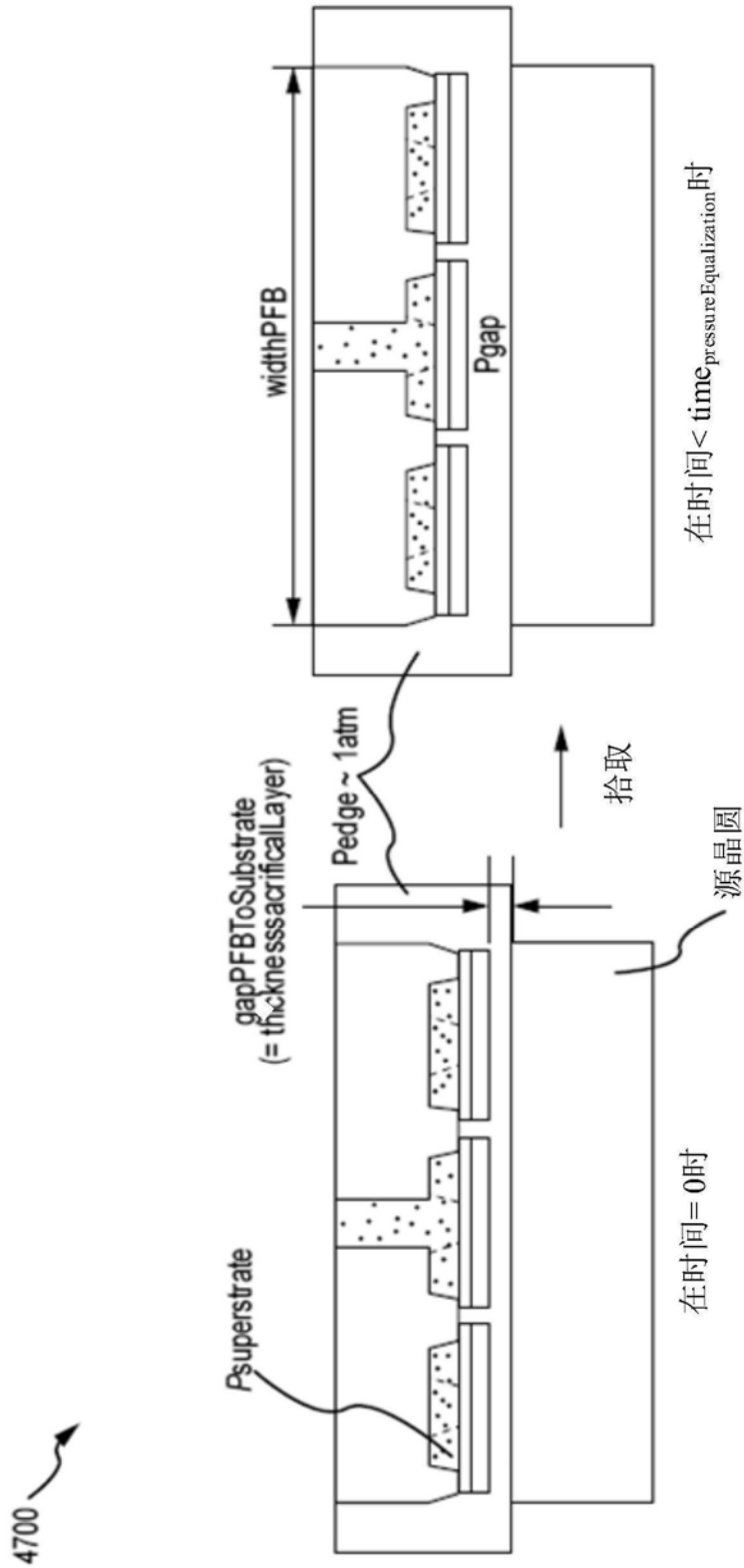


图47

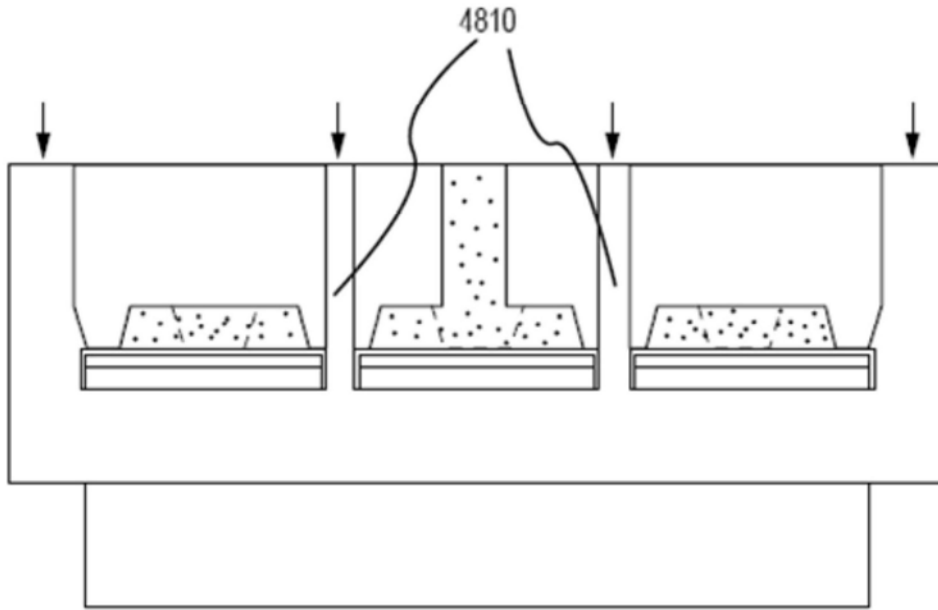


图48

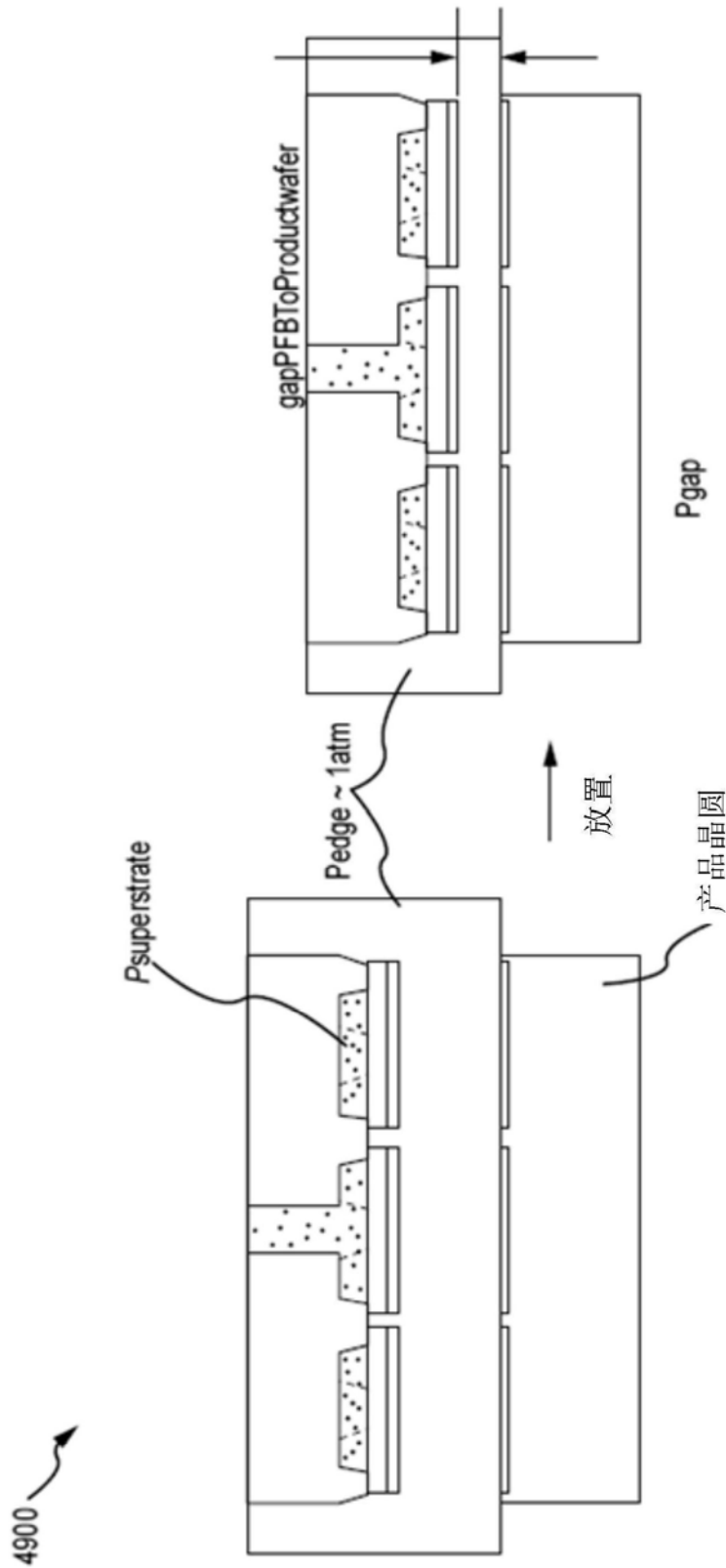


图49

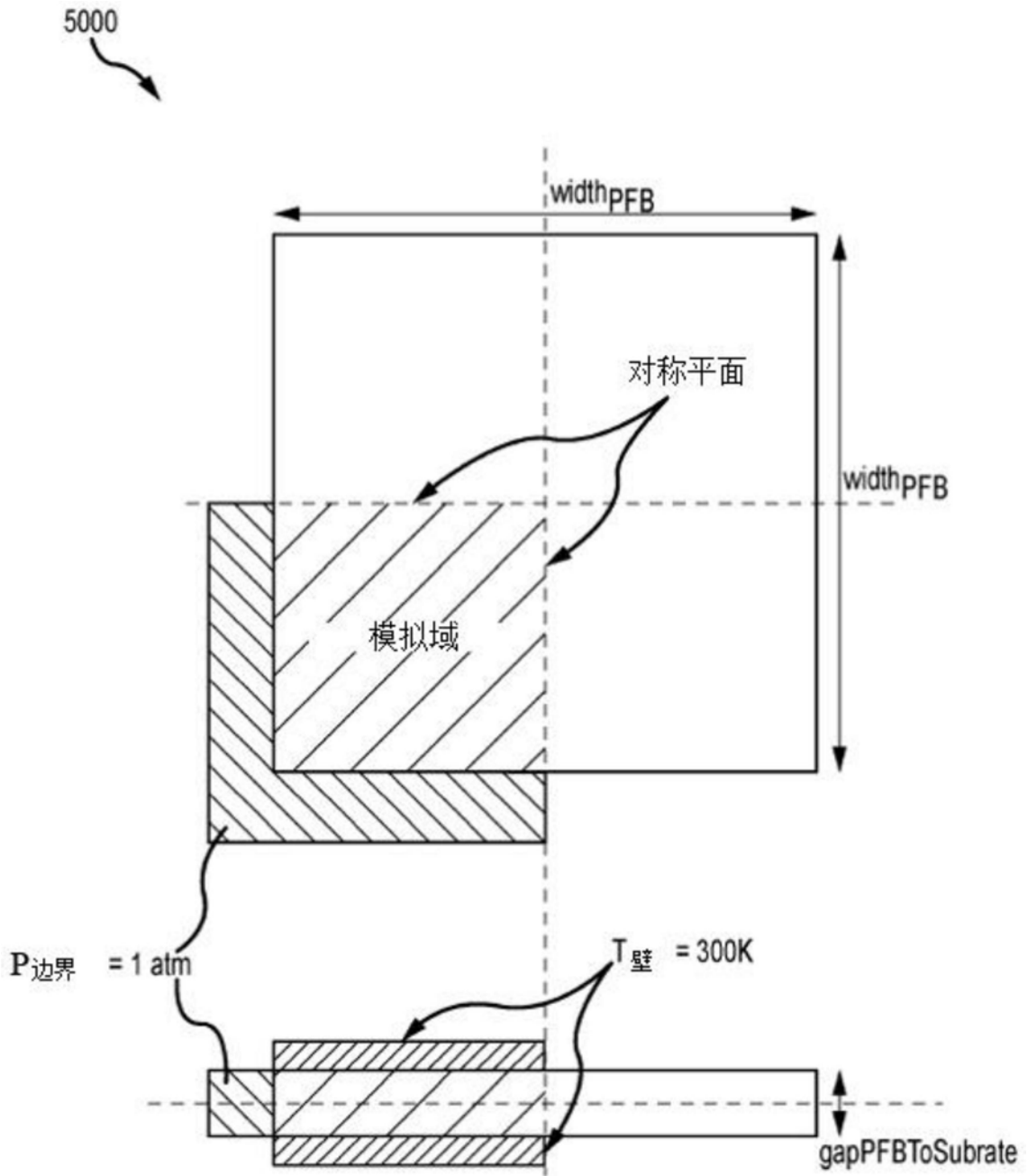


图50

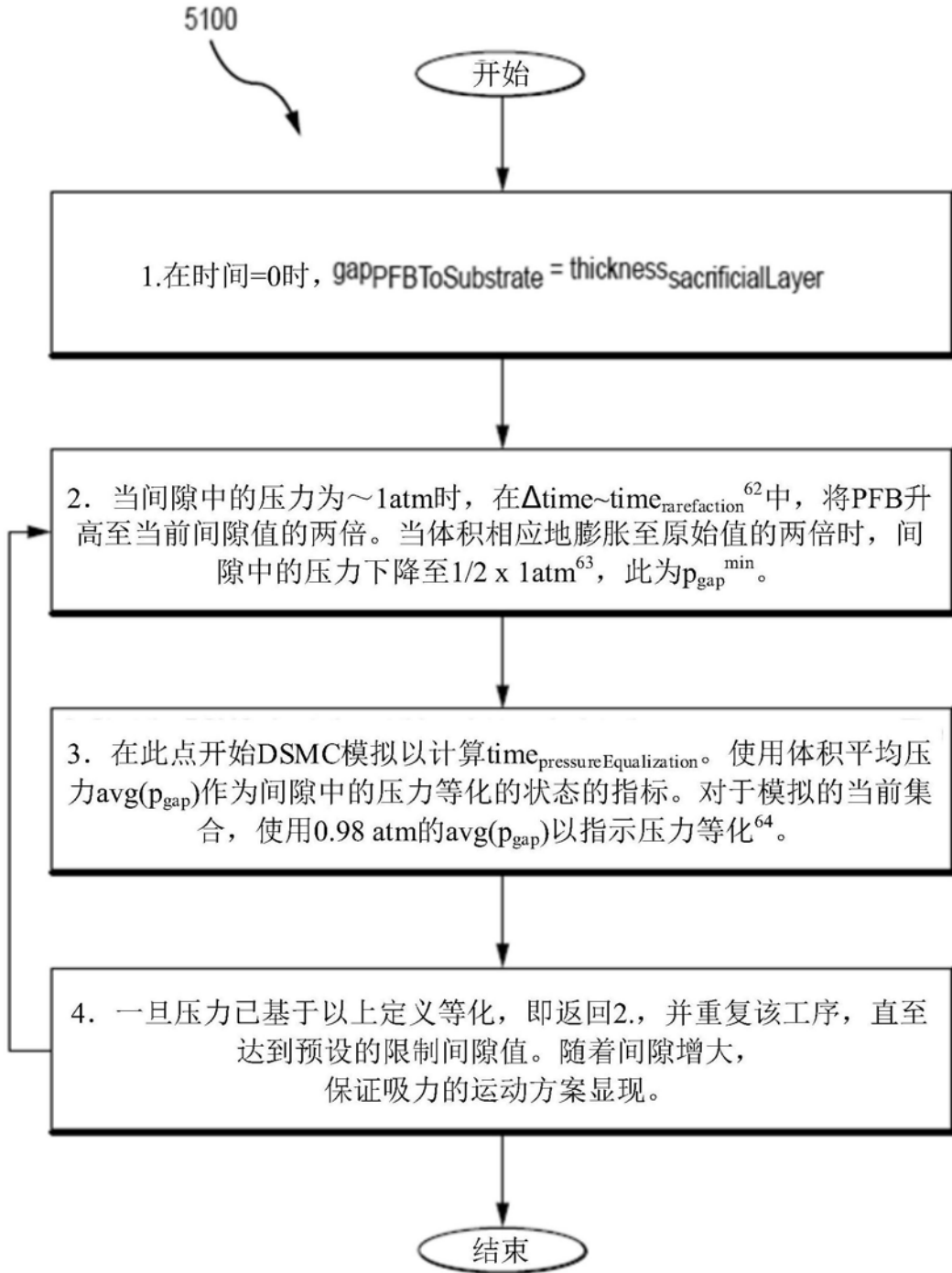


图51

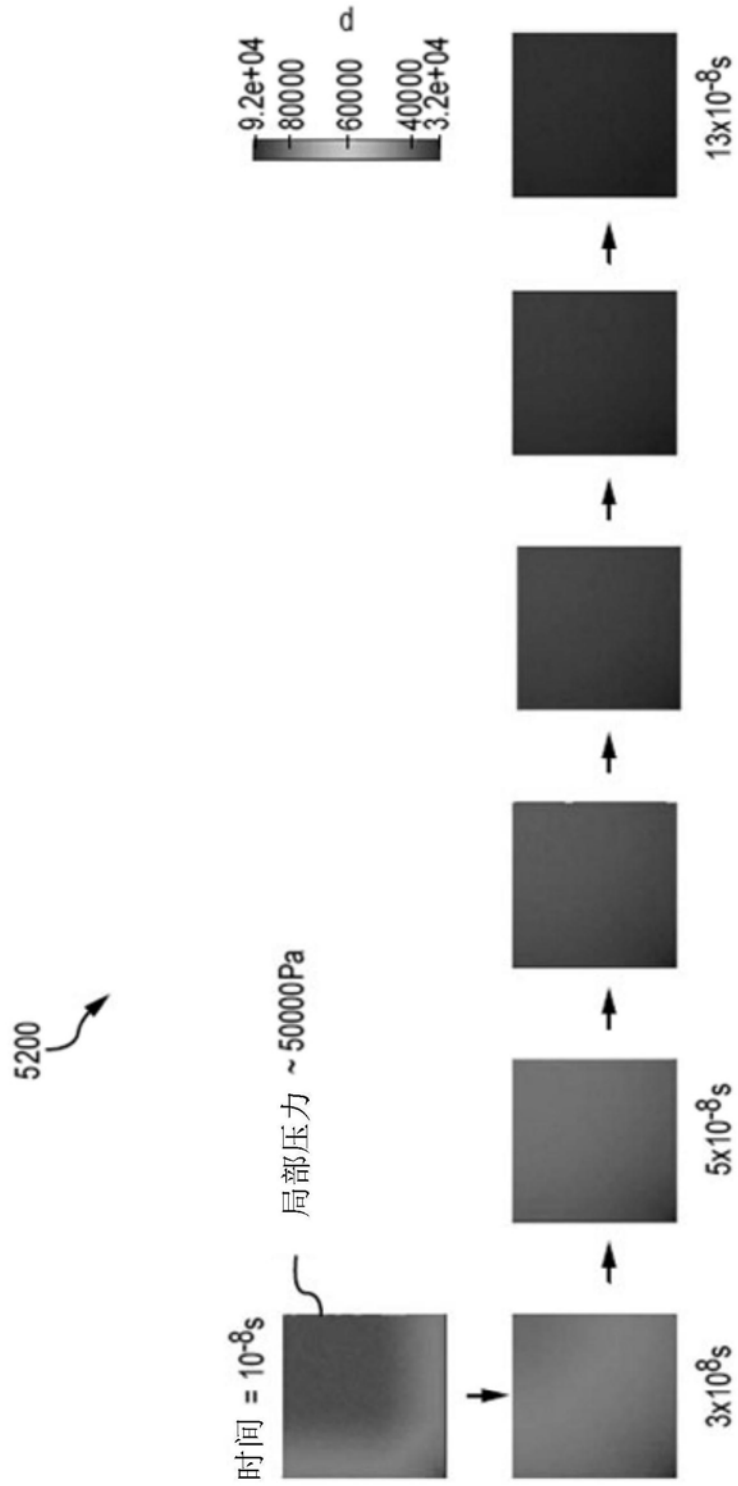


图52

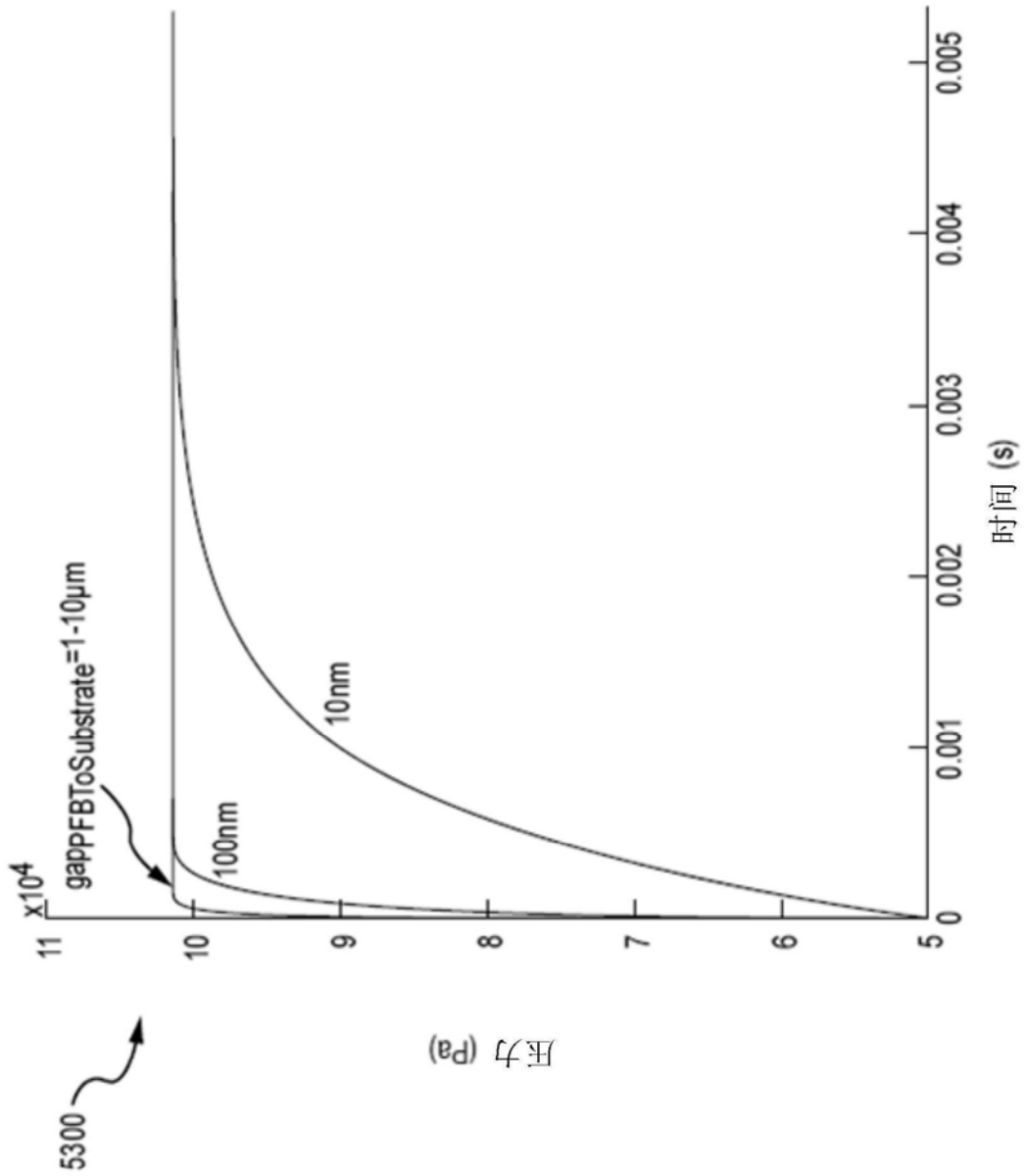


图53

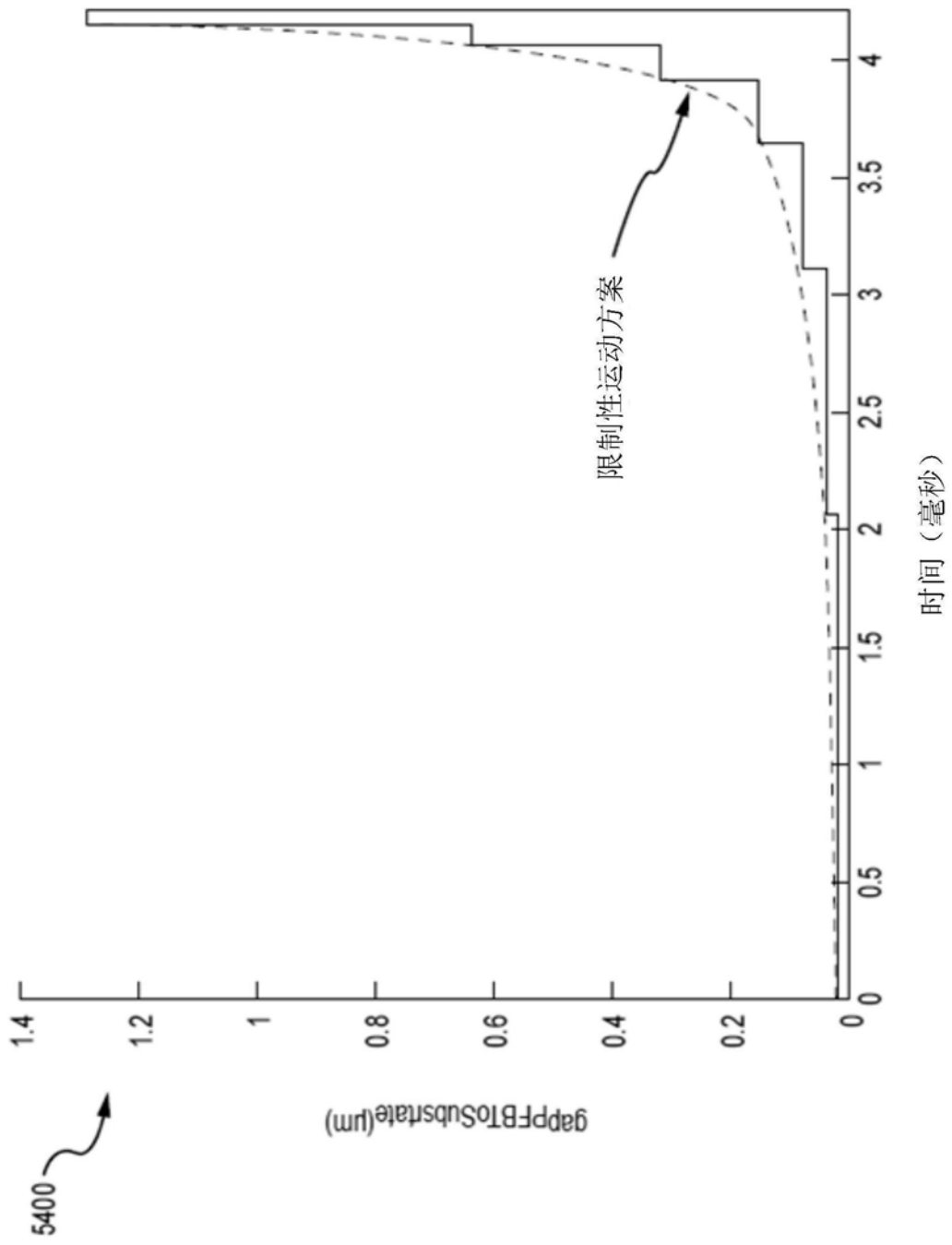


图54



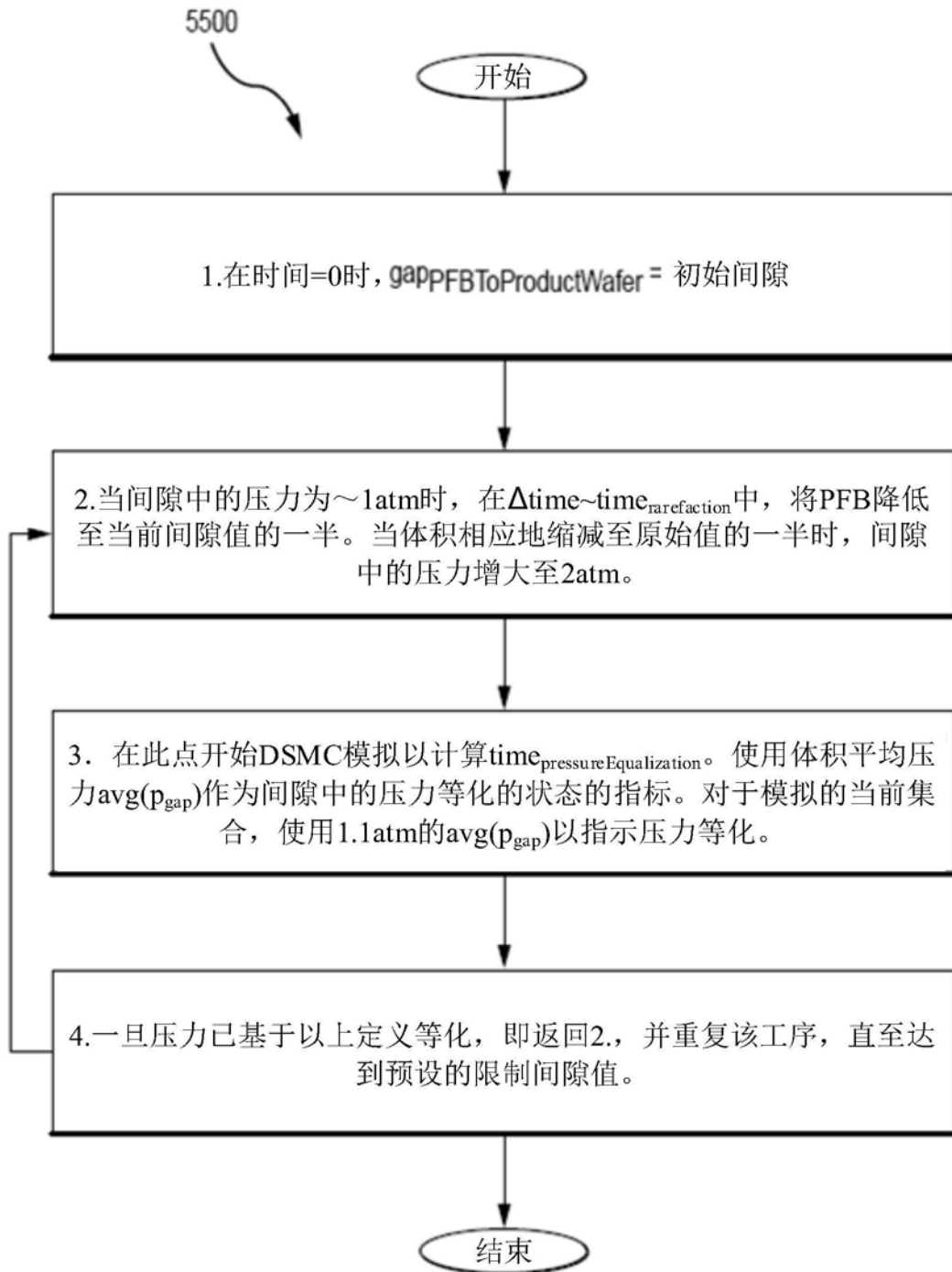


图55

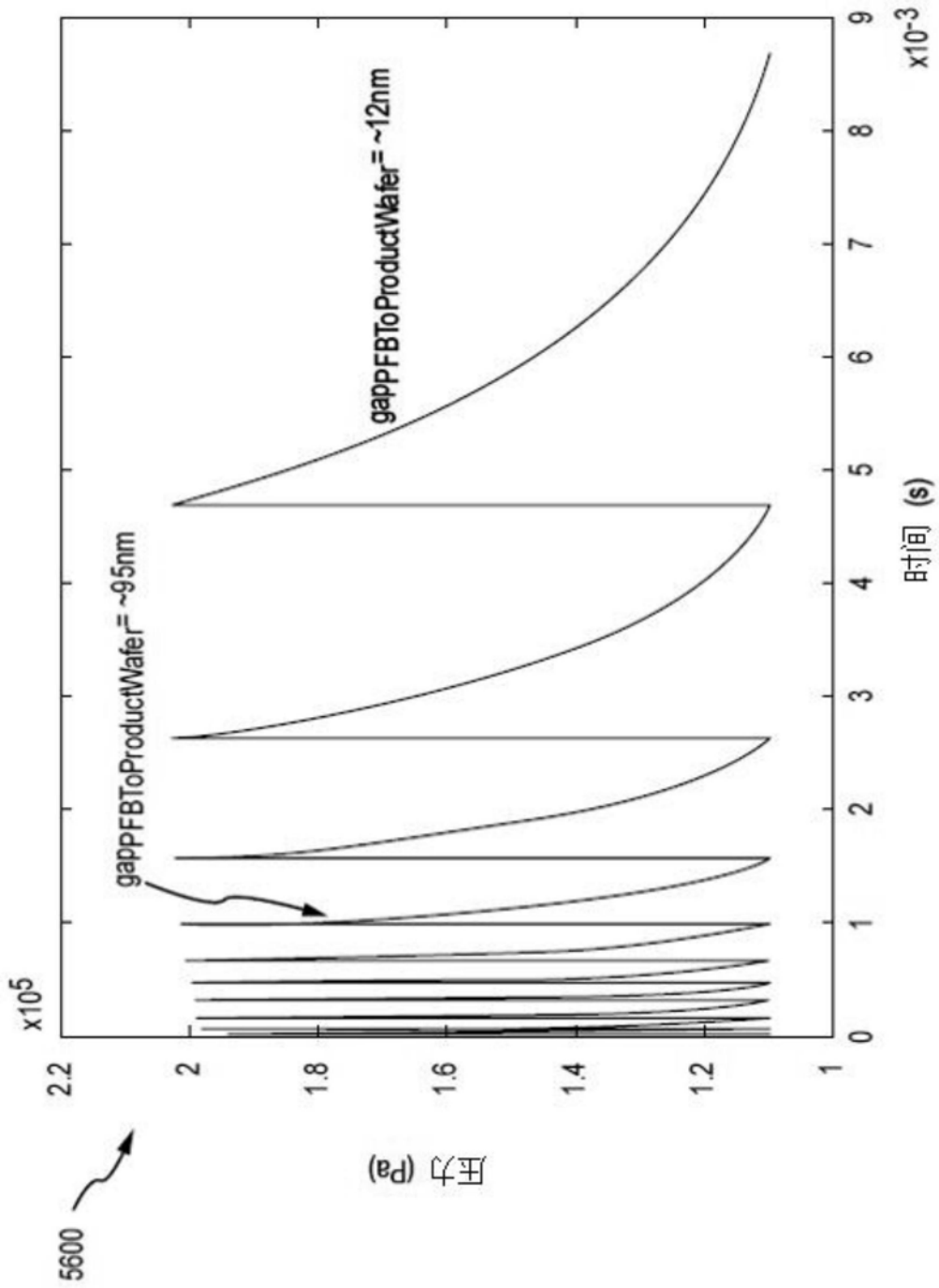


图56

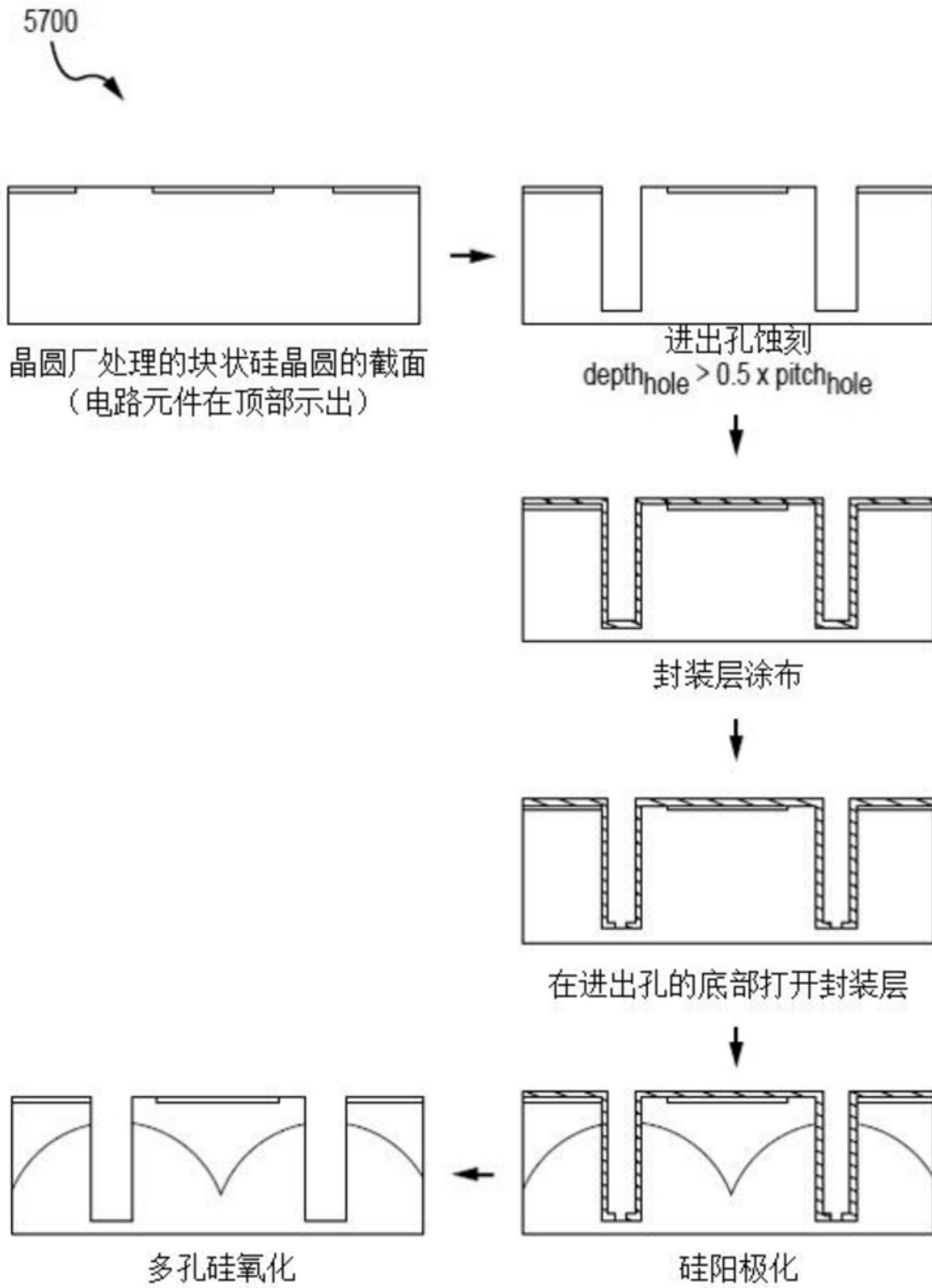


图57

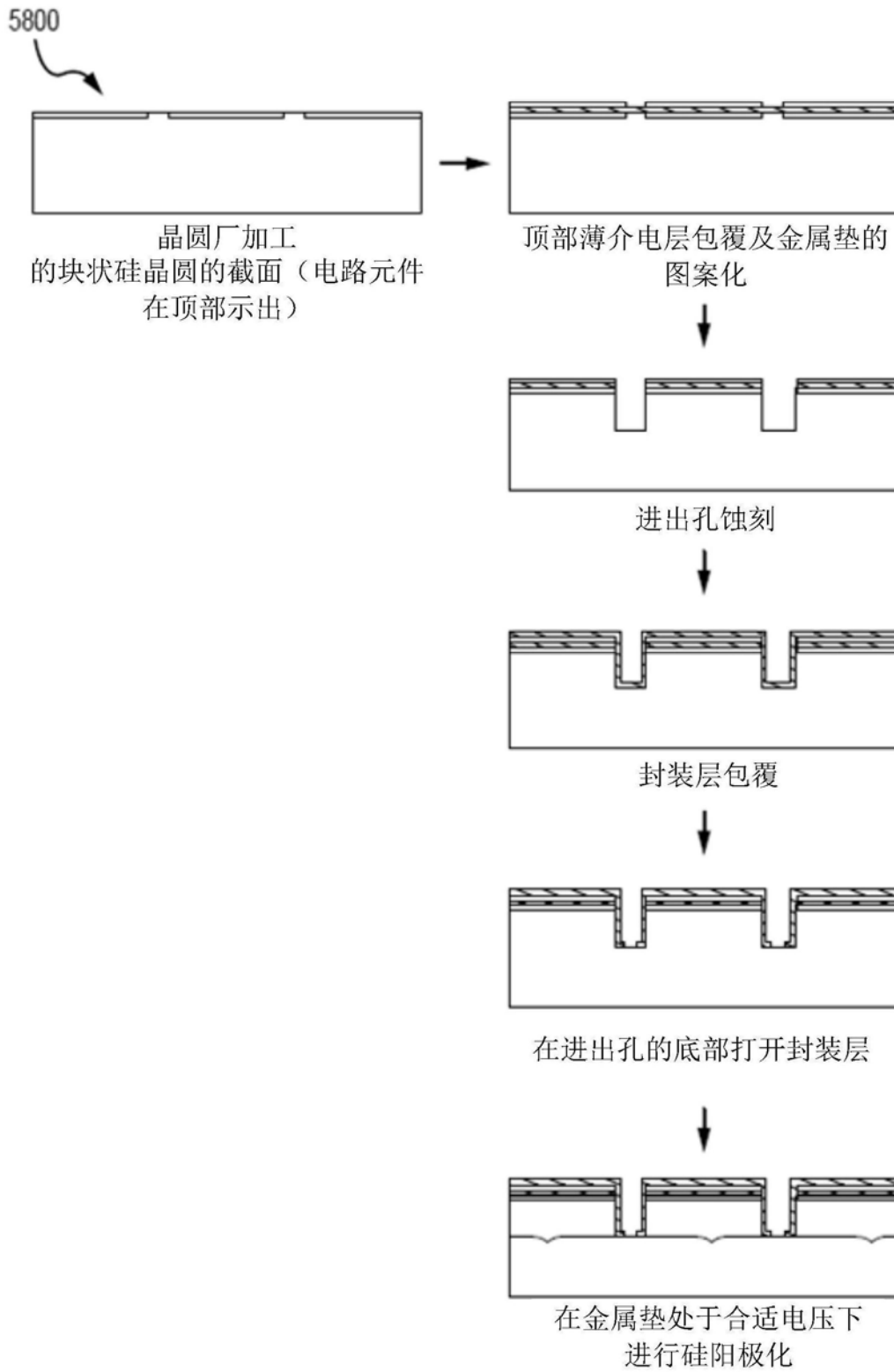


图58

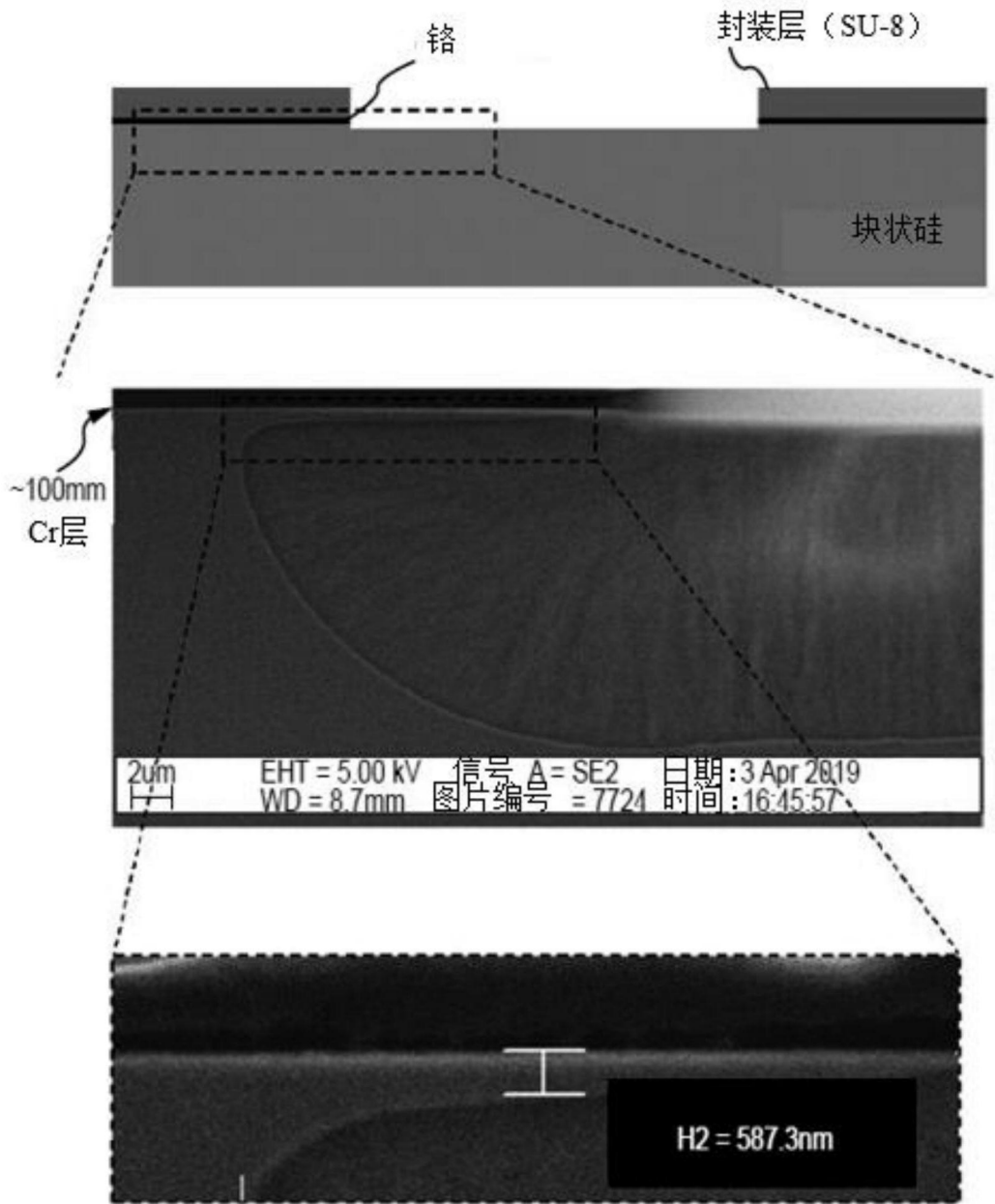


图59

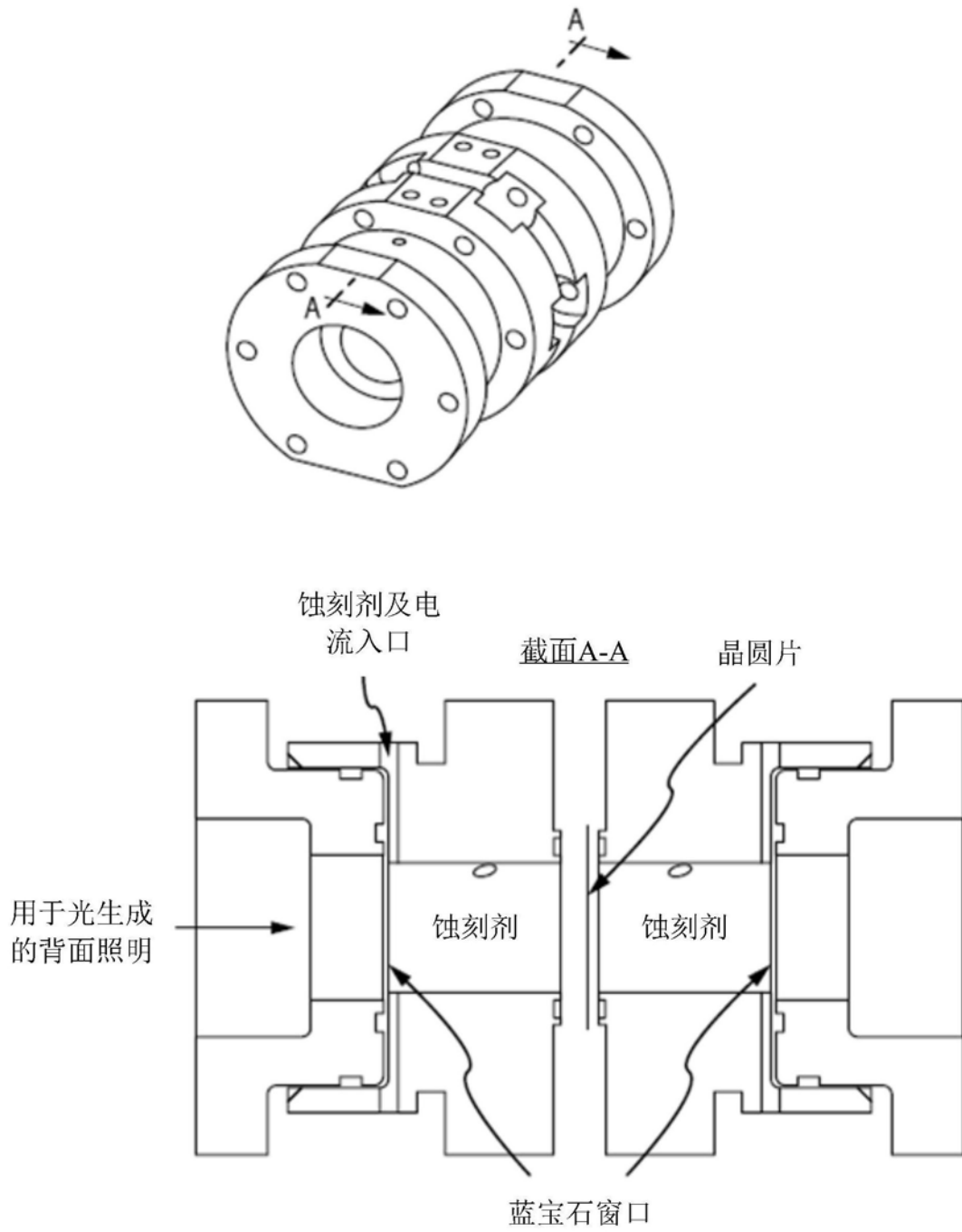


图60

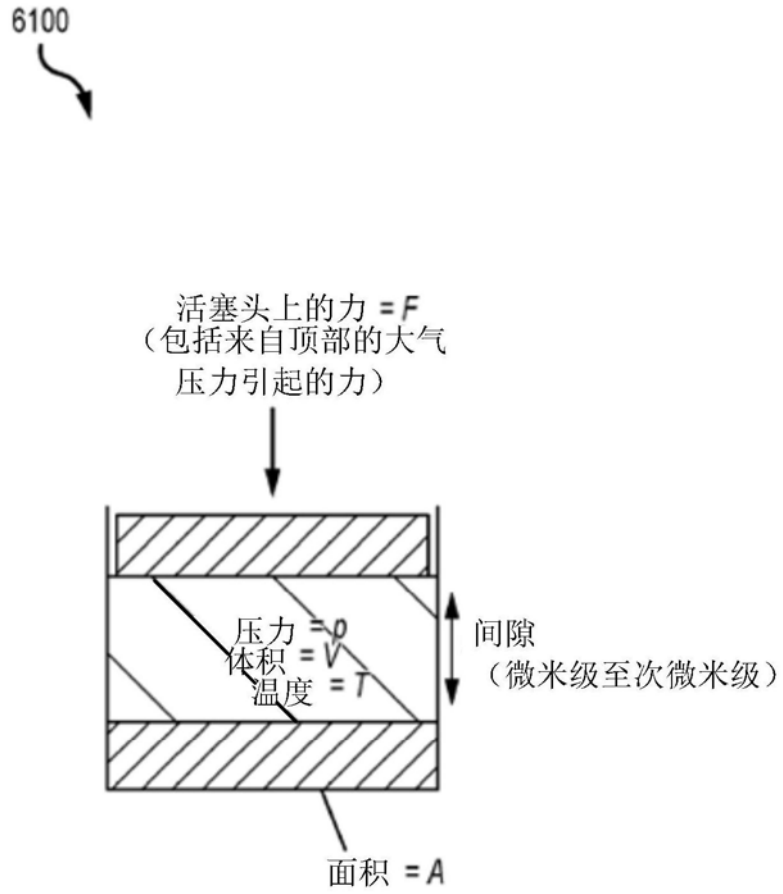


图61

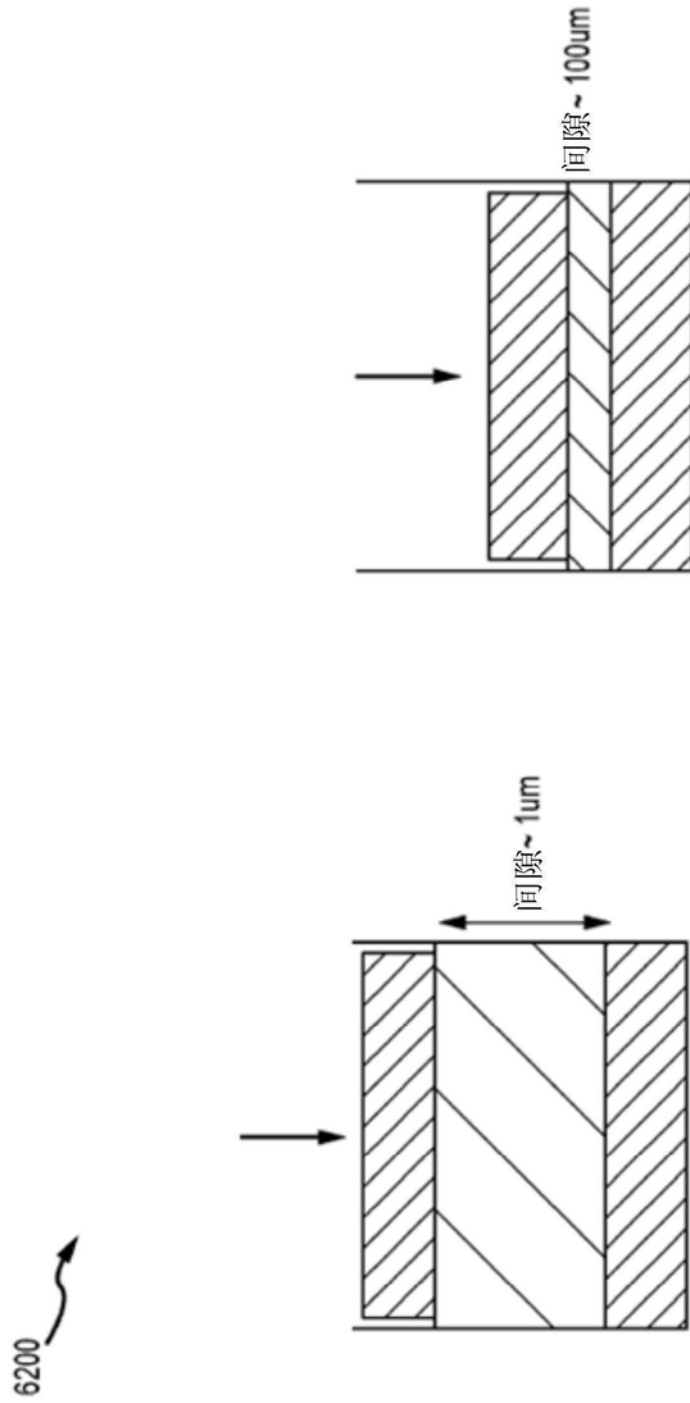


图62



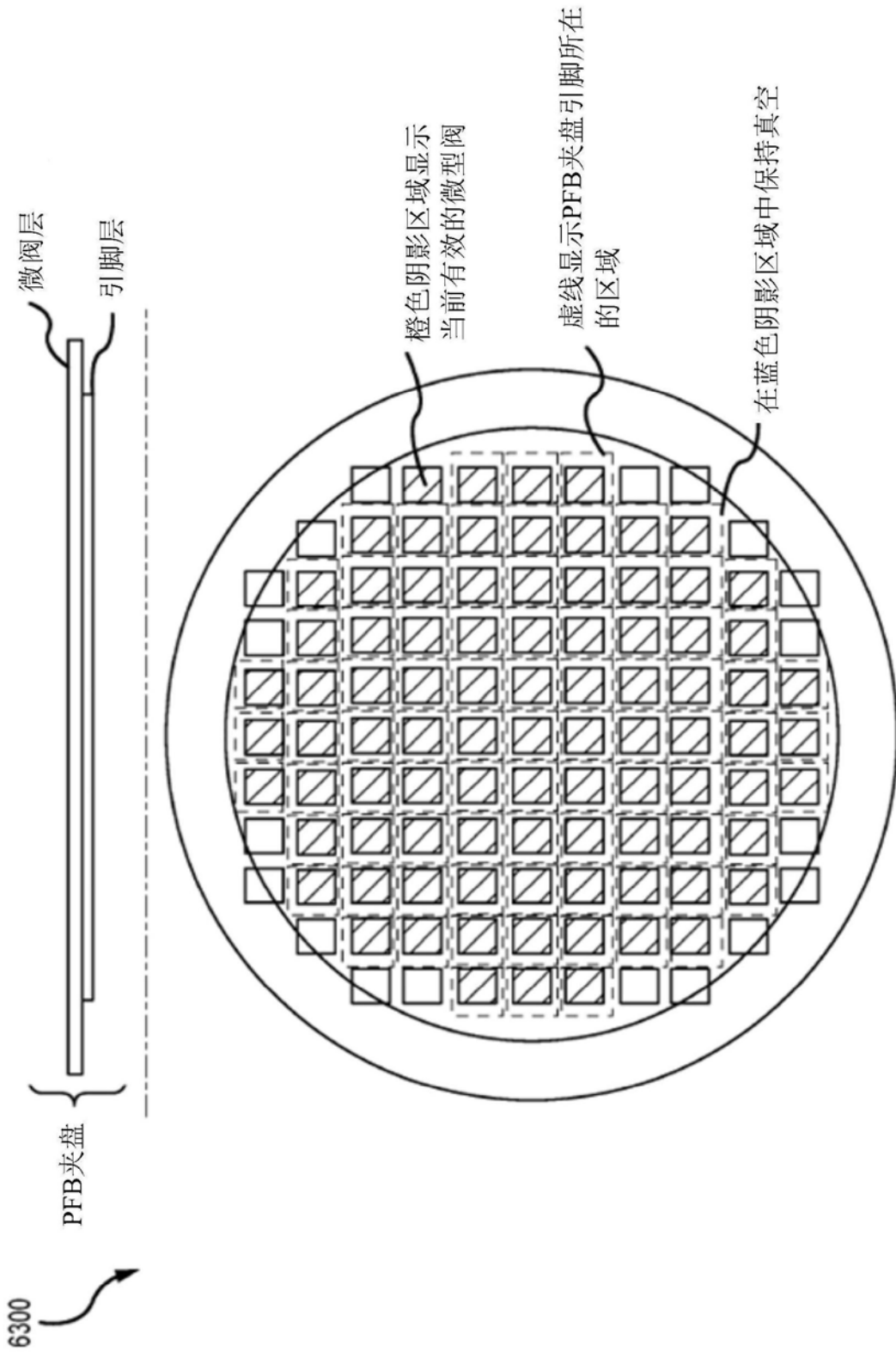


图63

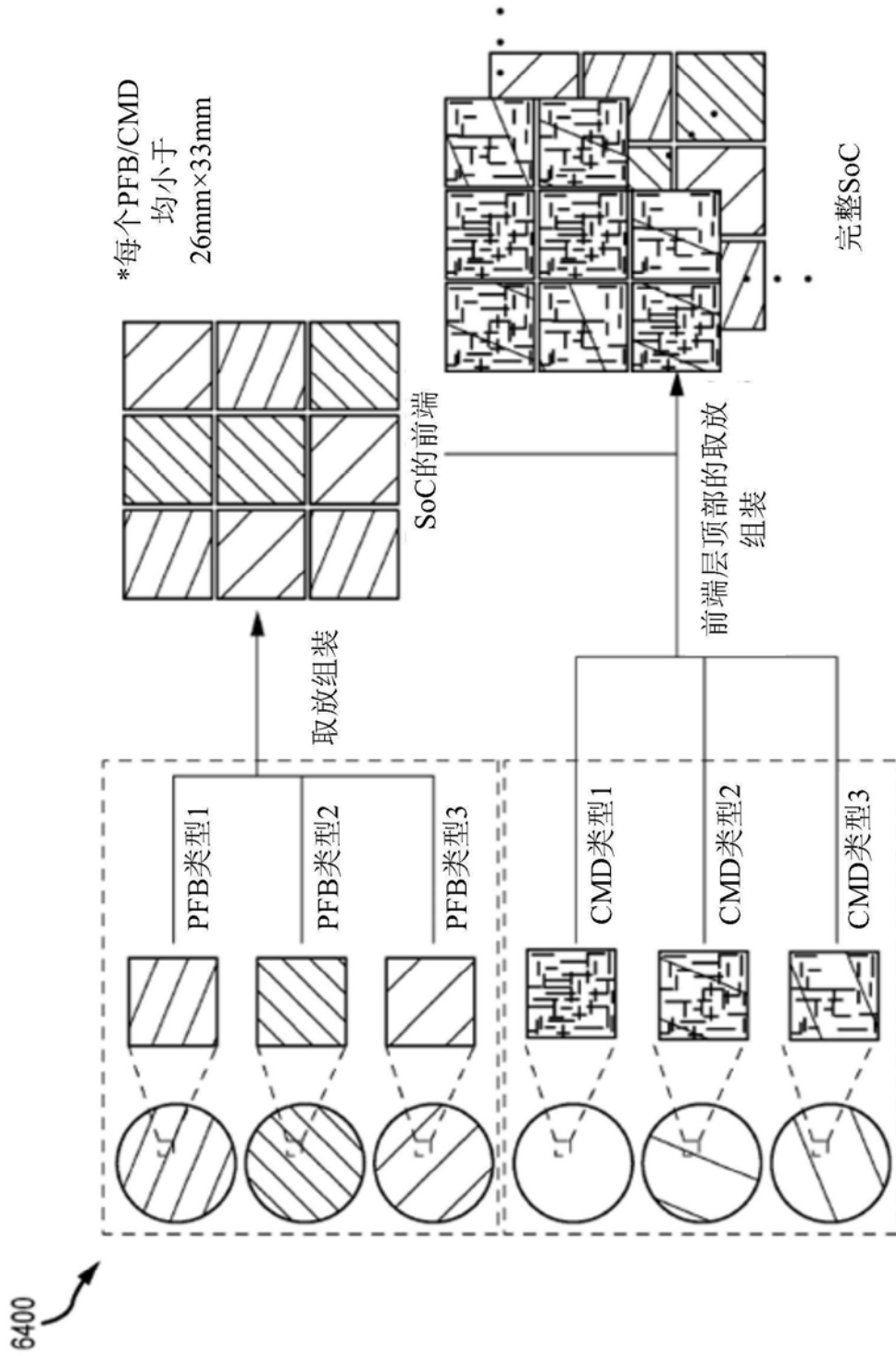


图64

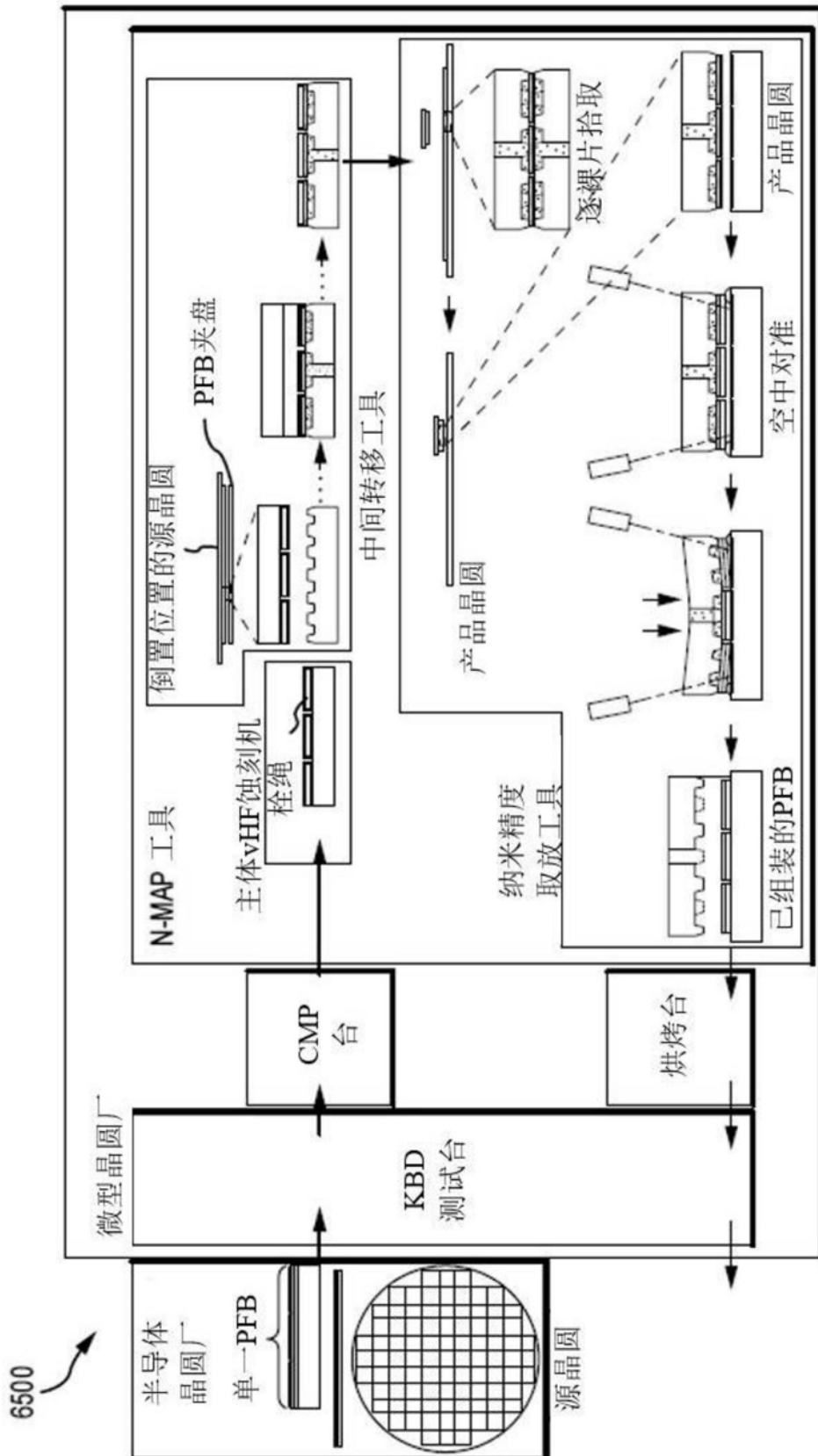


图65

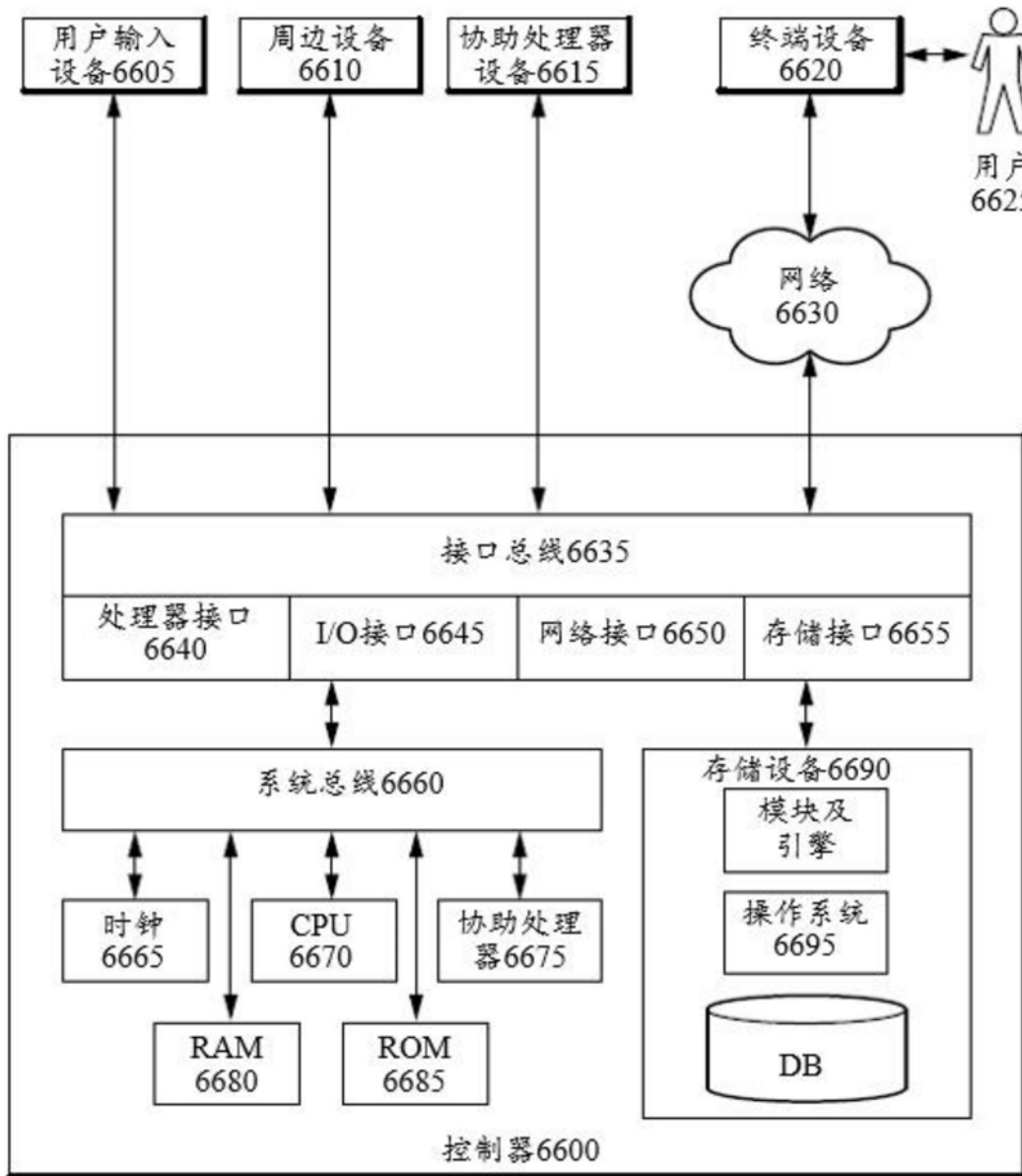


图66