



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년06월14일
(11) 등록번호 10-2408858
(24) 등록일자 2022년06월09일

(51) 국제특허분류(Int. Cl.)
G06F 13/16 (2006.01) G06F 11/10 (2006.01)
(52) CPC특허분류
G06F 13/1673 (2013.01)
G06F 11/1008 (2013.01)
(21) 출원번호 10-2017-0174926
(22) 출원일자 2017년12월19일
심사청구일자 2020년11월23일
(65) 공개번호 10-2019-0073781
(43) 공개일자 2019년06월27일
(56) 선행기술조사문헌
US20110093765 A1

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김택수
경기도 수원시 영통구 영통로130번길 77-8, C동 402
박찬익
경기도 성남시 분당구 정자일로 100, B동 1102호
(74) 대리인
박영우

전체 청구항 수 : 총 20 항

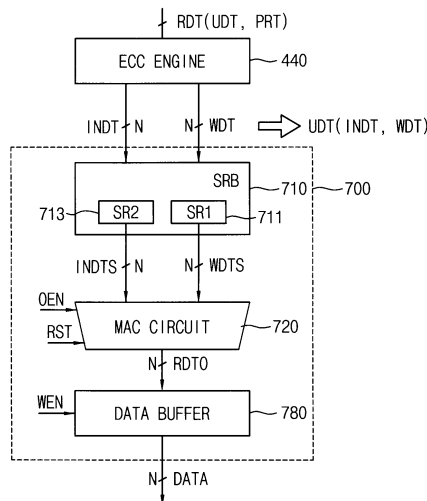
심사관 : 김세영

(54) 발명의 명칭 비휘발성 메모리 장치, 이를 포함하는 메모리 시스템 및 비휘발성 메모리 장치의 동작 방법

(57) 요약

비휘발성 메모리 장치는 메모리 셀 어레이, 페이지 버퍼 회로, 연산 회로 및 데이터 입출력 회로를 포함한다. 상기 메모리 셀 어레이는 복수의 비휘발성 메모리 셀들을 포함한다. 상기 페이지 버퍼 회로는 상기 메모리 셀 어레이와 복수의 비트라인들을 통하여 연결된다. 상기 연산 회로는, 상기 메모리 셀 어레이에 저장되며, 상기 페이지 버퍼 회로를 통하여 제공되는 사용자 데이터 세트에 포함되는 정보 비트들 및 웨이트 비트들에 대하여 일정한 크기를 가지는 연산 윈도우를 기반으로 순차적으로 연산을 수행한다. 상기 데이터 입출력 회로는 상기 연산 회로에 연결된다. 상기 연산 회로는 상기 정보 비트들 및 상기 웨이트 비트들에 대한 상기 연산이 완료된 경우, 상기 연산의 결과인 출력 데이터 세트를 상기 데이터 입출력 회로에 제공한다.

대표도 - 도10



(72) 발명자
신현승
서울특별시 서초구 남부순환로 2614, 1402호

장상환
경기도 수원시 영통구 태장로71번길 19 1차, 112동
501호

명세서

청구범위

청구항 1

복수의 비휘발성 메모리 셀들을 포함하는 메모리 셀 어레이;

상기 메모리 셀 어레이와 복수의 비트라인들을 통하여 연결되는 페이지 버퍼 회로; 및

상기 메모리 셀 어레이에 저장되며, 상기 페이지 버퍼 회로를 통하여 제공되는 사용자 데이터 세트에 포함되는 정보 비트들 및 웨이트 비트들에 대하여 일정한 크기를 가지는 연산 윈도우를 기반으로 순차적으로 연산을 수행하는 연산 회로(상기 연산은 상기 정보 비트들 중 상기 연산 윈도우 내의 비트들로 구성된 매트릭스에 대하여 곱셈 연산을 수행하는 것을 포함함); 및

상기 연산 회로에 연결되는 데이터 입출력 회로를 포함하고,

상기 연산 회로는 상기 정보 비트들 및 상기 웨이트 비트들에 대한 상기 연산이 완료된 경우, 상기 연산의 결과인 출력 데이터 세트를 상기 데이터 입출력 회로에 제공하는 비휘발성 메모리 장치.

청구항 2

제1항에 있어서,

상기 데이터 세트와 관련된 패리티 데이터에 기초하여 상기 정보 비트들 및 상기 웨이트 비트들의 적어도 하나의 에러 비트를 정정하고 정정된 데이터 세트를 상기 연산 회로에 제공하는 에러 정정 코드(error correction code; 이하 'ECC') 엔진을 더 포함하는 비휘발성 메모리 장치.

청구항 3

제1항에 있어서, 상기 연산 회로는

상기 웨이트 비트들을 상기 연산 윈도우를 기반으로 분할하여 특성 맵들로 순차적으로 제공하고, 상기 정보 비트들을 상기 특성 맵들 각각의 관련성에 기초하여 분할하여 액티베이션들로 순차적으로 제공하는 쉬프트 레지스터 블록;

상기 특성 맵들 각각과 대응되는 상기 액티베이션들 각각에 대하여 매트릭스-벡터 곱셈을 수행하고, 상기 곱셈의 결과를 누적하고, 상기 액티베이션들과 상기 특성 맵들에 대한 상기 매트릭스-벡터 곱셈이 완료되어 산출된 상기 출력 데이터 세트를 제공하는 곱셈 및 누적 회로; 및

기입 인에이블 신호에 응답하여 상기 출력 데이터 세트를 저장하고, 상기 출력 데이터 세트를 상기 데이터 입출력 회로에 제공하는 데이터 버퍼를 포함하는 비휘발성 메모리 장치.

청구항 4

제3항에 있어서, 상기 쉬프트 레지스터 블록은

상기 웨이트 비트들을 $P \times Q$ (P, Q 는 자연수) 매트릭스 형태의 상기 특성 맵들로 구성하고, 상기 특성 맵들 각각이 제1 연산 윈도우들로 순차적으로 출력되도록 상기 웨이트 비트들을 쉬프트시키는 제1 쉬프트 레지스터; 및

상기 정보 비트들을 상기 웨이트 비트들과의 관련성에 기초하여 복수의 $L \times L$ (L 은 4 이상의 자연수) 매트릭스 형태의 서브 데이터 세트들에 해당하는 상기 액티베이션들로 구성하고, 상기 액티베이션들 각각이 각각 $P \times Q$ 매트릭스 형태의 제2 연산 윈도우들로 순차적으로 출력되도록 상기 정보 비트들을 쉬프트시키는 제2 쉬프트 레지스터를 포함하는 비휘발성 메모리 장치.

청구항 5

제4항에 있어서,

상기 제2 쉬프트 레지스터는 연속하는 두 개의 제2 연산 윈도우들에서 제2 방향의 $2P$ 개의 정보 비트들이 중첩되

어 선택되도록 상기 제2 연산 윈도우를 제1 방향으로 쉬프트시키다가, 상기 제2 연산 윈도우가 상기 액티베이션들의 바운더리에 도달하는 경우, 상기 제2 연산 윈도우를 (L-P) 만큼 쉬프트시키는 비휘발성 메모리 장치.

청구항 6

제4항에 있어서, 상기 곱셈 및 누적 회로는

상기 액티베이션들 중 하나의 액티베이션의 정보 비트들과 상기 특성 맵들 중 상응하는 하나의 특성 맵의 웨이트 비트들을 곱하여 출력하는 곱셈 회로; 및

상기 곱셈 회로의 출력을 누적하여 상기 출력 데이터 세트를 제공하는 누적 회로를 포함하는 비휘발성 메모리 장치.

청구항 7

제6항에 있어서, 상기 곱셈 회로는

상기 특성 맵들을 수신하고, 상기 특성 맵들을 상기 제1 연산 윈도우 단위로 출력하는 제1 버퍼;

상기 액티베이션들을 수신하고, 상기 액티베이션들을 상기 제2 연산 윈도우 단위로 출력하는 제2 버퍼; 및

상기 제1 버퍼의 출력과 상기 제2 버퍼의 출력을 곱하는 곱셈기를 포함하는 비휘발성 메모리 장치.

청구항 8

제6항에 있어서, 상기 누적 회로는

제1 입력과 제2 입력을 구비하는 가산기; 및

버퍼를 포함하고,

상기 가산기는 상기 제1 입력에서 수신되는 상기 곱셈 회로의 출력과 상기 제2 입력에서 수신되는 상기 버퍼의 출력을 합산하여 상기 버퍼에 제공하고,

상기 버퍼는 상기 가산기의 출력을 상기 가산기의 상기 제2 입력에 피드백시키고, 출력 인에이블 신호에 응답하여 상기 가산기의 출력을 상기 출력 데이터 세트로서 제공하는 비휘발성 메모리 장치.

청구항 9

제8항에 있어서,

상기 버퍼는 상기 출력 데이터 세트를 제공한 후에 리셋 신호에 응답하여 리셋되는 비휘발성 메모리 장치.

청구항 10

제3항에 있어서,

상기 데이터 버퍼는 정적 랜덤 액세스 메모리(static random access memory; SRAM)인 비휘발성 메모리 장치.

청구항 11

제1항에 있어서,

외부로부터의 커맨드 및 어드레스에 기초하여 상기 페이지 버퍼 회로, 상기 연산 회로 및 상기 데이터 입출력 회로를 제어하는 제어 회로를 더 포함하는 비휘발성 메모리 장치.

청구항 12

제11항에 있어서,

상기 제어 회로는 상기 커맨드 및 상기 어드레스에 기초하여 연산 제어 신호를 생성하고, 상기 연산 제어 신호를 상기 연산 회로에 제공하여 상기 연산 회로를 제어하는 비휘발성 메모리 장치.

청구항 13

제12항에 있어서, 상기 연산 회로는

상기 웨이트 비트들을 상기 연산 윈도우를 기반으로 분할하여 특성 맵들로 순차적으로 제공하고, 상기 정보 비트들을 상기 특성 맵들 각각의 관련성에 기초하여 분할하여 액티베이션들로 순차적으로 제공하는 쉬프트 레지스터 블록;

상기 특성 맵들 각각과 대응되는 액티베이션들 각각에 대하여 매트릭스-벡터 곱셈을 수행하고, 상기 곱셈의 결과를 누적하고, 상기 액티베이션들과 상기 특성 맵들에 대한 상기 매트릭스-벡터 곱셈이 완료되어 산출된 상기 출력 데이터 세트를 제공하는 곱셈 및 누적 회로; 및

기입 인에이블 신호에 응답하여 상기 출력 데이터 세트를 저장하고, 상기 출력 데이터 세트를 상기 데이터 입출력 회로에 제공하는 데이터 버퍼를 포함하는 비휘발성 메모리 장치.

청구항 14

제13항에 있어서,

상기 제어 회로는 출력 인에이블 신호 및 리셋 신호를 상기 곱셈 및 누적 회로에 제공하여 상기 곱셈 및 누적 회로를 제어하고,

기입 인에이블 신호를 상기 데이터 버퍼에 제공하여 상기 데이터 버퍼의 출력 동작을 제어하고,

상기 연산 제어 신호는 상기 출력 인에이블 신호, 상기 리셋 신호 및 상기 기입 인에이블 신호를 포함하는 비휘발성 메모리 장치.

청구항 15

제1항에 있어서,

상기 메모리 셀 어레이는 복수의 메모리 블록들을 포함하고, 상기 복수의 메모리 블록들 각각은

제1 워드라인에 연결되는 제1 메모리 셀들; 및

제1 워드라인에 연결되고, 상기 제1 메모리 셀들 위에 적층되는 제2 메모리 셀들을 포함하는 비휘발성 메모리 장치.

청구항 16

제1항에 있어서, 상기 비휘발성 메모리 장치는

제1 방향으로 연장되는 복수의 워드라인들 및 제2 방향으로 연장되는 상기 복수의 비트라인들이 배열되고, 상기 메모리 셀 어레이가 형성된 제1 반도체 층; 및

기관을 포함하고, 상기 반도체 층 하부에 상기 제1 방향 및 상기 제2 방향과 수직인 제3 방향으로 적층되고, 상기 페이지 버퍼 회로, 상기 연산 회로 및 상기 데이터 입출력 회로가 형성된 제2 반도체 층을 포함하는 비휘발성 메모리 장치.

청구항 17

제16항에 있어서,

상기 페이지 버퍼 회로와 상기 연산 회로는 상기 제3 방향으로 상기 메모리 셀 어레이와 중첩되는 적어도 일부분을 포함하는 비휘발성 메모리 장치.

청구항 18

적어도 하나의 비휘발성 메모리 장치; 및

상기 적어도 하나의 비휘발성 메모리 장치를 제어하는 메모리 컨트롤러를 포함하고,

상기 적어도 하나의 비휘발성 메모리 장치는

복수의 비휘발성 메모리 셀들을 포함하는 메모리 셀 어레이;

상기 메모리 셀 어레이와 복수의 비트라인들을 통하여 연결되는 페이지 버퍼 회로; 및

상기 메모리 셀 어레이에 저장되고 상기 페이지 버퍼 회로를 통하여 제공되는 데이터 세트에 포함되는 정보 비트들 및 웨이트 비트들에 대하여 일정한 크기를 가지는 연산 윈도우를 기반으로 순차적으로 연산을 수행하는 연산 회로(상기 연산은 상기 정보 비트들 중 상기 연산 윈도우 내의 비트들로 구성된 매트릭스에 대하여 곱셈 연산을 수행하는 것을 포함함); 및

상기 연산 회로에 연결되는 데이터 입출력 회로를 포함하고,

상기 연산 회로는 상기 정보 비트들 및 상기 웨이트 비트들에 대한 상기 연산이 완료된 경우, 상기 연산의 결과인 출력 데이터 세트를 상기 데이터 입출력 회로에 제공하는 메모리 시스템.

청구항 19

제18항에 있어서, 상기 연산 회로는

상기 정보 비트들을 상기 연산 윈도우를 기반으로 분할하여 액티베이션들로 순차적으로 제공하고, 상기 웨이트 비트들을 상기 연산 윈도우를 기반으로 분할하여 특성 맵들로 순차적으로 제공하는 쉬프트 레지스터 블록;

상기 액티베이션들 각각과 상기 특성 맵들 각각에 대하여 매트릭스-벡터 곱셈을 수행하고, 상기 곱셈의 결과를 누적하고, 상기 액티베이션들과 상기 특성 맵들에 대한 상기 매트릭스-벡터 곱셈이 완료되어 산출된 상기 출력 데이터 세트를 제공하는 곱셈 및 누적 회로; 및

기입 인에이블 신호에 응답하여 상기 출력 데이터 세트를 저장하고, 상기 출력 데이터 세트를 상기 데이터 입출력 회로에 제공하는 데이터 버퍼를 포함하는 메모리 시스템.

청구항 20

복수의 비휘발성 메모리 셀들을 구비하는 메모리 셀 어레이를 포함하는 비휘발성 메모리 장치의 동작 방법으로서,

상기 비휘발성 메모리 셀들로부터, 상기 메모리 셀 어레이와 복수의 비트라인들을 통하여 연결되는 페이지 버퍼 회로를 통하여 독출된 데이터 세트에 포함되는 정보 비트들 및 웨이트 비트들을 쉬프트 레지스터 블록에 제공하는 단계;

상기 쉬프트 레지스터 블록에서 상기 정보 비트들 및 상기 웨이트 비트들을 각각 액티베이션들과 특성 맵들로 분할하는 단계;

연산 회로에서 상기 액티베이션들과 상기 특성 맵들에 대하여 연산 윈도우를 기반으로 매트릭스-곱셈 연산을 수행하는 단계; 및

상기 액티베이션들과 상기 특성 맵들 모두에 대하여 상기 매트릭스-곱셈 연산이 완료된 경우, 상기 연산의 결과인 출력 데이터 세트를 제공하는 단계를 포함하는 비휘발성 메모리 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 장치에 관한 것으로, 보다 상세하게는 비휘발성 메모리 장치, 이를 포함하는 메모리 시스템 및 비휘발성 메모리 장치의 동작 방법에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치는 크게 휘발성 반도체 메모리 장치(Volatile semiconductor memory device)와 비휘발성 반도체 메모리 장치(Nonvolatile semiconductor memory device)로 구분될 수 있다.

[0003] 비휘발성 메모리 장치의 대표적인 예로 플래시 메모리 장치가 있다. 플래시 메모리 장치는 컴퓨터, 휴대폰, PDA, 디지털카메라, 캠코더, 보이스 리코더, MP3 플레이어, 개인용 휴대 단말기(PDA), 휴대용 컴퓨터(Handheld PC), 게임기, 팩스, 스캐너, 프린터 등과 같은 전자 기기들의 음성 및 영상 데이터 저장 매체로서 널리 사용되

고 있다.

[0004] 비휘발성 메모리 장치의 전력 소모를 감소시키기 위한 다양한 방법들이 연구된다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 목적은 연산 회로를 포함하면서 전력 소모를 감소시킬 수 있는 비휘발성 메모리 장치를 제공하는 데 있다.

[0006] 본 발명의 일 목적은 상기 비휘발성 메모리 장치를 포함하는 메모리 시스템을 제공하는 데 있다.

[0007] 본 발명의 일 목적은 연산 회로를 포함하면서 전력 소모를 감소시킬 수 있는 비휘발성 메모리 장치의 동작 방법을 제공하는 데 있다.

과제의 해결 수단

[0008] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 비휘발성 메모리 장치는 메모리 셀 어레이, 페이지 버퍼 회로, 연산 회로 및 데이터 입출력 회로를 포함한다. 상기 메모리 셀 어레이는 복수의 비휘발성 메모리 셀들을 포함한다. 상기 페이지 버퍼 회로는 상기 메모리 셀 어레이와 복수의 비트라인들을 통하여 연결된다. 상기 연산 회로는, 상기 메모리 셀 어레이에 저장되며, 상기 페이지 버퍼 회로를 통하여 제공되는 사용자 데이터 세트에 포함되는 정보 비트들 및 웨이트 비트들에 대하여 일정한 크기를 가지는 연산 윈도우를 기반으로 순차적으로 연산을 수행한다. 상기 데이터 입출력 회로는 상기 연산 회로에 연결된다. 상기 연산 회로는 상기 정보 비트들 및 상기 웨이트 비트들에 대한 상기 연산이 완료된 경우, 상기 연산의 결과인 출력 데이터 세트를 상기 데이터 입출력 회로에 제공한다.

[0009] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 메모리 시스템은 적어도 하나의 비휘발성 메모리 장치 및 상기 적어도 하나의 비휘발성 메모리 장치를 제어하는 메모리 컨트롤러를 포함한다. 상기 적어도 하나의 비휘발성 메모리 장치는 메모리 셀 어레이, 페이지 버퍼 회로, 연산 회로 및 데이터 입출력 회로를 포함한다. 상기 메모리 셀 어레이는 복수의 비휘발성 메모리 셀들을 포함한다. 상기 페이지 버퍼 회로는 상기 메모리 셀 어레이와 복수의 비트라인들을 통하여 연결된다. 상기 연산 회로는, 상기 메모리 셀 어레이에 저장되며, 상기 페이지 버퍼 회로를 통하여 제공되는 사용자 데이터 세트에 포함되는 정보 비트들 및 웨이트 비트들에 대하여 일정한 크기를 가지는 연산 윈도우를 기반으로 순차적으로 연산을 수행한다. 상기 데이터 입출력 회로는 상기 연산 회로에 연결된다. 상기 연산 회로는 상기 정보 비트들 및 상기 웨이트 비트들에 대한 상기 연산이 완료된 경우, 상기 연산의 결과인 출력 데이터 세트를 상기 데이터 입출력 회로에 제공한다.

[0010] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 복수의 비휘발성 메모리 셀들을 구비하는 메모리 셀 어레이를 포함하는 비휘발성 메모리 장치의 동작 방법에서는 상기 비휘발성 메모리 셀들로부터, 상기 메모리 셀 어레이와 복수의 비트라인들을 통하여 연결되는 페이지 버퍼 회로를 통하여 독출된 데이터 세트에 포함되는 정보 비트들 및 웨이트 비트들을 쉬프트 레지스터 블록에 제공하고, 상기 쉬프트 레지스터 블록에서 상기 정보 비트들 및 상기 웨이트 비트들을 각각 액티베이션들과 특성 맵들로 분할하고, 연산 회로에서 상기 액티베이션들과 상기 특성 맵들에 대하여 연산 윈도우를 기반으로 매트릭스-곱셈 연산을 수행하고, 상기 액티베이션들과 상기 특성 맵들 모두에 대하여 상기 매트릭스-곱셈 연산이 완료된 경우, 상기 연산의 결과인 출력 데이터 세트를 제공한다.

발명의 효과

[0011] 본 발명의 실시예들에 따르면, 비휘발성 메모리 장치는 페이지 버퍼 회로와 데이터 입출력 회로 사이에 연결되는 연산 회로를 포함하고, 연산 회로는 정보 비트들 및 웨이트 비트들에 대한 연산 윈도우 단위의 벡터-매트릭스 곱셈을 수행하고, 상기 곱셈을 완료할 때까지 상기 연산 결과를 데이터 입출력 회로에 제공하지 않을 수 있다. 따라서 입출력 경로에 의하여 소모될 수 있는 전력을 감소시킬 수 있다. 또한 연산 회로를 메모리 셀 어레이가 형성되는 제1 반도체 층 하부의 제2 반도체 층에 형성함으로써, 비휘발성 메모리 장치의 집적도를 증가시킬 수 있다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 실시예들에 따른 메모리 시스템을 나타내는 블록도이다.
- 도 2는 본 발명의 실시예들에 따른 도 1의 메모리 시스템에서 제어 신호들의 예를 나타낸다.
- 도 3은 본 발명의 실시예들에 따른 도 1의 메모리 시스템에서 비휘발성 메모리 장치를 나타내는 블록도이다.
- 도 4는 도 3의 메모리 셀 어레이를 나타내는 블록도이다.
- 도 5는 도 4의 메모리 블록들(BLK1-BLKz) 중 하나(BLK_i)를 나타내는 사시도이다.
- 도 6은 도 5를 참조하여 설명된 메모리 블록의 등가 회로를 보여주는 회로도이다.
- 도 7은 도 3의 메모리 셀 어레이의 하나의 페이지의 복수의 문턱 전압 산포들을 설명하기 위한 도면이다.
- 도 8은 본 발명의 실시예들에 따른 도 3의 비휘발성 메모리 장치에서 제어 회로의 구성을 나타내는 블록도이다.
- 도 9는 본 발명의 실시예들에 따른 도 3의 비휘발성 메모리 장치에서 전압 생성 회로의 구성을 나타내는 블록도이다.
- 도 10은 본 발명의 실시예들에 따른 도 3의 비휘발성 메모리 장치에서 연산 회로를 나타내는 블록도이다.
- 도 11은 본 발명의 실시예들에 따른 도 10의 연산 회로에서 곱셈 및 누적 회로를 나타내는 블록도이다.
- 도 12는 본 발명의 실시예들에 따른 연산 회로를 이용한 매트릭스 연산을 나타낸다.
- 도 13은 도 12의 매트릭스 연산을 보다 상세히 나타낸다.
- 도 14는 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작을 나타내는 타이밍도이다.
- 도 15는 본 발명의 실시예들에 따른 비휘발성 메모리 장치를 나타내는 블록도이다.
- 도 16은 본 발명의 실시예들에 따른 도 1의 비휘발성 메모리 장치의 구조를 개략적으로 나타낸다.
- 도 17은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 단면들을 나타낸다.
- 도 18은 본 발명의 실시예들에 따라 제1 및 제2 반도체 층을 포함하는 비휘발성 메모리 장치의 구조를 나타낸다.
- 도 19는 도 18의 비휘발성 메모리 장치에서 제1 반도체 층과 접하는 제2 반도체 층의 상면을 나타내는 평면도이다.
- 도 20은 본 발명의 실시예들에 따른 도 15의 비휘발성 메모리 장치에서 주변 회로를 나타낸다.
- 도 21은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법을 나타내는 흐름도이다.
- 도 22는 본 발명의 실시예들에 따른 에스에스디(SSD: solid state disk or solid state drive)를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0014] 도 1은 본 발명의 실시예들에 따른 메모리 시스템을 나타내는 블록도이다.
- [0015] 도 1을 참조하면, 메모리 시스템(또는 비휘발성 메모리 시스템, 10)은 메모리 컨트롤러(20) 및 적어도 하나의 비휘발성 메모리 장치(30)를 포함할 수 있다.
- [0016] 도 1에 도시된 메모리 시스템(10)은 메모리 카드, USB 메모리, SSD 등과 같은 플래시 메모리를 기반으로 하는 데이터 저장 매체가 모두 포함될 수 있다.
- [0017] 비휘발성 메모리 장치(30)는 메모리 컨트롤러(20)의 제어에 따라 소거, 기입 또는 독출 동작 등을 수행할 수 있다. 이를 위하여, 비휘발성 메모리 장치(30)는 입출력 라인을 통해 커맨드(CMD), 어드레스(ADDR), 그리고 데이터(DATA)를 입력받는다. 또한, 비휘발성 메모리 장치(30)는 제어 라인을 통하여 제어 신호(CTRL)를 제공받을 수 있다. 또한 비휘발성 메모리 장치(30)는 파워 라인을 통하여 메모리 컨트롤러(20)로부터 파워(PWR)를 제공받을 수 있다.

- [0018] 도 2는 본 발명의 실시예들에 따른 도 1의 메모리 시스템에서 제어 신호들의 예를 나타낸다.
- [0019] 도 1 및 도 2를 참조하면, 메모리 컨트롤러(20)가 비휘발성 메모리 장치(30)에 인가하는 제어 신호(CTRL)는 커맨드 래치 인에이블 신호(CLE), 어드레스 래치 인에이블 신호(ALE), 칩 인에이블 신호(nCE), 독출 인에이블 신호(nRE) 및 기입 인에이블 신호(nWE)를 포함할 수 있다.
- [0020] 메모리 컨트롤러(20)는 비휘발성 메모리 장치(30)에 커맨드 래치 인에이블 신호(CLE)를 전송할 수 있다. 커맨드 래치 인에이블 신호(CLE)는 입출력 라인들을 통하여 전달되는 정보가 커맨드(CMD)임을 가리키는 신호일 수 있다. 메모리 컨트롤러(20)는 비휘발성 메모리 장치(30)에 어드레스 래치 인에이블 신호(ALE)를 전송할 수 있다. 어드레스 래치 인에이블 신호(ALE)는 입출력 라인들을 통하여 전달되는 정보가 어드레스(ADDR)임을 가리키는 신호일 수 있다.
- [0021] 메모리 컨트롤러(20)는 비휘발성 메모리 장치(30)에 칩 인에이블 신호(nCE)를 전송할 수 있다. 칩 인에이블 신호(nCE)는 비휘발성 메모리 장치(30)가 복수의 메모리 칩들을 포함하는 경우, 복수의 메모리 칩들 중 선택된 메모리 칩을 가리킬 수 있다. 메모리 컨트롤러(20)는 비휘발성 메모리 장치(30)에 독출 인에이블 신호(nRE)를 전송할 수 있다. 비휘발성 메모리 장치(30)는 독출 인에이블 신호(nRE)에 기초하여 독출된 데이터를 메모리 컨트롤러(20)로 전송할 수 있다.
- [0022] 메모리 컨트롤러(20)는 비휘발성 메모리 장치(30)에 기입 인에이블 신호(nWE)를 전송할 수 있다. 기입 인에이블 신호(nWE)가 활성화될 때, 비휘발성 메모리 장치(30)는 메모리 컨트롤러(20)로부터 전송되는 신호들을 커맨드(CMD) 또는 어드레스(ADDR)로서 저장할 수 있다.
- [0023] 도 3은 본 발명의 실시예들에 따른 도 1의 메모리 시스템에서 비휘발성 메모리 장치를 나타내는 블록도이다.
- [0024] 도 3을 참조하면, 비휘발성 메모리 장치(30)는 메모리 셀 어레이(100), 어드레스 디코더(430), 페이지 버퍼 회로(410), 에러 정정 코드(error correction code; 이하 ECC) 엔진(440), 연산 회로(700), 데이터 입출력 회로(420), 제어 회로(500) 및 전압 생성 회로(600)를 포함할 수 있다.
- [0025] 메모리 셀 어레이(100)는 스트링 선택 라인(SSL), 복수의 워드 라인들(WLs) 및 접지 선택 라인(GSL)을 통해 어드레스 디코더(430)와 연결될 수 있다. 또한, 메모리 셀 어레이(100)는 복수의 비트 라인들(BLs)을 통해 페이지 버퍼 회로(410)와 연결될 수 있다. 메모리 셀 어레이(100)는 복수의 워드 라인들(WLs) 및 복수의 비트 라인들(BLs)에 연결되는 복수의 비휘발성 메모리 셀들을 포함할 수 있다. 복수의 비휘발성 메모리 셀들은 메모리 셀 어레이(100)에 배치될 수 있다.
- [0026] 일 실시예에 있어서, 메모리 셀 어레이(100)는 기관 상에 삼차원 구조(또는 수직 구조)로 형성되는 삼차원(three dimensional) 메모리 셀 어레이일 수 있다. 이 경우, 메모리 셀 어레이(100)는 서로 적층되어 형성되는 복수의 메모리 셀들을 포함하는 수직 메모리 셀 스트링들을 포함할 수 있다. 삼차원 메모리 셀 어레이에 대한 자세한 설명은 본 명세서에 참고 문헌으로 결합된 미국 등록 번호 7,679,133; 8,553,466; 8,654,587; 8,559,235 및 미국 공개 번호 2011/0233648에 기술되어 있다.
- [0027] 다른 실시예에 있어서, 메모리 셀 어레이(100)는 기관 상에 이차원 구조(또는 수평 구조)로 형성되는 이차원(two dimensional) 메모리 셀 어레이일 수 있다.
- [0028] 도 4는 도 3의 메모리 셀 어레이를 나타내는 블록도이다.
- [0029] 도 4를 참조하면, 메모리 셀 어레이(100)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 실시예에 있어서, 메모리 블록들(BLK1~BLKz)은 도3에 도시된 어드레스 디코더(430)에 의해 선택된다. 예를 들면, 어드레스 디코더(430)는 메모리 블록들(BLK1~BLKz) 중 블록 어드레스에 대응하는 메모리 블록(BLK)을 선택할 수 있다.
- [0030] 도 5는 도 4의 메모리 블록들(BLK1~BLKz) 중 하나(BLK_i)를 나타내는 사시도이다.
- [0031] 도 5를 참조하면, 메모리 블록(BLK_i)은 3차원 구조 또는 수직 구조로 형성되는 셀 스트링들을 포함한다. 메모리 블록(BLK_i)은 복수의 방향들(D1, D2, D3)을 따라 신장된 구조물들을 포함한다.
- [0032] 메모리 블록(BLK_i)을 형성하기 위해서는, 우선 기관(111)이 제공된다. 예를 들면, 기관(111)은 붕소(B, Boron)와 같은 5족 원소가 주입되어 형성된 P-웰로 형성될 수 있을 것이다. 또는, 기관(111)은 N-웰 내에 제공되는 포켓 P-웰로 형성될 수 있을 것이다. 이하에서, 기관(111)은 P-웰 인 것으로 가정하기로 한다. 그러나 기관(111)은 P-웰에만 한정되지 않는다. 기관(111) 상에, D1 방향을 따라 복수의 도핑 영역들(311~314)이 형성된다. 예를 들면, 복수의 도핑 영역들(311~314)은 기관(111)과 상이한 n 타입의 도전체로 형성될 수 있을 것이다.

이하에서, 제1 내지 제4 도핑 영역들(311~314)은 n 타입을 갖는 것으로 가정한다. 그러나, 제1 내지 제4 도핑 영역들(311~314)은 n 타입을 갖는 것으로 한정되지 않는다.

- [0033] 제1 및 제2 도핑 영역들(311, 312) 사이의 기관(111)의 영역 상에, D2 방향을 따라 신장되는 복수의 절연 물질들(112)이 D3 방향을 따라 순차적으로 제공된다. 예를 들면, 복수의 절연 물질들(112)은 D3 방향을 따라 특정 거리만큼 이격되어 형성될 것이다.
- [0034] 제1 및 제2 도핑 영역들(311, 312) 사이의 기관(111) 상부에, D2 방향을 따라 순차적으로 배치되며 D3 방향을 따라 절연 물질들(112)을 관통하는 필라(113)가 형성된다. 예시적으로, 필라(113)는 절연 물질들(112)을 관통하여 기관(111)과 연결될 것이다. 여기서, 필라(113)는 제2 및 제3 도핑 영역들(312, 313) 사이의 기관 상부와, 제3 및 제4 도핑 영역들(313, 314)사이의 기관 상부에도 형성된다.
- [0035] 예시적으로, 각 필라(113)는 복수의 물질들로 구성될 것이다. 예를 들면, 각 필라(113)의 표면층(114)은 제1 타입을 갖는 실리콘 물질을 포함할 것이다. 예를 들면, 각 필라(113)의 표면층(114)은 기관(111)과 동일한 타입을 갖는 실리콘 물질을 포함할 것이다. 이하에서, 각 필라(113)의 표면층(114)은 p 타입 실리콘을 포함하는 것으로 가정한다. 그러나, 각 필라(113)의 표면층(114)은 p 타입 실리콘을 포함하는 것으로 한정되지 않는다.
- [0036] 각 필라(113)의 내부층(115)은 절연 물질로 구성된다. 예를 들면, 각 필라(113)의 내부층(115)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질을 포함할 것이다. 예를 들면, 각 필라(113)의 내부층(115)은 에어 갭(Air gap)을 포함할 수 있다.
- [0037] 제1 및 제2 도핑 영역들(311, 312) 사이의 영역에서, 절연 물질들(112), 필라들(113), 그리고 기관(111)의 노출된 표면을 따라 절연막(116)이 제공된다. 예시적으로, D3 방향을 따라 제공되는 마지막 절연 물질(112)의 D3 방향 쪽의 노출면에 제공되는 절연막(116)은 제거될 수 있다.
- [0038] 제1 및 제2 도핑 영역들(311, 312) 사이의 영역에서, 절연막(116)의 노출된 표면에 제1 도전 물질들(211~291)이 제공된다. 예를 들면, 기관(111)에 인접한 절연 물질(112) 및 기관(111) 사이에 D2 방향을 따라 신장되는 제1 도전 물질(211)이 제공된다. 더 상세하게는, 기관(111)에 인접한 절연 물질(112)의 하부면의 절연막(116) 및 기관(111) 사이에, D1 방향으로 신장되는 제1 도전 물질(211)이 제공된다.
- [0039] 절연 물질들(112) 중 특정 절연 물질 상부면의 절연막(116) 및 특정 절연 물질 상부에 배치된 절연 물질의 하부면의 절연막(116) 사이에, D2 방향을 따라 신장되는 제1 도전 물질이 제공된다. 예시적으로, 절연 물질들(112) 사이에, D2 방향으로 신장되는 복수의 제1 도전 물질들(221~281)이 제공된다. 예시적으로, 제1 도전 물질들(211~291)은 금속 물질일 것이다. 예시적으로, 제1 도전 물질들(211~291)은 폴리 실리콘 등과 같은 도전 물질들일 것이다.
- [0040] 제2 및 제3 도핑 영역들(312, 313) 사이의 영역에서, 제1 및 제2 도핑 영역들(311, 312) 상의 구조물과 동일한 구조물이 제공될 것이다. 예시적으로, 제2 및 제3 도핑 영역들(312, 313) 사이의 영역에서, D2 방향으로 신장되는 복수의 절연 물질들(112), D2 방향을 따라 순차적으로 배치되며 D1 방향을 따라 복수의 절연 물질들(112)을 관통하는 복수의 필라들(113), 복수의 절연 물질들(112) 및 복수의 필라들(113)의 노출된 표면에 제공되는 절연막(116), 그리고 D2 방향을 따라 신장되는 복수의 제1 도전 물질들(212~292)이 제공된다.
- [0041] 제3 및 제4 도핑 영역들(313, 314) 사이의 영역에서, 제1 및 제2 도핑 영역들(311, 312) 상의 구조물과 동일한 구조물이 제공될 것이다. 예시적으로, 제3 및 제4 도핑 영역들(312, 313) 사이의 영역에서, D2 방향으로 신장되는 복수의 절연 물질들(112), D2 방향을 따라 순차적으로 배치되며 D3 방향을 따라 복수의 절연 물질들(112)을 관통하는 복수의 필라들(113), 복수의 절연 물질들(112) 및 복수의 필라들(113)의 노출된 표면에 제공되는 절연막(116), 그리고 D2 방향을 따라 신장되는 복수의 제 1 도전 물질들(213~293)이 제공된다.
- [0042] 복수의 필라들(113) 상에 드레인들(320)이 각각 제공된다. 드레인들(320) 상에, D1 방향으로 신장된 제2 도전 물질들(331~333)이 제공된다. 제2 도전 물질들(331~333)은 D2 방향을 따라 순차적으로 배치된다. 제2 도전 물질들(331~333) 각각은 대응하는 영역의 드레인들(320)과 연결된다. 예시적으로, 드레인들(320) 및 D1 방향으로 신장된 제2 도전 물질(333)은 각각 콘택 플러그들(Contact plug)을 통해 연결될 수 있다. 예시적으로, 제2 도전 물질들(331~333)은 금속 물질들일 것이다. 예시적으로, 제2 도전 물질들(331~333)은 폴리 실리콘 등과 같은 도전 물질들일 것이다.
- [0043] 도 6은 도 5를 참조하여 설명된 메모리 블록(BLK_i)의 등가 회로를 보여주는 회로도이다.
- [0044] 도 6에 도시된 메모리 블록(BLK_i)은 기관 상에 삼차원 구조로 형성되는 삼차원 메모리 메모리 블록을 나타낸다.

예를 들어, 메모리 블록(BLK_i)에 포함되는 복수의 메모리 셀 스트링들은 상기 기관과 수직한 방향으로 형성될 수 있다.

- [0045] 도 6을 참조하면, 메모리 블록(BLK_i)은 비트 라인들(BL1, BL2, BL3)과 공통 소스 라인(CSL) 사이에 연결되는 복수의 메모리 셀 스트링들(NS11~NS33)을 포함할 수 있다. 복수의 메모리 셀 스트링들(NS11~NS33) 각각은 스트링 선택 트랜지스터(SST), 복수의 메모리 셀들(MC1, MC2, ..., MC8) 및 접지 선택 트랜지스터(GST)를 포함할 수 있다. 도 9에는 복수의 메모리 셀 스트링들(NS11~NS33) 각각이 8개의 메모리 셀들(MC1, MC2, ..., MC8)을 포함하는 것으로 도시되어 있으나, 본 발명은 이에 한정되지 않는다.
- [0046] 스트링 선택 트랜지스터(SST)는 상응하는 스트링 선택 라인(SSL1, SSL2, SSL3)에 연결될 수 있다. 복수의 메모리 셀들(MC1, MC2, ..., MC8)은 각각 상응하는 워드 라인(WL1, WL2, ..., WL8)에 연결될 수 있다. 접지 선택 트랜지스터(GST)는 상응하는 접지 선택 라인(GSL1, GSL2, GSL3)에 연결될 수 있다. 스트링 선택 트랜지스터(SST)는 상응하는 비트 라인(BL1, BL2, BL3)에 연결되고, 접지 선택 트랜지스터(GST)는 공통 소스 라인(CSL)에 연결될 수 있다.
- [0047] 동일 높이의 워드 라인(예를 들면, WL1)은 공통으로 연결되고, 접지 선택 라인(GSL1, GSL2, GSL3) 및 스트링 선택 라인(SSL1, SSL2, SSL3)은 각각 분리될 수 있다. 도 9에는 메모리 블록(BLK_b)이 여덟 개의 워드 라인들(WL1, WL2, ..., WL8) 및 세 개의 비트 라인들(BL1, BL2, BL3)에 연결되는 것으로 도시되어 있으나, 본 발명은 이에 한정되지 않는다.
- [0048] 다시 도 3을 참조하면, 제어 회로(500)는 메모리 컨트롤러(20)로부터 커맨드 신호(CMD) 및 어드레스 신호(ADDR)를 수신하고, 커맨드 신호(CMD) 및 어드레스 신호(ADDR)에 기초하여 비휘발성 메모리 장치(30)의 소거 루프, 프로그램 루프 및 독출 동작을 제어할 수 있다.
- [0049] 예를 들어, 제어 회로(500)는 커맨드 신호(CMD)에 기초하여 전압 생성 회로(600)를 제어하기 위한 제어 신호들(CTLs)을 생성하고, 어드레스 신호(ADDR)에 기초하여 로우 어드레스(R_ADDR) 및 컬럼 어드레스(C_ADDR)를 생성할 수 있다. 제어 회로(500)는 로우 어드레스(R_ADDR)를 어드레스 디코더(430)에 제공하고, 컬럼 어드레스(C_ADDR)를 데이터 입출력 회로(420)에 제공할 수 있다.
- [0050] 어드레스 디코더(430)는 스트링 선택 라인(SSL), 복수의 워드 라인들(WLs) 및 접지 선택 라인(GSL)을 통해 메모리 셀 어레이(100)와 연결될 수 있다. 프로그램 동작 또는 독출 동작 시, 어드레스 디코더(430)는 제어 회로(500)로부터 제공되는 로우 어드레스(R_ADDR)에 기초하여 복수의 워드 라인들(WLs) 중의 하나를 선택 워드라인으로 결정하고, 복수의 워드 라인들(WLs) 중에서 선택 워드라인을 제외한 나머지 워드 라인들을 비선택 워드라인들로 결정할 수 있다.
- [0051] 전압 생성 회로(600)는 제어 회로(500)로부터 제공되는 제어 신호들(CTLs)에 기초하여 비휘발성 메모리 장치(30)의 동작에 필요한 워드 라인 전압들(VWLs)을 생성할 수 있다. 전압 생성 회로(600)로부터 생성되는 워드 라인 전압들(VWLs)은 어드레스 디코더(430)를 통해 복수의 워드 라인들(WLs)에 인가될 수 있다.
- [0052] 예를 들어, 소거 동작 시, 전압 생성 회로(600)는 메모리 블록의 웰에 소거 전압을 인가하고 메모리 블록의 모든 워드라인들에 접지 전압을 인가할 수 있다. 소거 검증 동작 시, 전압 생성 회로(600)는 하나의 메모리 블록의 모든 워드라인들에 소거 검증 전압을 인가하거나 워드라인 단위로 소거 검증 전압을 인가할 수 있다.
- [0053] 페이지 버퍼 회로(410)는 복수의 비트 라인들(BLs)을 통해 메모리 셀 어레이(100)와 연결될 수 있다. 페이지 버퍼 회로(410)는 복수의 페이지 버퍼를 포함할 수 있다. 일 실시예에 있어서, 하나의 페이지 버퍼에 하나의 비트 라인이 연결될 수 있다. 다른 실시예에 있어서, 하나의 페이지 버퍼에 두 개 이상의 비트 라인들이 연결될 수 있다.
- [0054] 페이지 버퍼 회로(410)는 프로그램 동작 시 선택된 페이지에 프로그램될 데이터를 임시로 저장하고, 독출 동작 시 선택된 페이지로부터 독출된 데이터를 임시로 저장할 수 있다. 페이지 버퍼 회로(410)는 제어 회로(500)로부터의 제어 신호(PCTL)에 응답하여 동작할 수 있다.
- [0055] ECC 엔진(440)은 페이지 버퍼 회로(410)에 연결되고, 페이지 버퍼 회로(410)를 통하여 메모리 셀 어레이(100)로부터 제공되는 패리티 데이터를 이용하여 사용자 데이터 세트에 포함되는 에러 비트를 정정하고, 정정된 사용자 데이터 세트를 연산 회로(700)에 제공할 수 있다.
- [0056] 연산 회로(700)는 사용자 데이터 세트에 포함되는 정보 비트들과 웨이트 비트들에 대하여 일정한 크기를 가지는 연산 윈도우를 기반으로 순차적으로 연산을 수행하고, 상기 정보 비트들 및 상기 웨이트 비트들에 대한 상기 연

산이 완료된 경우, 상기 연산의 결과인 출력 데이터 세트를 데이터 입출력 회로(420)에 제공할 수 있다. 연산 회로(700)는 연산 윈도우 기반의 연산이 완료될 때마다 연산 결과를 데이터 입출력 회로(420)에 제공하지 않고, 연산이 모두 완료된 경우에 출력 데이터 세트를 데이터 입출력 회로(420)에 제공함으로써 전력 소모를 감소시킬 수 있다.

- [0057] 연산 회로(700)는 제어 회로(500)로부터의 연산 제어 신호(CCTL)에 의하여 제어될 수 있다.
- [0058] 데이터 입출력 회로(420)는 데이터 라인들(DLs)을 통해 연산 회로(700)와 연결될 수 있다. 프로그램 동작 시, 데이터 입출력 회로(420)는 메모리 컨트롤러(20)로부터 프로그램 데이터(DATA)를 수신하고, 제어 회로(450)로부터 제공되는 컬럼 어드레스(C_ADDR)에 기초하여 프로그램 데이터(DATA)를 ECC 엔진(440)을 통하여 페이지 버퍼 회로(410)에 제공할 수 있다. 독출 동작 시, 데이터 입출력 회로(420)는 제어 회로(450)로부터 제공되는 컬럼 어드레스(C_ADDR)에 기초하여 연산 회로(700)로부터 제공되는 출력 데이터 세트(DATA)를 상기 메모리 컨트롤러(20)에 제공할 수 있다.
- [0059] 또한, 페이지 버퍼 회로(410)와 입출력 회로(420)는 메모리 셀 어레이(100)의 제1 저장 영역으로부터 데이터를 독출하고, 독출된 데이터를 메모리 셀 어레이(100)의 제2 저장 영역에 기입할 수 있다. 즉, 페이지 버퍼 회로(410)와 입출력 회로(420)는 카피-백(copy-back) 동작을 수행할 수 있다. 페이지 버퍼 회로(410)와 입출력 회로(420)는 제어 회로(450)에 의하여 제어될 수 있다.
- [0060] 도 7은 도 3의 메모리 셀 어레이의 하나의 페이지의 복수의 문턱 전압 산포들을 설명하기 위한 도면이다.
- [0061] 간결한 설명을 위하여, 비휘발성 메모리 장치(30)에 포함된 메모리 셀들은 3-비트를 저장하는 삼중 레벨 셀(TLC, Triple Level Cell)이며, 메모리 셀들의 프로그램 상태를 판별하기 위한 독출 전압 세트는 7개의 읽기 전압들을 포함하는 것으로 가정한다.
- [0062] 도 7을 참조하면, 비휘발성 메모리 장치(30)에 포함된 메모리 셀들은 소거 상태(E) 및 제1 내지 제7 프로그램 상태들(P1~P7) 중 어느 하나의 상태를 가질 수 있다. 비휘발성 메모리 장치(30)는 메모리 컨트롤러(20)의 제어에 따라 기본 독출 전압 세트(VRD1~VRD7)를 기반으로 메모리 셀들의 프로그램 상태를 판별하여 독출 데이터를 출력할 수 있다.
- [0063] 예시적으로, 기본 독출 전압 세트(VRD1~VRD7)의 전압 레벨들은 메모리 셀들의 특성을 고려하여 미리 정해진 전압 레벨들일 수 있다. 예를 들어, 기본 독출 전압 세트(VRD1~VRD7)의 전압 레벨들은 메모리 셀들이 프로그램된 직후의 문턱 전압 산포를 고려하여 결정된 레벨들일 수 있다.
- [0064] 도 8은 본 발명의 실시예들에 따른 도 3의 비휘발성 메모리 장치에서 제어 회로의 구성을 나타내는 블록도이다.
- [0065] 도 8을 참조하면, 제어 회로(500)는 커맨드 디코더(510), 어드레스 버퍼(520) 및 제어 신호 생성기(530)를 포함할 수 있다.
- [0066] 커맨드 디코더(510)는 커맨드 신호(CMD)를 디코딩하여 디코딩된 커맨드(D_CMD)를 제어 신호 생성기(530)에 제공할 수 있다. 어드레스 버퍼(520)는 어드레스 신호(ADDR)를 수신하고, 어드레스 신호(ADDR) 중 로우 어드레스(R_ADDR)는 어드레스 디코더(430)에 제공하고 컬럼 어드레스(C_ADDR)는 데이터 입출력 회로(420)에 제공할 수 있다.
- [0067] 제어 신호 생성기(530)는 디코딩된 커맨드(D_CMD)를 수신하고, 디코딩된 커맨드(D_CMD)가 지시하는 동작에 기초하여 제어 신호들(CTLs)과 제어 신호(PCTL) 및 연산 제어 신호(CCTL)를 생성하고 제어 신호들(CTLs)은 전압 생성 회로(600)에 제공하고, 제어 신호(PCTL)은 페이지 버퍼 회로(410)에 제공하고, 연산 제어 신호(CCTL)는 연산 회로(700)에 제공할 수 있다.
- [0068] 도 9는 본 발명의 실시예들에 따른 도 3의 비휘발성 메모리 장치에서 전압 생성 회로의 구성을 나타내는 블록도이다.
- [0069] 도 9를 참조하면, 전압 생성 회로(600)는 프로그램 전압 생성기(610), 검증/독출 전압 생성기(650) 및 패스 전압 생성기(630)를 포함할 수 있다.
- [0070] 프로그램 전압 생성기(610)는 제1 제어 신호(CTL1)에 응답하여 디코딩된 커맨드(D_CMD)가 지시하는 동작에 따라 프로그램 전압(VPGM)을 생성할 수 있다. 프로그램 전압(VPGM)은 선택 워드라인에 인가될 수 있다. 제1 제어 신호(CTL1)는 복수의 비트들을 포함하여 디코딩된 커맨드(D_CMD)가 지시하는 동작을 나타낼 수 있다.

- [0071] 검증/독출 전압 생성기(또는 제1 전압 생성기, 650)는 제2 제어 신호(CTL2)에 응답하여 디코딩된 커맨드(D_CMD)가 지시하는 동작에 따라 프로그램 검증 전압(VPV), 독출 전압(VRD) 및 소거 검증 전압(VEV)을 생성할 수 있다. 프로그램 검증 전압(VPV), 독출 전압(VRD) 및 소거 검증 전압(VEV)은 동작에 따라 선택 워드라인에 인가될 수 있다. 제2 제어 신호(CTL2)는 복수의 비트들을 포함하여 디코딩된 커맨드(D_CMD)가 지시하는 동작을 나타낼 수 있다.
- [0072] 패스 전압 생성기(또는 제2 전압 생성기, 630)는 제3 제어 신호(CTL)에 프로그램 패스 전압(VPPASS), 검증 패스 전압(VVPASS) 및 독출 패스 전압(VRPASS)을 생성할 수 있다. 프로그램 패스 전압(VPPASS), 독출 패스 전압(VRPASS) 및 검증 패스 전압(VVPASS)은 비선택 워드라인들에 인가될 수 있다. 제3 제어 신호(CTL3)는 복수의 비트들을 포함하여 디코딩된 커맨드(D_CMD)가 지시하는 동작을 나타낼 수 있다.
- [0073] 도 10은 본 발명의 실시예들에 따른 도 3의 비휘발성 메모리 장치에서 연산 회로를 나타내는 블록도이다.
- [0074] 도 10에서는 설명의 편의를 위하여 ECC 엔진(440)을 함께 도시한다.
- [0075] 도 10을 참조하면, 연산 회로(700)는 쉬프트 레지스터 블록(710), 곱셈 및 누적 회로(720) 및 데이터 버퍼(780)를 포함할 수 있다. 쉬프트 레지스터 블록(710)은 제1 쉬프트 레지스터(711) 및 제2 쉬프트 레지스터(713)를 포함할 수 있다.
- [0076] ECC 엔진(440)은 페이지 버퍼 회로(410)로부터 제공되는 독출 데이터 세트(RDT)에 포함되는 패리티 데이터(PRT)를 이용하여 사용자 데이터 세트(UDT)의 에러 비트를 정정할 수 있다. ECC 엔진(440)은 사용자 데이터 세트(UDT)에 포함되는 정보 비트들(INDT)과 웨이트 비트들(WDT)을 레지스터 블록(710)에 제공한다. 정보 비트들(INDT)과 웨이트 비트들(WDT)은 각각 N (N 은 2 이상의 자연수) 비트들로 구성될 수 있다. 사용자 데이터 세트(UDT)가 이미지 데이터인 경우, 정보 비트들(INDT)은 이미지 데이터의 픽셀값들일 수 있고, 웨이트 비트들(WDT)은 픽셀값들에 관련된 파라미터 값일 수 있다.
- [0077] 쉬프트 레지스터 블록(710)은 웨이트 비트들(WDT)을 연산 윈도우를 기반으로 분할하여 특성 맵들로 순차적으로 제공하고, 정보 비트들(INDT)을 상기 특성 맵들 각각의 관련성에 기초하여 분할하여 액티베이션들로 순차적으로 제공한다. 제1 쉬프트 레지스터(711)는 웨이트 비트들(WDT)을 $P \times Q$ (P, Q 는 자연수) 매트릭스 형태의 상기 특성 맵들로 구성하고, 상기 특성 맵들 각각이 제1 연산 윈도우들로 순차적으로 출력되도록 상기 웨이트 비트들(WDT)을 쉬프트시켜 제1 쉬프트 비트들(WDTS)로 출력한다. 제2 쉬프트 레지스터(713)는 정보 비트들(INDT)을 웨이트 비트들(WDT)과의 관련성에 기초하여 복수의 $L \times L$ (L 은 4이상의 자연수) 매트릭스 형태의 서브 데이터 세트들에 해당하는 상기 액티베이션들로 구성하고, 상기 액티베이션들 각각이 각각 $P \times Q$ 매트릭스 형태의 제2 연산 윈도우들로 순차적으로 출력되도록 상기 정보 비트들(INDT)을 쉬프트시켜 제2 쉬프트 비트들(INDTS)로 출력한다.
- [0078] 곱셈 및 누적 회로(720)는 제1 쉬프트 비트들(WDTS) 및 제2 쉬프트 비트들(INDTS)을 수신하고, 상기 특성 맵들 각각과 대응되는 상기 액티베이션들 각각에 대하여 매트릭스-벡터 곱셈을 수행하고, 상기 곱셈의 결과를 누적하고, 상기 액티베이션들과 상기 특성 맵들에 대한 상기 매트릭스-벡터 곱셈이 완료되면 출력 인에이블 신호(OEN)에 응답하여 산출된 출력 데이터 세트(RDTS)를 제공한다. 데이터 버퍼(780)는 기입 인에이블 신호(WEN)에 응답하여 출력 데이터 세트(RDTS)를 내부에 저장할 수 있다. 데이터 버퍼(780)는 정적 랜덤 액세스 메모리(static random access memory; SRAM)로 구성될 수 있고, 데이터 버퍼는 저장된 출력 데이터 세트(RDTS)를 데이터(DATA)로서 메모리 컨트롤러(100)에 제공할 수 있다.
- [0079] 도 11은 본 발명의 실시예들에 따른 도 10의 연산 회로에서 곱셈 및 누적 회로를 나타내는 블록도이다.
- [0080] 도 11을 참조하면, 곱셈 회로(730) 및 누적 회로(760)를 포함할 수 있다. 곱셈 회로(730)는 제1 쉬프트 비트들(WDTS) 및 제2 쉬프트 비트들(INDTS)을 수신하고, 상기 액티베이션들 중 하나의 액티베이션의 정보 비트들과 상기 특성 맵들 중 상응하는 하나의 특성 맵의 웨이트 비트들을 곱하여 출력한다. 누적 회로(760)는 곱셈 회로(730)의 출력을 누적하여 출력 데이터 세트(RDTS)를 제공한다.
- [0081] 곱셈 회로(730)는 제1 버퍼(731), 제2 버퍼(733) 및 곱셈기(735)를 포함한다. 제1 버퍼(733)는 제1 쉬프트 비트들(WDTS)을 수신하고, 제1 쉬프트 비트들(WDTS)을 제1 연산 윈도우 단위의 특성 맵들로 출력한다. 제2 버퍼(733)는 제2 쉬프트 비트들(INDTS)을 수신하고, 제2 쉬프트 비트들(INDTS)의 액티베이션들을 제2 연산 윈도우 단위로 출력한다. 곱셈기(735)는 제1 버퍼(735)의 출력과 상기 제2 버퍼(735)의 출력을 곱하여 중간 연산 결과(ICR)로서 제공한다.
- [0082] 누적 회로(760)는 가산기(761) 및 버퍼(763)를 포함한다. 가산기(761)는 제1 입력과 제2 입력을 구비하고 제1

입력에서 곱셈기(735)의 출력을 수신한다. 가산기(761)는 곱셈기(735)의 출력과 제2 입력에서 수신되는 버퍼(763)의 출력을 합산하여 가산기(761)의 제2 입력으로 피드백시킨다. 버퍼(763)는 출력 인에이블 신호(OEN)에 응답하여 가산기(761)의 출력을 출력 데이터 세트(RDTS)로서 데이터 버퍼(780)에 제공하고, 리셋 신호(RST)에 응답하여 리셋된다. 출력 인에이블 신호(OEN) 및 리셋 신호(RST)는 연산 제어 신호(CCTL)에 포함될 수 있다.

- [0083] 곱셈 회로(730)가 액티베이션들 및 특성 맵들에 대한 곱셈 연산을 완료할 때까지 가산기(761)의 출력은 데이터 버퍼(780)에 제공되지 않으므로, 비휘발성 메모리 장치(30)의 입출력 회로에 의한 전력 소모를 감소시킬 수 있다.
- [0084] 도 12는 본 발명의 실시예들에 따른 연산 회로를 이용한 매트릭스 연산을 나타내고, 도 13은 도 12의 매트릭스 연산을 보다 상세히 나타낸다.
- [0085] 도 12를 참조하면, 웨이트 비트들과 관련된 제1 쉬프트 비트들(WDTS)은 P*Q 매트릭스 형태의 특성 맵들(FM1~FMk)로 구성될 수 있고, 특성 맵들(FM1~FMk) 각각이 제1 연산 윈도우(CW1)에 해당될 수 있다. 도 12에서는, P와 Q가 각각 3인 경우를 가정한다. 특성 맵(FM1)은 그 원소로서 웨이트 비트들(W1~W9)을 3*3 매트릭스 형태로 포함할 수 있다. 정보 비트들과 관련된 제2 쉬프트 비트들(INDTS)은 특성 맵들(FM1~FMk) 각각과의 연관성에 기초하여 L*L 매트릭스 형태의 서브 데이터 세트들(SUBDT1~SUBDTk)로 구성될 수 있고, 서브 데이터 세트들(SUBDT1~SUBDTk) 각각이 액티베이션에 해당할 수 있다. 제1 서브 데이터 세트, 즉 제1 액티베이션은 그 원소로서 정보 비트들(A1~A49)을 7*7 매트릭스 형태로 포함할 수 있다.
- [0086] 연산 회로(700)는 특성 맵들(FM1~FMk) 각각과 서브 데이터 세트들(SUBDT1~SUBDTk)에 해당하는 액티베이션들 각각에 대하여 매트릭스-벡터 곱셈을 수행하여 출력 서브 데이터 세트들(RSUB1~RSUBk)을 산출할 수 있다.
- [0087] 제1 출력 서브 데이터 세트(RSUB1)는 제1 특성 맵(FM1)과 제1 액티베이션의 매트릭스-벡터 연산의 결과로 산출될 수 있다.
- [0088] 도 13은 도 12에서 제1 특성 맵과 제1 액티베이션의 매트릭스-벡터 연산의 과정을 나타낸다.
- [0089] 도 13를 참조하면, 곱셈 및 누적 회로(720)는 복수의 단위 연산기들(741~74p)로 구성될 수 있다. 단위 연산기(741)는 곱셈기(751), 합산기(752) 및 누적기(753)로 구성되고, 합산기(752)는 곱셈기(751)의 출력을 수신하는 제1 입력과 누적기(753)의 출력을 피드백받는 제2 입력을 구비할 수 있다. 따라서, 제1 출력 서브 데이터 세트(RSUB1)의 제1 원소(R1)는 다음의 수학적 식 1과 같이 산출될 수 있다.
- [0090] [수학적 식 1]
- [0091]
$$R1=A1*W1+A2*W2+A3*W3+A8*W4+A9*W5+A10*W6+ \dots +A17*W9$$
- [0092] 이와 마찬가지로, 제1 출력 서브 데이터 세트(RSUB1)의 원소(R25)는 다음의 수학적 식 2와 같이 산출될 수 있다.
- [0093] [수학적 식 2]
- [0094]
$$R25=A33*W1+A34*W2+A35*W3+A40*W4+A41*W5+A42*W6+ \dots +A49*W9$$
- [0095] 단위 연산기(741)는 위와 같은 방식으로 원소(R1)를 산출하고, 단위 연산기(742)는 원소(R2)를 산출하고, 단위 연산기(743)는 원소(R3)를 산출하고, 단위 연산기(744)는 원소(R4)를 산출하고, 단위 연산기(74p)는 원소(R25)를 산출할 수 있다.
- [0096] 따라서, 제2 쉬프트 레지스터(는 도 12에서 제2 연산 윈도우(CW2)를 쉬프트시킴에 있어, 연속하는 두 개의 제2 연산 윈도우들에서 제2 방향의 2P개의 정보 비트들이 중첩되어 선택되도록 상기 제2 연산 윈도우를 제1 방향으로 쉬프트시키다가, 상기 제2 연산 윈도우가 상기 액티베이션들의 바운더리에 도달하는 경우, 상기 제2 연산 윈도우를 (L-P) 만큼 쉬프트시킬 수 있다.
- [0097] 비휘발성 메모리 장치(30)은 복수의 연산 회로들을 포함하여 특성 맵들(FM1~FMk) 각각과 서브 데이터 세트들(SUBDT1~SUBDTk)에 해당하는 액티베이션들 각각에 대하여 매트릭스-벡터 곱셈을 병렬적으로 수행할 수 있다.
- [0098] 도 14는 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작을 나타내는 타이밍도이다.
- [0099] 도 14에서는 ECC 엔진(440)과 연산 회로(700)의 동작을 중점적으로 설명한다.
- [0100] 도 1 내지 도 14를 참조하면, T1에서 리셋 커맨드에 상응하는 리셋 신호(RST)에 응답하여 누적 회로(760)의 버퍼(763)가 리셋된다(ROP). 즉, 버퍼(763)는 데이터를 저장하지 않은 상태로 설정된다. T2에서 제1 독출 커맨드

(RD1)에 응답하여 페이지 버퍼(410)를 통하여 ECC 엔진(440)으로 웨이트 비트들(WDT)이 제공되고, T3에서의 제2 독출 커맨드(RD2)에 응답하여 정보 비트들(INDT)이 페이지 버퍼(410)를 통하여 T5에 ECC 엔진(440)으로 제공된다. ECC 엔진(440)은 웨이트 비트들(WDT) 및 정보 비트들(WDT)에 대하여 ECC 디코딩을 수행하여 에러 비트를 정정할 수 있다.

[0101] T4에서부터 제1 쉬프트 레지스터(711)가 웨이트 비트들(WDT)의 웨이트들(W1~Wr)들을 순차적으로 출력하고, T6에서부터 제2 쉬프트 레지스터(713)가 정보 비트들(INDT)의 비트들(A1~Ar)을 순차적으로 출력한다. T7에서부터 T8까지 곱셈 및 누적 회로(720)는 웨이트들(W1~Wr)과 비트들(A1~Ar)에 대하여 매트릭스 벡터 연산(MOP)을 수행하고, T9에 기입 커맨드(WR)에 응답하여 데이터 버퍼(780)는 웨이트들(W1~Wr)과 비트들(A1~Ar)에 대한 매트릭스 벡터 연산의 결과를 내부에 저장한다.

[0102] 따라서 본 발명의 실시예들에 따르면, 비휘발성 메모리 장치(30)에 포함되는 연산 회로(700)에서는 정보 비트들 및 웨이트 비트들에 대한 연산 윈도우 단위의 곱셈 연산을 완료할 때까지 가산기(761)의 출력은 데이터 버퍼(780)에 제공되지 않으므로, 비휘발성 메모리 장치(30)의 입출력 경로에 의하여 소모될 수 있는 전력을 감소시킬 수 있다. 이와 같은 방식으로 비휘발성 메모리 장치(30)은 MLP(multilayer perceptron), RNN(recurrent neural network), CNN(convolutional neural network) 등의 데이터 프로세싱 시간 및 전력소모를 감소할 수 있다.

[0103] 도 15는 본 발명의 실시예들에 따른 비휘발성 메모리 장치를 나타내는 블록도이다.

[0104] 도 15를 참조하면, 비휘발성 메모리 장치(800)는 메모리 셀 어레이(810), 로우 디코더(820), 페이지 버퍼 회로(830), 연산 회로(850) 및 주변 회로(840)를 포함할 수 있다.

[0105] 로우 디코더(820)는 주변 회로(840)로부터 구동 전압(VWLs) 및 로우 어드레스(R-ADDR)를 수신할 수 있다. 메모리 셀 어레이(810)의 집적도 및 비휘발성 메모리 장치(800)의 동작 속도가 상승함에 따라, 워드 라인에 인가되는 신호의 지연 등에 기인하여 로우 디코더(820)는, 메모리 셀 어레이(810)와 인접하게 배치될 뿐만 아니라, 메모리셀 어레이(810)에 배열된 복수의 워드 라인들 각각에 인접하여 반복적으로 배치된 동일한 회로들을 포함할 수 있다. 페이지 버퍼 회로(830)는 주변 회로(840)로부터 제어 신호(PCTL)를 수신할 수 있고, 데이터 신호(D_RW)를 주변 회로(840)로부터 수신할 수 있다. 페이지 버퍼 회로(830)는 제어 신호(PCTL)에 응답하여 주변 회로(840)로부터 수신된 데이터 신호(D_RW)에 기초하여 비트 라인에 신호를 인가할 수 있고, 이에 따라 메모리 셀 어레이(110)의 메모리 셀에 데이터를 기입할 수 있다.

[0106] 연산 회로(850)는 주변 회로(840)로부터의 연산 제어 신호(CCTL)에 기초하여 페이지 버퍼 회로(3850)로부터 제공된 사용자 데이터 세트에 대하여 연산을 수행하고, 출력 데이터 세트(DATA)를 주변 회로(840)에 제공할 수 있다. 주변 회로(840)는 커맨드(CMD), 어드레스(ADDR) 및 제어 신호(CTRL)를 수신할 수 있고, 외부의 장치와 데이터(DATA)를 송수신할 수 있다.

[0107] 도 16은 본 발명의 실시예들에 따른 도 1의 비휘발성 메모리 장치의 구조를 개략적으로 나타낸다.

[0108] 도 16을 참조하면, 비휘발성 메모리 장치(800)는 제1 반도체 층(40) 및 제2 반도체 층(50)을 포함할 수 있고, 제1 반도체 층(40)은 제2 반도체 층(20) 상에 제3 방향으로 적층될 수 있다. 도 15의 메모리 셀 어레이(810)는 제1 반도체 층(40)에 형성될 수 있고, 로우 디코더(820), 페이지 버퍼 회로(830), 연산 회로(850) 및 주변 회로(840)는 제2 반도체 층(50)에 형성될 수 있다. 즉, 제2 반도체 층(50)은 기판을 포함할 수 있고, 기판 상에 트랜지스터와 같은 반도체 소자들 및 소자들을 배선하기 위한 패턴을 형성함으로써 제2 반도체 층(50)에 로우 디코더(820), 페이지 버퍼 회로(830), 연산 회로(850) 및 주변 회로(840)에 대응하는 회로들이 형성될 수 있다.

[0109] 제2 반도체 층(50)에 회로들이 형성된 후, 메모리 셀 어레이(810)를 포함하는 제1 반도체 층(10)이 형성될 수 있고, 메모리 셀 어레이(810)(즉, 워드 라인들 및 비트 라인들)와 제2 반도체 층(50)에 형성된 회로들(즉, 로우 디코더(820), 페이지 버퍼 회로(830), 연산 회로(850) 및 주변 회로(840)에 대응하는 회로들)을 전기적으로 연결하기 위한 패턴들이 형성될 수 있다. 이에 따라, 비휘발성 메모리 장치(800)는 메모리 셀 어레이(810)와 기타 회로 적층방향(즉, 제3 방향)으로 배치된 구조, 즉 COP(Cell-On-Peri 또는 Cell-Over-Peri) 구조를 가질 수 있다. 메모리 셀 어레이(810)를 제외한 회로를 메모리 셀 어레이(810) 아래에 배치함으로써, COP 구조는 적층 방향과 수직인 면에서 차지하는 면적을 효과적으로 감소시킬 수 있다.

[0110] 메모리 셀 어레이(810)가 형성된 제1 반도체 층(40)에서, 복수의 워드 라인들(WL)은 제3 방향(D3)과 수직인 제1 방향(D1)으로 연장되고, 복수의 비트 라인들(BL) 또한 제3 방향과 수직인 제2 방향(D2)으로 연장될 수 있다.

- [0111] 주변 회로(840)에 포함된 일부 회로는 메모리 셀 어레이(810)와 중첩되지 아니한 채 제2 반도체 층(20)에 형성될 수 있고, 그 결과 비휘발성 메모리 장치(800)의 면적, 즉 제3 방향에 수직한 평면상 면적이 증가할 수 있고, 비휘발성 메모리 장치(800)의 집적도가 향상될 수 있다.
- [0112] 도 17은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 단면들을 나타낸다.
- [0113] 도 17을 참조하면, 제2 반도체 층(50)은, 제3 방향으로 적층된 기관(SUB), 제2 하부 절연층(IL22) 및 제1 하부 절연층(IL21)을 포함할 수 있다.
- [0114] 제2 반도체 층(50)의 기관(SUB) 상에 복수의 반도체 소자들, 예컨대 트랜지스터(TR)들이 형성될 수 있고, 반도체 소자는 제2 하부 절연층(IL22)를 관통하는 콘택 플러그(CP21)를 통해서 제1 하부 절연층(IL21)에 형성된 전도성 패턴(MP21)과 전기적으로 연결될 수 있다. 제2 반도체 층(50)에 형성된 반도체 소자는 도 16의 로우 디코더(820), 페이지 버퍼 회로(830), 연산 회로(850) 및 주변 회로(840)에 대응하는 회로들 회로를 구성할 수 있다.
- [0115] 제1 반도체 층(40)은 제2 반도체 층(50) 상에 적층될 수 있고, 제3 방향으로 적층된 베이스 층(BP) 및 상부 절연층(IL10)을 포함할 수 있다.
- [0116] 도 17은 비휘발성 메모리 장치(800_1)의 일부를 제2 방향에 수직한 평면으로 자른 단면을 나타낸다.
- [0117] 도 17을 참조하면, 메모리 셀 어레이(810)의 외곽에 배치된 콘택 플러그(CP12)를 통해서 제1 반도체 층(40) 및 제2 반도체 층(50) 사이에 도전 경로가 형성될 수 있다. 제3 방향으로 적층된 스트링 선택 라인(SSL), 워드 라인들(WL1 내지 WL8) 및 접지 선택 라인(GSL)은 상부 절연층(IL10)에 형성된 콘택 플러그(CP11)를 통해서 제1 반도체 층(40)의 상면에 형성된 전도성 패턴(MP11)과 전기적으로 연결될 수 있다. 전도성 패턴(MP11)은 제1 반도체 층(40), 즉 상부 절연층(IL10) 및 베이스 층(BP)을 관통하는 콘택 플러그(CP12)를 통해서 제2 반도체 층(50)에 형성된 전도성 패턴(MP21)과 전기적으로 연결될 수 있고, 결과적으로 제2 반도체 층(50)에 형성된 반도체 소자, 예컨대 트랜지스터(TR)와 전기적으로 연결될 수 있다.
- [0118] 예를 들면, 메모리 셀 어레이(810)의 외곽에 배치되고 제1 반도체 층(40)을 관통하는 콘택 플러그(CP12)는, 메모리 셀 어레이(810)에 배열된 복수의 워드 라인들(WL1-WL8)을 제2 반도체 층(50)에 형성된 로우 디코더(820)에 대응하는 회로들과 전기적으로 연결하는데 사용될 수 있다.
- [0119] 도 18은 본 발명의 실시예들에 따라 제1 및 제2 반도체 층을 포함하는 비휘발성 메모리 장치(100')의 구조를 나타내고, 도 19는 도 18의 비휘발성 메모리 장치에서 제1 반도체 층과 접하는 제2 반도체 층의 상면을 나타내는 평면도이다.
- [0120] 로우 디코더(820)는 워드 라인들(WL)이 연장된 방향과 수직한 방향(즉, 워드 라인들(WL)이 배열된 방향)으로 연장되는 형상을 가지도록 배치될 수 있고, 페이지 버퍼 회로(830)는 비트 라인들(BL)과 수직한 방향(즉, 비트 라인들(BL)이 배열된 방향)으로 연장되는 형상을 가지도록 배치될 수 있다. 이에 따라, COP 구조의 비휘발성 메모리 장치(800')에서 로우 디코더(820) 및 페이지 버퍼(830)는 제1 반도체 층(40)의 메모리 셀 어레이(810)와 제3 방향으로 중첩되는 면적을 증가시키기 위하여, 로우 디코더(820), 페이지 버퍼 회로(830) 및 연산 회로(850) 각각은 2개 이상의 부분들로서 분리되어 윈드밀(windmill)과 같이 배치될 수 있다.
- [0121] 즉, 도 18 및 도 19를 참조하면, 로우 디코더(820)에 대응하는 회로는 제1 및 제2 로우 디코더(RD1, RD2)로 분리될 수 있고, 페이지 버퍼 회로(830)에 대응하는 회로는 제1 및 제2 페이지 버퍼 회로(PB1, PB2)로 분리될 수 있고, 연산 회로(850)에 대응하는 회로는 제1 및 제2 연산 회로(CC1, CC2)로 분리될 수 있다. 예를 들면, 로우 디코더(820), 페이지 버퍼 회로(830) 및 연산 회로(850)에 대응하는 회로들은 제1 반도체 층(40)의 메모리 셀 어레이(810)와 제3 방향으로 완전히 중첩되도록 윈드밀과 같이 배치될 수 있다.
- [0122] 도 19를 참조하면, 제2 반도체 층(50)은, 워드 라인(WL)과 평행한 제1 방향의 가상 라인(Y0-Y0') 및 비트 라인(BL)과 평행한 제2 방향의 가상 라인(X0-X0')이 제1 및 제2 방향과 수직인 제3 방향으로 메모리 셀 어레이(810)와 중첩되는 영역(R0 또는 R0') 내의 점 P0에서 교차할 때, 2개의 가상 라인들(Y0-Y0', X0-X0')에 의해서 구획되는 4개의 영역들(R1 내지 R4)을 포함할 수 있다. 도 19에 도시된 바와 같이, 제1 및 제2 로우 디코더(RD1, RD2)는 제1 및 제3 영역(R1, R3)에 각각 배치되고, 제1 및 제2 페이지 버퍼 회로(PB1, PB2) 및 제1 및 제2 연산 회로(CC1, CC2)는 제2 및 제4 영역(R2, R4)에 각각 배치될 수 있다.
- [0123] 예를 들면, 제1 반도체 층(40)의 메모리 셀 어레이(810)와 중첩되는 제2 반도체 층(50)의 영역이 도 19의 영역(R0)인 경우, 제1 내지 제4 영역(R1 내지 R4)은 메모리 셀 어레이(810)와 완전히 중첩될 수 있고, 이에 따라 제

1 및 제2 로우 디코더(RD1, RD2), 제1 및 제2 페이지 버퍼 회로(PB1, PB2) 및 제1 및 제2 연산 회로(CC1, CC2)는 제3 방향으로 메모리 셀 어레이(810)와 완전히 중첩될 수 있다. 다른 예시로서, 제1 반도체 층(40)의 메모리 셀 어레이(810)와 중첩되는 제2 반도체 층(50)의 영역이 도 19의 영역(R0')인 경우, 제1 내지 제4 영역(R1 내지 R4)의 일부가 메모리 셀 어레이(810)와 중첩될 수 있고, 이에 따라 제1 및 제2 로우 디코더(RD1, RD2), 제1 및 제2 페이지 버퍼 회로(PB1, PB2) 및 제1 및 제2 연산 회로(CC1, CC2)는 제3 방향으로 메모리 셀 어레이(810)와 중첩되지 아니한 부분을 포함할 수도 있다.

- [0124] 도 20은 본 발명의 실시예들에 따른 도 15의 비휘발성 메모리 장치에서 주변 회로를 나타낸다.
- [0125] 도 20을 참조하면, 주변 회로(840)는 전압 생성 회로(841), 제어 회로(843) 및 데이터 입출력 회로(845)를 포함할 수 있다. 전압 생성 회로(841), 제어 회로(843) 및 데이터 입출력 회로(845)의 구성과 동작은 도 3의 비휘발성 메모리 장치(30)의 전압 생성 회로(600), 제어 회로(500) 및 데이터 입출력 회로(420)의 구성 및 동작과 실질적으로 유사하므로 이에 대한 상세한 설명은 생략한다.
- [0126] 도 20의 주변 회로(840)의 구성 요소들에 대응하는 회로들은 도 15의 페이지 버퍼 회로(830) 및 연산 회로(850)와 함께 도 16의 제2 반도체 층(50)에 배치될 수 있다.
- [0127] 도 21은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법을 나타내는 흐름도이다.
- [0128] 도 1 내지 도 21을 참조하면, 복수의 비휘발성 메모리 셀들을 구비하는 메모리 셀 어레이(100)를 포함하는 비휘발성 메모리 장치(30)의 동작 방법에서는 상기 비휘발성 메모리 셀들로부터, 상기 메모리 셀 어레이(100)와 복수의 비트라인들(BLs)을 통하여 연결되는 페이지 버퍼 회로(410)를 통하여 독출된 데이터 세트(RDT)에 포함되는 정보 비트들(INDT) 및 웨이트 비트들(WDT)을 쉬프트 레지스터 블록(710)에 제공한다(S110). 상기 쉬프트 레지스터 블록(710)에서 상기 정보 비트들(INDT) 및 상기 웨이트 비트들(WDT)을 각각 액티브이션들과 특성 맵들로 분할한다(S120).
- [0129] 곱셈 및 누적 회로(720)에서 상기 액티브이션들과 상기 특성 맵들에 대하여 연산 윈도우를 기반으로 매트릭스-곱셈 연산을 수행한다(S130). 상기 액티브이션들과 상기 특성 맵들 모두에 대하여 상기 매트릭스-곱셈 연산이 완료된 경우, 데이터 버퍼(780)에서 상기 연산의 결과인 출력 데이터 세트(RDIO)를 제공한다(S140).
- [0130] 도 22는 본 발명의 실시예들에 따른 에스에스디(SSD: solid state disk or solid state drive)를 나타내는 블록도이다.
- [0131] 도 22를 참조하면, SSD(1000)는 복수의 비휘발성 메모리 장치들(1100) 및 SSD 제어기(1200)를 포함한다.
- [0132] 비휘발성 메모리 장치들(1100)은 옵션적으로 외부 고전압(VPP)을 제공받도록 구현될 수 있다. 비휘발성 메모리 장치들(1100)은 전술한 도 3의 비휘발성 메모리 장치(30)로 구현될 수 있다. 따라서 비휘발성 메모리 장치들(1100) 각각은 페이지 버퍼 회로와 데이터 입출력 회로 사이에 연결되는 연산 회로를 포함하고, 연산 회로는 정보 비트들 및 웨이트 비트들에 대한 연산 윈도우 단위의 벡터-매트릭스 곱셈을 수행하고, 상기 곱셈을 완료할 때까지 상기 연산 결과를 데이터 입출력 회로에 제공하지 않을 수 있다. 따라서 입출력 경로에 의하여 소모될 수 있는 전력을 감소시킬 수 있다. 또한 연산 회로를 메모리 셀 어레이가 형성되는 제1 반도체 층 하부의 제2 반도체 층에 형성함으로써, 비휘발성 메모리 장치들(1100) 각각의 집적도를 증가시킬 수 있다.
- [0133] SSD 제어기(1200)는 복수의 채널들(CH1-CH4)을 통하여 비휘발성 메모리 장치들(1100)에 연결된다. SSD 제어기(1200)는 적어도 하나의 프로세서(1210), 버퍼 메모리(1220), 에러 정정 회로(1230), 호스트 인터페이스(1250) 및 비휘발성 메모리 인터페이스(1260)를 포함한다. 버퍼 메모리(1220)는 메모리 제어기(1200)의 구동에 필요한 데이터를 임시로 저장할 수 있다. 또한, 버퍼 메모리(1220)는 기입 요청시 프로그램 동작에 이용될 데이터를 버퍼링해 놓을 수 있다. 에러 정정 회로(1230)는 기입 동작에서 프로그램될 데이터의 에러 정정 코드 값을 계산하고, 읽기 동작에서 읽혀진 데이터를 에러 정정 코드 값에 근거로 하여 에러 정정하고, 데이터 복구 동작에서 비휘발성 메모리 장치(1100)로부터 복구된 데이터의 에러를 정정할 수 있다.
- [0134] 본 발명의 실시 예에 따른 메모리 장치 혹은 저장 장치는 다양한 형태들의 패키지를 이용하여 실장 될 수 있다.

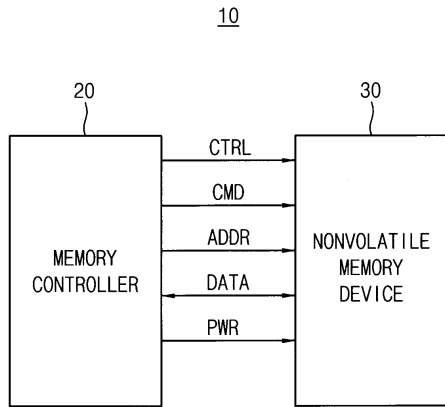
산업상 이용가능성

- [0135] 본 발명은 비휘발성 메모리 장치를 구비하는 임의의 전자 장치에 유용하게 이용될 수 있다.
- [0136] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명

을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

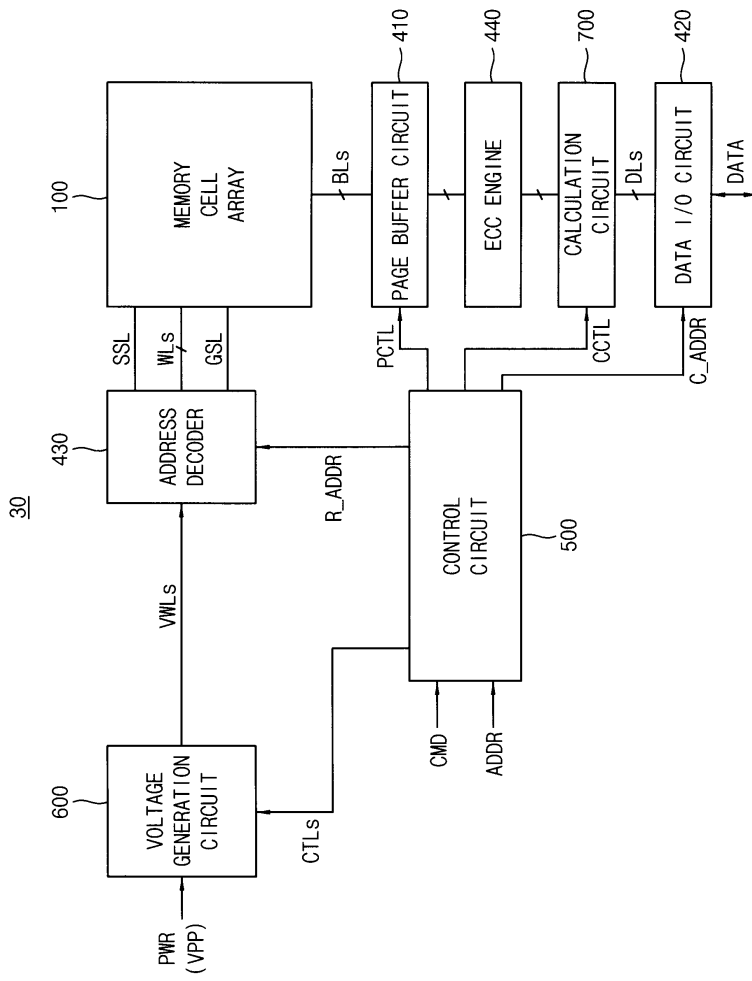
도면1



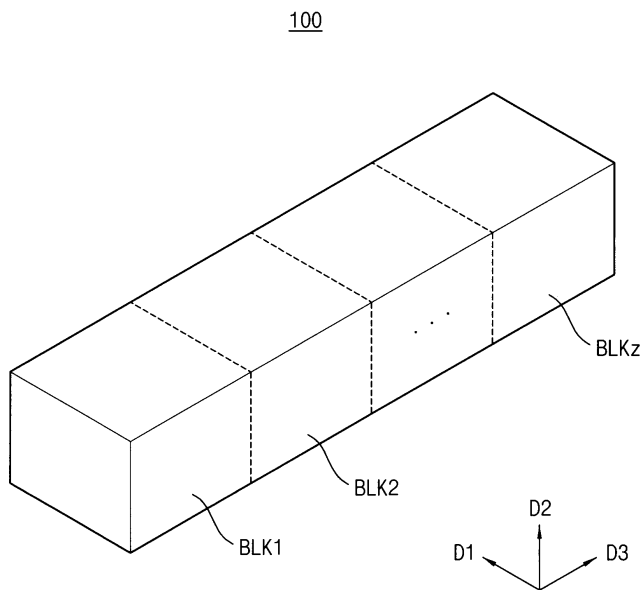
도면2

CLE	COMMAND LATCH ENABLE
ALE	ADDRESS LATCH ENABLE
nCE	CHIP ENABLE
nRE	READ ENABLE
nWE	WRITE ENABLE

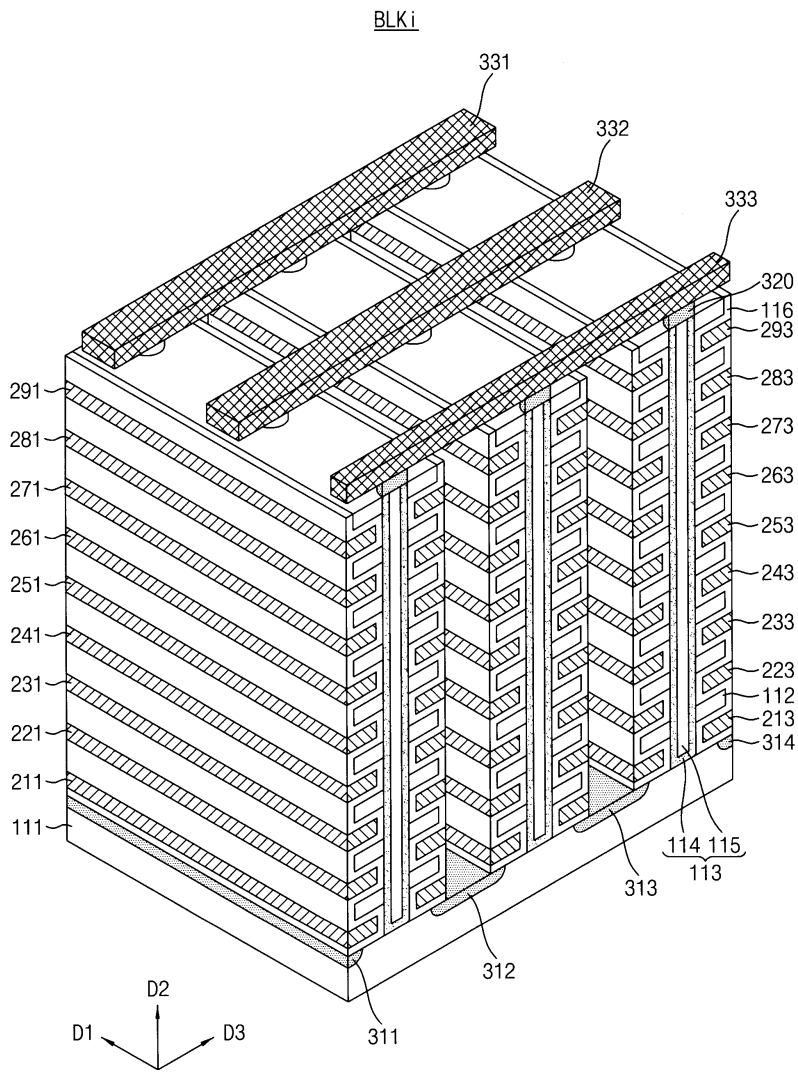
도면3



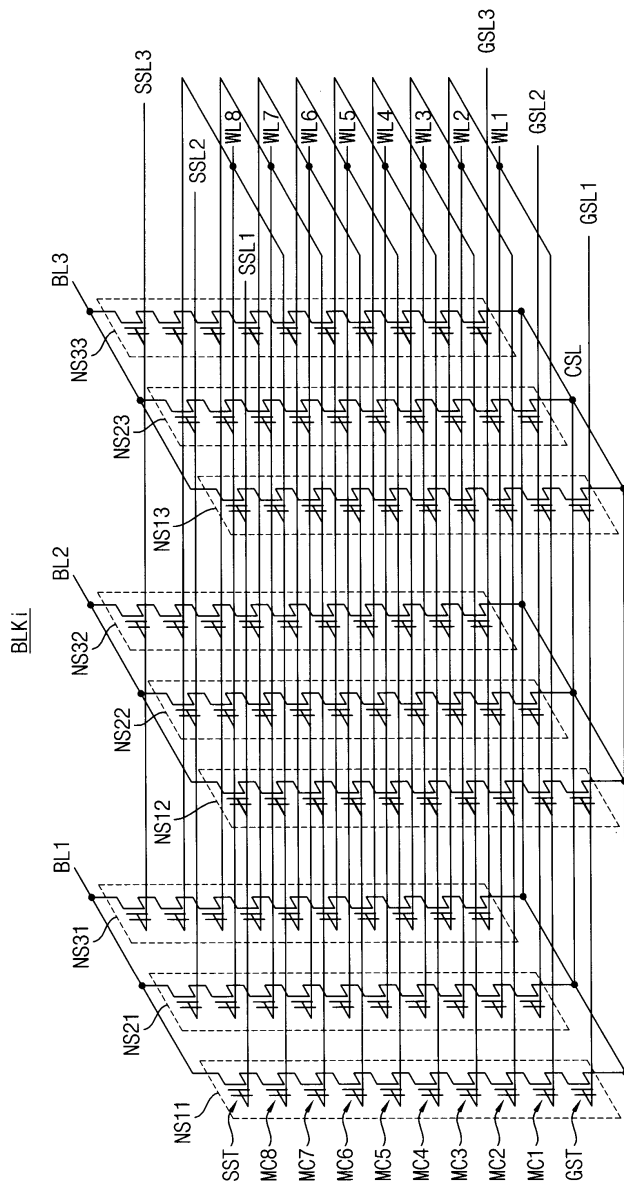
도면4



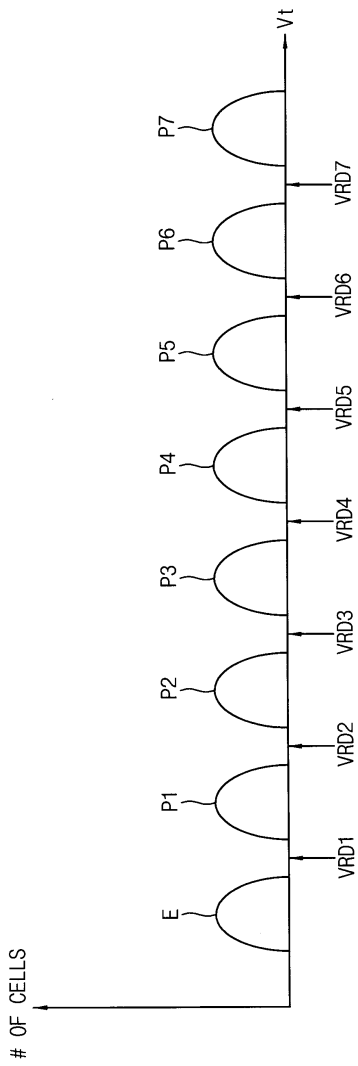
도면5



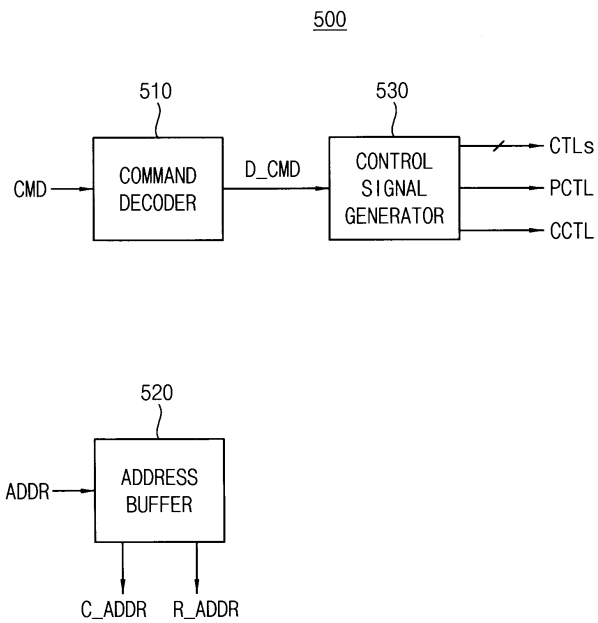
도면6



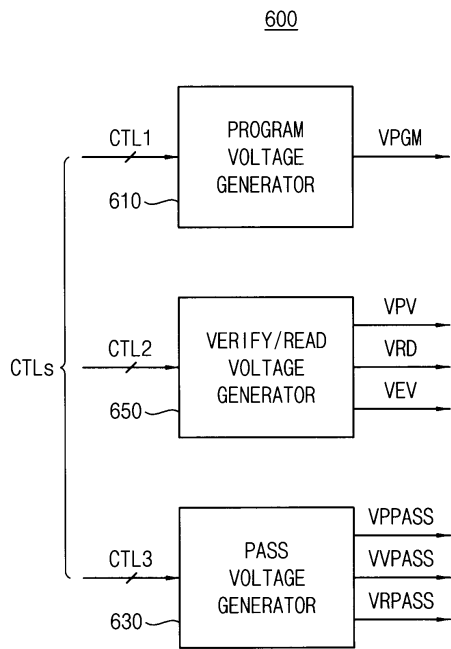
도면7



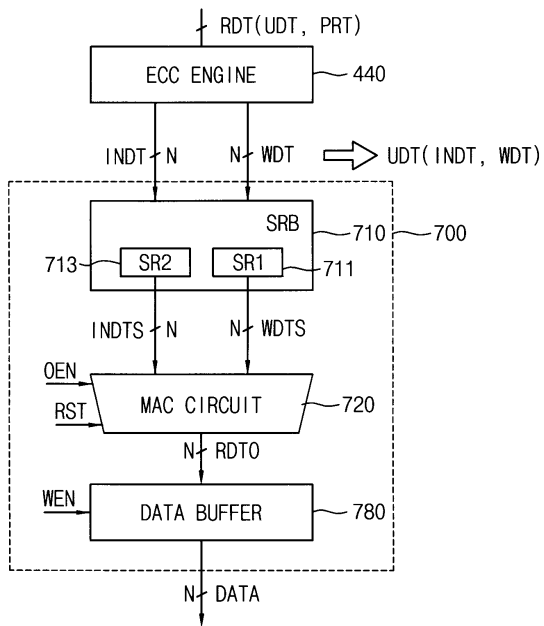
도면8



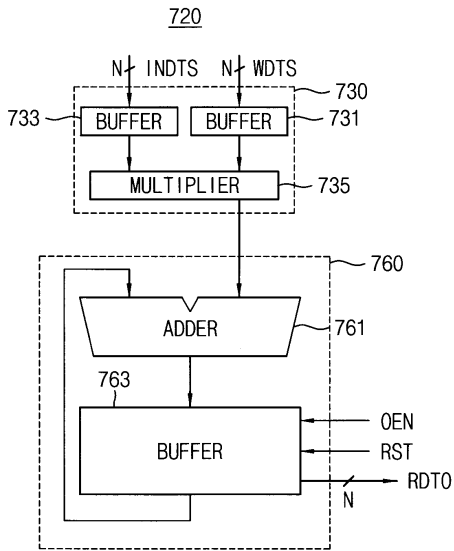
도면9



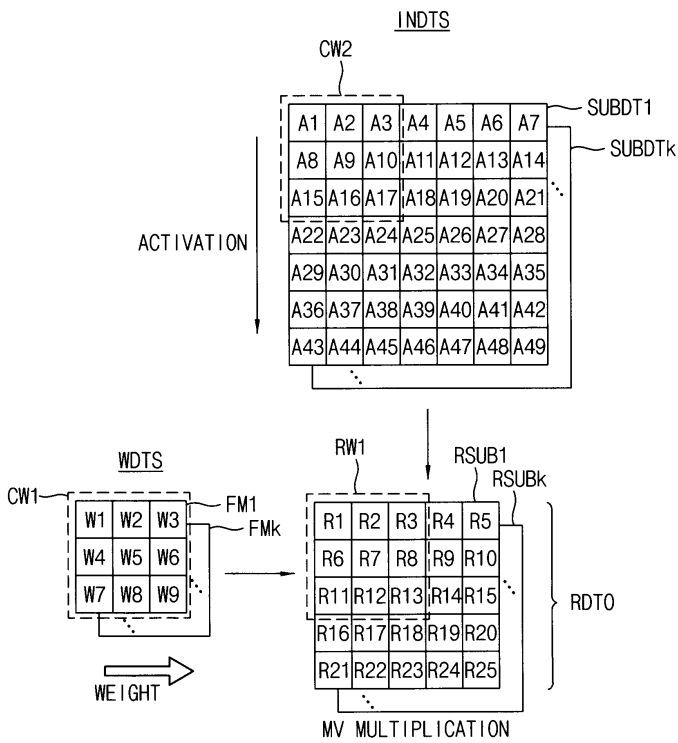
도면10



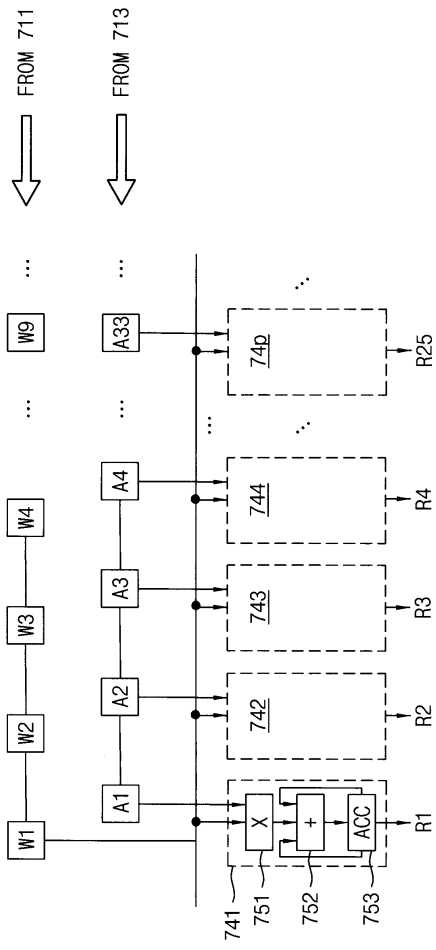
도면11



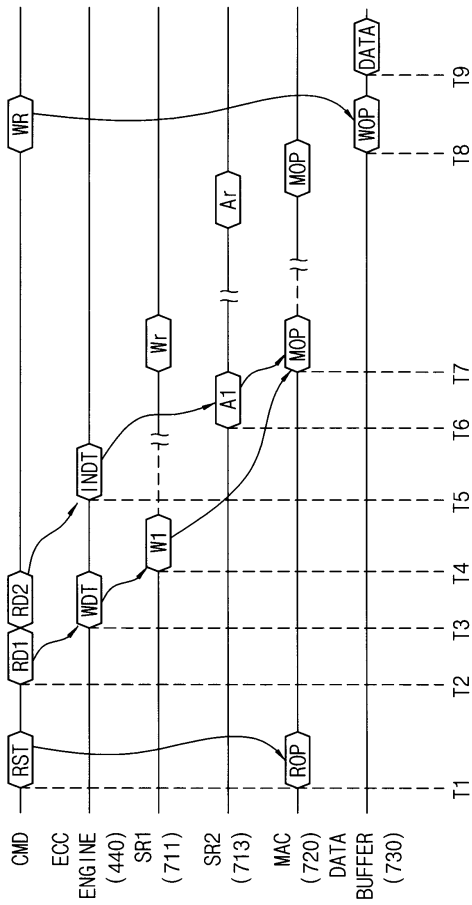
도면12



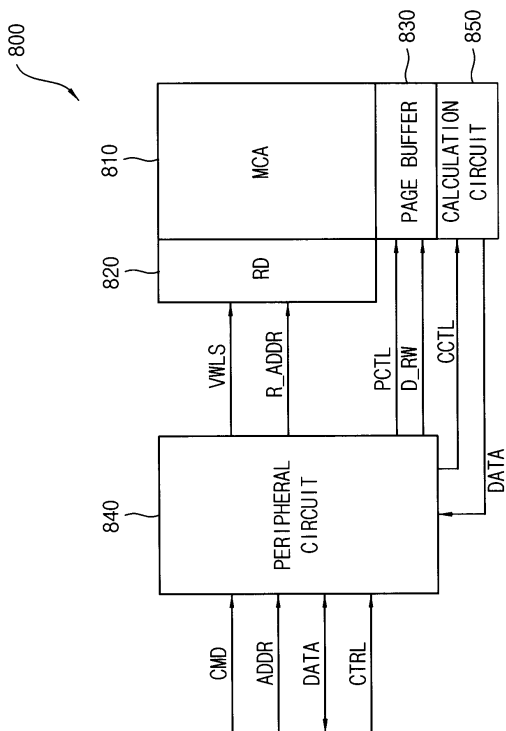
도면13



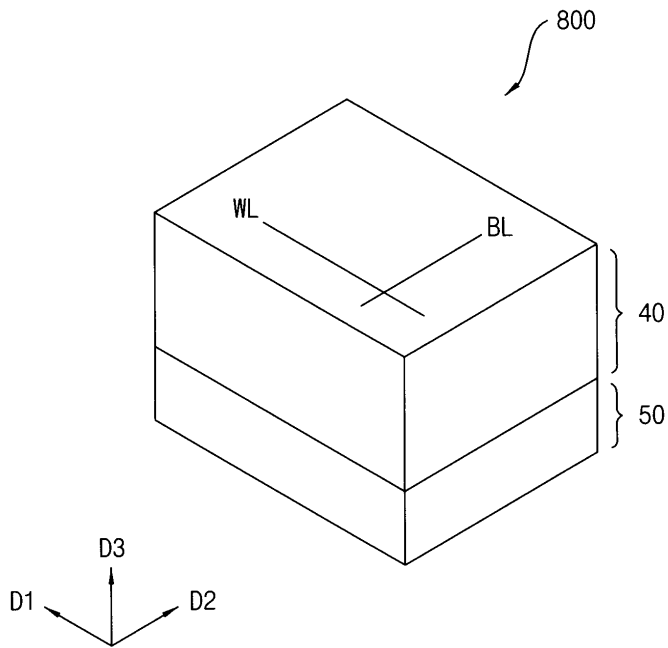
도면14



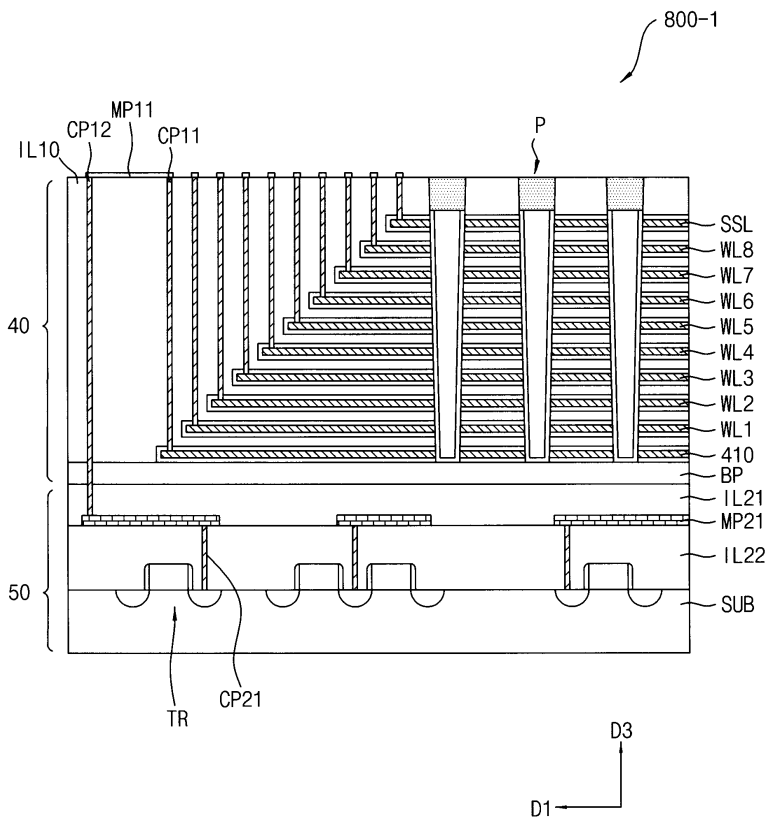
도면15



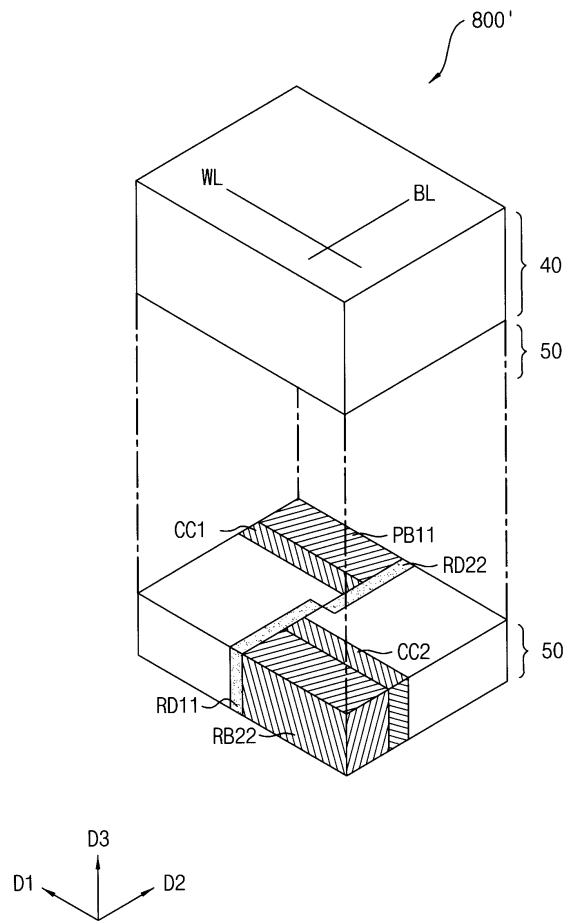
도면16



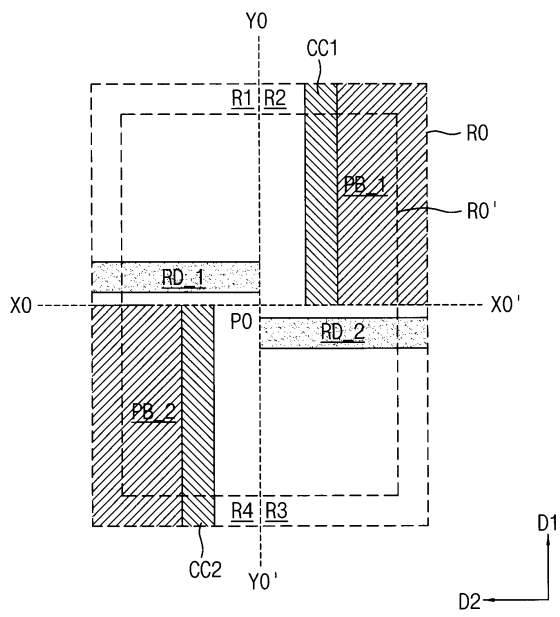
도면17



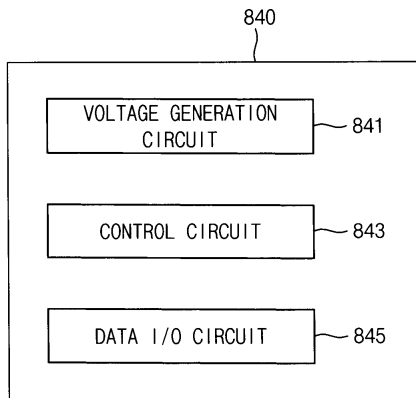
도면18



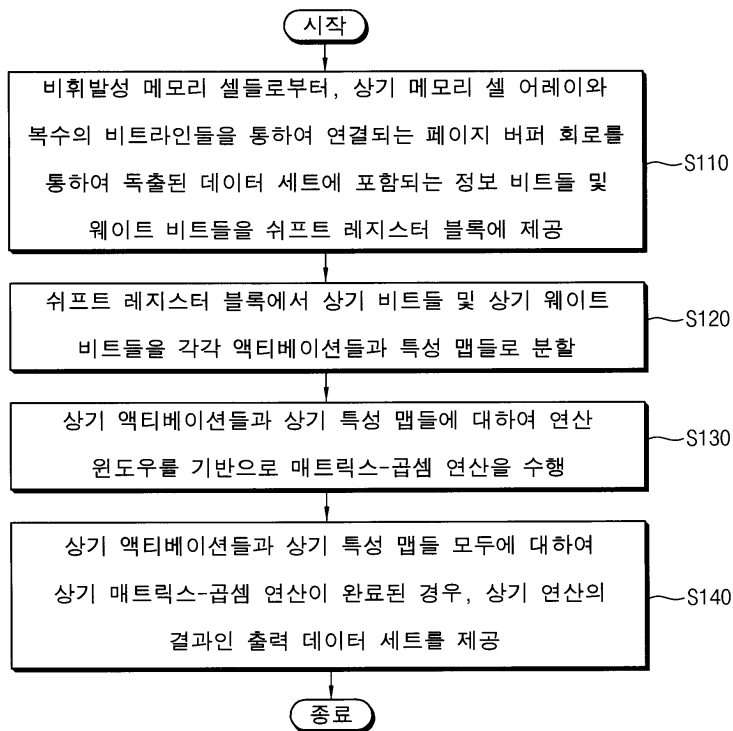
도면19



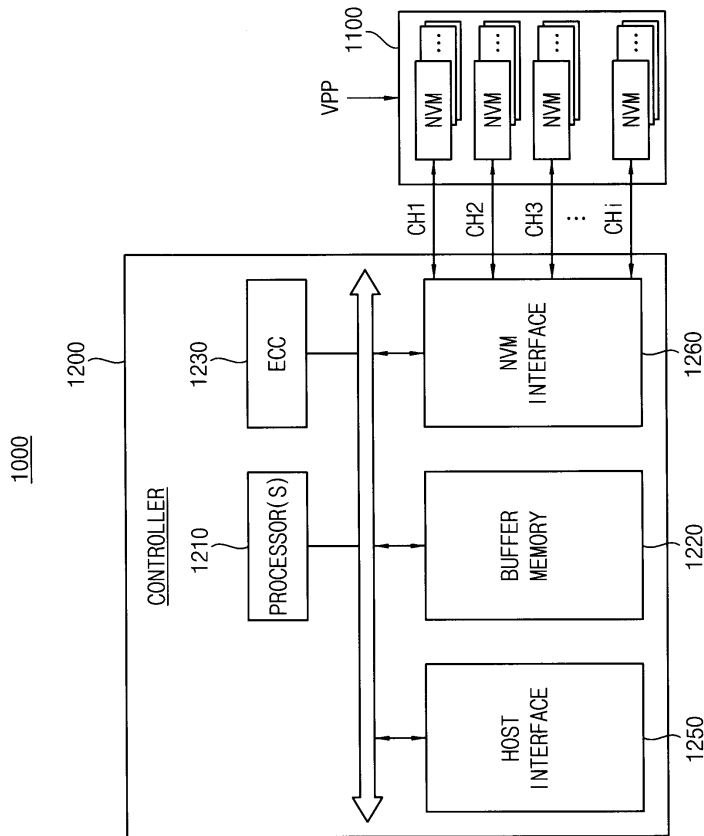
도면20



도면21



도면22



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 2

【변경전】

제1항에 있어서,

상기 데이터 세트와 관련된 패리티 데이터에 기초하여 상기 정보 비트들 및 상기 웨이트 비트들의 적어도 하나의 에러 비트를 정정하고 정정된 데이터 세트를 상기 연산 회로에 제공하는 에러 정정 코드(error correction code; 이하 'ECC') 엔진을 더 포함하는 비휘발성 메모리 장치.

【변경후】

제1항에 있어서,

상기 데이터 세트와 관련된 패리티 데이터에 기초하여 상기 정보 비트들 및 상기 웨이트 비트들의 적어도 하나의 에러 비트를 정정하고 정정된 데이터 세트를 상기 연산 회로에 제공하는 에러 정정 코드(error correction code; 이하 'ECC') 엔진을 더 포함하는 비휘발성 메모리 장치.