



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I419297 B

(45)公告日：中華民國 102 (2013) 年 12 月 11 日

(21)申請案號：100101155

(22)申請日：中華民國 100 (2011) 年 01 月 12 日

(51)Int. Cl. : *H01L23/535 (2006.01)**H01L23/538 (2006.01)**H01L21/60 (2006.01)*

(71)申請人：日月光半導體製造股份有限公司 (中華民國) ADVANCED SEMICONDUCTOR ENGINEERING, INC. (TW)

高雄市楠梓加工區經三路 26 號

(72)發明人：陳建樺 CHEN, CHIEN HUA (TW)；李德章 CHONG, LEE TECK (MY)；張勇舜 CHANG, YUNGSHUN (TW)；張添貴 CHANG, TIAN GUI (TW)；吳怡婷 WU, YI TING (TW)

(74)代理人：祁明輝；林素華；涂綺玲

(56)參考文獻：

TW 200822302A

審查人員：施元丁

申請專利範圍項數：14 項 圖式數：20 共 0 頁

(54)名稱

具有被動元件結構之半導體結構及其製造方法

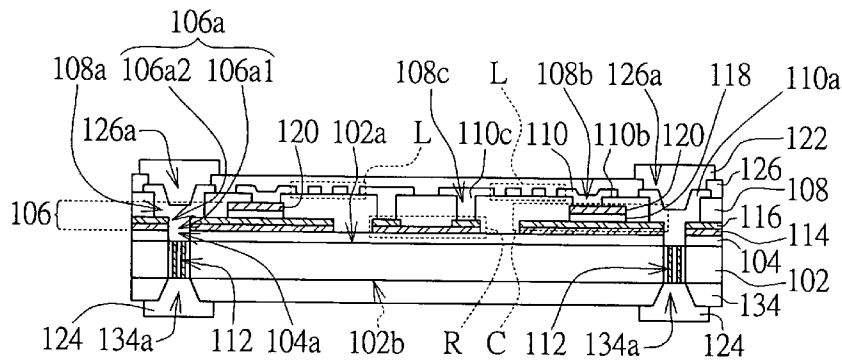
SEMICONDUCTOR STRUCTURE WITH PASSIVE ELEMENT STRUCTURE AND MANUFACTURING METHOD THEREOF

(57)摘要

一種具有被動元件結構之半導體結構及其製造方法。半導體結構包括中介層基板、第一介電層、被動元件層、第二介電層及重佈層。第一介電層形成於中介層基板，中介層基板具有導通孔，第一介電層具有第一開孔，導通孔從第一開孔露出。被動元件層形成於第一介電層上且具有第二開孔，第一開孔從第二開孔露出。第二介電層形成於被動元件層。重佈層形成於被動元件層，重佈層經由第二介電層、被動元件層之第二開孔及第一介電層之第一開孔電性連接於導通孔。

A semiconductor structure with a passive element structure and a manufacturing method thereof are provided. The semiconductor structure comprises an interposer substrate, a first dielectric layer, a passive element layer, a second dielectric layer and a re-distribution layer (RDL). The first dielectric layer is formed on the interposer substrate which has a conductive via. The first dielectric layer has a first aperture from which the conductive via is exposed. The passive element layer is formed on the first dielectric and has a second aperture from which the first aperture is exposed. The second dielectric layer is formed on the passive element layer. The RDL is formed on the passive element layer and is electrically connected to the conductive via through the second dielectric layer, the second aperture of the passive element layer and the first aperture of the first dielectric layer.

100



第 1 圖

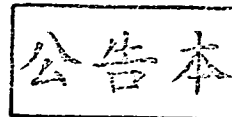
- 100 . . . 半導體結構
- 102 . . . 中介層基板
- 102a . . . 第一面
- 102b . . . 第二面
- 104 . . . 第一介電層
- 104a . . . 第一開孔
- 106 . . . 被動元件層
- 106a . . . 第二開孔
- 106a1 . . . 第一子開孔
- 106a2 . . . 第二子開孔
- 108 . . . 第二介電層
- 108a . . . 第三開孔
- 108b . . . 第一電極開孔
- 108c . . . 第二電極開孔
- 110 . . . 重佈層
- 110a . . . 第一電性連接部
- 110b . . . 第二電性連接部
- 110c . . . 第三電性連接部
- 112 . . . 導通孔
- 114 . . . 第一金屬層
- 116 . . . 第二金屬層
- 118 . . . 電容介電層
- 120 . . . 第三金屬層
- 122 . . . 第一電性觸點
- 124 . . . 第二電性觸點
- 126 . . . 第一介電保護層
- 126a . . . 第四開孔
- 134 . . . 第二介電保護層

134a . . . 第五開孔

C . . . 電容結構

L . . . 電感結構

R . . . 電阻結構



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：10010155

※ 申請日：

100.1.12

※IPC 分類：

H01L 23/535 2006.01

H01L 23/538 2006.01

H01L 23/60 2006.01

一、發明名稱：(中文/英文)

具有被動元件結構之半導體結構及其製造方法/

SEMICONDUCTOR STRUCTURE WITH PASSIVE
ELEMENT STRUCTURE AND MANUFACTURING
METHOD THEREOF

二、中文發明摘要：

一種具有被動元件結構之半導體結構及其製造方法。半導體結構包括中介層基板、第一介電層、被動元件層、第二介電層及重佈層。第一介電層形成於中介層基板，中介層基板具有導通孔，第一介電層具有第一開孔，導通孔從第一開孔露出。被動元件層形成於第一介電層上且具有第二開孔，第一開孔從第二開孔露出。第二介電層形成於被動元件層。重佈層形成於被動元件層，重佈層經由第二介電層、被動元件層之第二開孔及第一介電層之第一開孔電性連接於導通孔。

三、英文發明摘要：

A semiconductor structure with a passive element structure and a manufacturing method thereof are provided. The semiconductor structure comprises an interposer substrate, a first dielectric layer, a passive

TW7181PA

element layer, a second dielectric layer and a re-distribution layer (RDL). The first dielectric layer is formed on the interposer substrate which has a conductive via. The first dielectric layer has a first aperture from which the conductive via is exposed. The passive element layer is formed on the first dielectric and has a second aperture from which the first aperture is exposed. The second dielectric layer is formed on the passive element layer. The RDL is formed on the passive element layer and is electrically connected to the conductive via through the second dielectric layer, the second aperture of the passive element layer and the first aperture of the first dielectric layer.

四、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

100：半導體結構

102：中介層基板

102a：第一面

102b：第二面

104：第一介電層

104a：第一開孔

106：被動元件層

106a：第二開孔

106a1：第一子開孔

- 106a2：第二子開孔
- 108：第二介電層
- 108a：第三開孔
- 108b：第一電極開孔
- 108c：第二電極開孔
- 110：重佈層
- 110a：第一電性連接部
- 110b：第二電性連接部
- 110c：第三電性連接部
- 112：導通孔
- 114：第一金屬層
- 116：第二金屬層
- 118：電容介電層
- 120：第三金屬層
- 122：第一電性觸點
- 124：第二電性觸點
- 126：第一介電保護層
- 126a：第四開孔
- 134：第二介電保護層
- 134a：第五開孔
- C：電容結構
- L：電感結構
- R：電阻結構

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種半導體結構及其製造方法，且特別是有關於一種具有被動元件結構之半導體結構及其製造方法。

【先前技術】

傳統的中介層包括矽基板、第一絕緣層、第二絕緣層及線路層。第一絕緣層及第二絕緣層分別形成於矽基板之相對二面上。矽基板具有至少一導通孔，線路層形成於第一絕緣層與第二絕緣層其中一者上，並電性連接於導通孔。

然而，傳統中介層的線路層僅單純作為電性連接導通孔的作用，除此之外並無其它用途，使得線路層的用途受到限制。

【發明內容】

本發明係有關於一種半導體結構及其製造方法，在製作中介層的過程中，利用中介層之線路層形成被動元件結構，以增加中介層之線路層的用途，擴展中介層的應用領域。

根據本發明之第一方面，提出一種半導體結構。半導體結構包括一中介層基板、一第一介電層、一被動元件層、一被動元件層、一第二介電層及一重佈層 (re-distribution layer, RDL)。中介層基板具有一導通孔 (conductive via)。第一介電層形成於中介層基板，其中第一介電層具有一第一開孔，第一開孔露出導通孔。被動元件層形成於第一介

電層上，其中被動元件層具有一第二開孔，其中第二開孔露出第一開孔。第二介電層形成於被動元件層。重佈層形成於第二介電層，重佈層經由第二介電層、被動元件層之第二開孔及第一介電層之第一開孔電性連接於導通孔。

根據本發明之第二方面，提出一種半導體結構之製造方法。製造方法包括以下步驟。提供一中介層基板，中介層基板具有一導通孔；形成一第一介電層於中介層基板；形成一被動元件層於第一介電層；鄰近第一介電層形成一圖案化正光阻層；以圖案化正光阻層作為遮罩 (mask)，於第一介電層形成一第一開孔，其中，第一開孔露出導通孔；移除圖案化正光阻層；形成一第二介電層於被動元件層；以及，形成一重佈層於第二介電層，其中重佈層經由第一介電層之第一開孔電性連接於導通孔。

為了對本發明之上述及其他方面有更佳的瞭解，下文特舉至少一實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

請參照第 1 圖，其繪示依照本發明一實施例之半導體結構之剖視圖。半導體結構 100 包括中介層基板 102、第一介電層 104、被動元件層 106、第二介電層 108 及重佈層 (re-distribution layer, RDL) 110。

半導體結構 100 可說是具有被動元件結構之中介層 (interposer)，因此增加半導體結構 100 的用途，擴展其應用領域，而其被動元件層 106 係於中介層的製作過程中形成。

中介層基板 102 具有至少一導通孔 (conductive via)

112 及相對之第一面 102a 與第二面 102b。

中介層基板之導通孔係延伸於中介層基板之第一面與第二面之間。例如，導通孔 112 從中介層基板 102 之第一面 102a 延伸至第二面 102b，即導通孔 112 貫穿中介層基板 102。第一介電層 104 之材質例如是高分子材料，其形成於中介層基板 102 之第一面 102a 上並具有至少一第一開孔 104a，第一開孔 104a 露出對應之導通孔 112。

被動元件層 106 形成於第一介電層 104 上，其中被動元件層 106 具有至少一第二開孔 106a，第二開孔 106a 露出對應之第一開孔 104a。

重佈層形成於被動元件層且經由第二介電層、被動元件層與第一介電層電性連接於中介層基板之導通孔。例如，第二介電層 108 具有至少一第三開孔 108a，重佈層 110 經由第二介電層 108 之第三開孔 108a、被動元件層 106 之第二開孔 106a 及第一介電層 104 之第一開孔 104a 電性連接於中介層基板 102 之導通孔 112。

第一開孔、第二開孔、第三開孔與導通孔重疊。例如，第一開孔 104a、第二開孔 106a、第三開孔 108a 與導通孔 112 沿導通孔 112 的延伸方向重疊。如此，第一開孔 104a、第二開孔 106a 及第三開孔 108a 可共同露出導通孔 112，然此非用以限制本實施例。

半導體結構 100 具有電感結構、電容結構與電阻結構中至少一者。例如，請同時參照第 1 圖及第 2 圖，第 2 圖繪示第 1 圖中電感結構、電容結構及電阻結構之上視圖。被動元件層 106 包括第一金屬層 114、第二金屬層 116、

電容介電層 118 及第三金屬層 120。第一金屬層 114 形成於第一介電層 104 上，第二金屬層 116 形成於第一金屬層 114 上，電容介電層 118 形成於第二金屬層 116 上，而第三金屬層 120 形成於電容介電層 118 上。其中，第一金屬層 114 與第二金屬層 116 構成至少一電阻結構 R，而第二金屬層 116、電容介電層 118 與第三金屬層 120 構成至少一電容結構 C。第一金屬層 114、第二金屬層 116、電容介電層 118 及第三金屬層 120 例如是圖案化結構，以構成電阻結構 R 及電容結構 C。

第二介電層形成於被動元件層。例如，第二介電層 108 至少覆蓋被動元件層 106 之電容介電層 118 及第三金屬層 120。

此外，第二介電層 108 更具有第一電極開孔 108b 及第二電極開孔 108c。第三金屬層 120 從第一電極開孔 108b 露出，而第二金屬層 116 從第二電極開孔 108c 露出。

重佈層形成於被動元件層上且具有電感結構。例如，重佈層 110 具有電感結構 L，且重佈層 110 更具有第一電性連接部 110a、第二電性連接部 110b 及第三電性連接部 110c。重佈層 110 之第一電性連接部 110a 經由第三開孔 108a 及第二開孔 106a 電性接觸於被動元件層 106 之第一金屬層 114 及第二金屬層 116，且更經由第一介電層 104 之第一開孔 104a 電性接觸於導通孔 112。重佈層 110 之第二電性連接部 110b 經由第一電極開孔 108b 電性接觸於被動元件層 106 之第三金屬層 120，重佈層 110 之第三電性連接部 110c 經由第二電極開孔 108c 電性接觸於被動元件

層 106 之第二金屬層 116。

第一金屬層 114 具有至少一第一子開孔 106a1，第二金屬層 116 具有至少一第二子開孔 106a2。上述第二開孔 106a 係包括第一金屬層 114 之第一子開孔 106a1 及第二金屬層 116 之第二子開孔 106a2。

第一金屬層 114 的材質係高電阻值材料，例如第一金屬層 114 選自於氮化鈮 (TaN)、 $PbTiO_3$ 、二氧化鈮 (RuO_2)、磷化鎳 (NiP)、鉻化鎳 ($NiCr$)、 $NCAISi$ 及其組合所構成的群組。第二金屬層 116 及第三金屬層 120 的材質例如導電性佳的材質，例如是銅化鋁 ($AlCu$)。電容介電層 118 的材質係絕緣體，例如是五氧化二鈮 (Ta_2O_5)。雖然圖未繪示，然一鈮 (Ta) 層可形成於第一金屬層 114 上，該鈮層在陽極氧化後，其至少一部分形成五氧化二鈮，即電容介電層 118。

此外，半導體結構 100 更包括第一介電保護層 126、第二介電保護層 134、至少一第一電性觸點 122 及至少一第二電性觸點 124。

第一介電保護層露出重佈層。例如，第一介電保護層 126 形成於重佈層 110 上並具有至少一第四開孔 126a。第四開孔 126a 露出重佈層 110，例如，第四開孔 126a 露出重佈層 110 之第一電性連接部 110a。

半導體結構之第一電性觸點電性連接於重佈層，使一外部電路可透過第一電性觸點電性連接於半導體結構。例如，第一電性觸點 122 形成於重佈層 110 之第一電性連接部 110a 上，藉以電性連接於重佈層 110 與被動元件層 106

中至少一者。

半導體結構之第二介電保護層露出導通孔。例如，第二介電保護層 134 形成於中介層基板 102 之第二面 102b 上並具有至少一第五開孔 134a，第五開孔 134a 露出對應之導通孔 112。

半導體結構 100 之第二電性觸點 124 形成於第五開孔 134a 內並電性接觸於導通孔 112。

請參照第 3 圖，其繪示依照本發明另一實施例之半導體結構之剖視圖。半導體結構 200 與上述半導體結構 100 之不同處之一在於，第二介電層 208 隔離重佈層 210 與被動元件層 206 之側面。進一步地說，重佈層 210 未接觸到被動元件層 206 之側面，例如未接觸到被動元件層 206 之第一金屬層 214 的側面 214s 及第二金屬層 216 的側面 216s。

半導體結構 200 包括中介層基板 102、第一介電層 204、被動元件層 206、第二介電層 208 及重佈層 210。第一介電層 204 具有至少一第一開孔 204a，被動元件層 206 具有至少一第二開孔 206a，被動元件層 206 之第二開孔 206a 露出對應之第一開孔 204a，第一開孔 204a 露出對應之導通孔 112。

第二介電層 208 具有至少一第三開孔 208a，第三開孔 208a 露出對應之第二開孔 206a、第一開孔 204a 及導通孔 112。

第二介電層包覆第一金屬層及第二金屬層的側面，使其不外露。例如，被動元件層 206 包括第一金屬層 214、

TW7181PA

第二金屬層 216、電容介電層 218 及第三金屬層 220。第二介電層 208 覆蓋被動元件層 206 之第一金屬層 214 的側面 214s、第二金屬層 216 的側面 216s、第三金屬層 220 的側面 220s 及電容介電層 218 的側面 218s，使第一金屬層 214、第二金屬層 216、第三金屬層 220 及電容介電層 218 的側面未從第三開孔 208a 露出。於其它實施態樣中，第二介電層 208 更可覆蓋第一介電層 204 的側面，使第一介電層 204 的側面 204s 不從第二介電層 208 之第三開孔 208a 或從第一介電層 204 之第一開孔 204a 露出。

以下係以第 4A 至 4L 圖說明半導體結構 100 之製造方法。第 4A 至 4L 圖繪示第 1 圖之半導體結構之製造示意圖。

提供如第 4A 圖所示之中介層基板 102。中介層基板 102 具有至少一導通孔 112。

然後，如第 4A 圖所示，形成第一介電層於中介層基板。例如，以例如是印刷 (printing)、旋塗 (spinning) 或噴塗 (spraying) 等塗佈方式形成第一介電層 104 於中介層基板 102 之第一面 102a 上。其中，第一介電層 104 之材質例如是負型光阻。

然後，形成被動元件層 106 於第一介電層 104 上。被動元件層 106 的形成方法有很多種，以下係舉出其中一種作說明。

首先，形成第一金屬材料於第一介電層上。例如，以例如是數種材料方法之任一種，形成如第 4B 圖所示之第一金屬材料 114' 於第一介電層 104 上。第一金屬材料 114' 之材質係電阻材料，使第一金屬材料 114' 可作為後續電阻

結構 R 之電阻層材料。

上述材料形成方法例如是化學氣相沈積、無電鍍法 (electroless plating)、電解電鍍 (electrolytic plating)、印刷、旋塗、噴塗、濺鍍 (sputtering) 或真空沈積法 (vacuum deposition)。

然後，如第 4B 圖所示，形成第二金屬材料 116' 於第一金屬材料 114' 上。第二金屬材料 116' 可作為後續形成之電容結構 C 之電極及後續形成之電阻結構 R 之電極。第二金屬材料 116' 的形成方法相似於第一金屬材料 114'，容此不再贅述。

然後，如第 4B 圖所示，形成電容介電材料 118' 於第二金屬材料 116' 上。

電容介電材料可以是氧化層。例如，於形成電容介電材料 118' 之步驟之前，可形成一鈹層 (未繪示) 於第二金屬材料 116' 上；然後，以例如是陽極氧化方法，氧化該鈹層，以於該鈹層之表面形成氧化層，該氧化層即電容介電材料 118'。

然後，如第 4C 圖所示，形成第三金屬材料 120' 於電容介電材料 118' 上。第三金屬材料 120' 可作為後續電容結構 C 之電極材料。

然後，如第 4D 圖所示，圖案化第一金屬材料 114'、第二金屬材料 116'、電容介電材料 118' 及第三金屬材料 120'，以分別形成第一金屬層 114、第二金屬層 116、電容介電層 118 及第三金屬層 120。其中，第一金屬層 114 及第二金屬層 116 形成至少一電阻結構 R，第二金屬層 116、

TW7181PA

電容介電層 118 及第三金屬層 120 形成至少一電容結構 C。至此，形成被動元件層 106。

第二金屬層 116 包括至少一電阻電極 116a 及至少一第一電容電極 116b。電阻電極 116a 可作為電阻結構 R 的電極，第一電容電極 116b 作為電容結構 C 之下電極，第三金屬層 120 可作為電容結構 C 之上電極，電容介電層 118 夾設於第一電容電極 116b 與第三金屬層 120 之間。

上述圖案化方法例如是微影製程 (photolithography)、化學蝕刻 (chemical etching)、雷射鑽孔 (laser drilling) 或機械鑽孔 (mechanical drilling)。

然後，如第 4E 圖所示，鄰近第一介電層 104 形成圖案化正光阻層 132。例如，形成圖案化正光阻層 132 於第一介電層 104 上方的被動元件層 206，其中圖案化正光阻層 132 之一部分位於導通孔 112 上方的第一介電層 104、第一金屬層 114 及第二金屬層 116。

圖案化正光阻層露出被動元件層之一部分。例如，圖案化正光阻層 132 具有至少一開孔 132a，開孔 132a 露出被動元件層 106 之第二金屬層 116 之一部分 116c，第二金屬層 116 之該部分 116c 位於導通孔 112 之正上方。

然後，如第 4F 圖所示，以圖案化正光阻層 132 作為遮罩 (mask)，於第一介電層 104 形成至少一第一開孔 104a 及於被動元件層 106 形成至少一第二開孔 106a。其中，第一開孔 104a 露出導通孔 112，而第二開孔 106a 露出第一開孔 104a。例如，以蝕刻 (etching) 方式，蝕刻液透過圖案化正光阻層 132 之開孔 132a，蝕刻第一介電層 104

以形成第一開孔 104a，以及蝕刻被動元件層 106 以形成第二開孔 106a。其中，第一開孔 104a 及第二開孔 106a 可於不同或相同的蝕刻條件中形成。

於其它實施態樣中，以圖案化正光阻層 132 作為遮罩，僅於被動元件層 106 形成第二開孔 106a 而不形成第一開孔 104a。第一介電層 104 之第一開孔 104a 可於第二介電層 108 形成後（如第 4G 圖所示）形成，例如，第一開孔 104a 可與第二介電層 108 之第三開孔 108a（繪示於第 4G 圖）同時形成。第一開孔 104a 形成後，導通孔 112 係露出。

第二開孔 106a 包括第一子開孔 106a1 及第二子開孔 106a2，第一子開孔 106a1 貫穿被動元件層 106 之第一金屬層 114，使第一金屬層 114 露出一側面 114s，而第二子開孔 106a2 貫穿被動元件層 106 之第二金屬層 116，使第二金屬層 116 露出一側面 116s。其中，第一子開孔 106a1 及第二子開孔 106a2 可於不同或相同的蝕刻條件中形成。

第二開孔 106a 先於第一開孔 104a 形成，使第一介電層 104 從第一開孔 104a 露出。具有第二開孔 106a 之被動元件層 106 的金屬層（第一金屬層 114 及第二金屬層 116）形同一金屬遮罩。由於金屬遮罩的特性，使第一開孔 104a 形成後，其形同直孔或錐度甚小的孔且其孔徑也較小，例如，第一開孔 104a 的最小內徑 D1 實質上約 10 微米 (μm)。進一步地說，金屬遮罩限制了第一開孔 204a 的擴孔量，因此可精準地控制第一開孔 204a 的尺寸。如此一來，可形成更多第一開孔 104a、增加更多輸出入接點的數量及縮

小半導體結構的尺寸。

由於圖案化正光阻層 132 之正光阻特性，使得在濕蝕刻製程下，第一開孔 204a 形成後，其最小內徑 D2 較小。進一步地說，圖案化正光阻層 232 限制了第一開孔 204a 的擴孔量，因此可精準地控制第一開孔 204a 的尺寸。如此一來，可形成更多第一開孔 104a、增加更多輸出入接點的數量及縮小半導體結構的尺寸。

然後，移除圖案化正光阻層 132，移除後之結構如第 4F 圖所示。

然後，如第 4G 圖所示，形成第二介電層於被動元件層。例如，第二介電層 108 覆蓋被動元件層 106 之第一金屬層 114、第二金屬層 116、第三金屬層 120 與電容介電層 118 中至少一者，其中第二介電層 108 未覆蓋第一金屬層 114 之側面 114s 及第二金屬層 116 之側面 116s，即第二介電層 108 露出第一金屬層 114 之側面 114s 及第二金屬層 116 之側面 116s。第二介電層 108 並具有至少一第三開孔 108a，第三開孔 108a 露出第一電容電極 116b。

形成第二介電層 108 的方式相似於形成第一介電層 104 的方式，容此不再贅述。第二介電層 108 的材質可相似於第一介電層 104，容此不再贅述。

第二介電層更具有至少一第一電極開孔及至少一第二電極開孔，以露出被動元件層。例如，第二介電層 108 之第一電極開孔 108b 露出對應之第三金屬層 120。第二介電層 108 之第二電極開孔 108c 露出對應之第二金屬層 116 之電阻電極 116a。

然後，如第 4H 圖所示，形成重佈層 110 於第二介電層 108 上。其中，重佈層 110 經由第二介電層 108 之第三開孔 108a、被動元件層 106 之第二開孔 106a 及第一介電層 104 之第一開孔 104a 電性連接於導通孔 112。此外，重佈層 110 可具有電感結構 L，然於其它實施態樣中，重佈層 110 亦可省略電感結構 L。

在形成重佈層之步驟中，重佈層電性連接於被動元件層。例如，重佈層 110 包括第一電性連接部 110a、第二電性連接部 110b 及第三電性連接部 110c。重佈層 110 之第一電性連接部 110a 經由第二介電層 108 之第三開孔 108a 及被動元件層 106 之第二開孔 106a 覆蓋於被動元件層 106 之第一金屬層 114 之側面 114s 及第二金屬層 116 之側面 116s，且更經由第一介電層 104 之第一開孔 104a 電性接觸於導通孔 112。重佈層 110 之第二電性連接部 110b 經由第二介電層 108 之第一電極開孔 108b 電性接觸於被動元件層 106 之第三金屬層 120。重佈層 110 之第三電性連接部 110c 經由第二介電層 108 之第二電極開孔 108c 電性接觸於被動元件層 106 之第二金屬層 116。

然後，形成第一介電保護層於重佈層上，以保護重佈層。例如，以例如是微影製程，形成如第 4I 圖所示之第一介電保護層 126 於重佈層 110 上。其中，第一介電保護層 126 具有至少一第四開孔 126a，第四開孔 126a 露出重佈層 110 中對應的第一電性連接部 110a。

然後，形成第一電性觸點電性連接於重佈層。例如，以例如是電鍍方法，形成如第 4I 圖所示之第一電性觸點

122 於重佈層 110 之第一電性連接部 110a 上，以使第一電性觸點 122 電性接觸於重佈層 110。

本步驟完成後(第 4I 圖)，即形成具有被動元件層 106 且可對外電性連接之半導體結構。一實施例中，可透過以下步驟係進一步於中介層基板 102 之第二面 102b 形成電性觸點，可使半導體結構之多側具有電性接點，然此非用以限制本發明實施例。

倒置第 4I 圖之半導體結構 100'，使中介層基板 102 朝上，如第 4J 圖所示。

然後，如第 4J 圖所示，設置第 4J 圖之半導體結構 100' 至一載板 136 之黏貼層(未繪示)上。

然後，以例如是磨削方式，減少中介層基板 102 的厚度，並露出中介層基板 102 之第二面 102b，如第 4J 圖所示。其中，導通孔 112 從第一面 102a 延伸至第二面 102b。

另一實施態樣中，亦可省略本磨削步驟。例如，只要在提供中介層基板 102 之步驟中，中介層基板 102 的導通孔 112 從第一面 102a 延伸至第二面 102b，則可省略本磨削步驟。

然後，形成如第 4K 圖所示之第二介電保護層 134 於中介層基板 102 之第二面 102b。

然後，如第 4K 圖所示，形成至少一第五開孔 134a 於第二介電保護層 134 上，第五開孔 134a 露出對應之導通孔 112。

形成第二介電保護層 134 的方式相似於形成第一介電保護層 126 的方式，容此不再重複贅述。

然後，如第 4L 圖所示，以例如是電鍍方法，形成至少一第二電性觸點 124 於對應之第五開孔 134a 內，以使第二電性觸點 124 電性連接於導通孔 112。

然後，移除第 4L 圖之載板 136。至此形成第 1 圖所示之半導體結構 100。

以下係以第 5A 至 5E 圖說明半導體結構 200 之製造方法。第 5A 至 5E 圖繪示第 3 圖之半導體結構之製造示意圖。半導體結構 200 之製造方法中，提供中介層基板之步驟至形成第三金屬材料之步驟相似於半導體結構 100 之製造方法，容此不再贅述。以下係從圖案化第一金屬材料、第二金屬材料、電容介電材料及第三金屬材料之步驟開始說明。

如第 5A 圖所示，圖案化第一金屬材料 114'、第二金屬材料 116'、電容介電材料 118' 及第三金屬材料 120'，以分別形成第一金屬層 214、第二金屬層 216、電容介電層 218 及第三金屬層 220。至此，形成被動元件層 206。其中，被動元件層之第二開孔隔着第一介電層與導通孔重疊，即中介層基板之導通孔僅被第一介電層覆蓋。例如，被動元件層 206 具有第二開孔 206a，其包括第一子開孔 206a1 及第二子開孔 206a2。第一金屬層 214 具有第一子開孔 206a1，第二金屬層 216 具有第二子開孔 206a2，第一子開孔 206a1 的位置及第二子開孔 206a2 的位置係重疊且對應導通孔 112，以露出導通孔 112 上方的第一介電層 204。

第一金屬層 214 及第二金屬層 216 形成至少一電阻結

TW7181PA

構 R，而第二金屬層 216、電容介電層 218 及第三金屬層 220 形成至少一電容結構 C。

第二金屬層 216 包括至少一電阻電極 216a 及至少一第一電容電極 216b。電阻電極 216a 可作為電阻結構 R 的電極，第一電容電極 216b 作為電容結構 C 之下電極，第三金屬層 220 可作為電容結構 C 之上電極，電容介電層 218 夾設於第一電容電極 216b 與第三金屬層 220 之間。

然後，如第 5B 圖所示，鄰近第一介電層 204 形成圖案化正光阻層 232。例如，形成圖案化正光阻層 232 覆蓋第一介電層 204 及被動元件層 206，其中圖案化正光阻層 232 之一部分位於導通孔 112 上方的第一介電層 204 上。

圖案化正光阻層 232 露出第一介電層 204 之一部分。例如，圖案化正光阻層 232 具有至少一開孔 232a，開孔 232a 露出第一介電層 204 之一部分 204b，第一介電層 204 之該部分 204b 位於導通孔 112 之正上方。

然後，如第 5C 圖所示，以圖案化正光阻層 232 作為遮罩，於第一介電層 204 形成至少一第一開孔 204a。其中，第一開孔 204a 露出對應之導通孔 112。例如，以蝕刻方式，蝕刻液透過圖案化正光阻層 232 之開孔 232a 蝕刻第一介電層 204，以形成第一開孔 204a。

由於圖案化正光阻層 232 之正光阻的特性，使得在濕蝕刻製程下，第一開孔 204a 形成後，其最小內徑 D2 約可控制在 10 μm 內。進一步地說，圖案化正光阻層 232 限制了第一開孔 204a 的擴孔量，因此可精準地控制第一開孔 204a 的尺寸。

然後，移除圖案化正光阻層 232，移除後之結構如第 5C 圖所示。

然後，形成第二介電層於被動元件層。例如，如第 5D 圖所示，第二介電層 208 覆蓋被動元件層 206 之第一金屬層 214、第二金屬層 216、第三金屬層 220 與電容介電層 218 中至少一者。第二介電層 208 並具有至少一第三開孔 208a，第三開孔 208a 露出第一介電層 204 中對應之第一開孔 204a。形成第二介電層 208 的方式相似於形成第一介電層 204 的方式，容此不再贅述。

第二介電層更具有至少一第一電極開孔及至少一第二電極開孔，以露出被動元件層。例如，第二介電層 208 之第一電極開孔 208b 露出對應之第三金屬層 220。第二介電層 208 之第二電極開孔 208c 露出對應之第二金屬層 216 之電阻電極 216a。

於另一實施態樣中，第二介電層 208 亦可包覆第一介電層 204 的側面 204s，使第一介電層 204 的側面 204s 不從第三開孔 208a 或第一開孔 204a 露出。

然後，如第 5E 圖所示，形成重佈層 210 於被動元件層 206 上。其中，重佈層 210 經由第二介電層 208 之第三開孔 208a 及第一介電層 204 之第一開孔 204a 電性連接於導通孔 112。此外，重佈層 210 具有電感結構 L。

重佈層電性連接於被動元件層，例如，重佈層 210 包括第一電性連接部 210a、第二電性連接部 210b 及第三電性連接部 210c。重佈層 210 之第一電性連接部 210a 經由第二介電層 208 之第三開孔 208a 及第一介電層 204 之第

一開孔 204a 電性接觸於導通孔 112。重佈層 210 之第二電性連接部 210b 經由第二介電層 208 之第一電極開孔 208b 電性接觸於被動元件層 206 之第三金屬層 220。重佈層 210 之第三電性連接部 210c 經由第二介電層 208 之第二電極開孔 208c 電性接觸於被動元件層 206 之第二金屬層 216。

在一實施態樣中，半導體結構 200 之接下來製造步驟可相似於第 1 圖之半導體結構 100 之製造步驟，容此不再重複贅述。

本發明上述實施例之半導體結構及其製造方法，具有多項特徵，列舉部份特徵說明如下：

(1). 在製作中介層的過程中，一併形成被動元件結構，以增加中介層的用途，擴展中介層的應用領域。

(2). 露出中介層基板之導通孔的開孔，其形同直孔或錐度甚小的孔。

綜上所述，雖然本發明已以多個實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖繪示依照本發明一實施例之半導體結構之剖視圖。

第 2 圖繪示第 1 圖中電感結構、電容結構及電阻結構之上視圖。

第 3 圖繪示依照本發明另一實施例之半導體結構之剖

視圖。

第 4A 至 4L 圖繪示第 1 圖之半導體結構之製造示意圖。

第 5A 至 5E 圖繪示第 3 圖之半導體結構之製造示意圖。

【主要元件符號說明】

- 100、200：半導體結構
- 102：中介層基板
- 102a：第一面
- 102b：第二面
- 104、204：第一介電層
- 104a、204a：第一開孔
- 106、206：被動元件層
- 106a、206a：第二開孔
- 106a1、206a1：第一子開孔
- 106a2、206a2：第二子開孔
- 108、208：第二介電層
- 108a、208a：第三開孔
- 108b、108b：第一電極開孔
- 108c、208c：第二電極開孔
- 110、210：重佈層
- 110a、210a：第一電性連接部
- 110b、210b：第二電性連接部
- 110c、210c：第三電性連接部
- 112：導通孔

- 114、214：第一金屬層
- 114'：第一金屬材料
- 114s、116s、204s、214s、216s、218s、220s：側面
- 116、216：第二金屬層
- 116a、216a：電阻電極
- 116b：第一電容電極
- 116c、204b：一部分
- 116'：第二金屬材料
- 118、218：電容介電層
- 118'：電容介電材料
- 120、220：第三金屬層
- 120'：第三金屬材料
- 122：第一電性觸點
- 124：第二電性觸點
- 126：第一介電保護層
- 126a：第四開孔
- 132、232：圖案化正光阻層
- 132a、232a：開孔
- 134：第二介電保護層
- 134a：第五開孔
- 136：載板
- C：電容結構
- D1、D2：內徑
- L：電感結構
- R：電阻結構

七、申請專利範圍：

1. 一種具有被動元件結構之半導體結構，包括：

一中介層基板，具有一導通孔 (conductive via)；

一第一介電層，形成於該中介層基板上，其中該第一介電層具有一第一開孔，該第一開孔露出該導通孔；

一被動元件層，形成於該第一介電層上，其中該被動元件層具有一第二開孔，其中該第二開孔露出該第一開孔，其中該被動元件層包括：

一第一金屬層，形成於該第一介電層上；

一第二金屬層，形成於該第一金屬層上；

一電容介電層，形成於該第二金屬層上；及

一第三金屬層，形成於該電容介電層上；

其中，該第一金屬層及該第二金屬層構成至少一電阻結構，該第二金屬層、該電容介電層及該第三金屬層構成至少一電容結構；

一第二介電層，形成於該被動元件層；以及

一重佈層 (re-distribution layer, RDL)，形成於該第二介電層上，該重佈層經由該第二介電層、該被動元件層之該第二開孔及該第一介電層之該第一開孔電性連接於該導通孔。

2. 如申請專利範圍第 1 項所述之半導體結構，其中該重佈層具有一電感結構。

3. 如申請專利範圍第 1 項所述之半導體結構，其中該第二介電層具有一第三開孔，該被動元件層經由該第二介電層之該第三開孔、該被動元件層之該第二開孔及該第一

介電層之該第一開孔電性連接於該導通孔。

4. 如申請專利範圍第 3 項所述之半導體結構，其中該第一開孔、該第二開孔、該第三開孔及該導通孔係重疊。

5. 如申請專利範圍第 1 項所述之半導體結構，其中該第一金屬層之材質係選自於氮化鈮 (TaN)、 PbTiO_3 、二氧化鈮 (RuO_2)、磷化鎳 (NiP)、鉻化鎳 (NiCr)、NCAISi 及其組合所構成的群組。

6. 如申請專利範圍第 1 項所述之半導體結構，其中該被動元件層從該第二開孔露出，該重佈層覆蓋從該第二開孔露出之該被動元件層。

7. 如申請專利範圍第 1 項所述之半導體結構，其中該第二介電層覆蓋該被動元件層之一側面，該第二介電層隔離該重佈層與該被動元件層之該側面。

8. 一種具有被動元件結構之半導體結構之製造方法，包括：

提供一中介層基板，該中介層基板具有一導通孔；

形成一第一介電層於該中介層基板上；

形成一被動元件層於該第一介電層上，包括：

形成一第一金屬材料於該第一介電層上；

形成一第二金屬材料於該第一金屬材料上；

形成一電容介電材料於該第二金屬材料上；

形成一第三金屬材料於該電容介電材料上；及

圖案化該第一金屬材料、該第二金屬材料、該電容介電材料及該第三金屬材料，以分別形成一第一金屬層、一第二金屬層、一電容介電層及一第三金屬層，其中，

係使得該第一金屬層及該第二金屬層形成至少一電阻結構，該第二金屬層、該電容介電層及該第三金屬層形成至少一電容結構；

鄰近該第一介電層形成一圖案化正光阻層；

以該圖案化正光阻層作為遮罩 (mask)，於該第一介電層形成一第一開孔，其中，該第一開孔露出該導通孔；

移除該圖案化正光阻層；

形成一第二介電層於該被動元件層上；以及

形成一重佈層於該第二介電層上，其中該重佈層經由該第一介電層之該第一開孔性電性連接於該導通孔。

9. 如申請專利範圍第 8 項所述之製造方法，其中該第一金屬層之材質係電阻材料。

10. 如申請專利範圍第 9 項所述之製造方法，其中該第一金屬層之材質係選自於氮化鈮、 $PbTiO_3$ 、二氧化鈮、磷化鎳、鉻化鎳與 $NCAISi$ 所構成的群組。

11. 如申請專利範圍第 8 項所述之製造方法，其中於該圖案化之步驟後，該被動元件層形成一第二開孔，該第二開孔隔着該第一介電層與該導通孔重疊；

於形成該第二介電層之步驟中，該第二介電層覆蓋該被動元件層之一側面，使形成該重佈層之步驟中，該第二介電層隔離該重佈層與該被動元件層之該側面。

12. 如申請專利範圍第 8 項所述之製造方法，其中於該圖案化之步驟後，該導通孔被該第一金屬層、該第二金屬層及該第一介電層所覆蓋；

於以該圖案化正光阻層作為遮罩形成該第一開孔貫穿該第

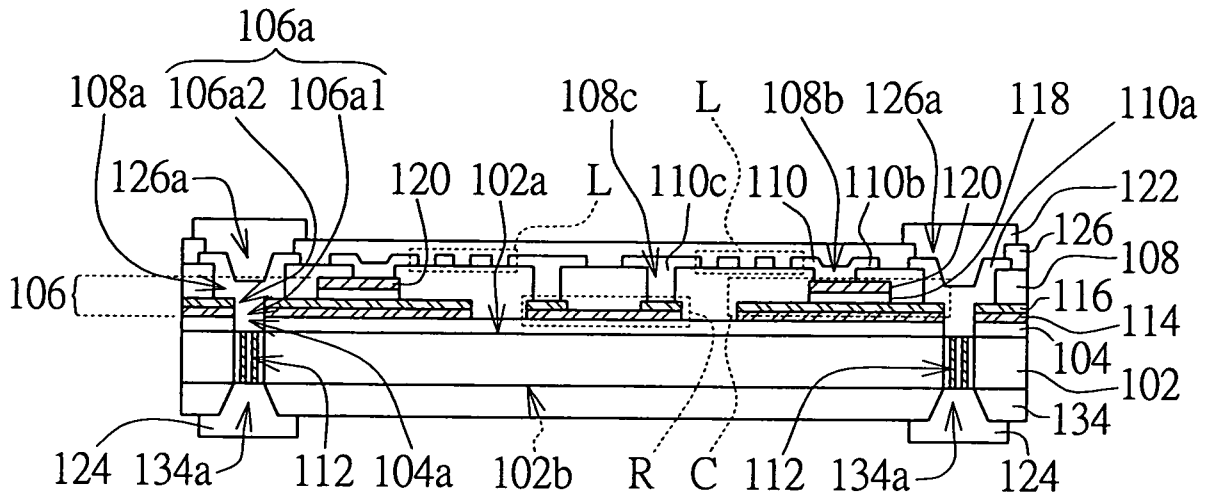
一介電層之步驟中更包括：

形成一第二開孔貫穿該第一金屬層及該第二金屬層，其中該第一金屬層及該第二金屬層各露出一側面；於形成該重佈層之步驟中，該重佈層覆蓋該第一金屬層之該側面及該第二金屬層之該側面。

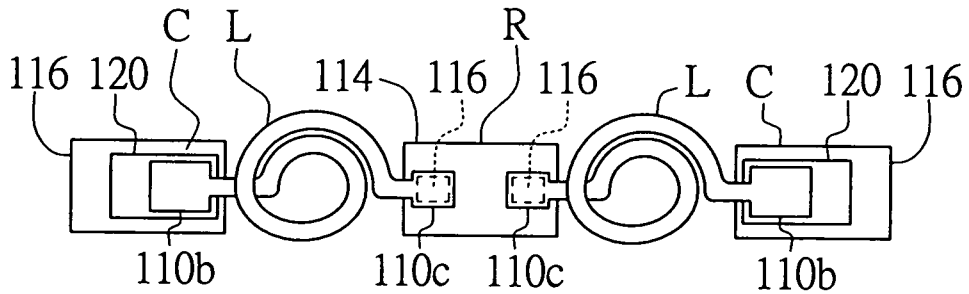
13. 如申請專利範圍第 12 項所述之製造方法，其中於形成該第二介電層之步驟中，該第二介電層具有一第三開孔；於形成該重佈層之該步驟中，該重佈層經由該第三開孔、該第二開孔及該第一開孔電性連接於該導通孔。

14. 如申請專利範圍第 12 項所述之製造方法，其中該第一開孔、該第二開孔、該第三開孔及該導通孔係重疊。

100

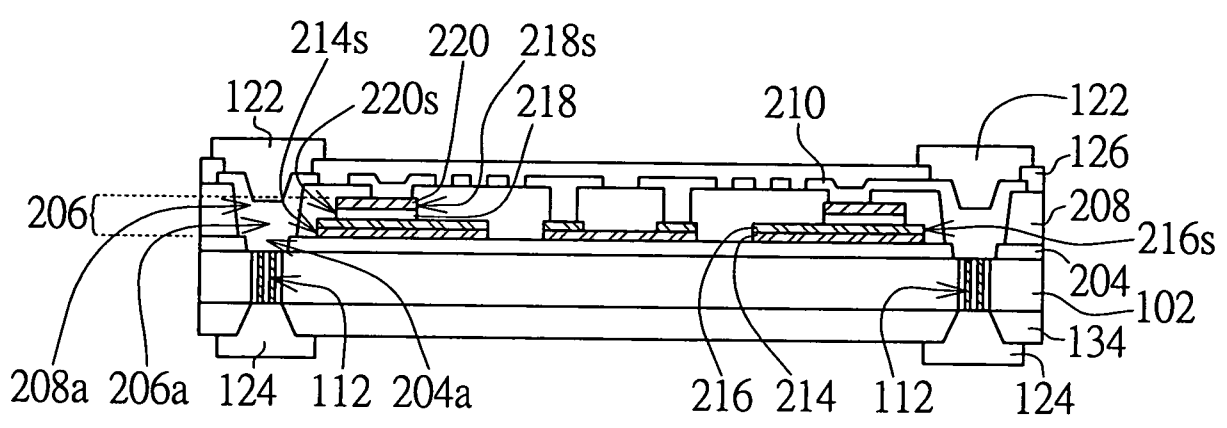


第 1 圖

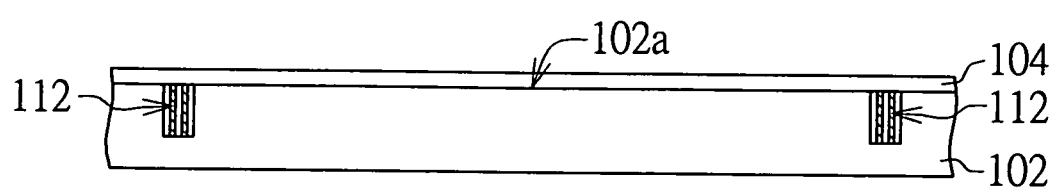


第 2 圖

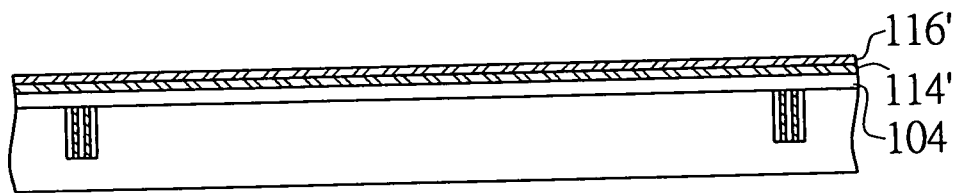
200



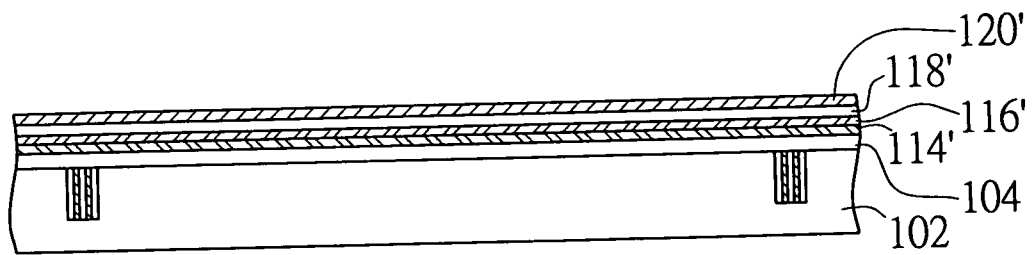
第 3 圖



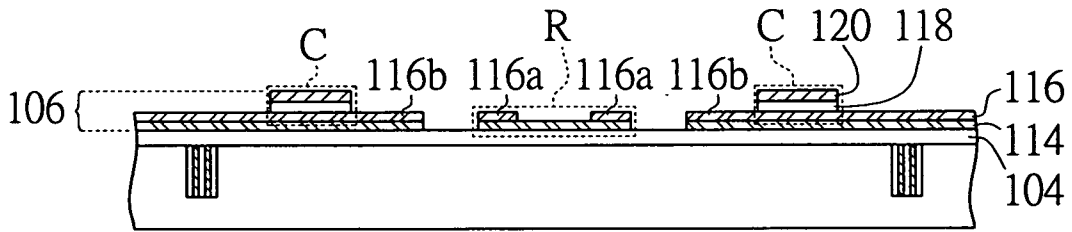
第 4A 圖



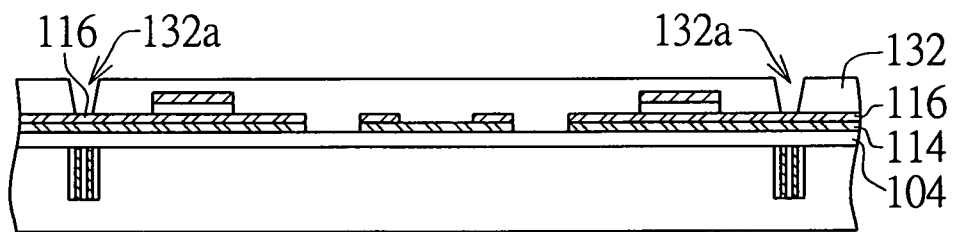
第 4B 圖



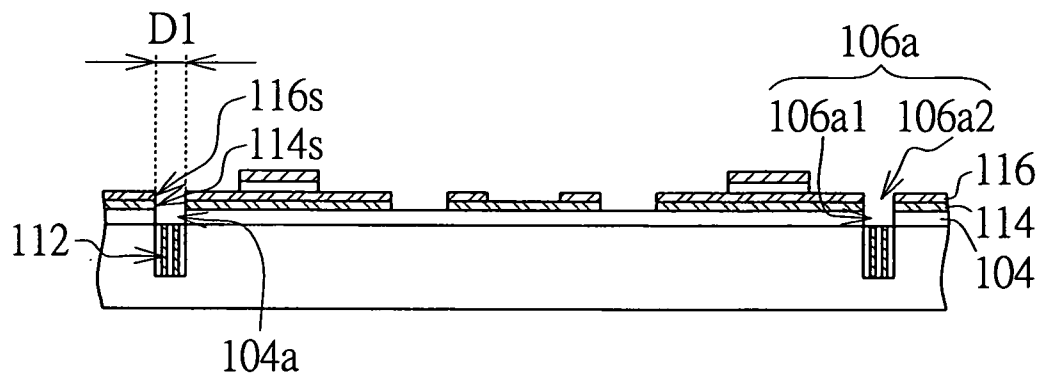
第 4C 圖



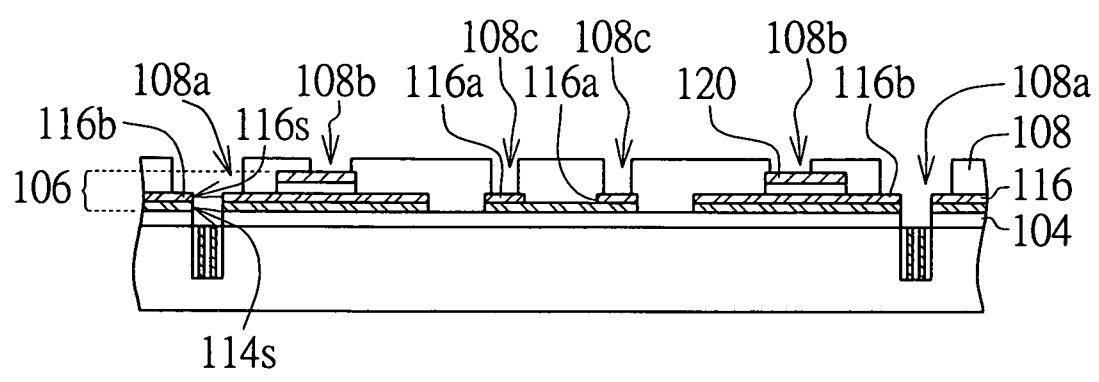
第 4D 圖



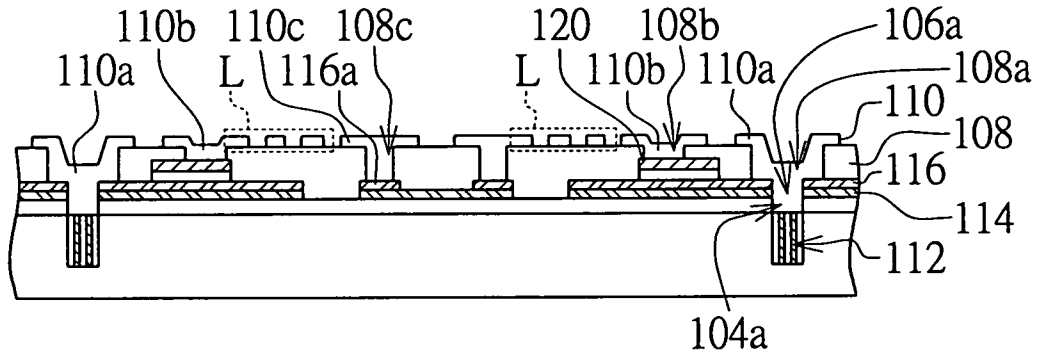
第 4E 圖



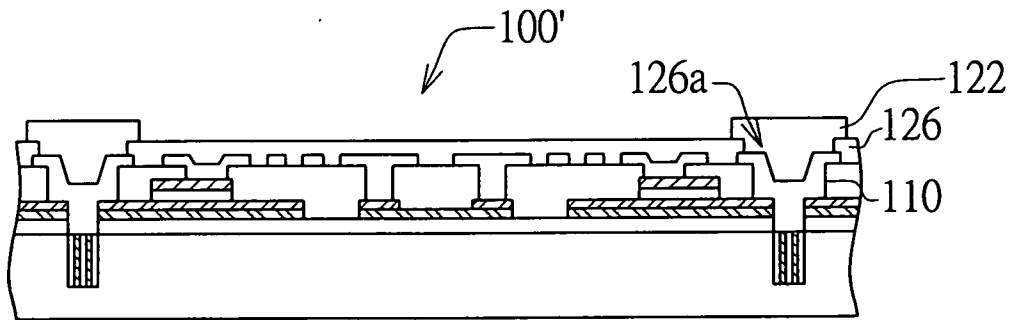
第 4F 圖



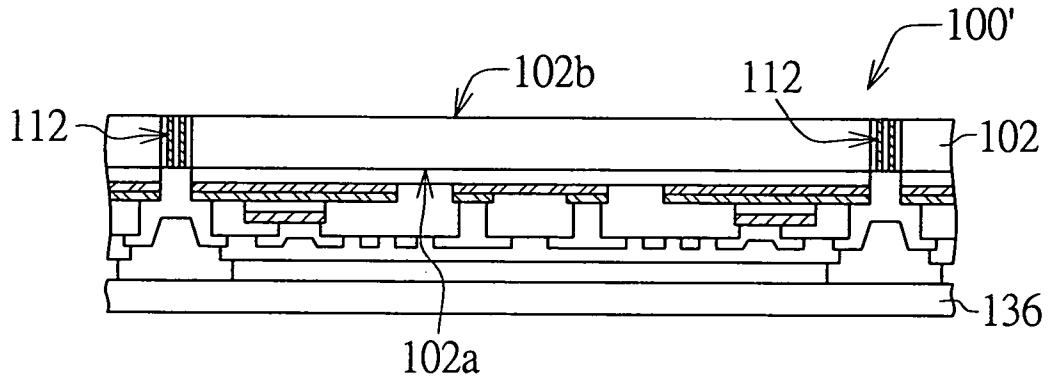
第 4G 圖



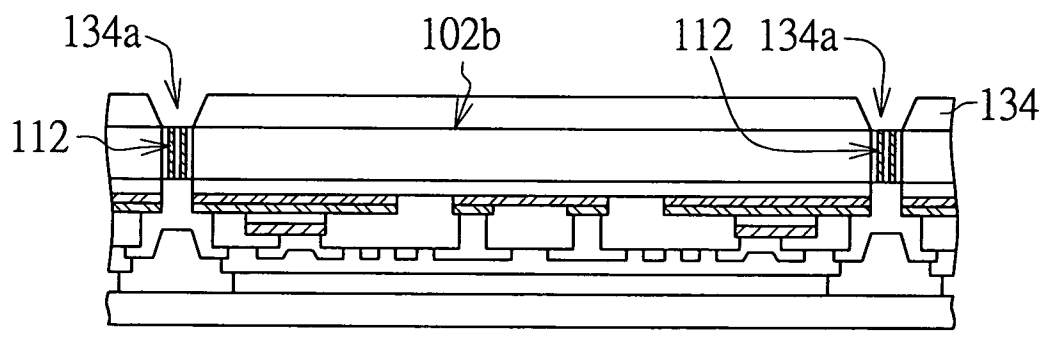
第 4H 圖



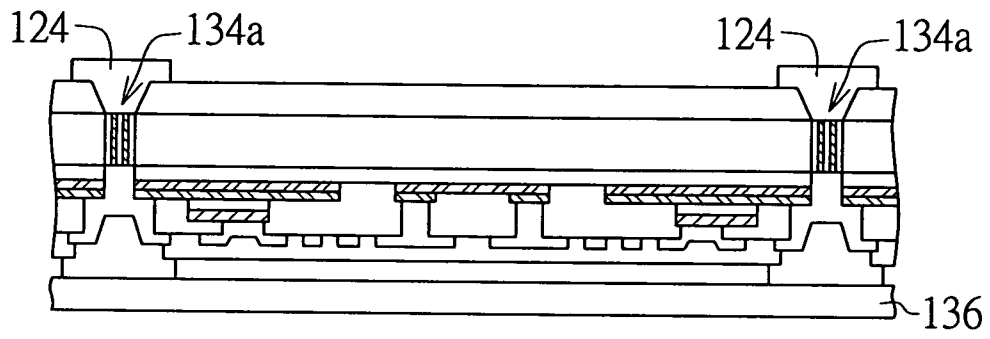
第 4I 圖



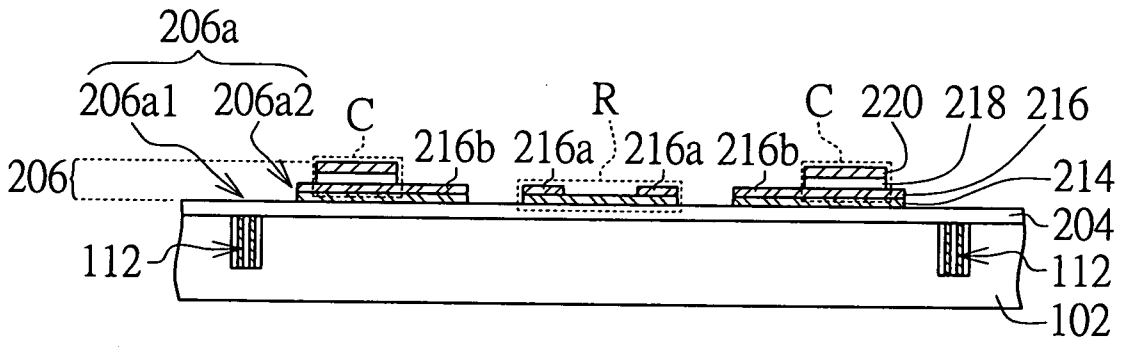
第 4J 圖



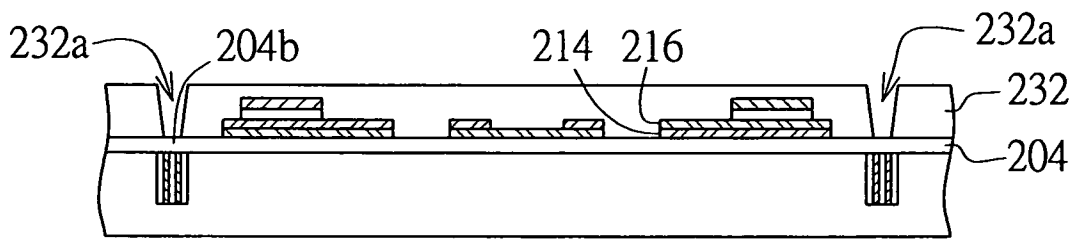
第 4K 圖



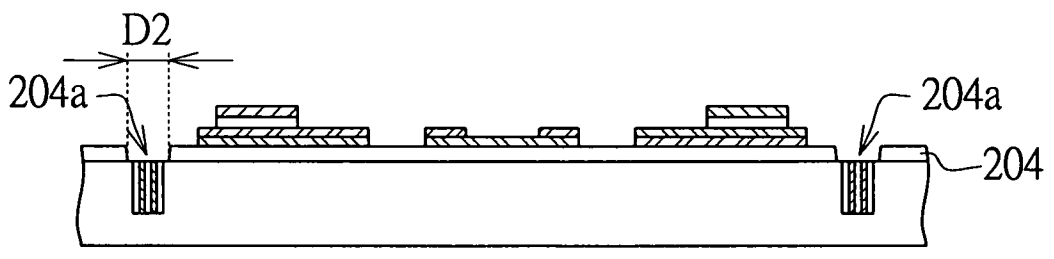
第 4L 圖



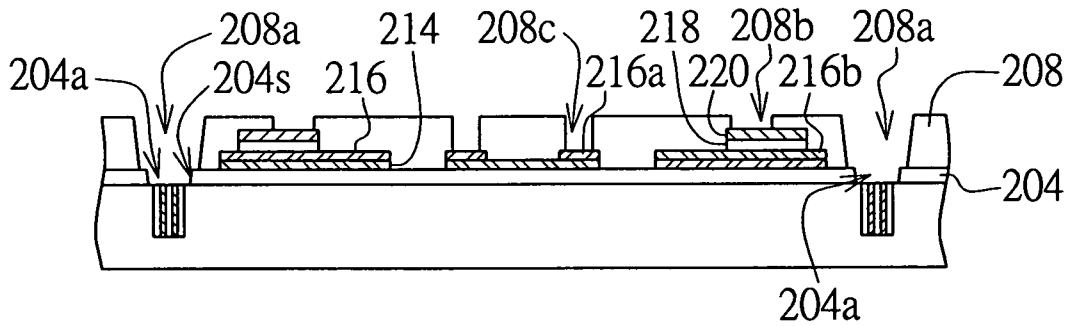
第 5A 圖



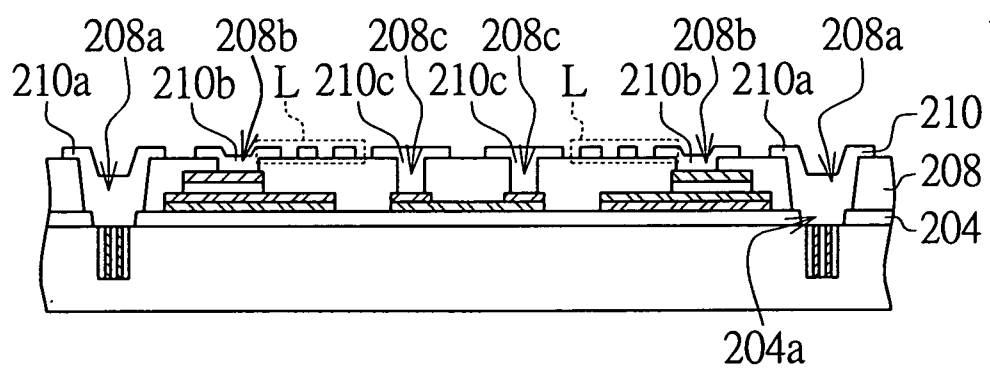
第 5B 圖



第 5C 圖



第 5D 圖



第 5E 圖