

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-25272  
(P2016-25272A)

(43) 公開日 平成28年2月8日(2016.2.8)

(51) Int.Cl.	F I	テーマコード (参考)
HO1L 29/786 (2006.01)	HO1L 29/78 618C	2H092
HO1L 21/28 (2006.01)	HO1L 29/78 618B	2H192
HO1L 21/8234 (2006.01)	HO1L 21/28 301B	4M104
HO1L 27/06 (2006.01)	HO1L 21/28 301R	5F048
GO2F 1/1368 (2006.01)	HO1L 29/78 617K	5F110

審査請求 未請求 請求項の数 9 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2014-149668 (P2014-149668)  
(22) 出願日 平成26年7月23日 (2014.7.23)

(71) 出願人 502356528  
株式会社ジャパンディスプレイ  
東京都港区西新橋三丁目7番1号  
(74) 代理人 110001737  
特許業務法人スズエ国際特許事務所  
(74) 代理人 100091351  
弁理士 河野 哲  
(74) 代理人 100084618  
弁理士 村松 貞男  
(74) 代理人 100087653  
弁理士 鈴江 正二  
(72) 発明者 三宅 秀和  
東京都港区西新橋三丁目7番1号 株式会社  
ジャパンディスプレイ内

最終頁に続く

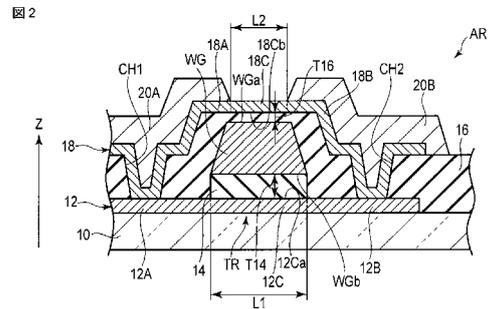
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 特性ばらつき及び占有面積の小さい薄膜トランジスタを備えた表示装置を提供する。

【解決手段】 表示装置は、第1半導体層12と、第1絶縁膜14と、ゲート電極WGと、第2絶縁膜16と、第2半導体層18と、第1電極と、第2電極と、を具備した薄膜トランジスタを備える。間隔T14は、間隔T16より大きい。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

第 1 領域と、第 2 領域と、前記第 1 領域と前記第 2 領域との間に位置した第 1 チャネル領域と、を有する第 1 半導体層と、

前記第 1 半導体層の第 1 チャネル領域の上に形成された第 1 絶縁膜と、

前記第 1 絶縁膜の上に形成され前記第 1 チャネル領域と対向したゲート電極と、

前記ゲート電極の上に形成された第 2 絶縁膜と、

前記第 2 絶縁膜の上に形成され、前記第 1 半導体層に対向し、前記第 1 領域に電氣的に接続された第 3 領域と、前記第 2 領域に電氣的に接続された第 4 領域と、前記第 3 領域と前記第 4 領域との間に位置し前記ゲート電極と対向した第 2 チャネル領域と、を有する第 2 半導体層と、

10

前記第 2 半導体層の上方に位置し、前記第 3 領域に接した第 1 電極と、

前記第 2 半導体層の上方に位置し、前記第 1 電極に間隔を置き、前記第 4 領域に接した第 2 電極と、を具備した薄膜トランジスタを備え、

互いに対向する前記ゲート電極の底面と前記第 1 チャネル領域の天面との間隔は、互いに対向する前記ゲート電極の天面と前記第 2 チャネル領域の底面との間隔より大きい表示装置。

## 【請求項 2】

第 1 領域と、第 2 領域と、前記第 1 領域と前記第 2 領域との間に位置した第 1 チャネル領域と、を有する第 1 半導体層と、

20

前記第 1 半導体層の第 1 チャネル領域の上に形成された第 1 絶縁膜と、

前記第 1 絶縁膜の上に形成され前記第 1 チャネル領域と対向したゲート電極と、

前記ゲート電極の上に形成された第 2 絶縁膜と、

前記第 2 絶縁膜の上に形成され、前記第 1 半導体層に対向し、前記第 1 領域に電氣的に接続された第 3 領域と、前記第 2 領域に電氣的に接続された第 4 領域と、前記第 3 領域と前記第 4 領域との間に位置し前記ゲート電極と対向した第 2 チャネル領域と、を有する第 2 半導体層と、

前記第 2 半導体層の上方に位置し、前記第 3 領域に接した第 1 電極と、

前記第 2 半導体層の上方に位置し、前記第 1 電極に間隔を置き、前記第 4 領域に接した第 2 電極と、を具備した薄膜トランジスタを備え、

30

前記ゲート電極は、前記第 1 チャネル領域と対向した底面と、前記第 2 チャネル領域と対向し前記底面の面積より小さい面積を有した天面と、を備え、順テーパ状に形成されている表示装置。

## 【請求項 3】

互いに対向する前記ゲート電極の底面と前記第 1 チャネル領域の天面との間隔は、互いに対向する前記ゲート電極の天面と前記第 2 チャネル領域の底面との間隔以上である請求項 2 に記載の表示装置。

## 【請求項 4】

前記第 1 半導体層及び第 2 半導体層は、インジウム、ガリウム、及び亜鉛の何れか一つを少なくとも含む酸化物材料で形成されている請求項 1 乃至 3 の何れか 1 項に記載の表示装置。

40

## 【請求項 5】

前記第 1 チャネル領域は前記第 1 絶縁膜が重畳した重畳領域であり、

前記第 1 領域及び第 2 領域は前記第 1 絶縁膜から外れた非重畳領域であり、

前記第 1 領域及び第 2 領域の還元性元素濃度は、前記第 1 チャネル領域の還元性元素濃度より高い請求項 4 に記載の表示装置。

## 【請求項 6】

前記第 1 電極及び第 2 電極の上に形成された第 3 絶縁膜と、

前記第 3 絶縁膜の上に形成された共通電極と、

前記共通電極の上に形成された第 4 絶縁膜と、

50

前記第 4 絶縁膜の上に形成され前記共通電極と対向し前記第 2 電極に電氣的に接続された画素電極と、をさらに備える請求項 1 乃至 5 の何れか 1 項に記載の表示装置。

【請求項 7】

前記第 2 半導体層と同一レベルの層にて前記第 2 半導体層と同一材料で一体的に形成された画素電極と、

前記第 1 電極、第 2 電極及び画素電極の上に形成された第 3 絶縁膜と、

前記第 3 絶縁膜の上に形成され、前記画素電極と対向した共通電極と、をさらに備える請求項 1 乃至 5 の何れか 1 項に記載の表示装置。

【請求項 8】

前記第 1 半導体層と同一レベルの層にて前記第 1 半導体層と同一材料で形成され、前記第 1 半導体層に間隔を置いて位置した共通電極と、

前記第 2 絶縁膜を挟んで前記共通電極と対向し、前記第 2 半導体層と同一レベルの層にて前記第 2 半導体層と同一材料で一体的に形成された画素電極と、をさらに備える請求項 1 乃至 5 の何れか 1 項に記載の表示装置。

【請求項 9】

前記共通電極と前記画素電極との間に生じる電界が与えられる液晶層をさらに備える請求項 6 乃至 8 の何れか 1 項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、表示装置に関する。

【背景技術】

【0002】

アクティブマトリクス方式の表示装置において、画素のスイッチング素子に薄膜トランジスタ (Thin-film Transistor: TFT) が用いられている。また、アクティブエリア (表示領域) の外側の額縁領域 (非表示領域) に形成されるドライバのスイッチング素子にも薄膜トランジスタが用いられている。

【0003】

また、TFTとしては、オン電流の増大を図る目的で、ダブルチャネル構造のTFTが提案されている。このTFTは、第1のアモルファスシリコン膜と、第1のアモルファスシリコン膜の上方に位置し第1のアモルファスシリコン膜と対向した第2のアモルファスシリコン膜と、第1のアモルファスシリコン膜と第2のアモルファスシリコン膜との間に介在したゲート電極と、を有している。すなわち、上記TFTは、2個のアモルファスシリコン膜を有している。さらに、上記の場合、第1のアモルファスシリコン膜及び第2のアモルファスシリコン膜を同一レベルの層に形成する場合に比べ、上記TFTの占有面積の縮小を図ることができる。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特許第 3061907 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、特性ばらつき及び占有面積の小さい薄膜トランジスタを備えた表示装置を提供することにある。

【課題を解決するための手段】

【0006】

一実施形態に係る表示装置は、第 1 領域と、第 2 領域と、前記第 1 領域と前記第 2 領域との間に位置した第 1 チャネル領域と、を有する第 1 半導体層と、前記第 1 半導体層の第 1 チャネル領域の上に形成された第 1 絶縁膜と、前記第 1 絶縁膜の上に形成され前記第 1

10

20

30

40

50

チャンネル領域と対向したゲート電極と、前記ゲート電極の上に形成された第2絶縁膜と、前記第2絶縁膜の上に形成され、前記第1半導体層に対向し、前記第1領域に電氣的に接続された第3領域と、前記第2領域に電氣的に接続された第4領域と、前記第3領域と前記第4領域との間に位置し前記ゲート電極と対向した第2チャンネル領域と、を有する第2半導体層と、前記第2半導体層の上方に位置し、前記第3領域に接した第1電極と、前記第2半導体層の上方に位置し、前記第1電極に間隔を置き、前記第4領域に接した第2電極と、を具備した薄膜トランジスタを備え、互いに対向する前記ゲート電極の底面と前記第1チャンネル領域の天面との間隔は、互いに対向する前記ゲート電極の天面と前記第2チャンネル領域の底面との間隔より大きい。

【0007】

また、一実施形態に係る表示装置は、第1領域と、第2領域と、前記第1領域と前記第2領域との間に位置した第1チャンネル領域と、を有する第1半導体層と、前記第1半導体層の第1チャンネル領域の上に形成された第1絶縁膜と、前記第1絶縁膜の上に形成され前記第1チャンネル領域と対向したゲート電極と、前記ゲート電極の上に形成された第2絶縁膜と、前記第2絶縁膜の上に形成され、前記第1半導体層に対向し、前記第1領域に電氣的に接続された第3領域と、前記第2領域に電氣的に接続された第4領域と、前記第3領域と前記第4領域との間に位置し前記ゲート電極と対向した第2チャンネル領域と、を有する第2半導体層と、前記第2半導体層の上方に位置し、前記第3領域に接した第1電極と、前記第2半導体層の上方に位置し、前記第1電極に間隔を置き、前記第4領域に接した第2電極と、を具備した薄膜トランジスタを備え、前記ゲート電極は、前記第1チャンネル領域と対向した底面と、前記第2チャンネル領域と対向し前記底面の面積より小さい面積を有した天面と、を備え、順テーパ状に形成されている。

【図面の簡単な説明】

【0008】

【図1】図1は、一実施形態に係る表示装置の構成及び等価回路を示す概略平面図である。

【図2】図2は、上記表示装置の一部を概略的に示す断面図であり、薄膜トランジスタを示す図である。

【図3】図3は、図2に示した薄膜トランジスタ及び比較例の薄膜トランジスタにおける、ゲート電圧( $V_g$ )に対するドレイン電流( $I_d$ )の変化をグラフで示す図である。

【図4】図4は、図2に示した薄膜トランジスタの製造方法を説明するための概略断面図である。

【図5】図5は、図4に続く、図2に示した薄膜トランジスタの製造方法を説明するための概略断面図である。

【図6】図6は、図5に続く、図2に示した薄膜トランジスタの製造方法を説明するための概略断面図である。

【図7】図7は、図6に続く、図2に示した薄膜トランジスタの製造方法を説明するための概略断面図である。

【図8】図8は、上記実施形態の実施例に係る表示装置を示す概略断面図である。

【図9】図9は、上記実施形態の変形例1に係る表示装置のアレイ基板を示す概略断面図である。

【図10】図10は、上記実施形態の変形例2に係る表示装置のアレイ基板を示す概略断面図である。

【発明を実施するための形態】

【0009】

以下、本発明の一実施形態について、図面を参照しながら説明する。なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実際の態様に比べて、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない

10

20

30

40

50

。また、本明細書と各図において、既出の図に関して前述したものと同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を適宜省略することがある。

#### 【0010】

図1は、本実施形態に係る表示装置の構成及び等価回路を示す概略平面図である。ここでは、薄膜トランジスタを有する表示装置として、液晶表示装置を例に説明する。

図1に示すように、表示装置1は、画像を表示するアクティブエリア(表示領域)ACTと、アクティブエリアACTの外側の額縁領域(非表示領域)と、を備えている。表示装置1は、液晶表示パネルPLNを備えている。液晶表示パネルPLNは、アレイ基板ARや、後述する対向基板及び液晶層を備えている。アクティブエリアACTにおいて、アレイ基板ARは、 $n$ 本のゲート線 $G$ ( $G1 \sim Gn$ )、 $n$ 本の補助容量線 $C$ ( $C1 \sim Cn$ )、 $m$ 本のソース線 $S$ ( $S1 \sim Sm$ )、及び $m \times n$ 個のマトリクス状の画素PXを備えている。各画素PXは、隣合う2本のゲート線 $G$ と隣合う2本のソース線 $S$ とによって区画されている。

10

#### 【0011】

ゲート線 $G$ 及び補助容量線 $C$ は、第1方向 $X$ に略平行に延出している。なお、ゲート線 $G$ 及び補助容量線 $C$ は、必ずしも直線的に延出していなくてもよい。これらのゲート線 $G$ 及び補助容量線 $C$ は、第2方向 $Y$ に交互に並べられている。ソース線 $S$ は、第2方向 $Y$ に略平行に延出している。ソース線 $S$ は、ゲート線 $G$ 及び補助容量線 $C$ と略直交している。なお、ソース線 $S$ は、必ずしも直線的に延出していなくてもよい。なお、ゲート線 $G$ 、補助容量線 $C$ 、及びソース線 $S$ は、それらの一部が屈曲していてもよい。ゲート線 $G$ 、ソース線 $S$ 、及び補助容量線 $C$ は、例えば、モリブデン、クロム、タングステン、アルミニウム、銅、チタン、ニッケル、タンタル、銀あるいはこれらの合金によって形成されているが、特に限定されるものではなく、その他の金属や合金、またはこれらの積層膜で形成されていてもよい。

20

#### 【0012】

各ゲート線 $G$ は、アクティブエリアACTの外部まで延出し、ゲートドライバGDに接続されている。各ソース線 $S$ は、アクティブエリアACTの外部まで延出し、ソースドライバSDに接続されている。各補助容量線 $C$ は、アクティブエリアACTの外部まで延出し、補助容量電圧が印加される電圧印加部VCSと電氣的に接続されている。

30

#### 【0013】

各画素PXは、第1薄膜トランジスタTR1、画素電極PE、共通電極CE、保持容量CSを備えている。画素電極PEは、第1薄膜トランジスタTR1を介してソース線 $S$ と電氣的に接続されている。共通電極CEは、画素電極PEと対向している。共通電極CEは、アクティブエリアACTの外部に備えられた給電部VCOMと、電氣的に接続されている。保持容量CSは、画素電極PEに電氣的に接続されている。

#### 【0014】

第1薄膜トランジスタTR1は、ゲートドライバGDからゲート線 $G$ を経由して与えられる制御信号により、導通状態(オン)又は非導通状態(オフ)に切替えられる。ソースドライバSDから出力される映像信号は、ソース線 $S$ 及び導通状態の第1薄膜トランジスタTR1を経由して対応する画素電極PEに与えられる。コモン電位に設定される共通電極CEと画素電極PEとの間の電位差により、液晶層に印加される電圧が制御される。

40

#### 【0015】

保持容量CSは、液晶層に印加される電圧を一定期間保持するものであり、絶縁層を介して対向する一对の電極で構成されている。例えば、保持容量CSにおいて、一方の電極は補助容量線 $C$ の一部あるいは補助容量線 $C$ と電氣的に接続された補助電極であり、他方の電極は画素電極PEに接続された補助対向電極である。

#### 【0016】

ゲートドライバGD及びソースドライバSDは、額縁領域に形成されている。ゲートドライバGD及びソースドライバSDは、それぞれスイッチング素子として機能する複数の

50

第2薄膜トランジスタTR2を備えている。

【0017】

図2は、本実施形態に係る表示装置1(アレイ基板AR)の一部を概略的に示す断面図であり、薄膜トランジスタTRを示す図である。なお、ここでは、アレイ基板ARのうち、説明に必要な主要部のみを図示している。

図1に示した第1薄膜トランジスタTR1及び第2薄膜トランジスタTR2の少なくとも一方の薄膜トランジスタは、図2に示す薄膜トランジスタTRで形成されている。本実施形態において、上述した第1薄膜トランジスタTR1及び第2薄膜トランジスタTR2の両方とも薄膜トランジスタTRで形成されている。

【0018】

図2に示すように、薄膜トランジスタTRは、アレイ基板ARの第1絶縁基板10の主面の上方に形成され、スイッチング素子として機能する。薄膜トランジスタTRは、第1半導体層12、第1絶縁膜14、ゲート電極WG、第2絶縁膜16、第2半導体層18、及び低抵抗配線20A、20Bを備えている。

【0019】

第1絶縁基板10は、ガラス、樹脂等の光透過性及び絶縁性を有する材料で形成されている。第1絶縁基板10の主面の平坦化、第1絶縁基板からの不純物拡散防止等を目的に、第1絶縁基板10上に、下地保護膜(絶縁膜)が形成されていてもよい。ここで、第1絶縁基板10の主面は、互いに直交する第1方向Xと第2方向Yとで規定されるX-Y平面と平行な面である。第3方向Zは、第1絶縁基板10の主面の法線方向であり、第1方向X及び第2方向Yにそれぞれ垂直な方向である。

【0020】

第1半導体層12は、第1絶縁基板10の主面の上方に形成されている。このため、第1半導体層12は、第1絶縁基板10の主面に接していてもよく、又は上記主面から離れて位置していてもよい。後者の場合、上記主面と第1半導体層12の間には、下地保護膜が介在している。第1半導体層12は、第1領域12A、第2領域12B、及び第1チャンネル領域12Cを備えている。第1チャンネル領域12Cは、第1絶縁基板10の主面に沿った方向で第1領域12Aと第1領域12Bとの間に位置している。第1チャンネル領域12Cは、ゲート電極WGと対向した天面12Caを備えている。第1及び第2領域12A、12Bの一方がソース領域として機能し、第1及び第2領域12A、12Bの他方がドレイン領域として機能している。第1領域12A及び第1領域12Bは、第1チャンネル領域12Cに比べて低抵抗化されている。第1半導体層12及び第2半導体層18は、アモルファスシリコン、ポリシリコン、有機物半導体、酸化物半導体等の半導体で形成されている。本実施形態において、第1半導体層12及び第2半導体層18は、酸化物半導体で形成されている。

【0021】

第1絶縁膜14は、少なくとも第1チャンネル領域12Cの上に形成されている。本実施形態において、第1絶縁膜14は、第1チャンネル領域12Cの上のみに形成されている。第1絶縁膜14及び第2絶縁膜16は、それぞれゲート絶縁膜として機能するため、薄膜でも短絡などの欠陥が生じにくい無機材料で形成されることが望ましい。このような無機材料は、例えば、シリコン酸化物やシリコン窒化物などが挙げられるが、特に限定されるものではなく、アルミニウムやハフニウムやイットリウムなどの酸化物材料や、これらの積層膜でも良い。

ここでは、第1チャンネル領域12Cは、第1絶縁膜14が重畳した重畳領域である。第1領域12A及び第2領域12Bは、第1絶縁膜14から外れた非重畳領域である。第1領域12A及び第2領域12Bの還元性元素濃度は、第1チャンネル領域12Cの還元性元素濃度より高い。

【0022】

ゲート電極WGは、第1絶縁膜14の上に形成されている。ゲート電極WGは、第1チャンネル領域12Cの天面12Caと対向した底面WGbと、第2半導体層18と対向した

10

20

30

40

50

天面WG aと、を備えている。底面WG bの一边は第1領域12 Aと第1チャネル領域12 Cとの境界と第3方向Zに対向し、底面WG bの他の一边は第2領域12 Bと第1チャネル領域12 Cとの境界と第3方向Zに対向している。即ち、第1チャネル領域12 Cの第1チャネル長L1は、底面WG bの対向する一对の辺の間の距離に相当する。ゲート電極WGは順テーパ状に形成されている。ゲート電極WGは、図示しない領域でゲート線Gと電氣的に接続されている。例えば、ゲート電極WG及びゲート線Gは、同一レベルの層にて、同一材料で一体的に形成されてもよい。

**【0023】**

第2絶縁膜16は、少なくともゲート電極WGの上に形成されている。この実施形態において、第2絶縁膜16は、第1絶縁基板10、第1半導体層12、及びゲート電極WGの上に形成され、絶縁膜14の側面を覆っている。第2絶縁膜16には、第1領域12 Aと対向した領域に第1コンタクトホールCH1が形成されている。また、第2絶縁膜16には、第2領域12 Bと対向した領域に第2コンタクトホールCH2が形成されている。第1コンタクトホールCH1及び第2コンタクトホールCH2は、第3方向Zに沿った方向に延在し、第2絶縁膜16を貫通している。第1コンタクトホールCH1は、第1領域12 Aの一部を第2絶縁膜16の外側に露出させ、第2コンタクトホールCH2は、第2領域12 Bの一部を第2絶縁膜16の外側に露出させている。

10

**【0024】**

第2半導体層18は、第2絶縁膜16の上に形成され、第1半導体層12と対向している。第2半導体層18は、第1領域12 Aと電氣的に接続された第3領域18 A、第2領域12 Bと電氣的に接続された第4領域18 B、及び第2チャネル領域18 Cを備えている。この実施形態において、第3領域18 Aは、第1コンタクトホールCH1を通過して第1領域12 Aに接している。第4領域18 Bは、第2コンタクトホールCH2を通過して第2領域12 Bに接している。第2チャネル領域18 Cは、第1絶縁基板10の主面に沿った方向で第3領域18 Aと第4領域18 Bとの間に位置している。第2チャネル領域18 Cは、ゲート電極WGの天面WG aと対向した底面18 C bを備えている。第3及び第4領域18 A、18 Bの一方がソース領域として機能し、第3及び第4領域18 A、18 Bの他方がドレイン領域として機能している。本実施形態において、第1チャネル領域12 Cの第1チャネル幅と、第2チャネル領域18 Cの第2チャネル幅とは、同一である。

20

**【0025】**

低抵抗配線20 Aは、第2半導体層18の上方に位置し、第3領域18 Aに接している。この実施形態において、低抵抗配線20 Aは、第2絶縁膜16及び第2半導体層18の上に形成されている。低抵抗配線20 Aの一端は、天面WG aに対向し、第3領域18 Aと第2チャネル領域18 Cとの境界に対向している。低抵抗配線20 Bは、第2半導体層18の上方に位置し、第4領域18 Bに接している。この実施形態において、低抵抗配線20 Bの一端は、天面WG aに対向し、第4領域18 Bと第2チャネル領域18 Cとの境界に対向している。即ち、第2チャネル領域18 Cの第2チャネル長L2は、対向する低抵抗配線20 Aの一端から低抵抗配線20 Bの一端までの距離に相当する。

30

**【0026】**

低抵抗配線20 Aは薄膜トランジスタTRの第1電極として機能し、低抵抗配線20 Bは薄膜トランジスタTRの第2電極として機能している。低抵抗配線20 A、20 Bの一方はソース電極として機能し、低抵抗配線20 A、20 Bの他方はドレイン電極として機能する。例えば、低抵抗配線20 Aがソース電極として機能する場合、低抵抗配線20 Aと電氣的に接続された第1領域12 A及び第3領域18 Aは、ともにソース領域として機能する。このような場合、低抵抗配線20 Bはドレイン電極として機能し、低抵抗配線20 Bと電氣的に接続された第2領域12 B及び第4領域18 Bは、ともにドレイン領域として機能する。ゲート電極WG、低抵抗配線20 A、及び低抵抗配線20 Bは、金属として、例えば、モリブデン、タングステン、アルミニウム、チタン、銅、あるいはこれらの合金によって形成されている。

40

**【0027】**

50

上記のように、薄膜トランジスタTRは、第1半導体層12とゲート電極WGによってトップゲート型薄膜トランジスタの構造をとり、第2半導体層18とゲート電極WGによってボトムゲート型薄膜トランジスタの構造をとる。すなわち、本実施形態の薄膜トランジスタTRは、ダブルチャンネル構造の薄膜トランジスタであり、トップゲート型薄膜トランジスタとボトムゲート型薄膜トランジスタとがゲート電極WGを共用している。例えば、ゲート電極WGに、薄膜トランジスタTRの閾値電圧 $V_{th}$ 以上のゲート電圧 $V_g$ が印加されると、低抵抗配線20Aと低抵抗配線20Bとの電位差に従い、低抵抗配線20Aと低抵抗配線20Bとの間でドレイン電流 $I_d$ が流れ始める。このときのドレイン電流 $I_d$ をオン電流という。

#### 【0028】

本実施形態では、第1半導体層12と第2半導体層18とは並列に接続されているため、ドレイン電流 $I_d$ は、第2半導体層18を流れる第2ドレイン電流 $I_{d2}$ と、第1半導体層12を流れる第1ドレイン電流 $I_{d1}$ との和である。第1半導体層12と第2半導体層18とは、同一レベルの層に並べて設けられているのではなく、第3方向Zに対向して設けられている。このような構造の薄膜トランジスタTRでは、薄膜トランジスタTRの占有面積の縮小を図りつつ、十分なチャンネル幅を確保することができる。すなわち、薄膜トランジスタTRの占有面積の縮小を図りつつ、オン電流の増大を図ることができる。又は、薄膜トランジスタTRの占有面積を変えないこと、チャンネル幅を増大させることができる。

#### 【0029】

このような薄膜トランジスタTRを第1薄膜トランジスタTR1に適用することにより、画素PXの開口率の向上に寄与することができ得る。また、薄膜トランジスタTRを第2薄膜トランジスタTR2に適用することにより、ソースドライバSD及びゲートドライバGDの小型化（占有面積の縮小）に寄与することができ、ひいては狭額縁化（額縁領域の縮小）に寄与することができる。

#### 【0030】

低抵抗配線20A, 20Bは、第2半導体層18の上に形成された金属膜をパターニングすることによって形成される。第2半導体層18において、低抵抗配線20A, 20Bに対向していない領域が第2チャンネル領域18Cとなる。従って、パターニングのずれによって、第2チャンネル領域18Cとゲート電極WGとの相対的な位置がずれる恐れがある。底面18Cbが天面WGaと対向する面積が一定でない場合、このような薄膜トランジスタTRは性能にばらつきが生じることとなる。そこで、低抵抗配線20Aの一端が天面WGaに対向し、かつ低抵抗配線20Bの一端が天面WGaに対向することで、パターニングが多少ずれたとしても、底面18Cbの全体を天面WGaに対向させることができる。従って、本実施形態によれば、薄膜トランジスタTRの性能のばらつきを抑制することができる。

#### 【0031】

また、本実施形態において、ゲート電極WGは順テーパ状に形成されている。即ち、第1チャンネル長 $L_1$ は、第2チャンネル長 $L_2$ より長い（ $L_2 < L_1$ ）。このような構造の時、第1半導体層12が構成するトップゲート型薄膜トランジスタの閾値電圧 $V_{th1}$ が、第2半導体層18が構成するボトムゲート型薄膜トランジスタの閾値電圧 $V_{th2}$ に比べて、正電圧方向にシフトしている場合が多い。

#### 【0032】

そこで、本実施形態において、天面12Caと底面WGbとの間の第3方向Zに平行な方向の間隔 $T_{14}$ は、天面WGaと底面18Caとの間の第3方向Zに平行な方向の間隔 $T_{16}$ より大きい。第1半導体層12が構成するトップゲート型薄膜トランジスタのオン電流の値が、第2半導体層18が構成するボトムゲート型薄膜トランジスタのオン電流の値より高いと、ハンプ特性を持ち設計上使用し辛い薄膜トランジスタTRとなるため、上記のように $T_{16} < T_{14}$ としている。従って、本実施形態の薄膜トランジスタTRの構成によれば、薄膜トランジスタTRの性能ばらつきを抑制することができる。

10

20

30

40

50

## 【0033】

ところで、第1ドレイン電流  $I_{d1}$  は、第2ドレイン電流  $I_{d2}$  に比べて、複雑な経路をたどる。第1ドレイン電流  $I_{d1}$  は、第2半導体層18及び第1半導体層12を第3方向Zに流れる際に抵抗をうける。また、第2半導体層18と第1半導体層12との界面を流れる際に接触抵抗を受ける。従って、オン電流が第2半導体層18を優先的に流れる構造をとることで、抵抗による損失を抑制することができる。

## 【0034】

表示装置1は、バックライトユニットを備えている場合がある。バックライトユニットは、第1絶縁基板10の主面とは反対の外面对向している。この場合、第1半導体層12は、バックライトユニットからの光の照射を受けて、特性が変動する場合がある。一例を挙げると、チャンネル部に光が照射された状態でトランジスタを非導通状態とするゲートバイアス電圧(負バイアス)が印加される際のストレスに伴って、閾値電圧  $V_{th}$  がマイナスシフトする。これは、薄膜トランジスタTRの誤作動の原因となる。第1チャンネル領域12Cは、第2チャンネル領域18Cよりチャンネル長が長く、閾値電圧  $V_{th}$  がよりプラス側にあるため、多少のマイナスシフトが生じたとしても影響は小さい。また、第2チャンネル領域18Cは、第1半導体層12とゲート電極WGがバックライトユニットからの光を遮光するため、チャンネル長が短くても光リーク電流上記原因に伴う閾値電圧  $V_{th}$  のマイナスシフトが生じにくい。従って、天面WGaの一对の辺が底面WGbに対向している構造では、薄膜トランジスタTRの誤作動を抑制することができる。

## 【0035】

第1半導体層12及び第2半導体層18は、酸化物半導体で形成した方が望ましい。このような酸化物半導体としては、インジウム、ガリウム、又は亜鉛のいずれか1つを少なくとも含む酸化物が好適に用いられる。酸化物半導体の体表的な例としては、例えば、酸化インジウムガリウム亜鉛(IGZO)、酸化インジウムガリウム(IGO)、インジウム亜鉛酸化物(IZO)、亜鉛スズ酸化物(ZnSnO)、及び亜鉛酸化物(ZnO)などが挙げられる。このような酸化物半導体から成る半導体層は、アモルファスシリコンからなる半導体層と比較して高移動度を実現できる。また、このような酸化物半導体から成る半導体層は、ポリシリコンからなる半導体層と比較して、低温で大面積に亘って均一に成膜することができ、製造コストの低減を図ることができる。また、第1半導体層12と第2半導体層18が同一又は類似の組成の酸化物半導体で形成されることにより、第2領域12Bと第4領域18Bとの界面、及び第1領域12Aと第3領域18Aとの界面の接触抵抗の低減を図ることができる。

## 【0036】

図3は、本実施形態の薄膜トランジスタTR及び比較例の薄膜トランジスタにおける、ゲート電圧( $V_g$ )に対するドレイン電流( $I_d$ )の変化をグラフで示す図である。

図3に示すように、横軸  $x_1$  は、ゲート電圧  $V_g$  を示している。左の縦軸  $y_1$  は、ドレイン電流  $I_d$  (対数表記) を示している。右の縦軸  $y_2$  は、ドレイン電流  $I_d$  (線形表記) を示している。グラフA1及びグラフA2は、本実施形態の薄膜トランジスタTRのドレイン電流  $I_d$  - ゲート電圧  $V_g$  の特性を示している。これらのグラフは、第1チャンネル領域12Cの第1チャンネル長  $L_1$  と第2チャンネル領域18Cの第2チャンネル長  $L_2$  の比を5:3として、薄膜トランジスタTRの性能をシミュレーションした結果である。グラフB1及びグラフB2は、比較例の薄膜トランジスタのドレイン電流  $I_d$  - ゲート電圧  $V_g$  の特性を示している。この比較例の薄膜トランジスタは、本実施形態の構成から第1半導体層12の構成するトップゲート型薄膜トランジスタ構造を除いた薄膜トランジスタである。グラフA1及びグラフB1は、ゲート電圧  $V_g$  に対するドレイン電流  $I_d$  (対数表記) のプロットを示しており、値は縦軸  $y_1$  に従う。また、グラフA2及びグラフB2はゲート電圧  $V_g$  に対するドレイン電流  $I_d$  (線形表記) のプロットを示しており、値は縦軸  $y_2$  に従う。

## 【0037】

グラフA1とグラフB1を見ると、薄膜トランジスタTRの閾値電圧  $V_{th}$  は比較例の

10

20

30

40

50

薄膜トランジスタの閾値電圧から上昇していない。これは、薄膜トランジスタTRが、第2閾値電圧 $V_{th2}$ を閾値電圧 $V_{th}$ として動作していることを示している。すなわち、このような薄膜トランジスタTRにおいて、ゲート線G及びゲート電極WGへの負荷は増加していない。またグラフA1は、ランプ特性を示していない。グラフA2とグラフB2を見ると、薄膜トランジスタTRのドレイン電流は、比較例の薄膜トランジスタのドレイン電流の略1.6倍となっている。なお、第1チャンネル領域12Cのチャンネル幅は第2チャンネル領域18Cのチャンネル幅と同一であるが、第1チャンネル領域12Cの第1チャンネル長 $L_1$ は第2チャンネル領域18Cの第2チャンネル長 $L_2$ と同一ではないため、上記のようにドレイン電流が略1.6倍となり、2倍とはなっていない。上記のことから、高性能かつ特性バラつきが抑制された薄膜トランジスタTRが得られている。

10

#### 【0038】

次に薄膜トランジスタの製造工程について、図4から図7を用いて説明する。図4乃至図7は、本実施形態の薄膜トランジスタTRの製造方法を説明するための概略断面図である。

図4に示すように、薄膜トランジスタTRの製造が開始されると、まず、第1絶縁基板10の上に、スパッタリング法などを用いて、例えばIGZOなどの酸化物半導体膜を成膜する。その後、この酸化物半導体膜を島状にパターニングして、第1酸化物半導体層C01が形成される。

#### 【0039】

図5は、ゲート電極WGの形成までを行った状態を示している。図5に示すように、続いて、第1絶縁基板10及び第1酸化物半導体層C01の上に、絶縁膜を成膜する。更にこの絶縁膜の上に、金属膜を成膜する。これらの絶縁膜や金属膜は、例えば、スパッタリング法やプラズマCVD(Chemical Vapor Deposition)法などによって成膜される。この後、これらの絶縁膜及び金属膜は、一括して島状にパターニングされ、絶縁膜から第1絶縁膜14が形成され、金属膜からゲート電極WGが形成される。その後、第1絶縁膜14をマスクとして、第1酸化物半導体層C01の低抵抗化処理を行っても良い。例えば、露出した第1酸化物半導体層C01に、水素プラズマ処理等の還元性ガスプラズマ処理を施す。これにより、露出した第1酸化物半導体層C01は、還元性水素プラズマによって還元され、低抵抗化される。第1絶縁膜14によってマスクされた領域の第1酸化物半導体層C01は、還元されないため、比較的高抵抗な状態が維持される。この結果、第1酸化物半導体層C01から第1半導体層12が形成される。低抵抗化処理の方法は、特に限定されるものではなく、UV光照射による還元等、適宜選択することができる。

20

30

#### 【0040】

このような工程において、絶縁膜のパターニングと第1酸化物半導体層C01の低抵抗化を同時に行うこともできる。具体的には、絶縁膜を、プラズマドライエッチングの一種である反応性イオンエッチング(RIE)でパターニングする。このとき、エッチングガスとして、例えば、還元性のフッ素や水素を含むガスを用いる。このようなエッチングガスは、例えば、四フッ化メタン(CF<sub>4</sub>)及び酸素の混合ガス、またはパーフルオロシクロブタン(C<sub>4</sub>F<sub>8</sub>)、水素、及びアルゴンの混合ガスが挙げられる。この結果、絶縁膜及び金属膜のパターニングに際して、フッ素プラズマや水素プラズマにより第1酸化物半導体層C01が還元される。このようなドライエッチングに用いるガスでは十分に第1酸化物半導体層C01を低抵抗化することができない可能性がある。しかし、ドライエッチング時に補助的に第1酸化物半導体層C01を低抵抗化しておくことで、以降に実施する低抵抗化処理の負担を軽減することができる。

40

#### 【0041】

図6は、第2酸化物半導体層C02の形成まで行った状態を示している。図6に示すように、ゲート電極WGを形成した後、第1絶縁基板10、第1半導体層12、及びゲート電極WGを覆う(埋め尽くす)ように、第1絶縁基板10上に第2絶縁膜16をプラズマCVD法などによって成膜する。その後、第2絶縁膜16に、第1コンタクトホールCH

50

1及び第2コンタクトホールCH2を形成する。次いで、第2絶縁膜16の上、第1コンタクトホールCH1の内部、及び第2コンタクトホールCH2の内部に、IGZOなどの金属酸化物を成膜する。その後、この金属酸化物を島状にパターニングし、第1半導体層12に対向する領域に、第2酸化物半導体層CO2を形成する。

#### 【0042】

本実施例においては、第1酸化物半導体層CO1及び第2酸化物半導体層CO2の形成のためにフォトリソグラフィ法が用いられる。この場合、第1酸化物半導体層CO1と第2酸化物半導体CO2の形成のために、同一のフォトマスクを用いることが可能である。即ち、第1酸化物半導体層CO1及び第2酸化物半導体CO2の形成のために用いるフォトマスクを共用することができるため、製造コストの低減に寄与することができる。なお、第1酸化物半導体層CO1と第2酸化物半導体CO2は、サイズ(面積)に関して一致(略一致)する。

10

#### 【0043】

図7は、低抵抗配線20A, 20Bの形成まで行った状態を示している。図7に示すように、次いで、金属膜を第2絶縁膜16及び第2酸化物半導体層CO2の上に成膜する。その後、金属膜はゲート電極WGに対向する領域で分断するようにパターニングされ、低抵抗配線20A, 20Bを形成する。第2酸化物半導体層CO2は、低抵抗配線20A, 20Bに覆われていない部分が第2チャネル領域18Cを形成する。第2酸化物半導体層CO2において、低抵抗配線20Aに接した領域が第3領域18Aを形成し、第2電極20Bに接した領域が第4領域18Bを形成する。この結果、第3領域18A、第2チャネル領域18C、及び第4領域18Bを有した第2半導体層18が形成される。

20

#### 【0044】

次に、本実施形態の実施例に係る表示装置1について説明する。本実施例において、薄膜トランジスタTRを第1薄膜トランジスタTR1に適用している。図8は、本実施例に係る表示装置の液晶表示パネルPLNを示す概略断面図である。

図8に示すように、液晶表示パネルPLNは、FFS(Fringe Field Switching)方式を採っている。しかし、本発明における液晶表示パネルの駆動方式は、特に限定されるものではなく種々変形可能であり、FFS方式以外のIPS(In-Plane Switching)方式、TN(Twist Nematic)方式、VA(Vertical Alignment)方式等でもよい。このような液晶表示パネルPLNは、アレイ基板ARの他、対向基板CT及び液晶層LQを備えている。

30

#### 【0045】

アレイ基板ARは、上述した部材の他、第3絶縁膜22、第4絶縁膜24、共通電極CE、第5絶縁膜26、画素電極PE、及び第1配向膜AL1をさらに備えている。

第3絶縁膜22は、第2絶縁膜16、第2チャネル領域18C、低抵抗配線20A、及び低抵抗配線20Bの上に形成されている。第3絶縁膜22は、第2チャネル領域18Cを酸化・還元物質から保護するために形成される。従って、第3絶縁膜22は、例えば酸素や一酸化炭素などの、酸化性物質や還元性物質の透過率が低い材料が好適に用いられる。

#### 【0046】

第4絶縁膜24は、第3絶縁膜22を覆っている。第4絶縁膜24は、平坦化膜として機能することにより、アレイ基板ARの表面の凹凸を低減することができる。従って、第4絶縁膜24は、例えばアクリル樹脂などの、厚膜化に適した有機材料で形成した方が望ましい。

40

共通電極CEは、第4絶縁膜24の上の、開口部APに対応する領域に形成されている。

#### 【0047】

第5絶縁膜26は、第4絶縁膜24及び共通電極CEの上に形成されている。第5絶縁膜26は、例えばシリコン酸化物やシリコン窒化物などの、無機材料で形成されている。ところで、第3コンタクトホールCH3が、第2電極20Bと対向する領域に形成されて

50

いる。この第3コンタクトホールCH3は、第3絶縁膜22、第4絶縁膜24、及び第5絶縁膜26のそれぞれを貫通するピアホールによって構成されている。これらのピアホールは、全て重なって配置されている。これにより、第3コンタクトホールCH3は、第5絶縁膜26から第2電極20Bにまで到達している。

#### 【0048】

画素電極PEは、第5絶縁膜26の上、及び第3コンタクトホールCH3の内部に形成されている。画素電極PEは、共通電極CEと対向している。画素電極PEは、第3コンタクトホールCH3において、第2電極20Bと電気的に接続されている。画素電極PEは、共通電極CEと対向する領域に、第1スリットSL1、第2スリットSL2、第1部分電極PA1、及び第2部分電極PA2を備えている。なお、スリットの数には2本に限定されるものではなく、所望の本数だけ形成される。画素電極PE及び共通電極CEは、例えば、インジウム・ティン・オキサイド(ITO)や、インジウム・ジンク・オキサイド(IZO)などの光透過性を有する導電材料によって形成されているが、アルミニウムやタンゲステンなど他の金属やそれらの合金によって形成されていても良い。

10

第1配向膜AL1は、第5絶縁膜26及び画素電極PEの上に形成されている。

#### 【0049】

一方、対向基板CTは、第2絶縁基板30、遮光層BM、カラーフィルタCF、オーバーコート層OC、第2配向膜AL2を備えている。

第2絶縁基板30は、ガラス、樹脂等の光透過性及び絶縁性を有する材料によって形成されている。

20

#### 【0050】

遮光層BMは、第2絶縁基板30の上に形成されている。遮光層BMは、薄膜トランジスタTRに対向し、開口部APに対応する領域には形成されていない。遮光層BMは、混色による表示品位の低下を抑制し、薄膜トランジスタTRでの外光の乱反射を防ぐために設けられる。このため、遮光層BMは、光透過率が低く、反射率が低い素材で形成される。

#### 【0051】

カラーフィルタCFは、第2絶縁基板及び遮光層BMの上に形成されている。カラーフィルタCFは、開口部APを透過する光を、例えば赤、緑及び青に着色するために設けられる。

30

#### 【0052】

オーバーコート層OCは、カラーフィルタCFを覆っている。このオーバーコート層OCは、カラーフィルタCFの表面の凹凸を緩和し、第2配向膜AL2が設けられる面を平坦にする役割を持っている。また、オーバーコート層OCは、カラーフィルタCFから液晶層LQへの汚染物質侵入を防止する役割を担うことができる。オーバーコート層OCは、例えばエポキシアクリレートなどの、透明な樹脂で形成される。

#### 【0053】

第2配向膜AL2は、オーバーコート層OCの上に形成されている。第1配向膜AL1及び第2配向膜AL2は、水平配向性を示す材料によって形成されている。このような第1配向膜AL1及び第2配向膜AL2は、液晶層LQの液晶分子を初期配向させるための配向処理がなされている。配向処理とは、例えば、ラビングや光配向処理が挙げられる。

40

#### 【0054】

液晶層LQは、アレイ基板ARの第1配向膜AL1と、対向基板CTの第2配向膜AL2との間に保持されている。液晶層LQの液晶分子は、第1配向膜AL1及び第2配向膜AL2により、配向膜の表面に対してプレチルトし、初期配向している。

#### 【0055】

次に液晶表示パネルPLNの動作について説明する。共通電極CEと画素電極PEとの間に電位差が生じていない状態、すなわちオフ時には、液晶層LQの液晶分子は初期配向を維持する。対して、共通電極CEと画素電極PEとの間に電位差が生じたオン時には、液晶層LQの液晶分子は、共通電極CEと画素電極PEとの間で形成される電界の影響を

50

受けて配向が変化する。電界は、部分電極から生じてU字に屈曲し、スリットを通過して共通電極CEに向かう。

【0056】

上記のような本実施形態の実施例によれば、特性ばらつき及び占有面積の小さい薄膜トランジスタを備えた表示装置1を得ることができる。例えば、液晶表示パネルPLNの画素の開口率を高めることができ得る。又は、薄膜トランジスタTR（第1薄膜トランジスタTR1）の性能バラつきによる表示品位の低下を抑制することができ得る。又は、ソースドライバSD及びゲートドライバGDの小型化（占有面積の縮小）に寄与することができ得る。

【0057】

次に、本実施形態の変形例1に係る表示装置1について説明する。本変形例1においても、薄膜トランジスタTRを第1薄膜トランジスタTR1に適用している。図9は、本変形例1に係る表示装置の液晶表示パネルのアレイ基板を示す概略断面図である。なお、ここでは、アレイ基板ARのうち、説明に必要な主要部のみを図示している。

【0058】

図9に示すように、アレイ基板ARは、第1絶縁基板10の上に、図2で図示した薄膜トランジスタTRを備えている。画素電極PEは、第2絶縁膜16の上に設けられている。画素電極PEは、第2半導体層18と同一レベルの層にて第2半導体層18と同一材料で一体的に形成されている。画素電極PEは、例えば、光透過性を有する導電性の酸化物で形成されている。その場合、第3絶縁膜22の成膜後、アレイ基板ARを還元性ガスに晒す等して、露出している画素電極PEに低抵抗化処理を行っても良い。

【0059】

第3絶縁膜22は、低抵抗配線20A、20B及び画素電極PEの上に形成されている。第3絶縁膜22は、第2チャンネル領域18Cを覆い、第1電極20Aと第2電極20Bの一部を覆っている。層間容量膜23は、第2絶縁膜16、画素電極PE、第1電極20A、第2電極20B、及び第3絶縁膜22を覆っている。共通電極CEは、層間容量膜23の上に形成され、画素電極PEと対向している。共通電極CEは、開口部APに対応する領域において、第3スリットSL3、第4スリットSL4、第3部分電極PA3、第4部分電極PA4、及び第5部分電極PA5を備えている。このとき、電界は、共通電極CEから生じて、画素電極PEへ向かう。

【0060】

本変形例1においても、上記の実施例と同様の効果が得られる。また、図8で示した実施例と比較して、本変形例1では製造工程が減少するので、製造コストを抑制することができる。

【0061】

次に、本実施形態の変形例2に係る表示装置1について説明する。本変形例2においても、薄膜トランジスタTRを第1薄膜トランジスタTR1に適用している。図10は、本変形例2に係る表示装置の液晶表示パネルのアレイ基板の概略断面図である。なお、ここでは、アレイ基板ARのうち、説明に必要な主要部のみを図示している。

【0062】

図10に示すように、アレイ基板ARは、第1絶縁基板10の上に、図2で図示した薄膜トランジスタTRを備えている。共通電極CEは、第1絶縁基板10の上方に設けられている。共通電極CEは、第1半導体層12と同一レベルの層にて第1半導体層12と同一材料で形成され、第1半導体層12に間隔を置いて位置している。共通電極CEは、開口部APに対応する領域に位置している。画素電極PEは、第2絶縁膜16を挟んで共通電極CEと対向している。画素電極PEは、第2半導体層18と同一レベルの層にて第2半導体層18と同一材料で一体的に形成されている。この場合、画素電極PEは、例えば、光透過性を有する酸化物で形成されている。画素電極PEは、開口部APに対応する領域において、第1スリットSL1、第2スリットSL2、第1部分電極PA1及び第2部分電極PA2を備えている。このとき、電界は、画素電極PEから生じて、共通電極CE

10

20

30

40

50

へ向かう。

【0063】

本変形例2においても、上記の実施例と同様の効果が得られる。また、図7で示した実施例や図8で示した変形例1と比較して、本変形例2では製造工程が減少するので、製造コストを抑制することができる。

以上説明したように、本実施形態によれば、特性ばらつき及び占有面積の小さい薄膜トランジスタを備えた表示装置を得ることができる。

【0064】

なお、本発明の実施形態を説明したが、上記実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

10

【0065】

例えば、薄膜トランジスタTRは、上述したチャンネル長(L1, L2)、チャンネル幅及び間隔T14, T16のうち、少なくともT16 < T14の関係を満たしていればよい。特性ばらつき及び占有面積の小さい薄膜トランジスタTRを得ることができる。この場合、薄膜トランジスタTRは、L2 > L1の関係を満たしているとさらに望ましい。一方、薄膜トランジスタTRのチャンネル幅は特に限定されるものではないが、第2チャンネル領域18Cの第2チャンネル幅が第1チャンネル領域12Cの第1チャンネル幅以上であると望ましい。なお、薄膜トランジスタTRのチャンネル幅を確保する目的では、第1チャンネル幅及び第2チャンネル幅を同一にした方が望ましい。

20

【0066】

又は、薄膜トランジスタTRは、上述したチャンネル長(L1, L2)、チャンネル幅及び間隔T14, T16のうち、少なくともL2 < L1の関係を満たしていればよい。ゲート電極WGは、底面WGbと、底面WGbの面積より小さい面積を有した天面WGaと、を備え、順テーパー状に形成されている。特性ばらつき及び占有面積の小さい薄膜トランジスタTRを得ることができる。この場合、薄膜トランジスタTRは、T16 > T14の関係を満たしているとさらに望ましい。一方、薄膜トランジスタTRのチャンネル幅は特に限定されるものではないが、第2チャンネル領域18Cの第2チャンネル幅が第1チャンネル領域12Cの第1チャンネル幅以上であると望ましい。なお、薄膜トランジスタTRのチャンネル幅を確保する目的では、第1チャンネル幅及び第2チャンネル幅を同一にした方が望ましい。

30

【0067】

又は、薄膜トランジスタTRは、上述したチャンネル長(L1, L2)、チャンネル幅及び間隔T14, T16のうち、少なくとも第2チャンネル幅が第1チャンネル幅を超えていればよい。特性ばらつき及び占有面積の小さい薄膜トランジスタTRを得ることができる。この場合、薄膜トランジスタTRは、T16 > T14の関係を満たしているとさらに望ましい。薄膜トランジスタTRは、L2 > L1の関係を満たしているとさらに望ましい。

【0068】

上述した実施形態では、表示装置として、液晶表示装置を例に開示した。しかし、上述した実施形態は、有機EL(electroluminescent)表示装置、その他の自発光型表示装置、あるいは電気泳動素子等を有する電子ペーパー型表示装置等、あらゆるフラットパネル型又はフレキシブル型の表示装置に適用可能である。また、上述した実施形態は、中小型の表示装置から大型の表示装置まで、特に限定することなく適用が可能であることは言うまでもない。

40

上述した薄膜トランジスタTRは、表示装置以外の半導体装置に適用可能であり、例えば、各種メモリ、又は各種センサに適用可能である。

【符号の説明】

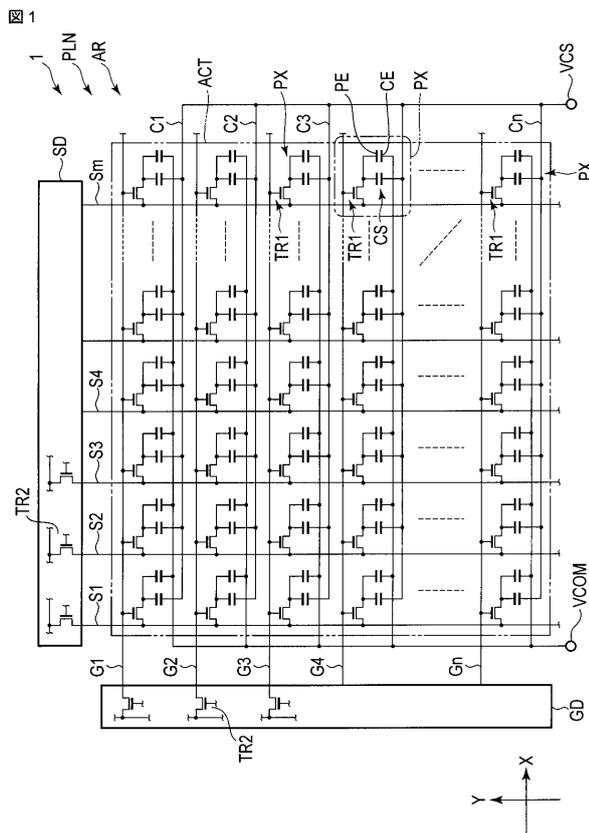
【0069】

10...第1絶縁基板、12...第1半導体層、12A...第1領域、12B...第2領域、1

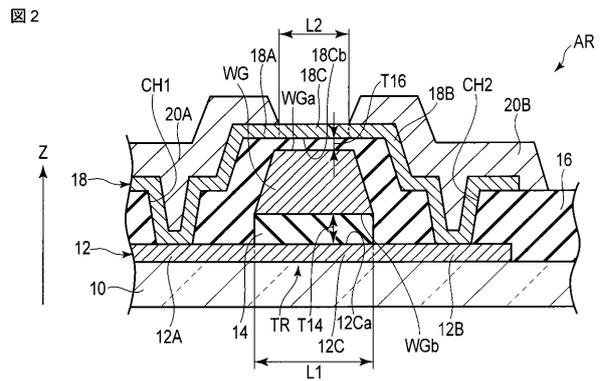
50

2 C ... 第1チャネル領域、1 4 ... 第1絶縁膜、WG ... ゲート電極、1 6 ... 第2絶縁膜、1 8 ... 第2半導体層、1 8 A ... 第3領域、1 8 B ... 第4領域、1 8 C ... 第2チャネル領域、2 0 A, 2 0 B ... 低抵抗配線、WG b, 1 8 C b ... 底面、1 2 C a, WG a ... 天面、T 1 4, T 1 6 ... 間隔、L 1 ... 第1チャネル長、L 2 ... 第2チャネル長。

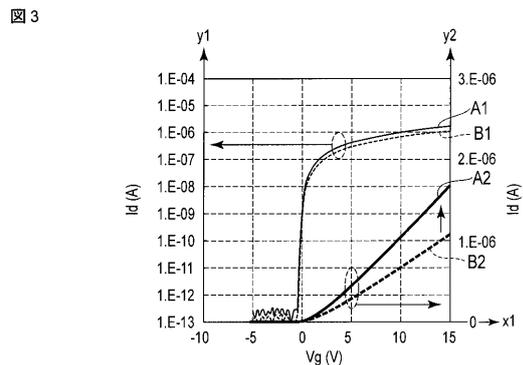
【 図 1 】



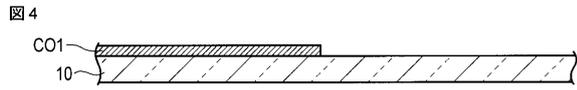
【 図 2 】



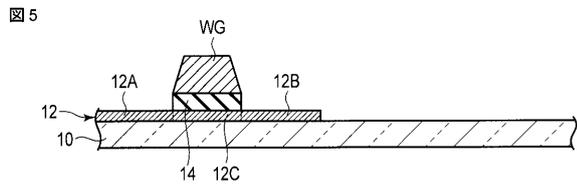
【 図 3 】



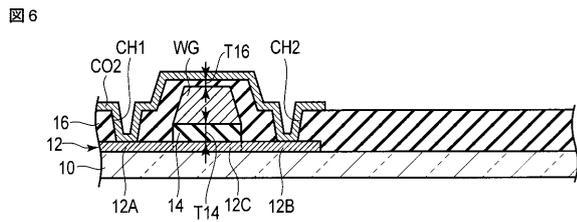
【 図 4 】



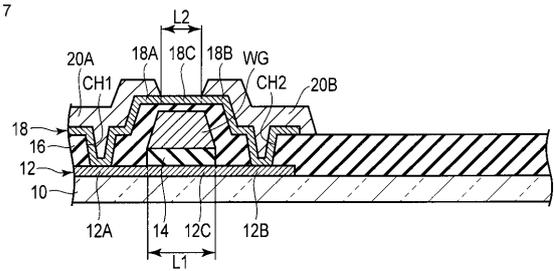
【 図 5 】



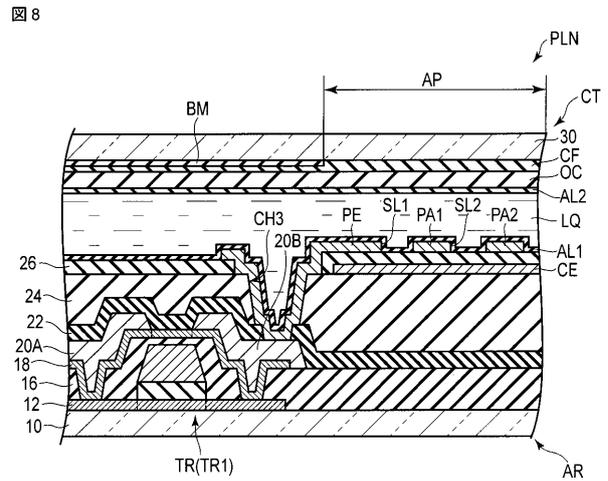
【 図 6 】



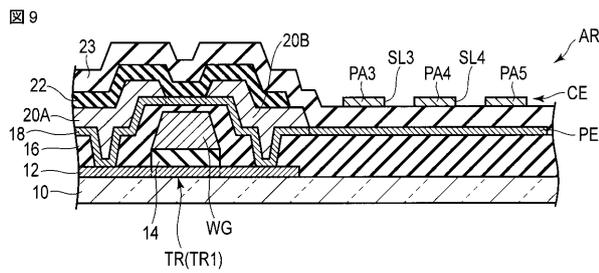
【 図 7 】



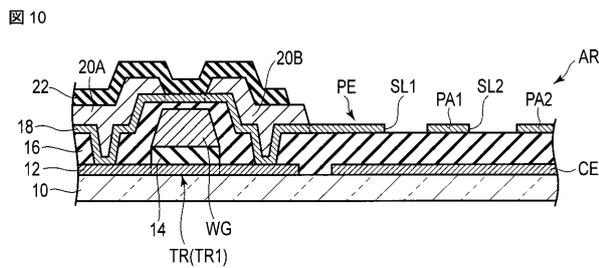
【 図 8 】



【 図 9 】



【 図 10 】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<b>G 0 2 F 1/1343 (2006.01)</b>	H 0 1 L 27/06	1 0 2 A
<b>H 0 1 L 27/08 (2006.01)</b>	G 0 2 F 1/1368	
	G 0 2 F 1/1343	
	H 0 1 L 29/78	6 1 3 Z
	H 0 1 L 27/08	3 3 1 E

(72)発明者 石田 有親  
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

(72)発明者 植村 典弘  
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

(72)発明者 三宅 博都  
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

(72)発明者 鈴村 功  
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

(72)発明者 山口 陽平  
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

Fターム(参考) 2H092 GA14 JA25 JA26 JA29 JA34 JA37 JA41 JA46 JB42 KA08  
NA21  
2H192 AA24 BB12 BB13 BC31 CB02 CB05 CB14 CB37 CB42 CC41  
DA12 EA22 EA43 JA32  
4M104 AA01 AA03 AA08 AA09 AA10 BB02 BB04 BB05 BB08 BB13  
BB14 BB16 BB17 BB18 CC01 CC05 DD12 DD37 DD43 EE03  
EE06 EE15 EE16 EE17 EE18 GG08  
5F048 AC01 AC10 BA14 BA16 BB01 BB03 BB09 BB11 BB12 BB16  
BC02 BC18 BD10 BF07  
5F110 AA04 AA07 AA08 AA16 BB02 BB11 CC02 CC07 CC10 DD01  
DD02 DD11 EE02 EE03 EE04 EE06 EE14 EE23 EE44 EE45  
FF01 FF02 FF03 FF09 FF28 FF30 GG01 GG02 GG05 GG13  
GG15 GG19 GG22 GG30 GG43 HJ02 HJ18 HJ30 HK02 HK03  
HK04 HK06 HK21 HL02 HL03 HL04 HL06 HL07 HL11 NN02  
NN03 NN22 NN23 NN24 NN27 NN73 NN77 NN78 QQ11