

公告本

申請日期	91 年 8 月 22 日
案 號	91119024
類 別	H01L 29/732

A4
C4

(以上各欄由本局填註)

578304

發明專利說明書

一、發明 名稱	中 文	多重操作電壓垂直替代閘電晶體
	英 文	Multiple operating voltage vertical replacement-gate (VRG) transistor
二、發明 人 創作	姓 名	(1) 保羅·雷門 Layman, Paul Arthur (2) 約翰·麥梅肯 McMacken, John Russell (3) 傑·湯瑪森 Thomson, J. Ross (1) 美國 (2) 加拿大 (3) 加拿大
	國 籍	(1) 美國佛羅里達州奧蘭多加農湖圓環七八九三號 7893 Cannon Lake Circle, Orlando, FL 32835 U.S.A.
	住、居所	(2) 美國佛羅里達州奧蘭多威藍歐克大道八一二四號 8124 Vineland Oaks Blvd., Orlando, FL 32835, U.S.A. (3) 美國佛羅里達州克勒蒙夏林大道五五六號 556 Summerwood Drive, Clermont, FL 34711, U.S.A.
三、申請人	姓 名 (名稱)	(1) 艾基爾系統管理公司 Agere Systems Guardian Corp.
	國 籍	(1) 美國 (1) 美國佛羅里達州奧蘭多南約翰洋公園路九三三三號
	住、居所 (事務所)	9333 S. John Young Parkway, Orlando, FL 32819, USA
	代 表 人 姓 名	(1) 佛迪納·羅馬諾 Romano, Ferdinand M.

裝
訂
線

申請日期	91 年 8 月 22 日
案 號	91119024
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

新 型

一、發明 名稱 新型	中 文	
	英 文	
二、發明人 創作	姓 名	(4) 賽門·邱吉 Chaudhry, Samir (5) 趙慶生 Zhao, Jack Qingsheng
	國 籍	(4) 印度 (5) 美國
三、申請人	住、居所	(4) 美國佛羅里達州威斯頓南迪那大道八八六號 886 Nandina Dr., Weston, FL 33327, U.S.A. (5) 美國賓夕法尼亞州奧菲德俯瞰路六六六二號 6662 Overlook Road, Orefield, PA 18069, U.S.A.
	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權

美國 2001年9月21日 09/961,477 有主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

發明領域

本發明係有關半導體裝置，其包含被設計以導通電流之各種導電型式的接面，以及製造此等裝置之方法。更明確地，本發明係有關操作於不同操作電壓之垂直替代閘（VRG）場效電晶體裝置，及用以製造包含此等裝置之積體電路的方法。

發明背景

提升半導體裝置性能及增加裝置密度（每單位面積之裝置數目）持續為半導體工業之重要目標。裝置密度之增加係藉由使個別裝置變小及更緊密地封裝裝置。但是，隨著裝置尺寸（亦稱為特徵尺寸或設計規則）減小，用以形成裝置及其構件之方法需被調適。例如，製造裝置尺寸目前為 0.25 微米至 0.18 微米之範圍，以一無可抵擋之趨勢朝向更小的尺寸。然而，隨著裝置尺寸縮小，某些製造限制便出現，特別是關於微影製程。事實上，目前的微影製程正接近一關鍵點，其中這些微影製程無法準確地製造裝置於當今裝置使用者所要求之必須的最小尺寸。

目前大部分金氧半導體場效電晶體（MOSFETs）被形成以一橫向架構，以其電流流動平行於基底之平面或主體表面。隨著這些 MOSFET 裝置之尺寸減小以獲得增加的裝置密度，製造程序漸漸地變得困難。特別地，用以產生閘極通道之微影製程是有問題的，因為其用以描述微影圖案之影像的輻射波長接近裝置尺寸。因此，對於橫向

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (2)

MOSFETs，閘極長度正接近一關鍵點，其中閘極長度無法透過微影技術而被精確地控制。

封裝密度之近期的進步已導致垂直 MOSFET 之數種變異。特別是，Takato, H., 等人之 “Impact of Surrounding Gates Transistor(SGT) for Ultra-High-Density LSI's”，IEEE Transactions on Electron Devices, Volume 38(3), pp. 573-577(1991)中所述之垂直裝置已被提議為平面 MOSFET 裝置之一替代方案。近來，已描述有以垂直替代閘電晶體為特徵之 MOSFET。參見 Hergenrother 等人之 “The Vertical-Replacement Gate(VRG)MOSFET” A50-nm Vertical MOSFET with Lithography-Independent Gate Length”，Technical Digest of the International Electron Devices Meeting, p.75, 1999。

多數製造於一積體電路晶片上之平面 MOSFET 有源裝置被顯示於圖 1 之橫斷面圖中。一基底 9 包括一 p+區 50 及一 p-層 52，後者通常係由一種外延技術所生長。MOSFETs (金氧半導體場效電晶體) 2、4 及 6 被製造於基底 9 中。MOSFET 2 係以一 LOCOS (矽基底上之局部氧化物) 分離自 MOSFET 4。類似地，MOSFET 6 係以一 LOCOS 區 12 而分離自 MOSFET 4。另一方面，MOSFETs 2、及 6 可藉由淺溝槽隔離 (STI) 技術而被電地分離。MOSFET 2 包含一閘極 14 及一源極區 16 及一汲極區 18，其係擴散入一 n 型井 20。MOSFET 4 包含一閘極 28 及一源極區 30 及一汲極區 32，其係擴散入一 p 型井 34。最後，MOSFET 6 包含一閘極 38 及一源極區 40 及一汲極區 42，其係擴散入一 n 型井 44。閘

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明（ 3 ）

極 14、28 及 38 係藉由一二氧化矽層 46（亦稱為閘極氧化物層）而分離自基底 9。因圖 1 為一積體電路之一部分的簡化表示，故各個接點、互連、通路及金屬層均未顯示且其特徵並未依比例描繪。特別有利的是，尤其於數位應用中，製造一 n 通道及 p 通道 MOSFETs 之組合於一晶片之相鄰區上。此互補式 MOSFET（CMOS）架構被顯示以圖 2 中之基本反向器電路之形式。MOSFETs（例如圖中之 MOSFETs 2 及 4）之汲極被連接在一起並形成輸出（ V_{out} ）。輸入終端（ V_{in} ）係由 MOSFET 閘極（例如圖 1 之閘極 14 及 28）之共同連接而形成。操作電壓被指定以 V_{DD} 。於圖 2 之概圖中，MOSFET 2 為 PMOS 裝置而 MOSFET 4 為 NMOS 裝置，如圖 1 之橫斷面圖所示。

當前的積體電路製造結合許多不同的功能及子系統於單一晶片上，例如，結合不同型式的邏輯電路、邏輯家族及記憶體元件。為了最佳的性能及最小的功率耗損，積體電路上之個別裝置可操作以不同的電壓。因此，有源裝置需被製造以必要的物理特性來容許選定的操作電壓。但是於產生這些物理特性時，亦希望減少及簡化製造製程步驟之數目。

例如，圖 1 之 MOSFETs 2、4 及 6 可被設計以操作於不同的操作電壓，即， V_{dd}/V_{ss} 。希望建立裝置操作電壓於最小值，其提供理想的性能以減少裝置之功率耗損，及全面地，晶片之功率耗損。然而，已知其有一反效果，因為裝置操作電壓減小則裝置之操作速度亦減小。因此，為了建立

五、發明說明 (4)

這些參數之最佳值，必須操作個別裝置於與理想速度性能一致的操作電壓。為了提供多重操作電壓，一攜載數個積體電路之印刷電路板包含多個電壓調整器以供應最佳操作電壓至每一晶片。再者，一單獨晶片可包含晶片上電壓驅動器及調整器電路以致其晶片中之裝置被供應以最佳操作電壓。

假設可有多重操作電壓於一晶片上，則可能亦有其由晶片之有源元件及電路所產生的多數輸出電壓。因此回應於先前輸出電壓之輸入電路或裝置需能夠符合輸出電壓。例如，一第一晶片上電路（其可包括單一有源元件或多數有源元件，諸如 CMOS 電路）具有範圍從零伏特至二伏特之輸出電壓，其個別代表二元的零及二元的壹。另一電路元件之輸出電壓為零伏特代表二元的零及五伏特代表二元的壹。因此，MOSFET 閘極終端（MOSFET 裝置之輸入裝置）需被設計以符合其來自電路鍊中之先前裝置的輸出信號之電壓範圍。因此，回到上述範例，某些 MOSFET 閘極電壓需符合零至二伏特之電壓範圍，而其他電壓需符合零至五伏特之電壓範圍。一旦閘極驅動電壓為已知時，則 MOSFET 閘極需被設計及製造以確保其閘極可承受該電壓。因此，操作於較高閘極電壓之 MOSFETs 將具有較厚的氧化物以避免於較高操作電壓時之閘極氧化物崩潰。因為閘極氧化物厚度影響臨限電壓，故亦需確保 MOSFET 將被閘極輸入電壓驅動至導通。此可藉由調整其影響臨限電壓之其他因素而完成，諸如通道區之摻雜位準及通道與閘極材料

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (5)

之工作功能。

一種改變氧化物生長之厚度的技術係涉及待被氧化之材料中的氮植入例如參見由 C.T. Liu 等人所著之論文名稱 "High Performance 0.2 μ m CMOS with 25 Angstroms Gate Oxide Grown on Nitrogen Implanted Silicon Substrates" , IEDM , 1996 , pp. 499-502 。如所已知，在熱氧化物生長製程前之氮植入導致氧化物生長之抑制。大的氮劑量產生薄的氧化物。此製程無法應用於依據本發明之技術所構成的 MOSFET ，因為無法獲得通達其中閘極被形成以植入氮之區的可接受入口。

發明概述

為了提供半導體裝置之多重操作電壓之使用的進一步提升，提供一種結構，用以產生操作於不同臨限電壓之垂直替代閘（VRG）MOSFET 裝置。

依據本發明之一實施例，一種半導體裝置包含半導體材料之第一層及形成於其中之第一及第二隔離的摻雜區。一不同於第一及第二區之導電型式的第三摻雜區被形成於第一區之上。一具有不同於第二摻雜區之導電型式的第四摻雜區被形成於第二摻雜區之上。不同厚度之第一及第二氧化物層個別被形成於接近第三及第四摻雜區。

第一隔離區為第一場效電晶體之一源極/汲極區，而第三摻雜區為通道。第二場效電晶體之源極/汲極區包括第二隔離的摻雜區，而第四摻雜區形成其通道。每一 MOSFET

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (6)

之第二源極/汲極被形成於每一通道之上。

因為，如上所討論，於一晶片上之一有源裝置的輸出電壓可作用為電路鍊中之下一個有源裝置的輸入電壓，所以後者需能夠於其性能參數之內處理輸入電壓。因為一 MOSFET 之輸入終端為閘極，所以 MOSFET 閘極需被設計以承受來自前面裝置之輸出電壓。於 CMOS 電路中，輸出電壓通常為操作電壓或 V_{dd} 。因此，閘極需能夠承受其所回應之裝置的操作電壓。用以避免閘極崩潰之相關的閘極參數為閘極氧化物厚度。因為 MOSFET 臨限電壓亦為閘極氧化物厚度之函數，所以改變厚度以符合輸入操作電壓（例如，使閘極氧化物變厚）可能對於臨限電壓有不利的效果。然而，假如其由所需之氧化物厚度而得的臨限電壓無法接受，則臨限電壓可藉由改變其影響臨限電壓之一或更多其他因素而被修改，例如，MOSFET 材料之工作功能差異、或通道摻雜，其因而影響表面電位。

於一種相關的製造方法中，製造一積體電路結構，藉由提供一適於裝置形成且具有一沿著第一平面而形成之表面的半導體層。對於第一垂直場效電晶體，一第一裝置區被形成於半導體層中，其中裝置區係選自一源極與一汲極區之間。對於第二垂直場效電晶體，一第二裝置區被形成於半導體層中，其中第二裝置區係選自一源極與一汲極區之間。每一第一及第二場效電晶體之閘極區被個別形成於第一及第二裝置區之上。每一閘極區具有不同的厚度，假如兩個裝置欲以不同臨限電壓操作時。於製造垂直電晶體

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (7)

時，閘極氧化物層厚度係藉由使用遮蔽及蝕刻步驟而控制。以此技術，則多數場效電晶體被產生，其中每一電晶體具有一臨限電壓，其被建立以適當地介面與來自前面電路元件之輸出信號。

圖形簡述

本發明可被更輕易地瞭解，且其進一步的優點及使用變得更清楚明白，當參考較佳實施例之敘述及下列圖形以閱讀之後，其中：

圖 1 係一習知技術 CMOS 積體電路之橫斷面圖。

圖 2 至 4 係 CMOS 積體電路之部分概圖。

圖 5 至 17 係以橫斷面方式顯示依據本發明之一實施例的一電路結構，於依序製造步驟期間。

圖 18 係依據本發明之另一實施例所構成的 CMOS 裝置之概圖。

依據一般慣例，各所述之特徵並未依比例描繪，而係被描繪以強調與本發明相關之特定特徵。於所有圖形及內文中參考數字係代表類似的元件。

元件對照表

2, 4, 6: 金氧半導體場效電晶體

9: 基底

10: 積體電路結構

14: 閘極

(請先閱讀背面之注意事項再填寫本頁)

訂

裝

五、發明說明 (8)

- 16:源極區
- 18:汲極區
- 20:n型井
- 28:閘極
- 30:源極區
- 32:汲極區
- 34:p型井
- 38:閘極
- 40:源極區
- 42:汲極區
- 44:n型井
- 46:二氧化矽層
- 50:p+區
- 52:p-層
- 68:CMOS積體電路
- 70, 74:PMOS
- 72, 76:NMOS
- 78:積體電路
- 82, 84:NMOS裝置
- 100:單晶半導體層
- 106:主表面
- 108:溝槽
- 110:二氧化矽
- 112:n井區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

- 114:p 井區
- 116:p 型源極/汲極區
- 118:n 型源極/汲極區
- 120:導電層
- 122:絕緣層
- 124:絕緣層
- 126:薄絕緣層
- 130:層
- 134, 136, 138:絕緣層
- 142, 144:窗
- 146:凹處
- 148:保形層
- 150:電介質區
- 151, 152:結晶矽層
- 153, 154:源極/汲極延伸區
- 160, 162:通道區
- 164, 166:多晶墊區
- 180, 190:MOSFETs
- 192, 202:電介質層
- 210 A, 212A, 210B, 212B:MOSFETs
- 220A, 222A, 220B, 222B:閘極氧化物層
- 230, 234:閘極區

本發明之詳細敘述

五、發明說明 (10)

所述之實施例包含 CMOS 結構及相關的製造技術。一種用以製造 CMOS 垂直 MOSFETs 之製程被描述於本案申請人所有之美國專利申請案序號 290,533 中，其名稱爲 “A CMOS Integrated Circuit Having Vertical Transistors and a Process for Fabricating Same”，其係於 1999 年一月 18 日申請且併入於此以供參考。垂直電晶體 MOSFETs (NMOS 或 PMOS 型) 之結構及製造的更一般性敘述係揭露於本案申請人所有之美國專利編號 6,027,975，其亦併入於此以供參考。

圖 3 係一 CMOS 積體電路 68 之一部分概圖，其顯示兩對 CMOS 裝置。PMOS 70 及 NMOS 72 形成一第一 CMOS 對；PMOS 74 及 NMOS 76 形成一第二 CMOS 對。 V_{in1} 係 PMOS 70 及 NMOS 72 之間極驅動信號，其產生一輸出信號 (V_{out1}) 於共同汲極連接。 V_{in2} 係 CMOS 對 PMOS 74 及 NMOS 76 之間極信號，其產生一輸出信號 V_{out2} 。進一步注意其 PMOS 70 係回應於一汲極電壓 V_{dd1} ，而 PMOS 74 係回應於一汲極電壓 V_{dd2} 。汲極電壓 V_{dd1} 及 V_{dd2} 可被產生於晶片外或晶片上，雖然其係於圖 3 被顯示爲起始自一晶片外電壓源。因爲於一實施例中， V_{dd1} 及 V_{dd2} 不相等，所以 V_{out1} 不等於 V_{out2} 。於一典型的電路架構中，輸出信號 V_{out1} 均 V_{out2} 均可驅動一電路鍊中之下一個有源元件。例如， V_{out1} 可作用爲輸入信號 V_{in2} ，而 V_{out2} 可被供應至積體電路 68 中之另一有源元件或傳送至晶片外。 V_{in1} 可由積體電路 68 中之另一電路所產生或者係起源自一晶片外來源。於任一情況下，應清楚

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (11)

其不同操作電壓（如由操作電壓 V_{dd1} 及 V_{dd2} 所建立者）之使用係產生不同的輸出電壓於 CMOS 電路之輸出終端。結果，包括 PMOS 70 及 NMOS 72 之 CMOS 對需被製造以回應一被提供為 V_{in1} 之輸入信號的第一範圍。此外，假如 V_{dd1} 不等於 V_{dd2} ，則包括 PMOS 74 及 NMOS 76 之 CMOS 對需符合其由 V_{in2} 所代表之輸入電壓的範圍。明確地，PMOS 70、NMOS 72、PMOS 74 及 NMOS 76 之閘極電路需個別被製造以符合輸入電壓 V_{in1} 及 V_{in2} 之範圍。

圖 4 顯示另一包括 NMOS 裝置 82 及 NMOS 裝置 84 之示範積體電路 78。如圖 3 所示，輸入信號 V_{s1} 及 V_{s2} 可不在相同電壓範圍內而因此 NMOS 裝置 82 及 84 需被製造以符合可應用的輸入信號範圍。注意，於此例中，其 NMOS 82 及 NMOS 84 之汲極終端被連接至單一供應電壓， V_{dd1} 。每一電晶體係操作自相同供應電壓之事實並非用以調適閘極輸入信號所需之閘極結構的限定條件。每一電晶體之汲極電壓（無論是否每一均相同或者不同）僅決定來自裝置之輸出電壓。因為 MOSFET 操作電壓係根據多種設計及操作特性而被選取，所以可能將有數個操作電壓被應用於當前的積體電路上。

關於電晶體及積體電路之製造，術語“主表面”係指其多數電晶體所被製造之半導體層的表面，例如，於一平面製程中。如此處所使用，術語“垂直”代表實質上正交與主表面。通常，主表面係沿著其場效電晶體裝置所被製造之一單晶矽層的 $\langle 100 \rangle$ 平面。術語“垂直電晶體”代表一電晶體，其

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (12)

具有相對於主表面垂直地定向之個別半導體組件以使得其電流係垂直地從源極流至汲極。舉例而言，針對一垂直 MOSFET，源極、通道及汲極區被形成以相對於主表面之相對地垂直校直。

圖 5 至 17 顯示一積體電路結構 10 之橫斷面圖，於製造之各個階段期間，用以構成依據本發明之一示範電路功能。從其敘述，將明白多數垂直 CMOS 電晶體如何可被單獨構成或者結合與其他裝置，例如，雙極接面電晶體、電容及電阻，以形成一積體電路。圖 13 及 14 之完整電路結構顯示依據本發明之教導的不同閘極氧化物厚度。

參考圖 5，顯示一單晶半導體層 100，其具有一暴露的主表面 106 沿著一結晶平面而形成於層 100 之上部分上。一隔離溝槽 108（其係藉由傳統技術而被形成於表面 106 中）被填充以沈積的二氧化矽 110。溝槽之一目的係於兩區之間產生電隔離，於此兩區之上欲形成一對互補場效電晶體。於此範例中，一 n 井區 112 及一 p 井區 114 被傳統地形成於沿著表面 106 之電隔離中，其各位於溝槽 108 之不同側上。例如 n 井區 112 可被形成以一硼植入（300 至 500keV, $1 \times 10^{13}/\text{cm}^2$ ）而 p 井區 114 可接收一磷植入（300 至 500keV, $1 \times 10^{13}/\text{cm}^2$ ）。在井區 112 及 114 形成之後，一 p 型源極/汲極區 116 被形成於井區 112 中，而一 n 型源極/汲極區 118 被形成於井區 114 中。源極/汲極區係沿著表面 106 而被形成且可藉由離子植入而被形成，例如，p 型源極/汲極區 116 係藉由 $3 \times 10^{13}/\text{cm}^2$ 至 $10 \times 10^{15}/\text{cm}^2$ 之 100keV 硼植入而形成於

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (13)

井區 112 上，而 n 型源極/汲極區 118 係藉由 $3 \times 10^{15}/\text{cm}^2$ 至 $10 \times 10^{15}/\text{cm}^2$ 之 100keV 磷植入而形成於井區 114 上。

參考圖 6，多數層被形成於半導體 100 之上，最開始係一導電層 120，其係置於鄰近或者在源極/汲極區 116 及 118 之上且進一步延伸於隔離溝槽 108 之上。爲了減少導電層 120 之片電阻，其應包括金屬且（於一較佳實施例）爲一金屬矽化物，諸如矽化鎢，其係藉由化學汽相沈積所形成。其他材料包含矽化鈷，以及氮化鈦及氮化鎢。其他的低片電阻材料，特別是那些小於 50 ohm/square 之片電阻的材料，可被使用以形成導電層 120。如圖 6 中所示，數層電介質材料被形成於導電層 120 之上，最開始係一薄絕緣層 122。層 122 最好是由氮化矽所形成且具有厚度範圍於約 5 nm 與約 50 nm 之間，以作用爲一擴散障壁而供 n 型及 p 型摻雜物藉由固態擴散方式來擴散（其將被討論於下），且亦作用爲一蝕刻擋止層。於層 122 上沈積有一相當厚的絕緣層 124，而接著沈積另一薄絕緣層 126。層 126 亦作用爲擴散障壁及蝕刻擋止。氮化矽被用作絕緣層 126 之適當材料。

一包括二氧化矽之層 130 被沈積於層 126 之上。層 130 爲一犧牲層，其後來係依據替代閘製程而被移除，如上述專利編號 6,027,975 中所述。層 130 之厚度界定其後續所形成之 MOSFET 閘極的長度。層 130 之二氧化矽可藉由傳統沈積方式而被形成自一四乙基氧矽（TEOS）先質。

絕緣層 134、136、及 138 被接著沈積於二氧化矽層 130 之上。層 134（最好是氮化矽）之厚度及功能係類似於層

訂

線

五、發明說明 (14)

126。於層 130 之各側上之兩層 126 及 134 將接著提供補償間隔物及蝕刻擋止功能。其各具有厚度範圍於約 5 nm 與約 50 nm 之間且通常包括得以於層 130 之移除期間抵擋蝕刻之材料。尤其，這些蝕刻擋止層之厚度主要地係根據其蝕刻擋止材料對於所選定蝕刻劑之抗性，相對於欲於蝕刻製程期間移除之上或下層中的材料之深度。亦即，作為一有效的蝕刻擋止，則蝕刻劑無法穿透蝕刻擋止層，於該蝕刻劑蝕刻欲移除之層期間。層 126 及 134 亦作用為 n 型及 p 型摻雜物之摻雜物擴散障壁，其（將討論於後）係藉由固體相擴散而被擴散自層 124 及 136，藉以界定後續所形成之源極/汲極延伸相對於各電晶體之閘極的間隔及長度。

於以下所述之後續處理步驟期間，絕緣層 124 及 136 係作用以摻雜通道區而形成各電晶體之源極/汲極延伸（透過一固體相擴散製程）、產生鄰近閘極氧化物之低電阻延伸區。氧化矽摻雜源之範例為 PSG（磷矽酸鹽玻璃，即，摻雜硼之氧化矽），其可藉由（例如）電漿加強化學汽相沈積（PECVD）而被沈積。層 124 及 126 之適當厚度為約 25 nm 至約 250 nm 之範圍內。至此，層 124 及 126 均含有高濃度（ $1 \times 10^{21} / \text{cm}^3$ 之等級）的摻雜物。為了產生 n 及 p 型電晶體於此 CMOS 裝置中，層 124 及 126 需被分叉以提供相應電晶體之適當的摻雜物型式。一種達成此目的之方式係沈積一種摻雜物型式之一均勻薄膜；接著以傳統的微影術，遮蔽及蝕刻以移除沈積層之部分。接下來，一相反摻雜物型式之層被選擇性地沈積於其被移除之區中。於另一實

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (15)

施例中，一未摻雜層被沈積。該層之一區被遮蔽且一第一摻雜物型式被植入未遮蔽區。接著植入區被遮蔽而一第二摻雜物型式被植入未遮蔽區。當其被形成時，層 124 及 136 係使用一種化學機械製程 (CMP) 而被平坦化。

一層 138 被形成於層 136 之上且其材料成分及厚度係與層 126 及 134 相當。層 138 作用為一 CMP 擋止層於後續處理中而因此具有符合此功能之厚度，例如，至少約 25 nm。層 138 亦作用為 n 及 p 型摻雜物之擴散障壁於固體相擴散製程期間。

所有層 122、124、126、130、134、136 及 138 均可使用傳統化學汽相沈積 (CVD) 製程或其他常見的沈積技術而被沈積。關於前述各層之程序，應注意其他的實施例可包含顯著的差異，例如，可包含較少的沈積層。於任何情況下，所得的結構將形成 CMOS 裝置中之每一場效電晶體的一垂直通道區。

圖 7 顯示形成於 n 型井區 112 上之一第一溝槽或窗 142 及形成於 p 型井區 114 上之一第二溝槽或窗 144。溝槽 142 及 144 係藉由利用光抗蝕劑之傳統成型並接著執行各向異性蝕刻而被形成，其僅移除多重層之垂直部分，而停止於源極/汲極區 116 及 118。溝槽 142 及 144 之形成所需的蝕刻化學及其他細節為眾所周知的且未進一步描述於此。

如圖 8 中所示，凹處 146 被產生於溝槽 142 及 144 中，藉由一種選擇性的各向同性蝕刻製程，其移除溝槽 142 及 144 之產生期間所暴露的導電層 120 之部分。適當蝕刻化學

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (16)

之選取係根據導電層 120 之成分。例如，對於選擇性矽化物濕式蝕刻之適當化學物為硫酸與過氧化氫之混合物。

在凹處 146 形成之後，二氧化矽之一薄的保形層 148 被沈積沿著溝槽 142 及 144 之壁及底部與層 138 之暴露表面上。二氧化矽層 148 亦沈積於凹處 146 中，如圖 9 所示。

二氧化矽層 148 之一各向異性蝕刻移除氧化物自溝槽 142 及 144 之底部及大部分壁部，而容許二氧化矽電介質區 150 保留於凹處 146 中。參見圖 10。雖然電介質區 150 包括二氧化矽於此實施例中，但其他絕緣材料（摻雜或未摻雜）亦可被使用。

藉由其產生溝槽 142 及 144 之蝕刻製程以暴露源極/汲極區 116 及 118 之部分，則單晶矽此刻被磊晶地生長自溝槽 142 及 144 底部上之這些區，以個別地形成裝置品質的結晶矽層 151 及 152 於溝槽 142 及 144 中。結晶矽層 151 適於產生源極/汲極延伸區 153 於一通道區 160 之上及之下。結晶層 152 適於產生源極/汲極延伸區 154 於一通道區 162 之上及之下。上源極/汲極延伸 153 及 154 係藉由固體相擴散而被形成自使用絕緣層 124，且下源極/汲極延伸 153 及 154 係藉由固體相擴散而被形成自使用絕緣層 136。通道區 160 可為未摻雜或輕度摻雜以一 n 型材料。通道區 162 可為未摻雜或輕度摻雜以一 p 型材料。最好是，其形成通道區 160 及 162 之半導體材料包括矽鍺及矽鍺碳。假如通道區 160 及 162 被形成以一未摻雜狀態，則其可於後來被摻雜。此外，結晶層 151 及 152 之結晶材料可被沈積為非晶或多

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (17)

晶層，且後續藉由（例如）一傳統的電熱爐退火或雷射退火。延伸於層 138 之上的結晶層 151 及 152 之任意部分係藉由（例如）CMP 而被移除，其使得結晶層 151 及 152 與層 138 同樣平坦。

參考圖 12，多晶墊區 164 及 166 接著係藉由標準的沈積、植入、微影及蝕刻技術而被形成。墊區 164 及 166 被適當地摻雜以提供關於每一個別相關通道區 160 及 162 之導電性的源極/汲極區。墊區 164 及 166 係個別由電介質層 192 或 202 所覆蓋。氮化矽被認為是層 192 及 202 之適當材料。在層 192 及 202 被沈積之後，犧牲二氧化矽層 130 被移除（例如，以一種選擇性 HF 蝕刻）。參見圖 13。

於製程之此刻，閘極氧化物電介質區被熱地生長。圖 14 至 16 顯示有關四個 MOSFETS 210A 與 212A（其形成第一 CMOS 對）及 210B 與 212B（其形成第二 CMOS 對）之製程。以此方式，本發明之教導係由兩個 CMOS MOSFET 對之應用而被說明，其中每一對係操作於一不同的閘極電壓，亦即，其中閘極電壓係由電路中之前一級的操作電壓所決定。於製造程序之此階段時，圖 14 之 MOSFETs 210A、212A、210B 及 212B 的結構係代表圖 13 之 MOSFETs 180 及 190。

依據一較佳實施例，具有不同操作電壓之垂直替代閘 CMOS 電晶體係依據下列步驟而形成。如圖 14 中所示，首先，等厚度之最初閘極氧化物層 220A、222A、220B 及 222B 被個別生長於每一垂直替代閘電晶體 210A、212A、

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (18)

210B 及 212B 之通道區 160A、162A、160B 及 162B 中。假設其 MOSFETs 210A 及 212A 欲操作於較高的操作電壓（因而需要一較厚的閘極氧化物層），則其係依據已知的微影技術而被遮蔽。最初氧化物層 220B 及 222B 被接著移除自未遮蔽的 MOSFETs 210B 及 212B。參見圖 15。遮蔽被移除且一第二閘極氧化物沈積被執行。於此第二閘極氧化期間，遮蔽的閘極氧化物區 220A 及 222A 將長得更厚，雖以一較非遮蔽 MOSFETs 210B 及 212B 上之新氧化物層 220B 及 222B 的生長更緩慢的速率。參見圖 16。因此於第二閘極氧化物沈積製程結束時，已形成了兩種不同的閘極氧化物厚度。相當厚的閘極氧化物 220A 及 222A 已被形成於 MOSFETs 210A 及 212A，而相當薄的閘極氧化物 220B 及 222B 已被形成於 MOSFETs 210B 及 212B。此製程可被重複任何次數以產生任何數目的閘極氧化物厚度，且可被應用於積體電路上之任何數目的 MOSFETs。

代表性的最小閘極氧化物厚度值及其將支援之近似操作電壓被顯示如下。

閘極氧化物厚度(埃)	操作電壓(Vdd 以伏特為單位)
20	1.5
36	2.5
50	3.0
110	5.0

於製程此階段時，摻雜物最好是從絕緣層 126 及 134

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (19)

藉由固體相擴散而被驅使進入結晶層 151 及 152 以形成源極/汲極延伸 153 及 154。使用固體相擴散之優點在於其源極及汲極延伸（及因而其裝置之通道）被對齊與其將變為最終裝置之閘極者。結晶層 151 之該部分中的摻雜物之濃度（其係被摻雜自絕緣層 124 及 136）通常為約 $1 \times 10^{19}/\text{cm}^3$ ，以其約 $5 \times 10^{19}/\text{cm}^3$ 之摻雜物濃度預期為有利的。以此固體相擴散技術，則可獲得極淺的源極及汲極延伸。源極/汲極延伸 153 及 154 被顯示為穿透入結晶層 151 及 153，最好是少於結晶層 151 及 153 之寬度的一半。以此方式限制摻雜物穿透得以避免來自結晶層 151 及 153 之相反側的摻雜區中的顯著重疊。同時，源極/汲極延伸 153 及 154 延伸於裝置閘極（將被形成於如下所解釋之後續步驟）底下的距離最被限制為小於閘極長度的四分之一，藉以限制重疊電容。如那些熟悉此項技術者所已知，源極/汲極延伸 153 及 154 中之摻雜物與通道 160 及 162 中之摻雜物為相反的導電型式。

如圖 17 中所示，接下來多晶矽閘極區 230 及 234 被沈積。閘極 230 屬於 MOSFETs 210A 及 212A，用以控制通過通道 160A 及 162A 之導電。閘極 240 屬於 MOSFETs 210B 及 212B，用以控制通過通道 160B 及 162B 之導電。閘極區 230 及 234 係藉由插入之絕緣層 122、124 及 126 而被形成於（但分離自）導電層 120。氮化矽層 134 與 138 以及二氧化矽層 136 之部分被置於閘極區 230 及 234 之上。

如上所述，層 192A 及 192B 壓在源極/汲極區 164A 及

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (20)

164B 之部分上。層 202A 及 202B 壓在源極/汲極區 166A 及 166B 之部分上。鄰近每一插塞 164A、164B、166A 及 166B 之相反側的電介質隔片 236 係藉由傳統的沈積、遮蔽及蝕刻步驟而形成，且最好是由氮化矽所組成。閘極輸入接點 240 及 244 被個別地連接至閘極 230 及 234 以交替地使 CMOS 對中之一 MOSFET 成爲導電狀態。

導電層 120 最好是一連續薄膜，其電地連接 MOSFET 210A 之源極/汲極區 116 與 MOSFET 212A 之源極/汲極區 118。絕緣區 150 隔離導電層 120 以免其直接接觸與源極/汲極延伸 153A 及 154A 之一。假如絕緣區 150 不存在，則介於導電層 120 與結晶矽之間的介面可能產生影響電性能之位移。除了消除區域密集接觸窗以影響介於源極/汲極區 116 與 118 間的連接之外，導電層 120 提供一低的片電阻連接於源極/汲極區 116 與源極/汲極區 118 之間。

源極/汲極區 164A、168A、168B 及 166B 可各作用爲一經由個別接點 250A、252A、250B 及 252B 而連接至不同電壓軌（例如， V_{dd} 及 V_{ss} ）之源極區。參見圖 17。源極/汲極區 116 及 118 可各作用爲汲極區。MOSFET 210A 及 MOSFET 212A 操作爲一第一反向器，以其輸入信號供應至閘極輸入接點 240 及輸出信號於 MOSFET 210A 及 MOSFET 212A 之源極/汲極區 116 及 118 上。MOSFET 210B 及 MOSFET 212B 操作爲一第二反向器，以其輸入信號供應至閘極輸入接點 242 及輸出信號於 MOSFET 210B 及 MOSFET 212B 之源極/汲極區 116 及 118 上。參考圖 3 之電路，PMOS 70 及 NMOS 72

(請先閱讀背面之注意事項再填寫本頁)

訂

總

五、發明說明 (21)

係由 MOSFETs 210A 及 212A 所提供。PMOS 74 及 NMOS 76 係由 MOSFETs 210B 及 212B 所提供。一依慣例所形成之淺的溝槽隔離結構 270 係將第一反向器隔離自第二反向器，於圖 17 之實施例中。

於本發明之另一實施例中，兩個 MOSFETs 300 及 302 (參見圖 18) 被形成為如上述之具有不同的氧化物厚度，但其個別的源極及汲極終端被電地連接以形成兩個平行的獨立控制之 MOSFETs。閘極係使用傳統溝槽或矽之局部氧化 (LOCOS) 技術而被電隔離。MOSFETs 具有一不同的閘極氧化物厚度，而因此各具有一不同的臨限電壓。

回到圖 3 之概圖，注意其每一 MOSFET 對 (PMOS 70/NMOS 72 及 PMOS 74/NMOS 76) 係回應於不同的供應電壓 (V_{dd}/V_{ss})。假如 V_{in1} 被設定等於 V_{in2} ，藉由連接 MOSFET 閘極終端，及， V_{out1} 被設定等於 V_{out2} ，藉由連接兩個輸入終端，則所得的裝置代表一第三邏輯裝置，其具有一邏輯位準 (假如第一 MOSFET 對 (PMOS 70/NMOS 72) 導電時)、一第二邏輯位準 (假如第二 MOSFET 對 (PMOS 74/NMOS 76) 導電時)、及一第三邏輯位準 (假如兩 MOSFET 對均未導電時)。

雖然本發明已被描述配合上 MOSFET 裝置之形成，其被構成以形成簡單的 CMOS 積體電路，那些熟悉此項技術者將理解其本發明之教導可應用於一積體電路上之多重 VRG MOSFET 裝置的形成。藉由透過沈積、遮蔽及進一步的沈積部分以控制每一 VRG MOSFET 之閘極氧化物厚度，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(22)

則可產生一積體電路，其中每一 MOSFET 操作於一不同之選定的操作電壓。已描述一種架構，其可用於提供多重操作電壓替代閘 CMOS 電晶體於一電路結構上。雖然本發明之特定應用已被說明，但此處所揭露之原理係提供以多種方式及多種結構來實施本發明之基礎，其包含以族群 III - IV 化合物及其他半導體材料所形成之結構。雖然示範實施例係屬於電壓替代閘 CMOS MOSFETs，但各種變異已被預期。這些變異包含利用一導體層（諸如導電層 120）以連接其他型式之半導體裝置（諸如垂直雙極電晶體裝置、二極體、及更一般地，擴散區）與其他裝置或一半導體層中之區的結構。又其他於此未明確指明之結構並非背離本發明之範圍，其僅由後附之申請專利範圍所限定。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱: 多重操作電壓垂直替代閘電晶體)

一種用以產生多重操作電壓 MOSFETs 之結構。通常，一積體電路結構包含一半導體區(其具有沿著一平面而形成之主表面)以及形成於表面中之第一及第二隔離的摻雜區。一第三摻雜區(其形成一具有與第一區不同導電型式之通道)被置於第一區之上。一具有不同導電型式且形成一通道之第四摻雜區被置於第二區之上。產生各該兩個電晶體之閘極結構的製程容許形成不同厚度之氧化物層於兩個電晶體之間。電晶體因而能夠操作於不同的操作電壓(包含不同的臨限電壓)。每一電晶體進一步包含第五及第六層，其係個別置於第三及第四區之上且具有與第三及第四區相反的導電型式。

於一種製造半導體裝置之相關方法中，一第一及第二源極/汲極區被形成於一半導體層中。一第一場效電晶體閘極區(包含一通道及一閘極電極)被形成於第一源極/汲極區之上，而一第二場效電晶體閘極區被形成於第二源極/汲極區之上。第五及第六源極/汲極區被接著形成於每一第一及第二場效電晶體且進一步具有適當的導電型式。可變厚

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

英文發明摘要(發明之名稱:)

MULTIPLE OPERATING VOLTAGE VERTICAL
REPLACEMENT-GATE (VRG) TRANSISTOR

An architecture for creating multiple operating voltage MOSFETs. Generally, an integrated circuit structure includes a semiconductor area with a major surface formed along a plane and first and second spaced-apart doped regions formed in the surface. A third doped region forming a channel of different conductivity type than the first region is positioned over the first region. A fourth doped region of a different conductivity and forming a channel is positioned over the second region. The process of creating the gate structure for each of the two transistors allows for the formation of oxide layers of different thickness between the two transistors. The transistors are therefore capable of operating at different operating voltages (including different threshold voltages). Each transistor further includes fifth and sixth layers positioned respectively over the third and fourth regions and having an opposite conductivity type with respect to the third and fourth regions.

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要 (發明之名稱:)

度之閘極氧化物係藉由適當的遮蔽、蝕刻、及再生長閘極氧化物而產生。因此，所形成的電晶體操作於不同的操作電壓。因而可於一積體電路中形成多數操作於不同操作電壓（其為閘極氧化物厚度之函數）之此等電晶體。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要 (發明之名稱:)

In an associated method of manufacturing the semiconductor device, a first and second source/drain regions are formed in a semiconductor layer. A first field-effect transistor gate region, including a channel and a gate electrode is formed over the first source drain region and a second field-effect transistor gate region is formed over the second source/drain region. Fifth and sixth source/drain regions are then formed for each of the first and second field-effect transistors and further having the appropriate conductivity type. Variable thickness gate oxides are created by appropriately masking, etching, and regrowing gate oxides. As a result, the formed transistors operate at different operating voltages. Thus a plurality of such transistors operating at different operating voltage (as a function of the gate oxide thickness) can be formed in an integrated circuit.

經濟部智慧財產局員工消費合作社印製

訂

六、申請專利範圍 1

1. 一種積體電路結構，包括：
 - 半導體層，其具有沿著一平面而形成之主表面；
 - 第一及一第二隔離的摻雜區，其係形成於表面中；
 - 第三摻雜區，其係位於該第一摻雜區之上且具有與該第一摻雜區不同的導電型式；
 - 第四摻雜區，其係位於該第二摻雜區之上且具有與該第二摻雜區不同的導電型式；
 - 第一預定厚度之第一氧化物層，其係接近該第三摻雜區；及
 - 第二預定厚度之第二氧化物層，其係接近該第四摻雜區。
2. 如申請專利範圍第 1 項之積體電路結構，其中第一摻雜區係第一 MOSFET 之第一源極/汲極區，而第三摻雜區係第一 MOSFET 之通道區。
3. 如申請專利範圍第 1 項之積體電路結構，其中第三摻雜區係第二 MOSFET 之第一源極/汲極區，而第四摻雜區係第二 MOSFET 之通道區。
4. 如申請專利範圍第 3 項之積體電路結構，其中第一及第二 MOSFETs 具有不同的臨限電壓。
5. 如申請專利範圍第 1 項之積體電路結構，進一步包括：
 - 第五摻雜區，其係位於第三摻雜區之上且具有與第三摻雜區不同的導電型式，其中該第五摻雜區係第一 MOSFET 之第二源極/汲極區；

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍 2

一 第六摻雜區，其係位於第四摻雜區之上且具有與第四摻雜區不同的導電型式，其中該第六摻雜區係第二 MOSFET 之第二源極/汲極區；及

其中該第一及該第二 MOSFETs 具有不同的臨限電壓。

6.如申請專利範圍第 5 項之積體電路結構，進一步包括一第一閘極接點以電通連與第一氧化物層，其形成第一 MOSFET 之閘極、及一第二閘極接點以電通連與第二氧化物層，其形成第二 MOSFET 之閘極，而其中第一及第二 MOSFETs 由於不同的閘極氧化物厚度而可承受不同的閘極輸入電壓。

7.如申請專利範圍第 5 項之積體電路結構，其中第一氧化物層係第一 MOSFET 之閘極氧化物層，且其中第二氧化物層係第二 MOSFET 之閘極氧化物層，而其中第一及第二 MOSFETs 具有不同的臨限電壓。

8.如申請專利範圍第 1 項之積體電路結構，其中第一及第二摻雜區係第一及第二源極/汲極區，而其中地三及第四摻雜區係通道區，此積體電路結構進一步包括：

一 第五及一第六隔離的源極/汲極區，其係各自垂直地校直與第三與第四摻雜區之一，其中該第五及該第六摻雜區之導電型式係個別與相鄰的地三及第四摻雜區之導電型式相反；

其中第一、第三、及第五摻雜區形成第一電晶體，而其中第二、第四及第六摻雜區形成第二電晶體；

一 第一及一第二導電元件，其係個別地相鄰於第一及

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍 3

第二氧化物層，用以控制個別第一及第二電晶體之操作；
及

其中第一及第二 MOSFETs 之崩潰電壓係個別相關於第一氧化物層厚度及第二氧化物層厚度。

9.如申請專利範圍第 8 項之積體電路結構，其中第一及第二導電元件包括多晶矽且個別作用為第一及第二電晶體之閘極。

10.一種積體電路結構，包括：

一半導體層，其具有沿著一平面而形成之主表面；

一第一及一第二隔離的摻雜區，其係形成於該主表面中；

一第三摻雜區，其係位於該第一摻雜區之上且具有與該第一摻雜區不同的導電型式；

一第一預定厚度之第一氧化物層，其係接近該第三摻雜區；

一導電層，其係形成於該第一與該第二摻雜區之間且位於該主表面之上，以提供介於該第一與該第二摻雜區之間的電連接；

一第四及一第五隔離的摻雜區，其係形成於該主表面中；

一第六摻雜區，其係位於該第四摻雜區之上且具有與該第四摻雜區不同的導電型式；

一第二預定厚度之第二氧化物層，其係接近該第六摻雜區；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍 4

一 導電層，其係形成於該第四與該第五摻雜區之間且位於該主表面之上，以提供介於該第五與該第六摻雜區之間的電連接。

11.如申請專利範圍第 10 項之積體電路結構，

其中第一摻雜區係第一 MOSFET 之源極/汲極區，而第三摻雜區係該第一 MOSFET 之通道區；

其中第二摻雜區係第二 MOSFET 之源極/汲極區，該結構進一步包括其校直與該第二 MOSFET 之源極/汲極區的該第二 MOSFET 之一通道區；

其中第四摻雜區係第三 MOSFET 之源極/汲極區，而第六摻雜區係該第三 MOSFET 之通道區；

其中第五摻雜區係第四 MOSFET 之源極/汲極區，該結構進一步包括其校直與該第四 MOSFET 之該源極/汲極區的該第四 MOSFET 之一通道區。

12.如申請專利範圍第 11 項之積體電路結構，其中第一與第二 MOSFETs 具有互補的導電型式，及其中第三與第四 MOSFETs 具有互補的導電型式。

13.如申請專利範圍第 11 項之積體電路結構，其中第一及第二 MOSFETs 被建構以形成第一反相器電路，而其中第三及第四 MOSFETs 被建構以形成第二反相器電路。

14.如申請專利範圍第 11 項之積體電路結構，其中每一第一及第二 MOSFETs 各具有一閘極氧化物厚度以符合第一輸入電壓，而其中每一第三及第四 MOSFETs 各具有一閘極氧化物厚度以符合第二輸入電壓。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍 5

15. 一種積體電路結構，包括：

一半導體層，其具有沿著一平面而形成之主表面；

一第一及一第二摻雜的源極/汲極區，其係形成於主表面中；

一第一通道區，其係位於該第一源極/汲極區之上且具有與該第一源極/汲極區不同的導電型式；

一第二摻雜的通道區，其係位於該第二源極/汲極區之上且具有與該第二源極/汲極區不同的導電型式；

一第三及一第四摻雜隔離的源極/汲極區，其中該第三源極/汲極區係垂直地校直與該第一通道區及該第一源極/汲極區，而其中該第四源極/汲極區係垂直地校直與該第二源極/汲極區及該第二通道區；

第一預定厚度之一第一及一第二氧化物層，其係個別地接近該一及該第二通道區；

一第五及一第六摻雜隔離的源極/汲極區，其係形成於主表面中；

一第三通道區，其係形成於該第五源極/汲極區之上；

一第四通道區，其係形成於該第六源極/汲極區之上；

一第七及一第八摻雜隔離的源極/汲極區，其中該第七源極/汲極區係垂直地校直與該第三通道區及該第五源極/汲極區，而其中該第八源極/汲極區係垂直地校直與該第六源極/汲極區及該第四通道區；

各具有第二預定厚度之一第三及一第四氧化物層，其係個別地接近該三及該第四通道區；

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍 6

一 第一導電元件，其係連接至該第一及該第二通道區以控制其操作；及

一 第二導電元件，其係連接至該第三及該第四通道區以控制其操作。

16.如申請專利範圍第 15 項之結構，其中第一及第二導電元件各包括多晶矽。

17.如申請專利範圍第 15 項之結構，其中一第一 MOSFET 包括第一及第三源極/汲極區且一第一閘極進一步包括第一通道區及第一氧化物層，而其中一第二 MOSFET 包括第二及第四源極/汲極區且一第二閘極進一步包括第二通道區及第二氧化物層，而其中一第三 MOSFET 裝置包括第五及第七源極/汲極區且一第三閘極進一步包括第三通道區及第三閘極氧化物，而其中一第四 MOSFET 裝置包括第六及第八源極/汲極區且一第四閘極進一步包括第四通道區及第四氧化物層，而其中該第一及該第二 MOSFETs 形成第一互補 MOSFET 裝置，而其中第一及第二預定的氧化物層厚度係符合（無崩潰發生）該第一互補 MOSFET 裝置之第一輸入電壓，而其中該第三及該第四 MOSFETs 形成第二互補 MOSFET 裝置，而其中第三及第四預定的氧化物層厚度係符合（無崩潰發生）該第二互補裝置之第二輸入電壓。

18.一種積體電路結構，包括：

一半導體層，其具有沿著一平面而形成之主表面；

一第一及一第二隔離的摻雜區，其係形成於該主表面上；

（請先閱讀背面之注意事項再填寫本頁）

訂

六、申請專利範圍 7

一 第三摻雜區，其係位於該第一摻雜區之上且具有與該第一摻雜區不同的導電型式；

一 第一預定厚度之第一氧化物層，其係接近該第三摻雜區；

一 導電層，其係互連該第一與該第二摻雜區；

一 第四摻雜區，其係位於該第二摻雜區之上且具有與該第二摻雜區不同的導電型式；

一 第二預定厚度之第二氧化物層，其係接近該第四摻雜區；

一 第五摻雜區，其係位於該第三摻雜區之上；

一 第六摻雜區，其係位於該第四摻雜區之上；及

一 導電層，其提供介於該第五與該第六摻雜區之間的電連接。

19.如申請專利範圍第 18 項之積體電路結構，其中第一、地三及第五摻雜區形成一第一 MOSFET，而其中該第二、地四及第六摻雜區形成一第二 MOSFET，而其中該第一及該第二 MOSFETs 係電氣地並聯，而其中每一該第一及該第二 MOSFETs 各具有一不同的閘極啟動電壓，其係個別關連與該第一及該第二 MOSFETs 之第一及第二氧化物層的厚度。

20.一種具有多數場效電晶體之半導體裝置的製造方法，包括：

形成一第一裝置區，其係選自包含一半導體層上之第一場效電晶體的源極區及汲極區之族群；

形成一第二裝置區，其係選自包含該半導體層上之第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍 8

二場效電晶體的源極區及汲極區之族群；

形成該第一場效電晶體之一閘極，其中該閘極具有第一預定的閘極氧化物厚度；及

形成該第二場效電晶體之一閘極，其中該閘極具有第二預定的閘極氧化物厚度。

21.如申請專利範圍第 20 項之製造方法，包含一額外步驟：將第一與第二裝置區、及第一與第二閘極區建構為一包括兩個 MOSFETs 之電路。

22.如申請專利範圍第 20 項之製造方法，其中形成具有第一預定閘極氧化物厚度之閘極的步驟及形成具有第二預定閘極氧化物厚度之閘極的步驟包括：

形成第一場效電晶體之一閘極，其中該閘極具有第一預定的閘極氧化物厚度；

形成第二場效電晶體之一閘極，其中該閘極具有第一預定的閘極氧化物厚度；

移除氧化物自第一場效電晶體之該閘極；

形成閘極氧化物材料於該第一場效電晶體之該閘極上；

形成閘極氧化物材料於該第二場效電晶體之該閘極上；及

以致其第一場效電晶體之閘極氧化物的厚度小於第二場效電晶體之閘極氧化物的厚度。

23.如申請專利範圍第 20 項之製造方法，其中第一及第二場效電晶體由於不同的預定閘極氧化物厚度而可承受不

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍 9

同的閘極輸入電壓。

24.一種具有多數場效電晶體之半導體裝置的製造方法，包括：

形成第一及第二隔離的擴散區於一半導體層上；

形成一第三半導體區於該第一擴散區之上，其中該第三半導體區具有與該第一擴散區相反的導電型式；

形成一第四半導體區於該第二擴散區之上，其中該第四半導體區具有與該第二擴散區相反的導電型式；

形成第一預定厚度之第一閘極氧化物於鄰近該第三半導體區；

形成第二預定厚度之第二閘極氧化物於鄰近該第四半導體區；

形成第五及第六半導體區，其各置於該第三及該第四半導體區之一上，以致其該第三及該第五區係垂直地校直與該第一與該第二區之一，且以致其該第四及該第六區係垂直地校直與該第一與該第二區之另一，其所得之結構提供兩個電晶體。

25.如申請專利範圍第 24 項之製造方法，其中形成第一預定厚度之第一閘極氧化物於鄰近第三半導體區之步驟及形成第二預定厚度之第二閘極氧化物於鄰近第四半導體區之步驟包括：

形成一第一預定厚度之第一閘極氧化物於鄰近該第三半導體區；

形成該第一預定厚度之第二閘極氧化物於鄰近該第四

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍 10

半導體區；

移除該第一閘極氧化物；

形成第二預定厚度之第三閘極氧化物於鄰近該第三半導體區；

形成第三預定厚度之第二閘極氧化物於鄰近該第四半導體區；及

其中鄰近該第四半導體區之閘極氧化物厚度係該第一預定厚度加上該第二預定厚度之總和。

26.如申請專利範圍第 24 項之製造方法，其中第一及第二閘極氧化物係關連與第一及第二 MOSFET，及其中該第一及該第二 MOSFETs 形成一互補 MOSFET 裝置，及其中該第三及該第四閘極係個別地關連與第三及第四 MOSFET，及其中該第三及該第四 MOSFETs 形成一互補 MOSFET 裝置；及其中該第一互補 MOSFET 裝置之閘極端具有與第一預定厚度相關之第一崩潰電壓，及其中該第二互補 MOSFET 裝置之閘極端具有與第二預定厚度相關之第二崩潰電壓。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

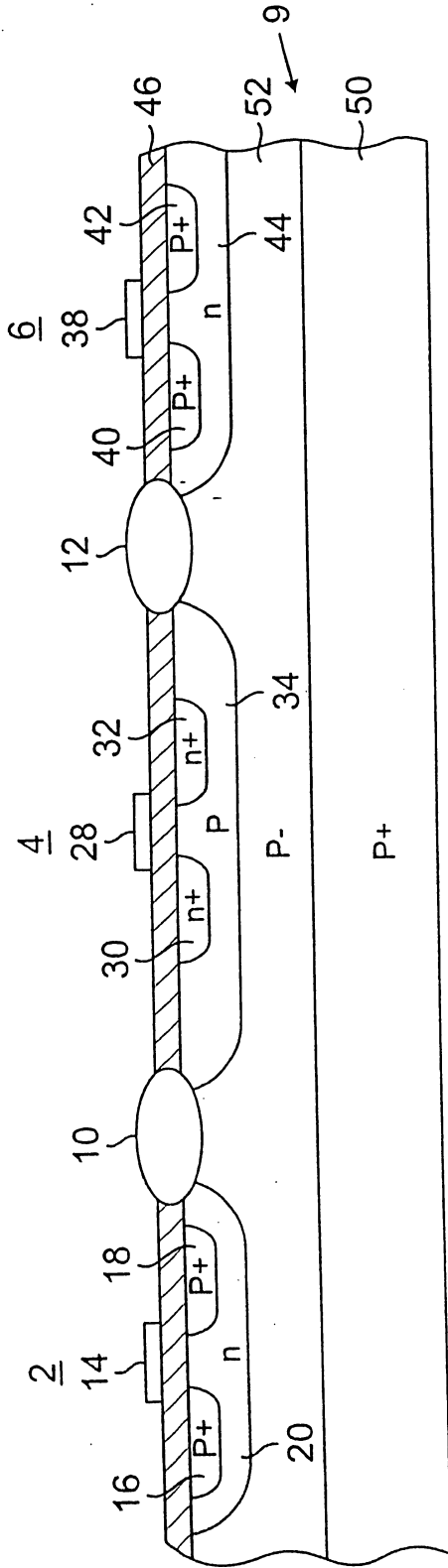


圖 1

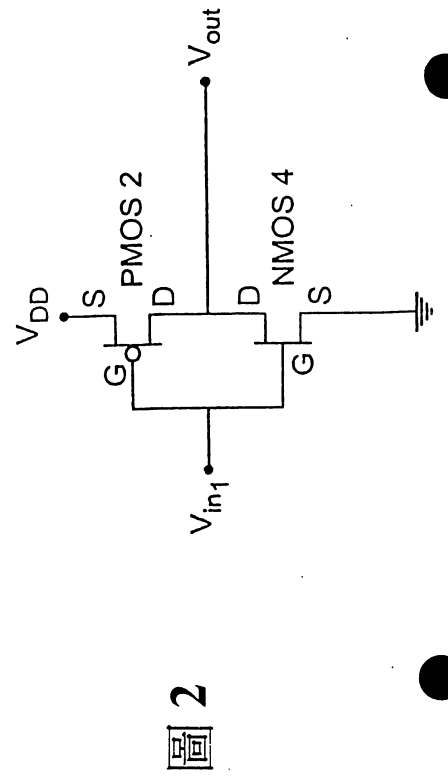


圖 2

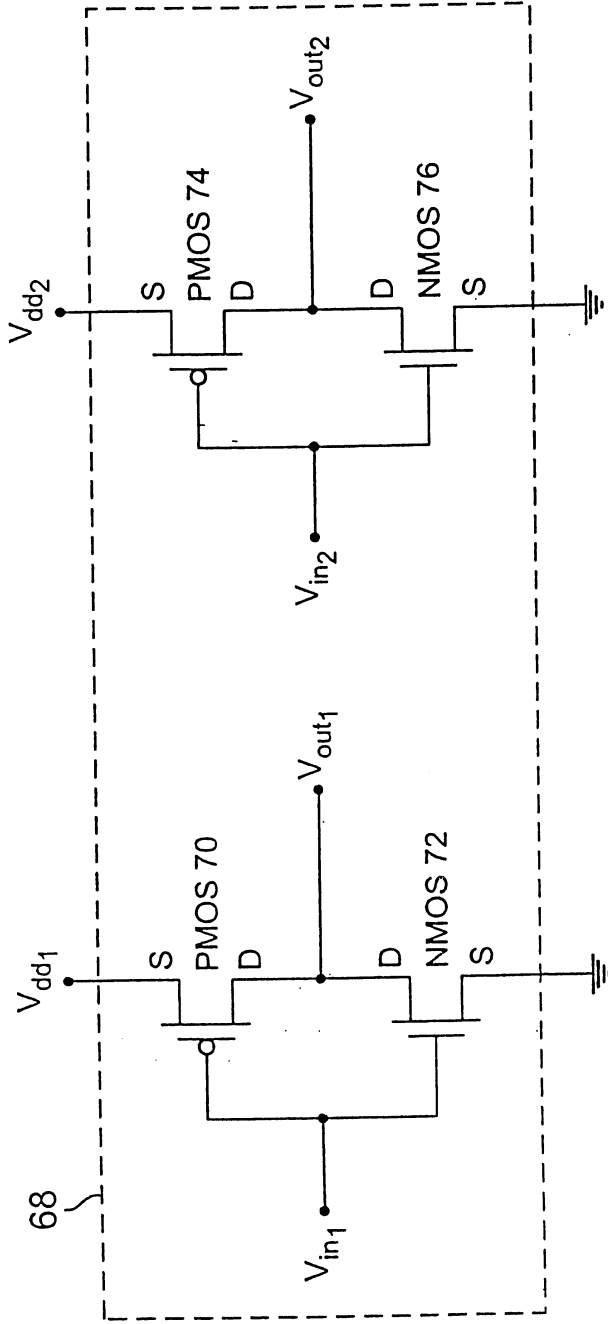


圖 3

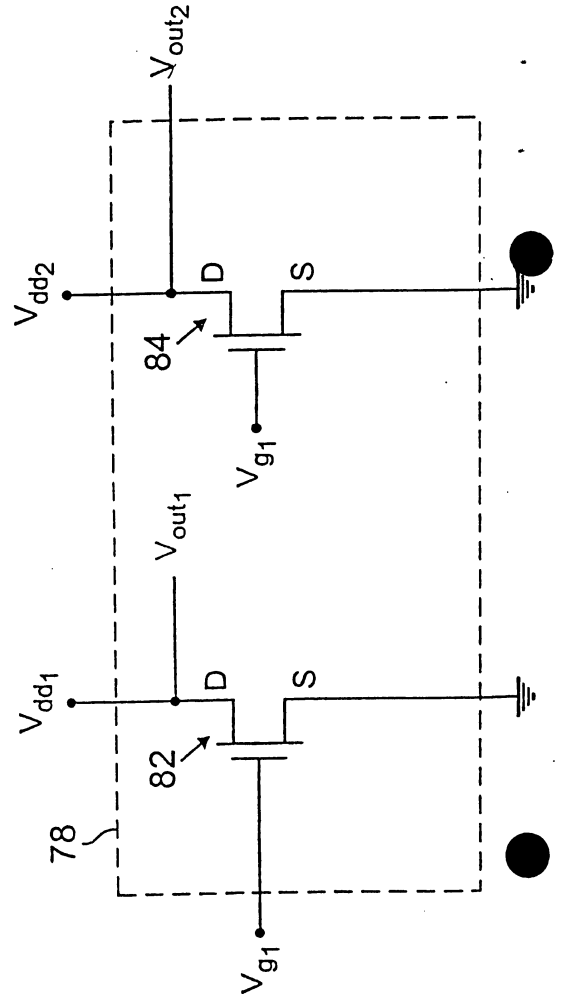


圖 4

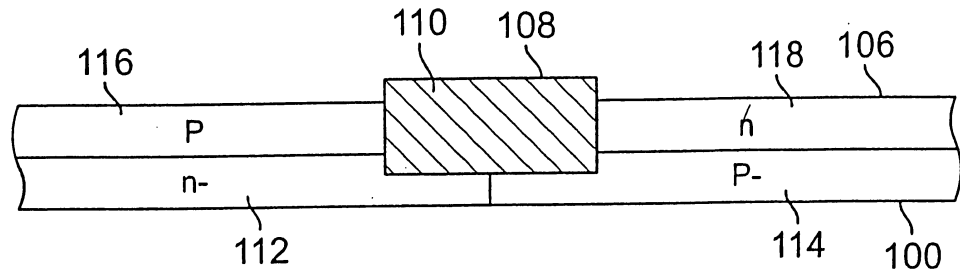


圖 5

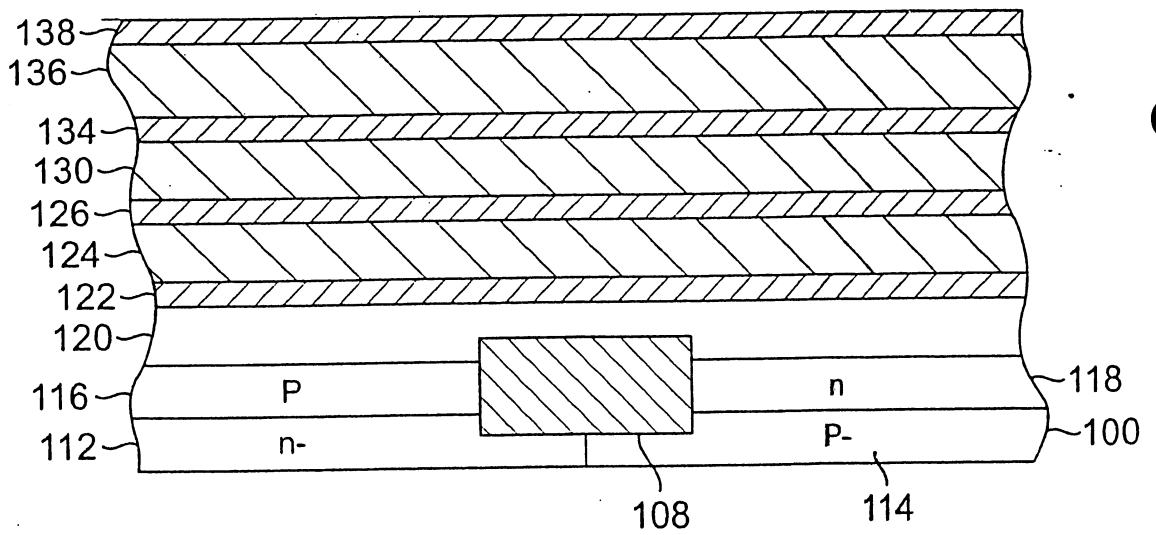


圖 6

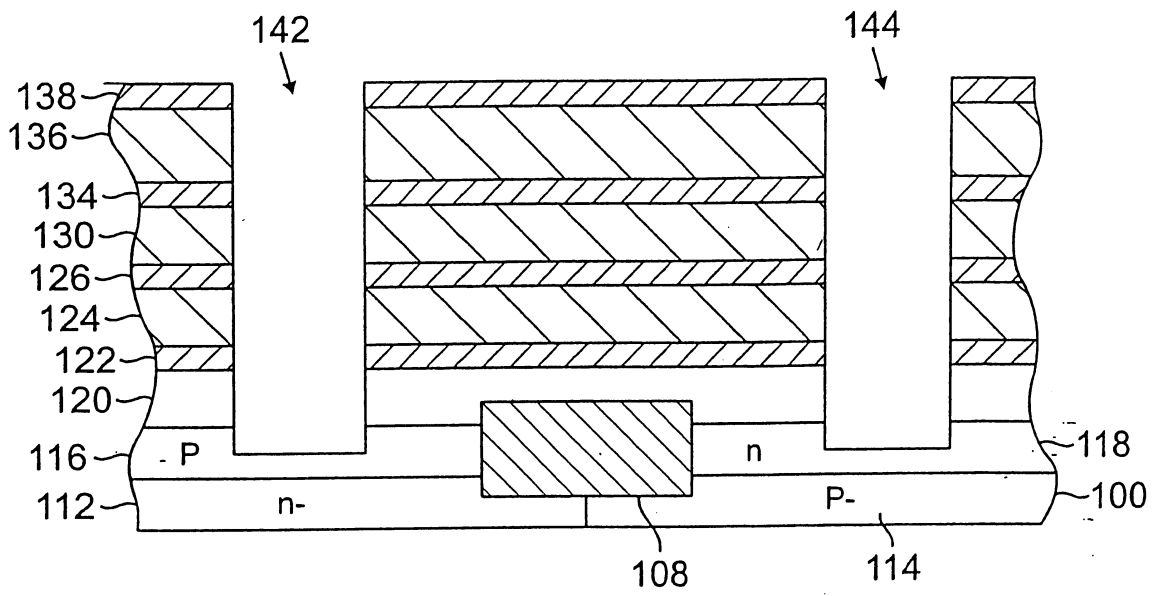


圖 7

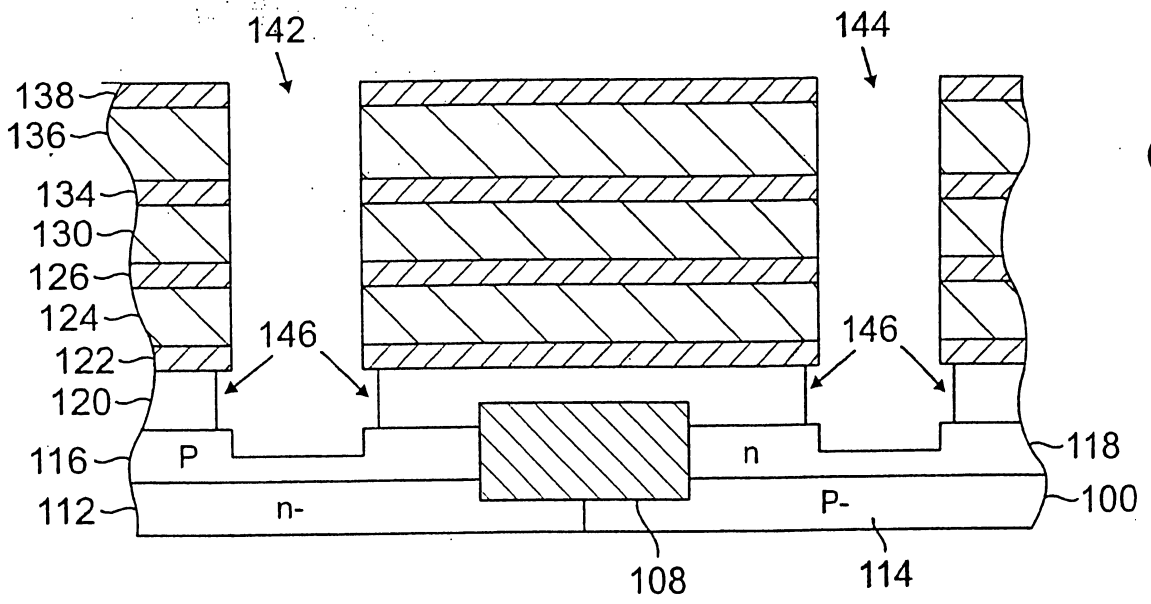


圖 8

5/11

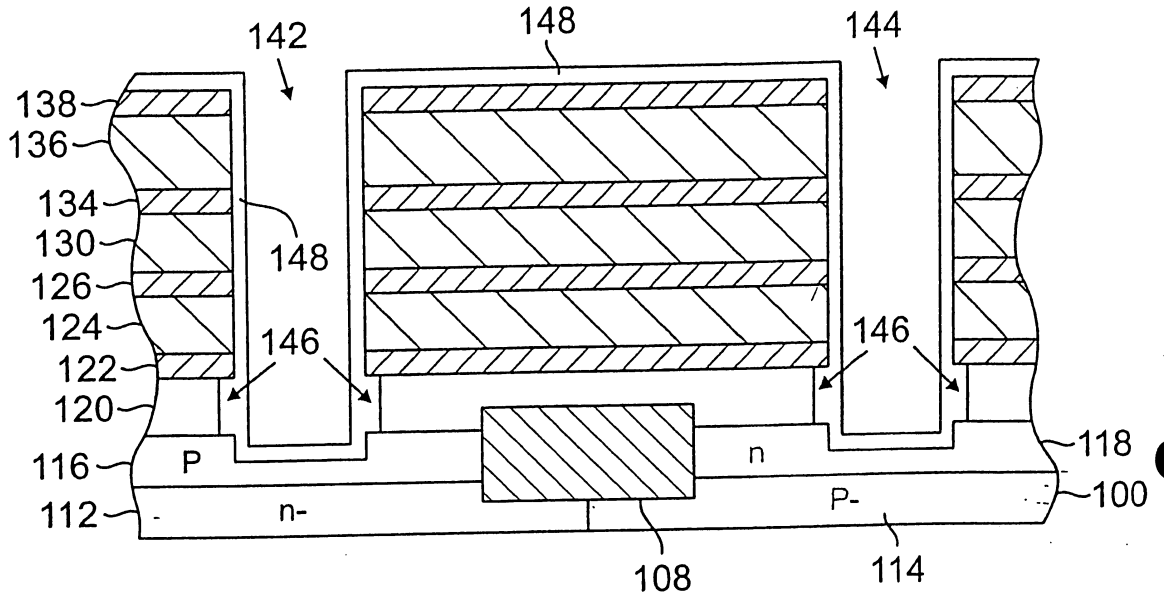


圖 9

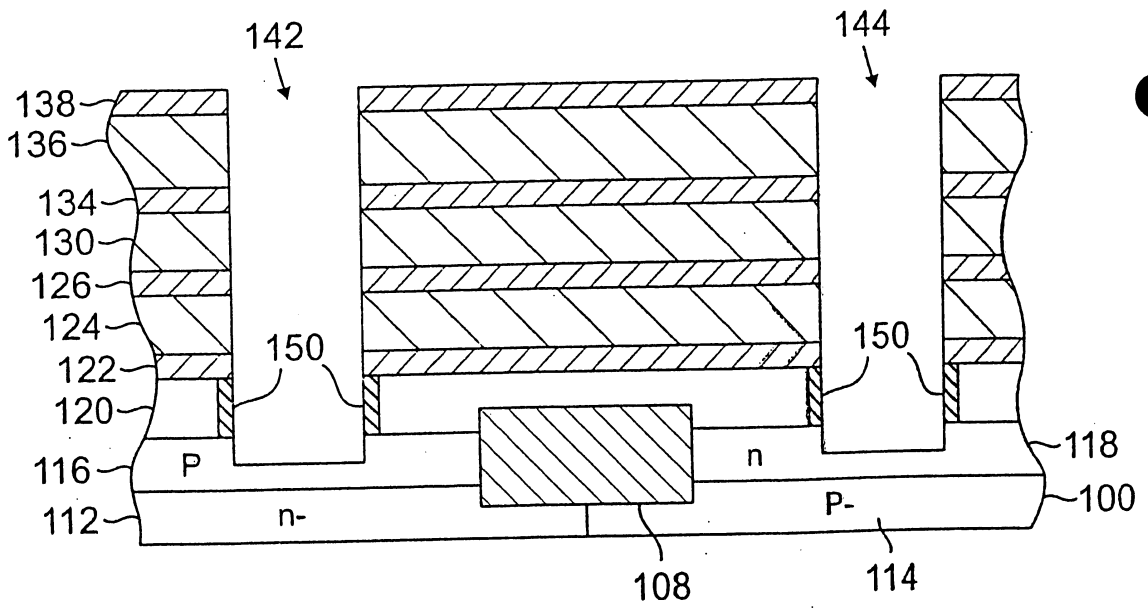


圖 10

6/11

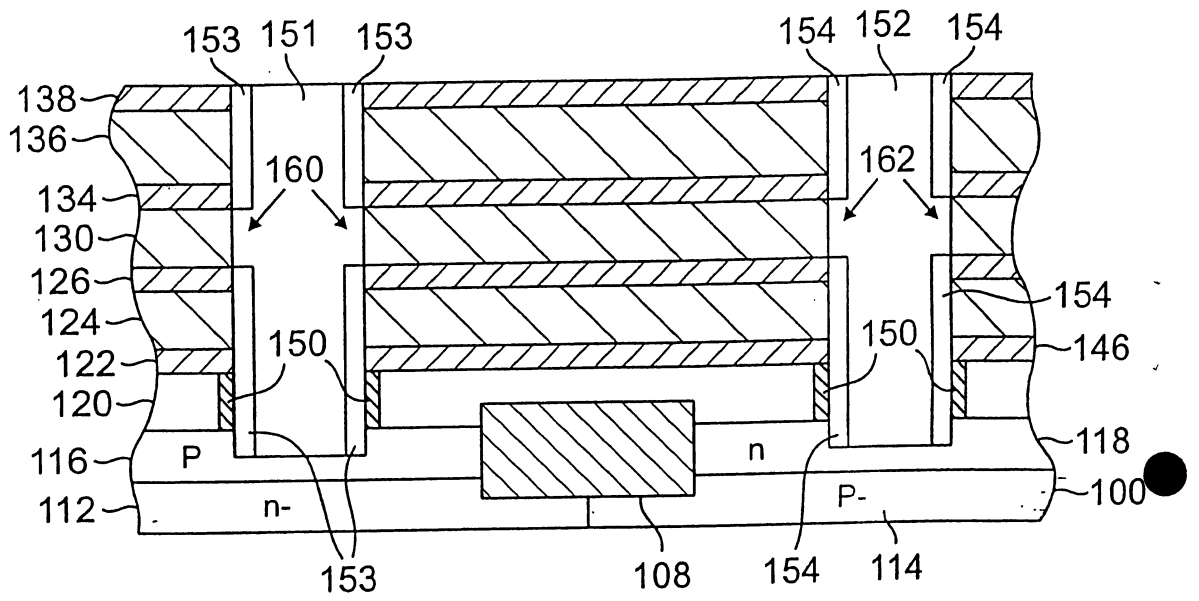


圖 11

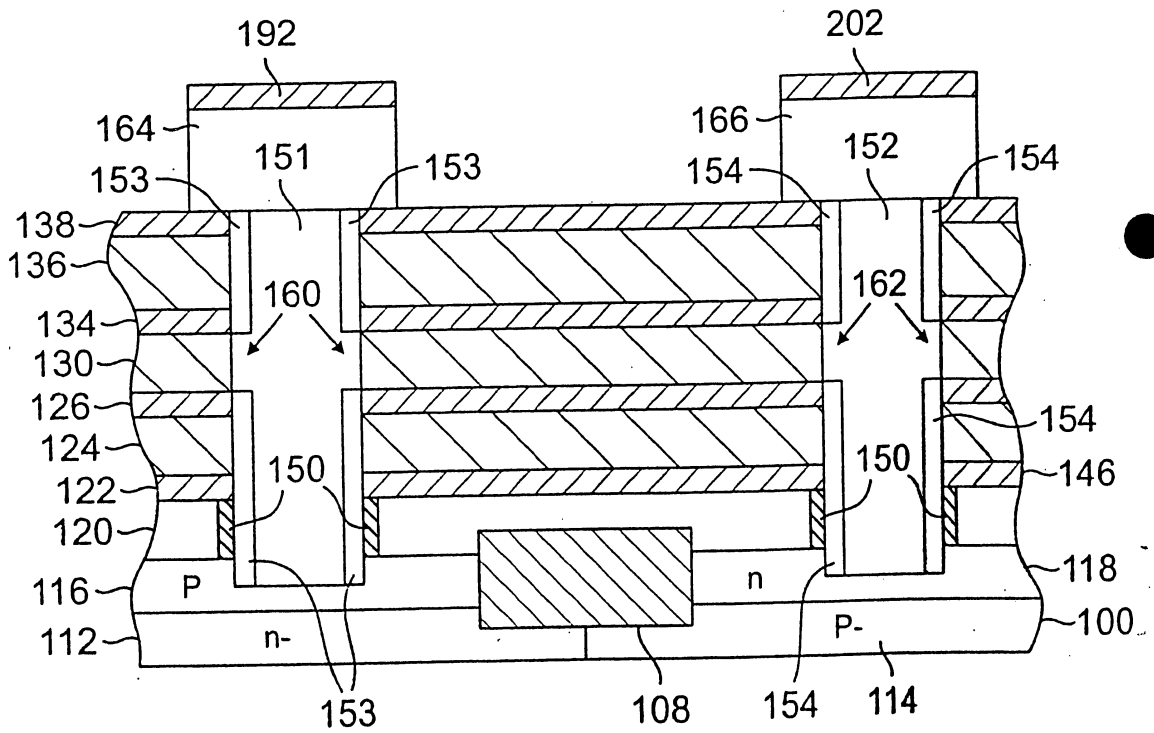


圖 12

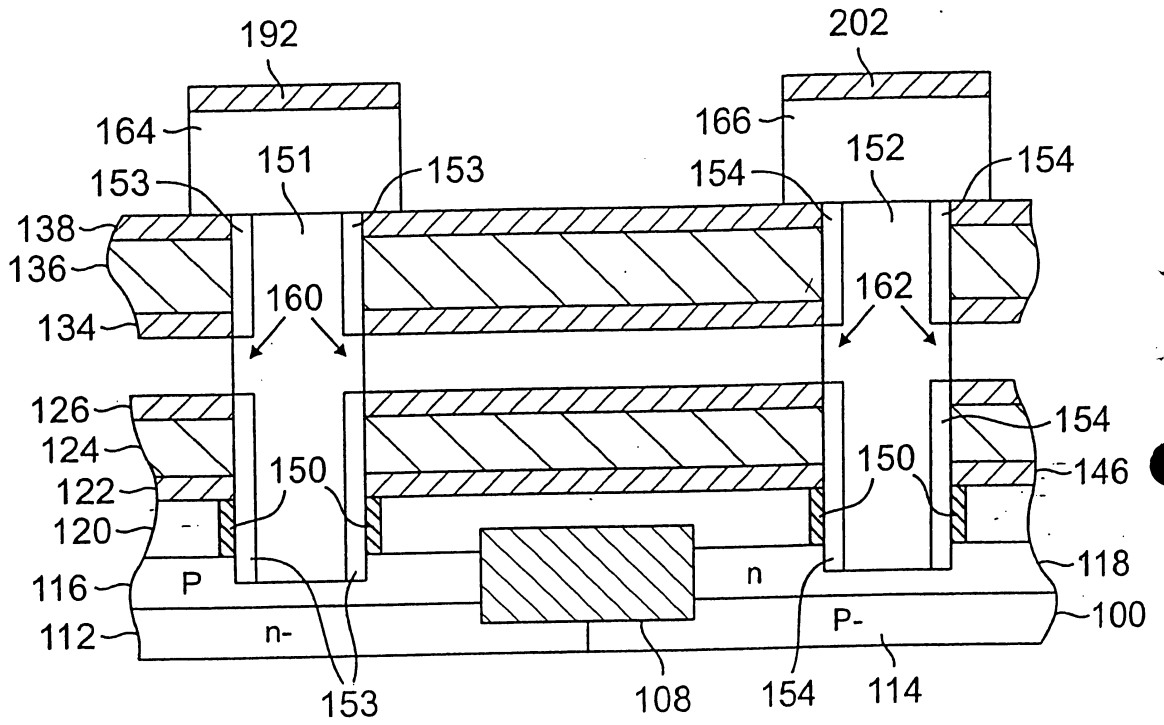


圖 13

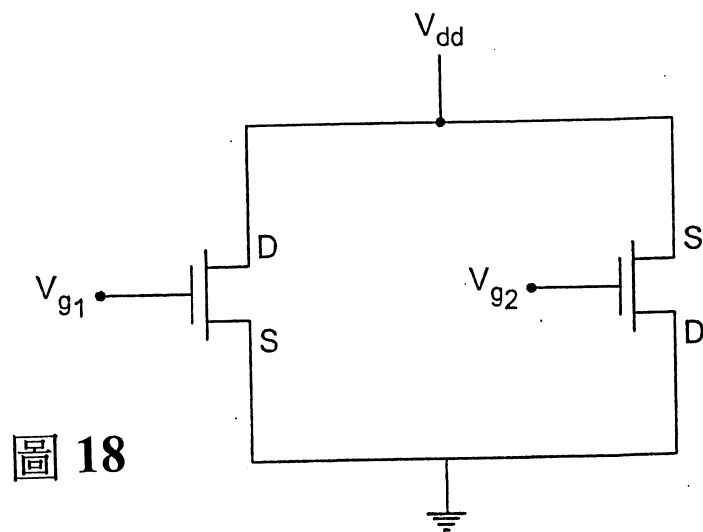


圖 18

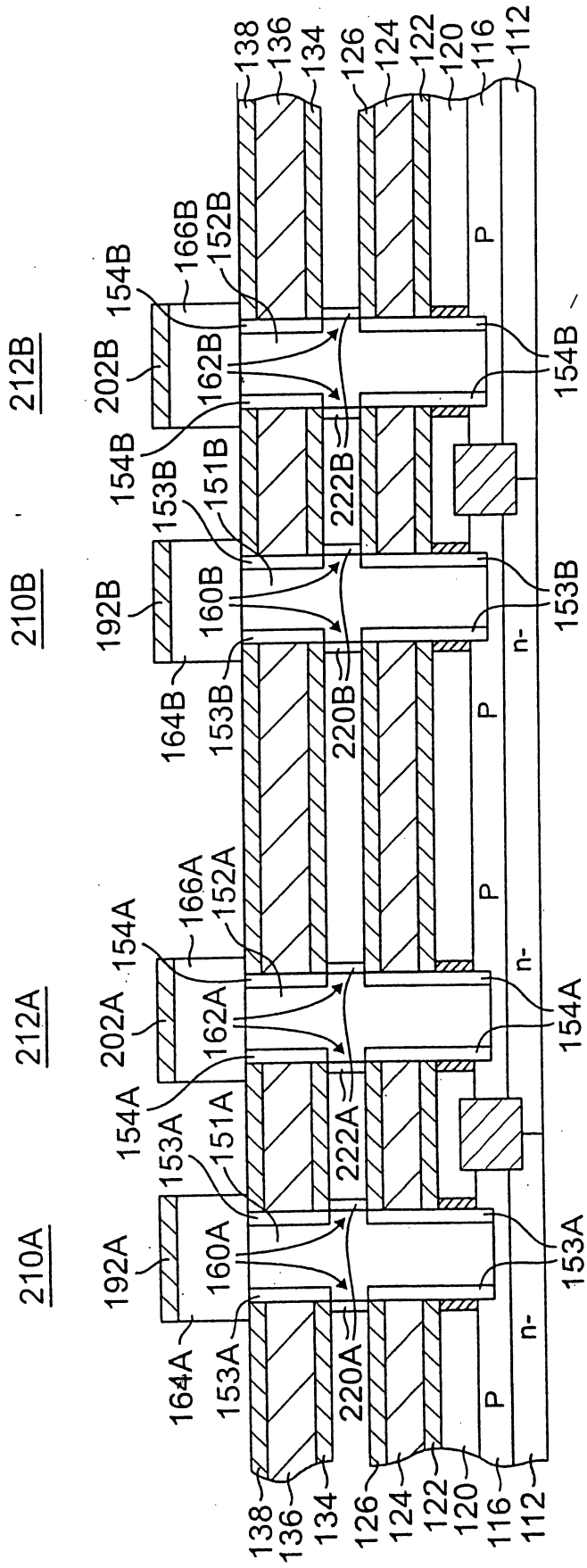


圖 14

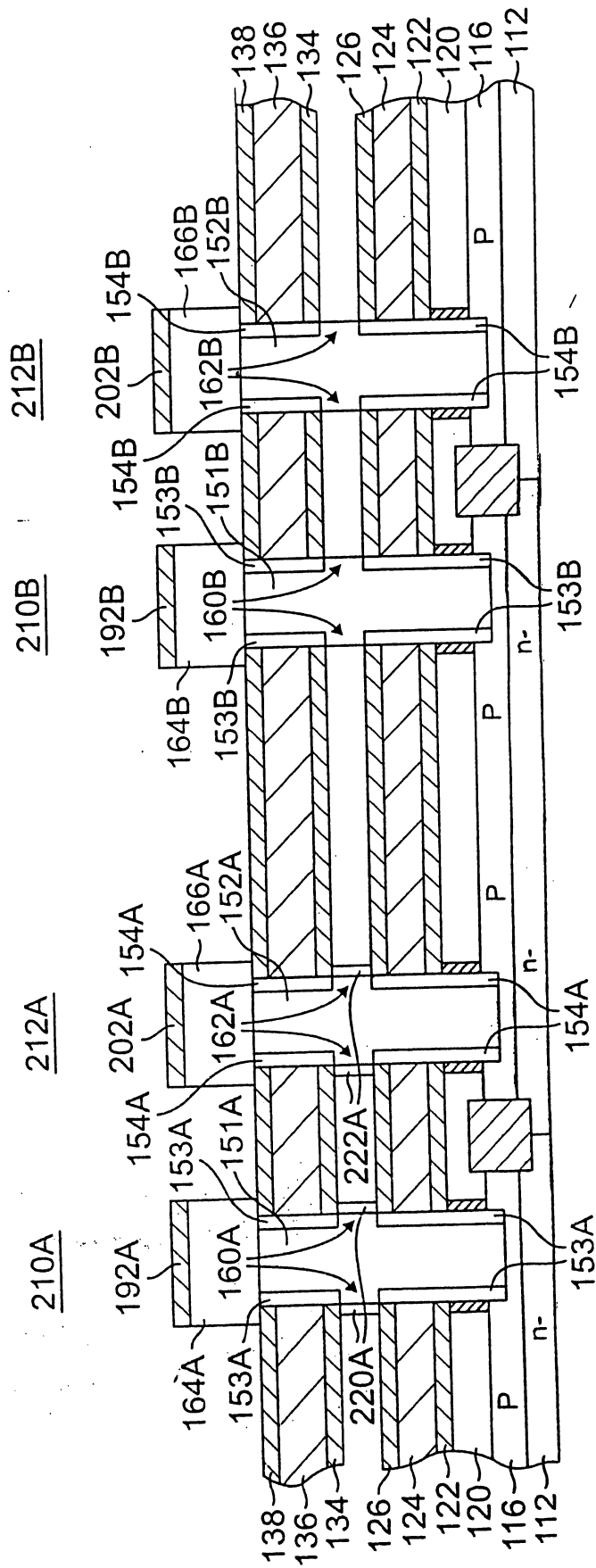


圖 15

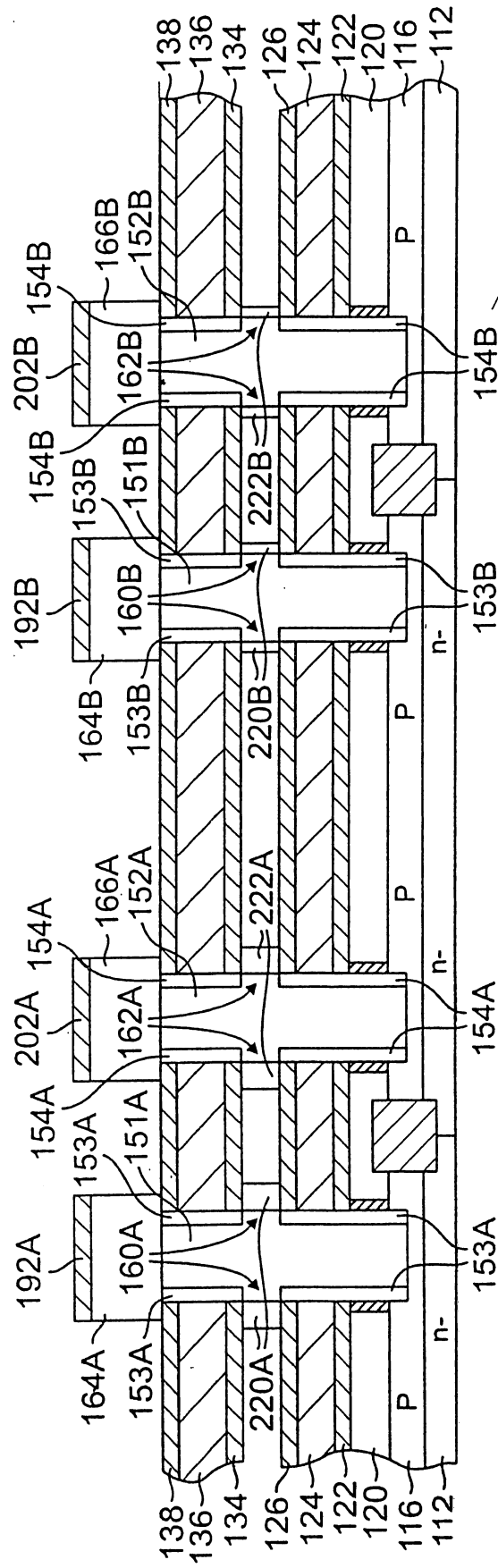


圖 16

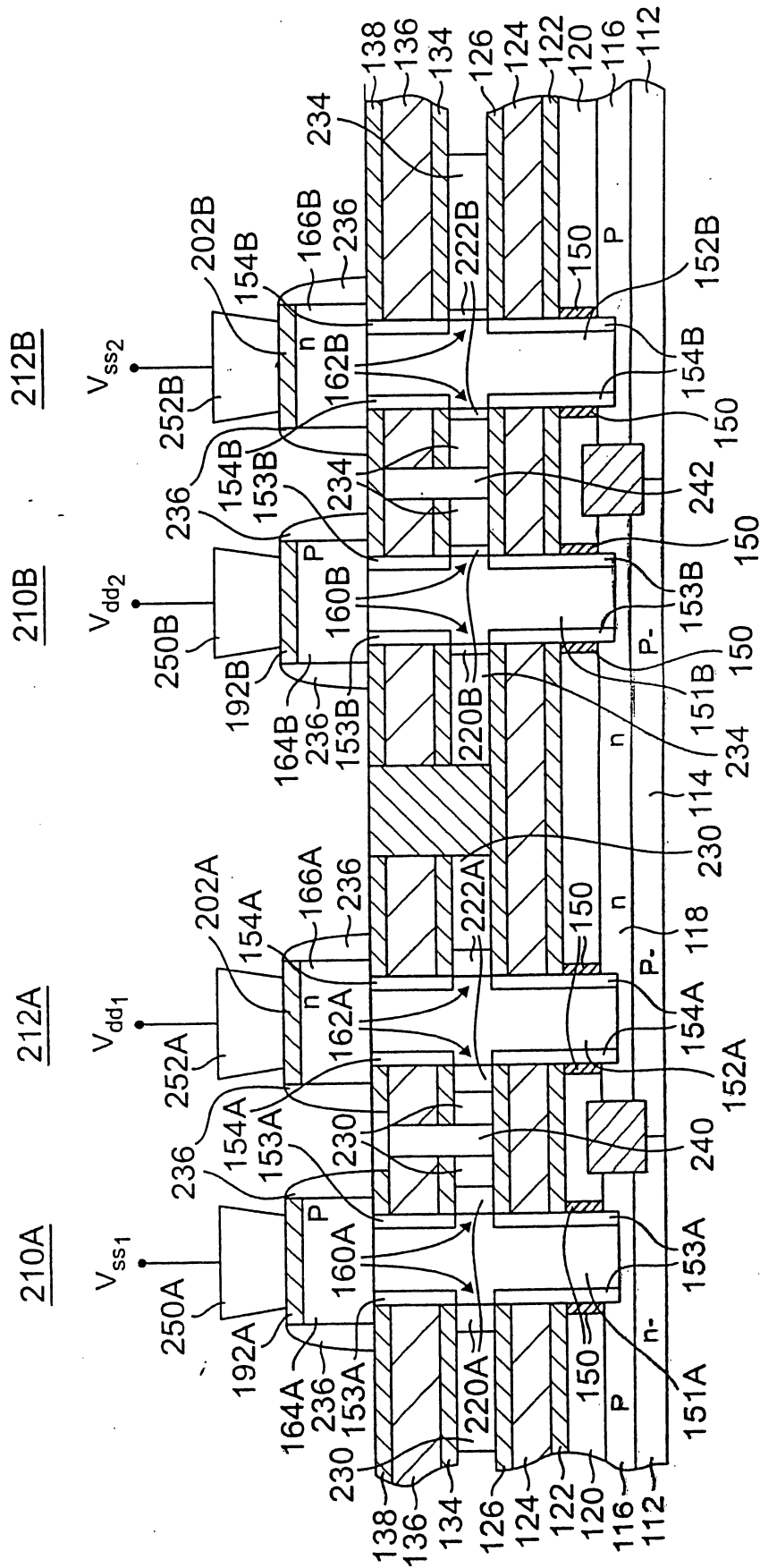


圖 17