

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5143413号
(P5143413)

(45) 発行日 平成25年2月13日(2013.2.13)

(24) 登録日 平成24年11月30日(2012.11.30)

(51) Int.Cl.		F I		
HO 1 L 25/065	(2006.01)	HO 1 L 25/08	Z	
HO 1 L 25/07	(2006.01)	HO 1 L 27/04	D	
HO 1 L 25/18	(2006.01)	HO 1 L 21/82	L	
HO 1 L 21/822	(2006.01)			
HO 1 L 27/04	(2006.01)			

請求項の数 5 (全 8 頁) 最終頁に続く

(21) 出願番号	特願2006-342433 (P2006-342433)	(73) 特許権者	311003743
(22) 出願日	平成18年12月20日(2006.12.20)		オンセミコンダクター・トレーディング・
(65) 公開番号	特開2008-153576 (P2008-153576A)		リミテッド
(43) 公開日	平成20年7月3日(2008.7.3)		英国領バミューダ・エイチエム 11 ハ
審査請求日	平成21年11月27日(2009.11.27)		ミルトン・チャーチストリート2・クラレ
			ンドンハウス・コーダン サービスズ
			リミテッド 気付
		(74) 代理人	100107906
			弁理士 須藤 克彦
		(72) 発明者	水谷 陽介
			群馬県邑楽郡大泉町坂田一丁目1番1号
			三洋半導体株式会社内
		審査官	和瀬田 芳正

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

第1の半導体チップと、この第1の半導体チップ上に装着された第2の半導体チップと、を備える半導体集積回路において、

前記第2の半導体チップは、この第2の半導体チップに電源電圧を供給するための複数の第1のパッドを備え、

前記第1の半導体チップは、電源線と、外部からの電源電圧が供給される第2のパッドと、この第2のパッドと前記電源線とを電気的に接続する配線を備える複数の外部セルと、スイッチ素子と、このスイッチ素子を介して前記電源線に接続されると共に、前記第2の半導体チップの前記第1のパッドにワイヤボンディングにより電気的に接続された第3のパッドを備える複数のスイッチングセルと、前記スイッチ素子のオンオフを制御する制御回路と、を備え、

前記複数の第1のパッドは、前記第2の半導体チップの長辺部分に沿って配置され、前記電源線、前記複数の外部セル及び前記複数のスイッチングセルは、前記第1の半導体チップの長辺部分に沿って配置されていることを特徴とする半導体集積回路。

【請求項2】

前記第2及び第3のパッドは、前記第1の半導体チップの最も外周部分に配置され、前記電源線、前記第2及び第3のパッドは上層配線により形成されており、前記複数のスイッチングセルの前記スイッチ素子及び前記複数の外部セルの前記配線は、絶縁膜を介して前記上層配線の下層に形成され、前記第2及び第3のパッドと前記電源線の間には他の配線

が前記電源線に沿って配置されていることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】

前記スイッチ素子は MOS トランジスタからなり、前記制御回路はこの MOS トランジスタのゲート電極に前記スイッチ素子のオンオフを制御する信号を供給するように構成されたことを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【請求項 4】

前記スイッチセルは前記ゲート電極に電氣的に接続されたコントロールパッドを備え、前記制御回路は、このコントロールパッドに前記スイッチ素子のオンオフを制御する信号を供給し、このコントロールパッドは、前記上層配線により形成されたことを特徴とする請求項 3 に記載の半導体集積回路。

10

【請求項 5】

前記制御回路はスタンバイモード時に前記スイッチ素子をオフすることにより、前記電源線と前記第 3 のパッドとの電氣的接続を遮断することを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路の電源制御に関し、特に、半導体メモリを有する半導体チップとロジック回路を有する半導体チップを同一のパッケージに実装した半導体集積回路の電源制御に関するものである。

20

【背景技術】

【0002】

半導体集積回路は年々集積度を向上させるとともに、様々な機能の回路を 1 つの半導体チップに集積することにより多機能化が進んでいる。より多機能化した半導体チップを実現するために、半導体チップ（本明細書では特にマザーチップと称する）に別の半導体チップ（本明細書ではスタックチップと称する）を装着する、いわゆるマルチチップパッケージ（MCP）が実用化されている。このように複数の半導体チップを同一のパッケージに実装した半導体集積回路のことをマルチチップモジュールという。このマルチチップモジュールは全く異なる機能を有するチップを重ねることによって実装面積を縮小するとともに、基板に実装するチップの個数を減らすことによって、このモジュールを搭載する製品の製造コストを低減することができる。

30

【0003】

マルチチップモジュールの代表的なものとしては、アナログ、デジタル混載の演算回路やある特定の機器を制御するための制御回路が形成されたマザーチップ上に、この回路が使用するデータを格納するための DRAM（ダイナミックランダムアクセスメモリ）のスタックチップを装着したものが挙げられる。DRAM チップを搭載したマルチチップモジュールでは、DRAM チップの動作に必要な電源電圧、例えば高電圧（VDD）と低電圧（VSS）がマザーチップを介して外部から供給される。

【0004】

マザーチップ上に DRAM チップを搭載したものとして、例えば、特開 2002 - 100729 号が挙げられる。

40

【発明の開示】

【発明が解決しようとする課題】

【0005】

DRAM チップをマザーチップ上に重ねることによって実装した従来の半導体集積回路では、DRAM チップへアクセスしない状態（スタンバイモード）、すなわちマザーチップと DRAM チップとの間でデータのやり取りが行われない場合であっても、DRAM チップを動作させるのに必要な電源電圧（VDD、VSS）が DRAM チップに供給されていた。その結果、スタンバイモードにおいて、DRAM チップ内の VDD と VSS 間で

50

ーク電流が生じ、DRAMチップの消費電力が増加するという問題が生じていた。

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明は、第1の半導体チップと、この第1の半導体チップ上に装着された第2の半導体チップと、を備える半導体集積回路において、前記第2の半導体チップは、この第2の半導体チップに電源電圧を供給するための複数の第1のパッドを備え、前記第1の半導体チップは、電源線と、外部からの電源電圧が供給される第2のパッドと、この第2のパッドと前記電源線とを電気的に接続する配線を備える複数の外部セルと、スイッチ素子と、このスイッチ素子を介して前記電源線に接続されると共に、前記第2の半導体チップの前記第1のパッドにワイヤボンディングにより電気的に接続された第3のパッドを備える複数のスイッチングセルと、前記スイッチ素子のオンオフを制御する制御回路と、を備え、前記複数の第1のパッドは、前記第2の半導体チップの長辺部分に沿って配置され、前記電源線、前記複数の外部セル及び前記複数のスイッチングセルは、前記第1の半導体チップの長辺部分に沿って配置されていることを特徴とする。

10

【発明の効果】

【0007】

本発明によれば、スタンバイモード時のDRAMチップにおけるリーク電流を低減することができ、半導体集積回路の消費電力を低減することができる。

【発明を実施するための最良の形態】

【0008】

図1は、ロジック回路を有するマザーチップ2上にDRAMチップ4がMCPによって実装された半導体集積回路の平面図を示す。DRAMチップ4は、マザーチップ2の中央付近に配置される。DRAMチップ4は、その中央付近に1ビットのデジタルデータを記憶するための記憶素子が碁盤目状に多数形成され、記憶部5を構成している。記憶部5には、「0」と「1」の2値からなるデジタルデータを表すための高電圧(VDD_{DRAM})と低電圧(VSS_{DRAM})が供給される。例えば、デジタルデータの「0」はVSS_{DRAM}に、「1」はVDD_{DRAM}に対応する。VDD_{DRAM}とVSS_{DRAM}は、DRAMチップ4上の記憶部5周辺に設けられたI/O(INPUT/OUTPUT)セル9を介して外部から供給される。ここで、I/Oセル9は、DRAMチップ4の長辺部分にのみ形成されている。

20

30

【0009】

DRAMチップ4の周辺であって、マザーチップ2上にはDRAMチップ4を取り囲むように複数の電源線が配置される。DRAMチップ4と隣接する位置には、マザーチップ2のロジック回路などに第1の電源電圧(VDD1)を供給するための第1の電源線6が形成される。VDD1は、例えば、1.5V程度に設定することができる。

【0010】

第1の電源線6の周囲にはプリバッファ用の複数の電源線7(V_{dd}、V_{ss})が形成される。プリバッファは、外部から供給された電圧を増幅または減少させるレベルシフタなどから構成される。

【0011】

プリバッファ用の複数の電源線7の周辺であって、マザーチップ2の長辺部分には、DRAMチップ4にVDD_{DRAM}を供給するためのDRAM電源線8が形成される。ここで、DRAMチップ4のI/Oセル9はDRAMチップ4の短辺方向に向かって並列に配置されているため、VDD_{DRAM}が供給されるI/Oセル9のDRAM電源パッド10は、マザーチップ2の長辺側に配置され、短辺側には配置する必要がない。それによって、DRAM電源線8はマザーチップ2の長辺部分に配置することが好適であり、マザーチップ2の短辺部分にはDRAM電源線8を配置する必要がない。

40

【0012】

DRAM電源線8の周辺には、マザーチップ2のロジック回路などに第2の電源電圧(VDD2)を供給するための第2の電源線12が形成される。ここで、例えば、VDD2

50

は、VDD1よりも高電圧に設定することができ、1.65～3.3V程度に設定することができる。

【0013】

第2の電源線12の周辺には、接地電圧に設定されたGND線14が形成される。このGND線14もDRAMチップ4を取り囲むようにリング状に形成される。

【0014】

また、第1の電源線6とプリバッファ用の電源線7に印加される電圧は、DRAM電源線8に印加される電圧よりも低電圧なので、第1の電源線6とプリバッファ用の電源線7の線幅は、DRAM電源線8のそれよりも狭くてよい。

【0015】

マザーチップ2の長辺及び短辺部分には、複数の電源線と直交する方向に、マザーチップ2がチップ外部との信号授受を行う複数のI/Oセルが形成される。マザーチップ2の長辺部分に設けられる複数のI/Oセルは、チップ外部からマザーチップ2のDRAM電源線8にVDD_{DRAM}を供給するための第1のI/Oセル18と、チップ外部から供給されたVDD_{DRAM}をDRAMチップ4に供給するための第2のI/Oセル20と、チップ外部からマザーチップ2にVSS_{DRAM}を供給するためのI/Oセル29と、VSS_{DRAM}をDRAMチップ4に供給するI/Oセル19から構成される。本明細書では、この第1のI/Oセル18のことを、特に「外部セル18」、I/Oセル19のことを「グランドセル19」、第2のI/Oセル20のことを「スイッチセル20」と呼ぶことにする。また、マザーチップ2の短辺部分には、第2の電源線12と接続される複数のI/Oセル17が設けられる。なお、マザーチップ2の長辺部分にも、外部から供給されるVDD1やVDD2をマザーチップ2の第1の電源線6や第2の電源線12に供給するI/Oセルが設けられるが、短辺部分には外部セル18とスイッチセル20は設けられない。これは、外部セル18とスイッチセル20が、マザーチップ2の長辺部分に配置されたDRAM電源線8に接続されるためである。

【0016】

また、マザーチップ2上のI/Oセルは複数の電源線に重畳して形成されるが、マザーチップ2の長辺部分にはDRAM電源線8が設けられ、短辺部分にはDRAM電源線8が設けられないので、長辺部分と短辺部分とに設けられるI/OセルのDRAM電源線8と直交する方向の長さが異なる。すなわち、マザーチップ2の短辺部分に設けられるI/Oセル17よりも、長辺部分に設けられる外部セル18とスイッチセル20の方が長い。これによって、マザーチップ2のDRAMチップ4が設けられない部分であって、マザーチップ2の長辺方向の長さを短く設定することができ、マザーチップ2のチップ面積を小さくすることができる。

【0017】

また、外部セル18とスイッチセル20には、マザーチップ2とマザーチップ2外部、あるいはマザーチップ2とDRAMチップ4を接続するためのボンディングパッド22が共通に形成される。ボンディングパッド22は、マザーチップ2の最も外周部分、すなわち複数の電源線よりも外側に配置される。外部セル18のボンディングパッド22はチップ外部とワイヤ21によって接続され、スイッチセル20のボンディングパッド22は、DRAMチップ4上の電源パッド10とワイヤ23によって接続される。すなわち、ワイヤ23は、複数の電源線を跨いで形成される。

【0018】

また、スイッチセル20には、後述するコントロールパッド48が設けられる。コントロールパッド48は、複数の電源線と同一層に形成するのが好適である。

【0019】

図2は、図1のA-A'線に沿った外部セル18の断面図を示している。マザーチップ2の半導体基板50の表面近傍には、各種の論理回路によって構成される演算回路などの半導体集積回路25が形成される。半導体基板50上には絶縁膜を介してA1などから構成される配線40と絶縁膜45からなる配線層46が形成される。絶縁膜45は配線層4

10

20

30

40

50

6上に形成される複数の電源線と配線40とを電氣的に絶縁する役割を担う。なお、この配線層46は1層の配線からなる配線層46しか図示していないが、本発明はこれに限られることなく、多層の配線からなる多層配線層で構成してもよい。

【0020】

配線層46上には、DRAM電源線8などの複数の電源線が形成される。配線40はコンタクトホール44、47を介してボンディングパッド22とDRAM電源線8とに接続されている。ボンディングパッド22には、ワイヤ21を介してチップ外部からVDD_{DRAM}が供給され、配線40を介してDRAM電源線8にもVDD_{DRAM}が供給される。VDD_{DRAM}は1つの外部セル18から供給されるのではなく、複数の外部セル18から供給されるのが好適である。これは、複数の外部セル18から供給することでDRAM電源線8の電圧を安定化することができるからである。ここでは、例えば、5つの外部セル18から供給される。

10

【0021】

図3は、図1のB-B'線に沿ったスイッチセル20の断面図を示している。半導体基板50の表面近傍には、各種の論理回路によって構成される演算回路などの半導体集積回路25が形成される。図3では、その一部として、MOSトランジスタからなるスイッチ素子27が設けられる。ここで、スイッチ素子27は、P型MOSトランジスタにより構成されるのが好適である。すなわち、スイッチ素子27は、N型シリコンからなる半導体基板50の表面近傍に高濃度のP型不純物が添加されたソース領域24とドレイン領域26が設けられ、ゲート絶縁膜28を介してゲート電極30が設けられた構成が好適である。

20

【0022】

また、スイッチ素子27は、1つのスイッチセル20に対して1つ設けるのではなく、DRAM電源線8がマザーチップ2の長辺に沿って延在する方向に複数設けられることが好適である。これによって、電流駆動能力を向上させることができる。

【0023】

スイッチ素子27などの半導体集積回路25が形成された半導体基板50上には、絶縁膜32を介して配線層46が形成される。配線層46は、配線40と絶縁膜45から構成されている。配線40は、アルミニウムで形成され、例えばコンタクトホール36を介してスイッチ素子27のドレイン領域26と接続されると共に、配線層46上に設けられるボンディングパッド22とコンタクトホールを介して接続される。つまり、配線40は、ドレイン領域26とボンディングパッド22とを電氣的に接続する役割を担う。さらに、ボンディングパッド22は、DRAMチップ4のDRAM電源パッド10とワイヤボンディングによって電氣的に接続される。

30

【0024】

配線38も配線40と同様にスイッチ素子27のゲート電極30とスイッチ素子27のオンオフを制御する信号を供給するためのコントロールパッド48とを電氣的に接続する役割を担う。コントロールパッド48には、マザーチップ2に設けられた不図示の制御回路から制御信号が供給される。

【0025】

また、スイッチ素子27のソース領域24は、絶縁膜32と配線層46を貫通するコンタクトホール34を介してDRAM電源線8と接続される。DRAM電源線8には外部セル18を介してチップ外部からVDD_{DRAM}が供給されるので、ソース領域24の電位もVDD_{DRAM}となる。

40

【0026】

このような構成により、スイッチ素子27のゲート電極30に制御回路からスイッチ素子27をオンにする制御信号が供給された場合、外部セル18を介してチップ外部からDRAM電源線8に供給されたVDD_{DRAM}が、スイッチ素子27を介してボンディングパッド22からDRAMチップ4のDRAM電源パッド10に供給される。一方、スイッチ素子27がオフとなる制御信号がゲート電極30に印加された場合には、DRAM電

50

源線 8 とスイッチングセル 20 のボンディングパッド 22 との接続が遮断され、DRAM チップ 4 への VDD_{DRAM} の供給が遮断される。

【0027】

本発明においては、DRAM チップ 4 にアクセスしないスタンバイモードにおいて、スイッチ素子 27 をオフにする制御信号をスイッチ素子 27 に供給し、DRAM 電源線 8 とスイッチングセル 20 のボンディングパッド 22 との電氣的接続を遮断する。すなわち、スタンバイモード時には、DRAM チップ 4 に VDD_{DRAM} が供給されず、DRAM 内でリーク電流が生じることを防止することができる。これによって、DRAM の消費電力を低減することができる。

【0028】

本発明は、上述した実施形態に限られるものではない。例えば、複数の電源線をマザーチップ 2 の内側から第 1 の電源線 6、プリバッファ用電源線 7、DRAM 電源線 8 などの順で配置しているが、任意の順で電源線を配置することができる。また、スイッチ素子は P 型 MOS トランジスタで構成されているが、N 型 MOS トランジスタなどで構成してもよい。

【0029】

さらに、本実施形態の半導体集積回路では、マザーチップ 2 上に DRAM チップ 4 を MCP 実装したものを挙げているが、本発明は、DRAM チップ 4 に限らず、外部からの電源電圧をマザーチップ 2 を介して供給される半導体チップであればよい。すなわち、マザーチップ上の半導体チップにアクセスしない状態の時に、半導体チップに電源電圧を供給する電源線と半導体チップ上の電源パッドとの接続をマザーチップに設けられるスイッチ素子によって遮断することで、半導体チップ内で発生するリーク電流を抑制することができる。

【0030】

また、本発明においては、DRAM チップ 4 に VDD_{DRAM} を供給するためのスイッチセル 20 の数がチップ外部からマザーチップ 2 に VDD_{DRAM} を供給するための外部セル 18 の数よりも多い構成とすることが好適である。

【0031】

また、マザーチップ 2 の長辺部分には、DRAM チップ 2 との電源電圧の授受を行う外部セル 18 とスイッチセル 20 が設けられるが、短辺部分にはそれらのセルが設けられていない。それによって、マザーチップ 2 の短辺部分からチップ外部に出るピンの数を長辺部分からチップ外部に出るピンの数よりも少なくすることができる。

【図面の簡単な説明】

【0032】

【図 1】本発明の実施の形態における MCP された半導体集積回路の平面図である。

【図 2】本発明の実施の形態における MCP された半導体集積回路の断面図である。

【図 3】本発明の実施の形態における MCP された半導体集積回路の断面図である。

【符号の説明】

【0033】

2 マザーチップ、4 DRAM チップ、5 記憶部、6 第 1 の電源線、7 プリバッファ用電源電圧、8 DRAM 電源線、9、17 I/O セル、10 DRAM 電源パッド、12 第 2 の電源線、14 GND 電源線、18 外部セル、19 グランドセル、20 スwitchセル、21、23 ワイヤ、22 ボンディングパッド、24 ソース領域、25 半導体集積回路、26 ドレイン領域、27 スwitch素子、28 ゲート絶縁膜、30 ゲート電極、32、45 絶縁膜、34、36、42、44、47 コンタクトホール、38、40 配線、46 配線層、48 コントロールパッド、50 半導体基板

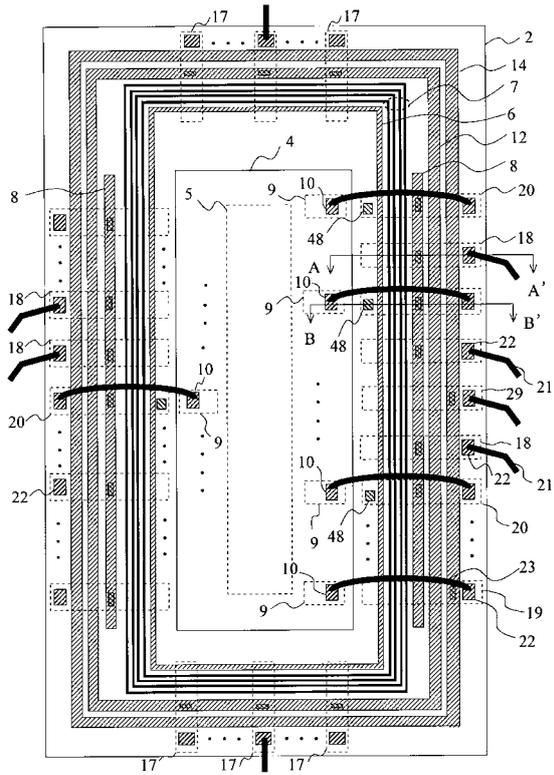
10

20

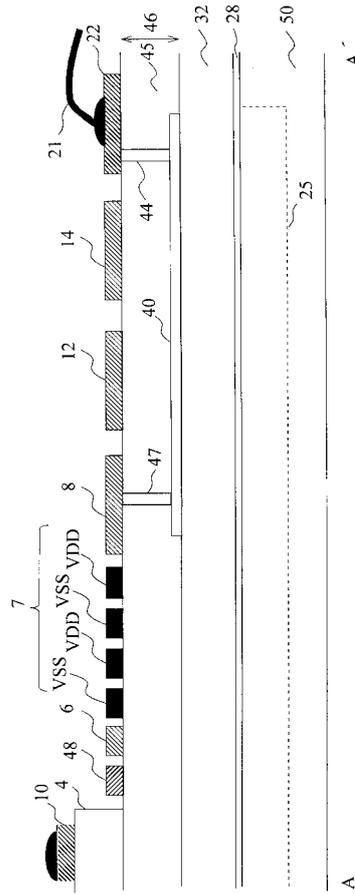
30

40

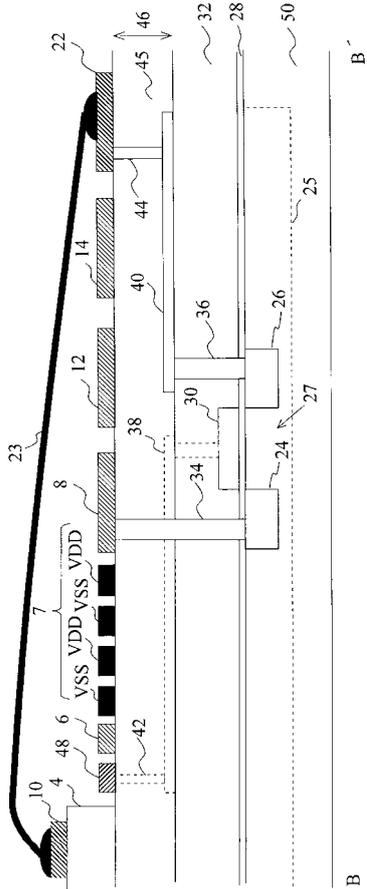
【図 1】



【図 2】



【図 3】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/82 (2006.01)

(56)参考文献 特開2001-344967(JP,A)

特開2002-100729(JP,A)

特開平1-145842(JP,A)

特開平4-163953(JP,A)

特開2004-273800(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/82 - 21/822

H 0 1 L 27/04

H 0 1 L 25/065 - 25/07

H 0 1 L 25/18