

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 7/76 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200510135024.9

[43] 公开日 2007年6月27日

[11] 公开号 CN 1987771A

[22] 申请日 2005.12.23

[21] 申请号 200510135024.9

[71] 申请人 中兴通讯股份有限公司

地址 518057 广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦法律部

[72] 发明人 温子瑜

[74] 专利代理机构 北京安信方达知识产权代理有限公司

代理人 王漪 王继长

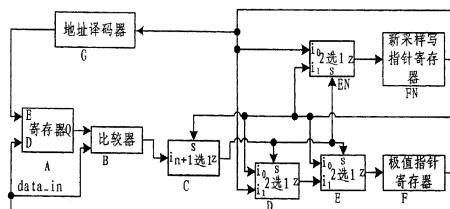
权利要求书 3 页 说明书 10 页 附图 3 页

[54] 发明名称

一种实现数据排序的硬件电路及方法

[57] 摘要

本发明公开了一种实现数据排序的硬件电路及方法，所述电路主要用于从 m 个数据中找出 n 个最大(或最小)的数据， $m \geq n$ ，并且同时实现对这 n 个最大(或最小)的值进行大小排序。具体包括：一组寄存器，一组比较器，一组 $n+1$ 选 1 的多路选择器，两组 2 选 1 的多路选择器，一组极值指针寄存器，一个 2 选 1 的多路选择器，一个当前采样(新采样)写指针寄存器，一个地址译码器。所述的方法和装置，采用硬件电路来实现数据的排序，此电路每个时钟可以处理一个数据，如果使用多套排序电路并行工作，排序时间还可以成倍减少，所以本电路的实时处理性强，可以满足对处理时间要求比较高的场合。



1、一种实现数据排序的硬件电路，其特征在于，包括：

一组寄存器 (A)，一组比较器 (B)，一组 $n+1$ 选 1 的多路选择器 (C)，一组 2 选 1 的多路选择器 (D)，一组 2 选 1 的多路选择器 (E)，一组极值指针寄存器 (F)，一个 2 选 1 的多路选择器 (EN)，一个当前采样 (新采样) 写指针寄存器 (FN)，一个地址译码器 (G)；输入数据连接到寄存器组 (A) 和比较器组 (B)，输出为寄存器组 (A) 和极值指针寄存器组 (F) 的输出；

所述地址译码器 (G) 的输出连接到寄存器组 (A) 的输入使能端；寄存器组 (A) 的输出作为比较器组 (B) 的输入；比较器组 (B) 的输出作为多路选择器组 (C) 的输入，极值指针寄存器组 (F) 作为多路选择器组 (C) 的控制端；多路选择器组 (C) 的输出作为多路选择器组 (D) 的控制端，新采样写指针寄存器 (FN) 和极值指针寄存器组 (F) 作为多路选择器组 (D) 的输入端；多路选择器组 (C) 的输出作为多路选择器组 (E) 的控制端，多路选择器组 (D) 的输出和极值指针寄存器组 (F) 作为多路选择器组 (E) 的输入端；多路选择器组 (E) 的输出作为极值指针寄存器组 (F) 的输入端；多路选择器组 (C) 的输出作为多路选择器 (EN) 的控制端，新采样写指针寄存器 (FN) 和极值指针寄存器组 (F) 作为多路选择器 (EN) 的输入端；多路选择器 (EN) 的输出作为新采样写指针寄存器 (FN) 的输入端，新采样写指针寄存器 (FN) 作为地址译码器 (G) 的输入端。

2、如权利要求 1 所述的实现数据排序的硬件电路，其特征在于：

所述寄存器 (A) 中有额外一个空间来存放当前的采样输入，其存储位置由新采样写指针寄存器 (FN) 指定。

3、一种上述硬件电路实现数据排序的方法，其特征在于：

步骤 1、根据要查找值个数 n ，确定寄存器组 (A)，比较器组 (B)， $n+1$ 选 1 的多路选择器组 (C)，2 选 1 的多路选择器组 (D) 和 (E)，极值指针寄存器组 (F) 的深度，以及两组 2 选 1 的多路选择器组、极值指针寄存器组 (F)、2 选 1 的多路选择器 (EN) 和当前采样写指针寄存器 (FN) 的宽度；

步骤 2、选择待查找的数据源的个数 m ，以确定电路的运行时间为 m 个时钟；

步骤 3、根据查找数值类型，选择比较器的输出类型；

步骤 4、复位寄存器组、极值指针寄存器组和新采样写指针寄存器；

步骤 5、每个时钟向电路输入一个数据；

步骤 6、经过 m 个时钟后停止本电路，此时寄存器组中保存的即为 n 个极值，极值指针寄存器组内保存的是这些极值的大小顺序。

4、如权利要求 3 所述的实现数据排序的方法，其特征在于，所述步骤 1 中：

寄存器组 (A) 和比较器组 (B) 深度为 $n+1$ ；

$n+1$ 选 1 的多路选择器组 (C)，2 选 1 的多路选择器组 (D)，极值指针寄存器组 (F) 的深度为 n ；

2 选 1 多路选择器 (E) 的深度为 $n-1$ ；

$n+1$ 选 1 的多路选择器组 (C) 的宽度为 1；

2 选 1 的多路选择器组 (D) 和 (E)，极值指针寄存器组 (F)，2 选 1 的多路选择器 (EN) 和当前采样写指针寄存器 (FN) 的宽度为大于或等于 $\log_2(n+1)$ 的最小整数。

5、如权利要求 3 或 4 所述的实现数据排序的方法，其特征在于，所述步骤 4 中：

极值指针寄存器组 (F) 和当前采样写指针寄存器 (FN) 要分别复位, 且复位后的值各不相同; 查找最大值时, 寄存器组 (A) 全部复位为其最小值, 否则寄存器组 (A) 全部复位为其最大值。

一种实现数据排序的硬件电路及方法

技术领域

本发明涉及数字信号处理领域，具体涉及一种实现数据排序的硬件电路及方法。

背景技术

在数字信号处理中，经常需要对一系列数据进行排序，比如要对 m 个数据的大小顺序进行排序，或者从 m 个数据中找出 n 个最大（或最小）的数据， $m \geq n$ ，以确定这些数据的优先级别。

现有的技术主要为软件排序。虽然软件排序的算法很多，但由于软件的运算速度较慢，无法满足实时性要求比较高的环境。比如通信系统的基站在进行小区搜索时，需要从大量的数据中找到真正的信号，并迅速向移动终端反馈信息，这个时间间隔要求很短，通常在 1ms 左右，在小区半径比较大或搜索的小区比较多时，需要处理的数据量非常庞大，经常达到十万的量级，软件无法在如此短时间内实现如此多数据的查找排序。

发明内容

本发明目的在于克服软件排序花费时间长的缺点，使用硬件电路来实现数据的排序，可以满足实时性要求比较高的场合。

为了实现上述发明目的，本发明具体是这样实现的：

一种实现数据排序的硬件电路，包括：

一组寄存器（A），一组比较器（B），一组 $n+1$ 选 1 的多路选择器（C），

一组 2 选 1 的多路选择器 (D)，一组 2 选 1 的多路选择器 (E)，一组极值指针寄存器 (F)，一个 2 选 1 的多路选择器 (EN)，一个当前采样 (新采样) 写指针寄存器 (FN)，一个地址译码器 (G)；输入数据连接到寄存器组 (A) 和比较器组 (B)，输出为寄存器组 (A) 和极值指针寄存器组 (F) 的输出；

所述地址译码器 (G) 的输出连接到寄存器组 (A) 的输入使能端；寄存器组 (A) 的输出作为比较器组 (B) 的输入；比较器组 (B) 的输出作为多路选择器组 (C) 的输入，极值指针寄存器组 (F) 作为多路选择器组 (C) 的控制端；多路选择器组 (C) 的输出作为多路选择器组 (D) 的控制端，新采样写指针寄存器 (FN) 和极值指针寄存器组 (F) 作为多路选择器组 (D) 的输入端；多路选择器组 (C) 的输出作为多路选择器组 (E) 的控制端，多路选择器组 (D) 的输出和极值指针寄存器组 (F) 作为多路选择器组 (E) 的输入端；多路选择器组 (E) 的输出作为极值指针寄存器组 (F) 的输入端；多路选择器组 (C) 的输出作为多路选择器 (EN) 的控制端，新采样写指针寄存器 (FN) 和极值指针寄存器组 (F) 作为多路选择器 (EN) 的输入端；多路选择器 (EN) 的输出作为新采样写指针寄存器 (FN) 的输入端，新采样写指针寄存器 (FN) 作为地址译码器 (G) 的输入端。

所述寄存器 (A) 中有额外一个空间来存放当前的采样输入，其存储位置由新采样写指针寄存器 (FN) 指定。

一种上述硬件电路实现数据排序的方法，其特征在于：

步骤 1、根据要查找值个数 n ，确定寄存器组 (A)，比较器组 (B)， $n+1$ 选 1 的多路选择器组 (C)，2 选 1 的多路选择器组 (D) 和 (E)，极值指针寄存器组 (F) 的深度，以及两组 2 选 1 的多路选择器组、极值指针寄存器组 (F)、2 选 1 的多路选择器 (EN) 和当前采样写指针寄存器 (FN)

的宽度;

步骤 2、选择待查找的数据源的个数 m , 以确定电路的运行时间为 m 个时钟;

步骤 3、根据查找数值类型, 选择比较器的输出类型;

步骤 4、复位寄存器组、极值指针寄存器组和新采样写指针寄存器;

步骤 5、每个时钟向电路输入一个数据;

步骤 6、经过 m 个时钟后停止本电路, 此时寄存器组中保存的即为 n 个极值, 极值指针寄存器组内保存的是这些极值的大小顺序。

所述步骤 1 中:

寄存器组 (A) 和比较器组 (B) 深度为 $n+1$;

$n+1$ 选 1 的多路选择器组 (C), 2 选 1 的多路选择器组 (D), 极值指针寄存器组 (F) 的深度为 n ;

2 选 1 多路选择器 (E) 的深度为 $n-1$;

$n+1$ 选 1 的多路选择器组 (C) 的宽度为 1;

2 选 1 的多路选择器组 (D) 和 (E), 极值指针寄存器组 (F), 2 选 1 的多路选择器 (EN) 和当前采样写指针寄存器 (FN) 的宽度为大于或等于 $\log_2(n+1)$ 的最小整数。

所述步骤 4 中:

极值指针寄存器组 (F) 和当前采样写指针寄存器 (FN) 要分别复位, 且复位后的值各不相同; 查找最大值时, 寄存器组 (A) 全部复位为其最小值, 否则寄存器组 (A) 全部复位为其最大值。

采用本发明所述的方法和装置, 与现有技术相比, 本发明克服了软件排序花费时间长, 不能用于实时性要求高的场合的缺点。本发明使用硬件电路来实现数据的排序, 此电路每个时钟可以处理一个数据, 目前的集成电路一般可以工作在 100MHz 以上, 对 10 万个数据进行排序的时间小于

1ms, 如果使用多套排序电路并行工作, 排序时间还可以成倍减少, 所以本电路的实时处理性强, 可以满足对处理时间要求比较高的场合。

附图说明

图 1 为一个单链表的示意图;

图 2 为对图 1 进行重新排列并去掉空指针后得到的单链表;

图 3 为一个 2 选 1 的多路选择器;

图 4 为一个 16 选 1 的多路选择器;

图 5 为本发明的电路结构框图;

图 6 为本发明的一个具体实施例;

图 7 为本发明所述方法的流程图。

具体实施方式

下面结合附图和实施例对本发明作进一步的详细说明。

在说明本发明之前, 先对本发明的原理作一个简要的说明。

本方法的主要思想来源于软件数据结构中的单链表, 单链表是存储数据的一种结构, 访问存储在链表中的数据时, 需要查询一组指针, 这组指针的内容为这些数据的存储位置。

附图 1 为一个单链表的示意图, 头指针为 d_0 的存储位置, 指针 1 为 d_1 的存储位置, …… , 指针 n 为 d_n 的存储位置, 最后是一个空指针, 如果 n 为一个固定的数, 可以不使用最后的空指针。

附图 2 为对附图 1 进行重新排列并去掉空指针后得到的单链表。

为了更好的解释本发明, 下面对本发明中用到的一些元件进行说明。

附图 3 为一个 2 选 1 的多路选择器, i_0 , i_1 为数据输入端口, s 为选择控制端口, z 为输出端口, 当 s 为 0 时, z 的输出为 i_0 , 当 s 为 1 时, z 的

输出为 i_1 。

附图 4 为一个 16 选 1 的多路选择器， i 为数据输入端口， s 为选择控制端口， z 为输出端口。 i 的位宽为 16， i 由 i_{15} , i_{14} , i_{13} , ..., i_1 , i_0 组成； s 的位宽为 4，取值范围为 $0\sim 15$ 。当 s 的值为 j 时， z 的输出为 i_j ，这里 j 的取值范围为 $0\sim 15$ 。如果一个多路选择器的输入位宽是其他值，其工作原理与 16 选 1 的多路选择器是相似的。可以用 2 选 1 的多路选择器搭建 16 选 1 的多路选择器或其他类型的多路选择器。

通用的比较器一般有两个输入 A 和 B ，三个输出，一个输出判断 A 是否大于 B ，一个判断 A 是否等于 B ，另一个判断 A 是否小于 B 。

本发明中用到的比较器只需要一个输出，根据需要可以是判断 A 是否大于 B 的，也可以是判断 A 是否小于 B 的。

本发明所述的排序电路主要用于从 m 个数据中找出 n 个最大(或最小)的数据， $m \geq n$ ，并且同时实现对这 n 个最大(或最小)的值进行大小排序。此电路主要由以下几个部分组成：一组寄存器 A ，一组比较器 B ，一组 $n+1$ 选 1 的多路选择器 C ，一组 2 选 1 的多路选择器 D ，一组 2 选 1 的多路选择器 E ，一组极值指针寄存器 F ，一个 2 选 1 的多路选择器 EN ，一个当前采样(新采样)写指针寄存器 FN ，一个地址译码器 G 。

本电路的输入连接到寄存器组 A 和比较器组 B ，本电路的输出为寄存器组 A 和极值指针寄存器组 F 。

地址译码器 G 的输出连接到寄存器组 A 的输入使能端；寄存器组 A 的输出作为比较器组 B 的输入；比较器组 B 的输出作为多路选择器组 C 的输入，极值指针寄存器组 F 作为多路选择器组 C 的控制端；多路选择器组 C 的输出作为多路选择器组 D 的控制端，新采样写指针寄存器 FN 和极值指针寄存器组 F 作为 D 的输入端；多路选择器组 C 的输出作为多路选择器组 E 的控制端，多路选择器组 D 的输出和极值指针寄存器组 F 作为 E 的输入

端；多路选择器组 E 的输出作为极值指针寄存器组 F 的输入端；多路选择器组 C 的输出作为多路选择器 EN 的控制端，新采样写指针寄存器 FN 和极值指针寄存器组 F 作为 EN 的输入端；多路选择器 EN 的输出作为新采样写指针寄存器 FN 的输入端，新采样写指针寄存器 FN 作为地址译码器 G 的输入端。如附图 5 所示。

利用上述电路生进行数据排序的方法，包括下列步骤：

步骤 1、根据要查找最大值（或最小值）的个数 n ，确定本发明电路中 A、B、C、D、E、F 的深度和 D、E、EN、F、FN 的宽度。

A 和 B 的深度为 $n+1$ ，C、D、F 的深度为 n ，E 的深度为 $n-1$ ，C 的宽度为 1，D、E、EN、F、FN 的宽度为大于或等于 $\log_2(n+1)$ 的最小整数；

步骤 2、选择待查找的数据源的个数 m ，以确定电路的运行时间为 m 个时钟，

步骤 3、根据查找类型，即，要查找最大值还是最小值选择比较器的输出类型；

步骤 4、复位寄存器组 A、极值指针寄存器组 F 和新采样写指针寄存器 FN；

F 和 FN 要分别复位为 0, 1, 2, ……， n ，要保证他们复位后的值各不相同；查找最大值时，寄存器组 A 全部复位为其最小值，否则寄存器组 A 全部复位为其最大值。

步骤 5、每个时钟向本发明的电路输入一个数据（采样）；

步骤 6、经过 m 个时钟后停止本电路，此时寄存器组 A 中保存的即为 n 个极值，极值指针寄存器组 F 内保存的是这些极值的大小顺序。

使用寄存器组 A 保存当前的 n 个极值，极值指针寄存器组 F 用于记录 A 中各个极值的大小顺序，寄存器组 A 中另外有一个空间用于记录新的采样。

新的采样同时与 A 中所有的值进行比较，根据极值指针寄存器组 F 和

比较器组 B 的比较结果来判断新的采样是否是一个新的极值，并同时判断出新的大小顺序。

如果当前采样不是新的极值，原先的大小顺序不变，下个当前采样在 A 中的写入位置与当前相同，否则原先的极值当中有一个将不再是极值，其在 A 中存储位置将变为下个当前采样在 A 中的写入位置。

上述极值大小顺序的调整和当前采样写入位置判断的操作通过 n+1 选 1 的多路选择器组 C、2 选 1 的多路选择器组 D、2 选 1 的多路选择器组 E、极值指针寄存器组 F、2 选 1 的多路选择器 EN、新采样写指针寄存器 FN 和地址译码器 G 共同来实现。

下面以从 1000 个无符号数据中选择 15 个最大值为例，详细讲解本发明所述的电路。

查找最小值的原理与查找最大值的原理类同。

此电路的详细结构如附图 6 所示，15 个极值指针寄存器记录了当前 15 个最大值在寄存器组 A 中的存储位置，指针寄存器 F-0 记录当前最大值的位置，指针寄存器 F-1 记录当前次大值的位置，……，指针寄存器 F-13 记录当前次小值的位置，指针寄存器 F-14 记录当前最小值的位置。存储器 A 中虽然存储了 15 个最大值，但并不是一定按大小顺序存储，其大小顺序靠这 15 个极值指针寄存器来记录。存储器 A 中有额外一个空间用来存放当前的采样输入，其存储位置由新采样写指针寄存器 FN 指定。

当前采样进来后同时与寄存器组 A 中的 16 个值进行比较，以判断其是否是一个新的极值。如果当前采样没有当前 15 个最大值中的最小值大，则下个采样的写入位置保持不变仍然为 FN 的值；如果当前采样比前 15 个最大值中的任何一个大，则将下个采样的写位置替换为原先 15 个最大值中最小值的位置，并同时调整 15 个极值指针的内容，即同时调整寄存器组 A 中各个数据的大小顺序。

这里的电路实现为：多路选择器 EN 的选择控制端为 C-14 的输出，EN 的输入为 FN 和 F-14，EN 的输出为 FN 的输入，当 C-14 取值为 0 时，EN 输出为 FN，C-14 取值为 1 时，EN 输出为 F-14。

在系统复位后，将 15 个指针寄存器 F 和新采样写指针寄存器 FN 复位，这里将指针 0 复位为 15，指针 1 复位为 14，指针 2 复位为 13，……，指针 14 复位为 1，指针 FN 复位为 0；并且将寄存器组 A 全部复位为 0。如图 6 中最右边所示。

寄存器组 A 中的 16 个值 A-0, A-1, ..., A-15 (包含当前 15 个最大值) 同时与当前采样进行比较，比较时使用 16 个比较器 B-0, B-1, ..., B-15，如果当前采样比 A-s 大，B-s 输出为 1，否则 B-s 的输出为 0，s=1, ...15。极值指针寄存器 F-i 记录了第 i 号最大值的存储位置，i=1, ...14，因此可以通过极值指针寄存器 F-i 获得第 i 号最大值与当前采样的比较结果。多路选择器组 C 中有 15 个 16 选 1 的多路选择器，以极值指针寄存器 F-i 作为 C-i 的选择控制端，以 B-0, B-1, ..., B-15 作为 C-i 的输入，C-i 的输出为极值指针寄存器 F-i 对应的极值与当前采样的大小比较结果，如附图 6 中所示。

15 个最大值的指针寄存器中，极值指针寄存器 F-i 记录的是当前第 i 个最大值的存储位置，i=0, ..., 14，即极值指针 0 对应当前最大值，极值指针 1 对应当前次大值，……，极值指针 14 对应当前 15 个最大值中的最小值。

如果当前采样没有寄存器组 A 中当前 15 个最大值中的最小值大，则下个采样的写位置仍然为新采样写指针寄存器 FN 的值，15 个极值指针的内容也不用调整；如果当前采样比寄存器组 A 中当前 15 个最大值中的任何一个大，则下个采样的写位置为原先 15 个最大值中最小值的位置，即极值指针寄存器 F-14 的值。

对于 15 个极值指针寄存器中的任何一个指针寄存器 $F-i$ 来说, 如果当前采样没有自己对应的值大, 则指针寄存器 $F-i$ 的内容不需要更改; 如果当前采样刚好替代了原先第 i 个最大值的大小位置, 则指针寄存器 $F-i$ 替换为当前采样指针的值, 即替换为新采样写指针寄存器 FN 的内容; 如果当前采样比指针寄存器 $F-i-1$ 对应的值还大, 则指针寄存器 $F-i$ 的内容要替换为指针寄存器 $F-i-1$ 的内容; 这里, 当前采样与第 $i-1$ 个最大值的比较结果优先级高于当前采样与第 i 个最大值的比较结果。

在本发明中, 其电路实现为: 将第 i 个最大值与当前采样的比较结果 $C-i$ 作为多路选择器 $D-i$ 的选择控制端, FN 和 $F-i$ 做为 $D-i$ 的输入, $C-i$ 为 1 时 $D-i$ 的输出为 FN , 否则输出为 $F-i$; 将第 $i-1$ 个最大值与当前采样的比较结果 $C-i-1$ 作为多路选择器 $E-i$ 的选择控制端, $D-i$ 和 $F-i-1$ 做为 $E-i$ 的输入, $C-i-1$ 为 1 时 $E-i$ 的输出为 $F-i-1$, 否则输出为 $D-i$; $E-i$ 的输出作为指针 $F-i$ 的输入, 如附图 6 中所示。

对于指针 0 来讲, 由于指针 0 对应的为 15 个最大值中的最大值, 因此不需要 $E-0$, 直接将 $D-0$ 的输出作为 $F-0$ 的输入, 如附图 6 中所示。

当前采样的写入位置为新采样写指针寄存器 FN 的输出, 当前采样连接到寄存器组 A 中所有寄存器的输入端口, 寄存器组 A 中的各个寄存器都有使能端口。将新采样写指针寄存器 FN 的输出送入 4-16 译码器 G , 由 G 生成寄存器组 A 中各个寄存器的使能。地址译码器 G 的输出位宽为 16, 其输出信号分别为 $G_{15}, G_{14}, \dots, G_1, G_0$ 。当 4-16 译码器的输入取值为 s 时, 其输出 G_s 为有效, 其他输出为无效, $s=0, 1, \dots, 15$, G_s 连接到 $A-s$ 的使能端口, 这样当前采样就只可以写入 FN 所指示的寄存器中。

通过上面的操作, 经过 1000 个时钟以后, 就可以将 15 个最大值挑选出来, 这些值保存于寄存器组 A 中, 他们在寄存器组 A 中的存储位置保存于 15 个极值指针寄存器中, 极值指针寄存器 $F-0$ 对应最大值, 指针寄存器

F-1 对应次大值，……，指针寄存器 F-14 对应 15 个最大值中的最小值。

利用图 6 中的装置查找最大值的过程，包括下列步骤：

步骤 1、根据要查找最大值的个数 15，可确定 A 和 B 的深度为 16，C、D、F 的深度为 15，E 的深度为 14，C 的宽度为 1，D、E、EN、F、FN 的宽度为 4；

步骤 2、根据待查找的数据源的个数 1000，确定电路的运行时间为 1000 个时钟，

步骤 3、根据查找类型，即，要查找最大值选择比较器的输出类型；

步骤 4、将寄存器组 A 全部复位为 0，将极值指针寄存器组 F 和新采样写指针寄存器 FN 复位为 1, 2, ……，15, 0；

步骤 5、每个时钟向本发明的电路输入一个数据（采样）；

步骤 6、经过 1000 个时钟后停止本电路，此时 15 个最大值保存于寄存器组 A 中，极值指针寄存器组 F 内保存的是这些极值的大小顺序。

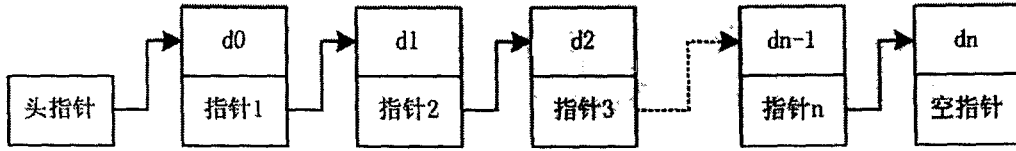


图 1

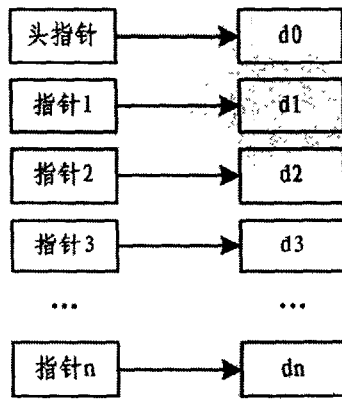


图 2

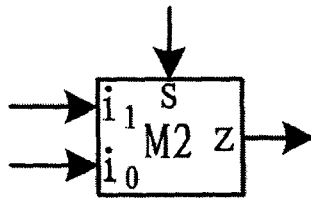


图 3

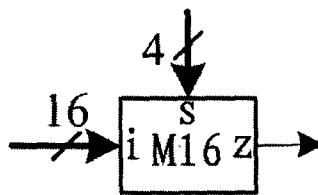


图 4

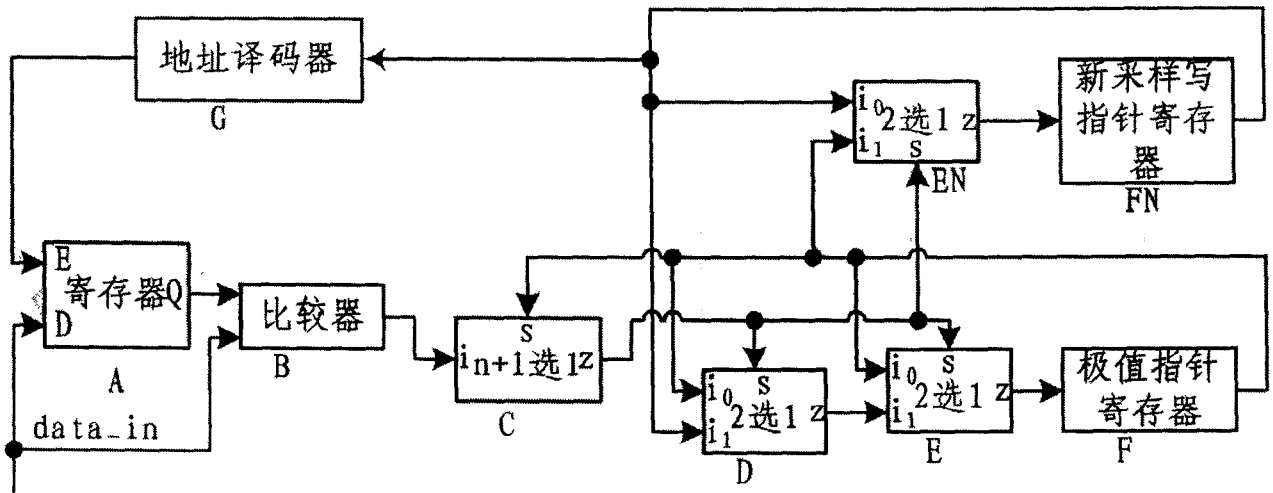


图 5

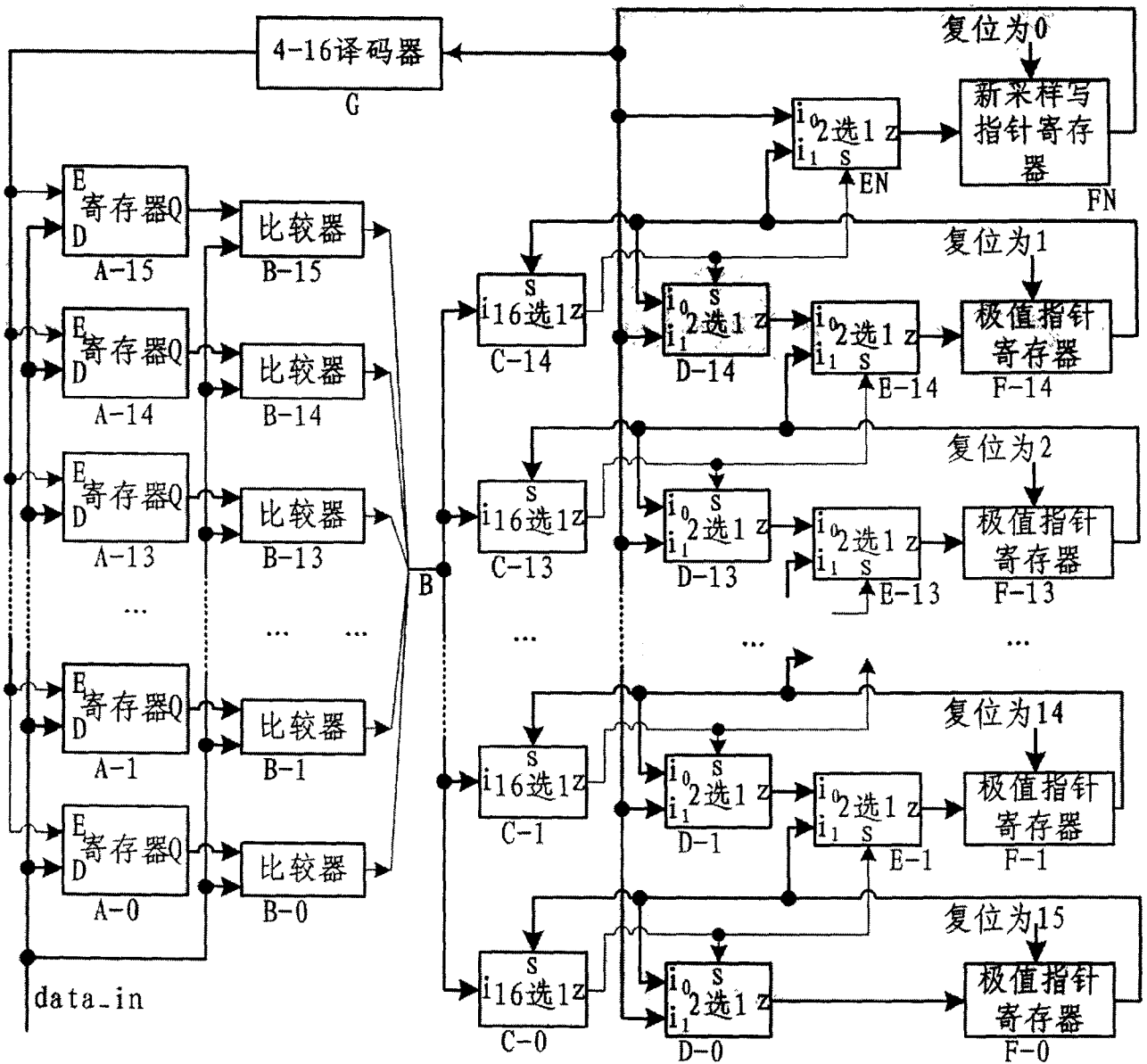


图 6

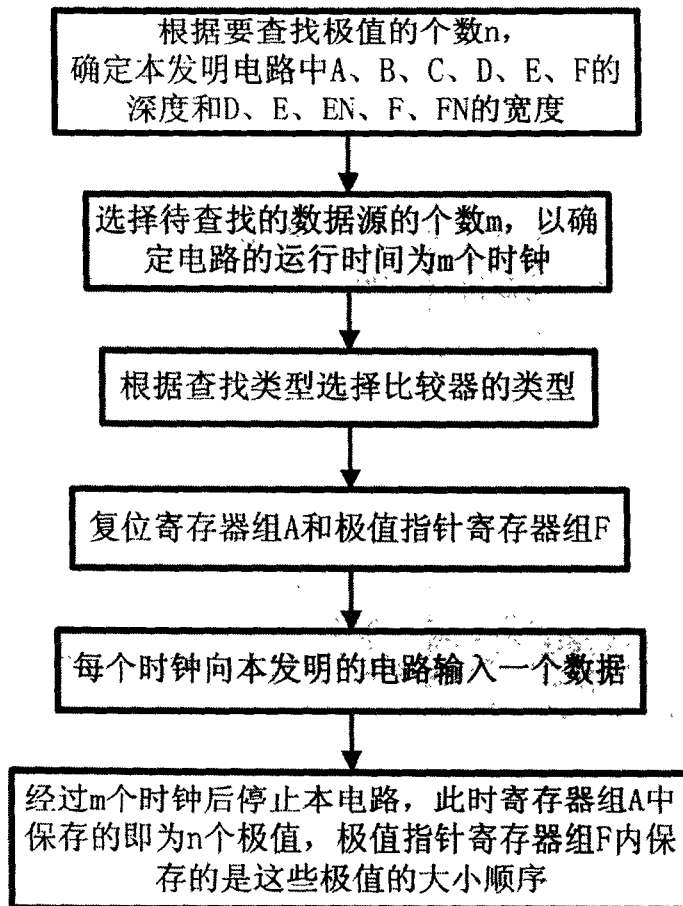


图 7