



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 103 06 290 B4 2008.01.24**

(12)

Patentschrift

(21) Aktenzeichen: **103 06 290.4**
 (22) Anmeldetag: **14.02.2003**
 (43) Offenlegungstag: **02.09.2004**
 (45) Veröffentlichungstag
 der Patenterteilung: **24.01.2008**

(51) Int Cl.⁸: **H04B 1/69 (2006.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:
Nokia Siemens Networks GmbH & Co.KG, 81541 München, DE

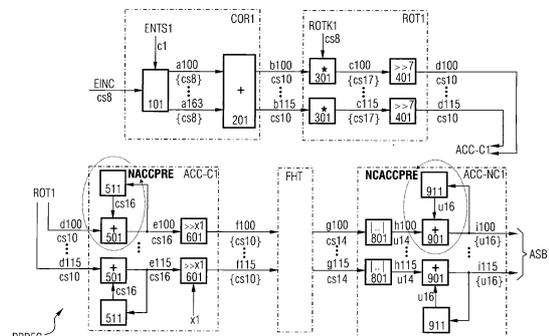
(72) Erfinder:
Dieterich, Hans, Dr., 89075 Ulm, DE; Frey, Thomas, Dr., 89081 Ulm, DE; Schmid, Joachim, 89597 Munderkingen, DE; Schreyögg, Christoph, Dr., 89073 Ulm, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
EP 11 28 568 A2
WO 02/0 93 764 A1
WO 01/05 050 A1

(54) Bezeichnung: **Anordnung zur Funksignalentspreizung bei einem Funkkommunikationssystem mit Code-Vielfachzugriffsverfahren**

(57) Hauptanspruch: Anordnung zur Funksignalentspreizung bei einem Funkkommunikationssystem mit Code-Vielfachzugriffsverfahren

– bestehend aus einer Präambledetektionseinrichtung (PRDEC), einer Fingerentspreizungseinrichtung (FENT) und einer Pfadbeobachtungs-/Pfadnachführeinrichtung (PBPN),
 – bei der die jeweiligen Einrichtungen jeweils eine Serienschaltung, bestehend aus einer Korrelationseinrichtung (COR1, COR2, COR3) zur Eingangschipentspreizung, einer Rotationseinrichtung (ROT1, ROT2, ROT3) zur Kompensation einer durch einen Empfängerfrequenzoffset verursachten Phasendrehung und einer kohärenten Accumulationseinrichtung (ACC-C1, ACC-C2, ACC-C3) zur Durchführung einer wiederholten kohärenten Addition aufweisen,
 – bei der an jede Serienschaltung als Eingangssignal jeweils aus Antennendaten (AD) der Funksignale gebildete komplexe Eingangschips (EINC) mit einer binären Realteil- und mit einer binären Imaginärteilwortlänge von jeweils N Bit und mit einem jeweils zugeordneten binären Wertebereich W von $-2^{N-1} \leq W \leq 2^{N-1} - 1$ angeschaltet sind,
 – bei der jede einzelne Korrelationseinrichtung (COR1, COR2, COR3) Mittel zur Durchführung einer gesättigten Signalentspreizung beinhaltet, mit deren Hilfe aus den Eingangschips (EINC) bitbreitenreduzierte komplexe Signale (b100, ..., b300) gebildet werden,...



Beschreibung

[0001] Die Erfindung betrifft eine Anordnung zur Funksignalentspreizung bei einem Funkkommunikationssystem mit Code-Vielfachzugriffsverfahren gemäß dem Oberbegriff des Patentanspruchs 1.

[0002] Beim neu einzuführenden UMTS-FDD-Standard ist seitens einer als NodeB bezeichneten Basisstation Hardware zur Entspreizung von Teilnehmersignalen notwendig. Die Entspreizung ist aufgrund von aufwändigen Rechenoperationen nur mit Hilfe von kostenintensiver Hardware, die im allgemeinen eine Vielzahl von hochkomplexen anwenderspezifischen Bauelementen (ASIC) aufweist, zu realisieren. Insbesondere werden anwenderspezifische Bauelemente zur Verarbeitung von Signalen mit großen Bitbreiten benötigt.

[0003] Die Entspreizung von Teilnehmersignalen wird mit Hilfe von Algorithmen zur Präambledetektion, zur Fingerentspreizung und zur Pfadbeobachtung bzw. Pfadnachführung durchgeführt.

[0004] Mit Hilfe der Präambledetektion wird bei UMTS-FDD ein Aufbau eines Übertragungskanals eingeleitet. Dazu sendet eine Mobilstation ein vordefiniertes Nachrichtenformat, das einerseits eine sogenannte Präamble und andererseits einen der Präamble nachfolgenden Nachrichtenteil aufweist. Die Präambledetektion bestimmt eine in der Präamble enthaltene Signatur, die Information zur Decodierung des nachfolgenden Nachrichtenteils enthält. Außerdem wird mit Hilfe der Präambledetektion ein Verzögerungsleistungsdichtespektrum für einen Rake-Empfänger bestimmt, mit dessen Hilfe der Nachrichtenteil decodiert wird.

[0005] Mit Hilfe der Fingerentspreizung werden empfangene Datensymbole eines einzelnen Teilnehmers entspreizt.

[0006] Mit Hilfe der Pfadnachführung werden zusätzlich zur Fingerentspreizung zeitlich frühere und zeitlich spätere Datensymbole eines Kontrollkanals entspreizt und Informationen für eine Nachführung eines Fingerentspreiz-Zeitpunkts gewonnen. Bei der Pfadbeobachtung wird ein Verzögerungsleistungsdichtespektrum des Teilnehmers bestimmt und daraus eine zeitliche Lage für Finger des Rake-Receivers ermittelt.

[0007] Aus WO 01/05050 A1 ist eine Anordnung zur Funksignalentspreizung bei einem Funkkommunikationssystem mit Codevielfachzugriffsverfahren bekannt. Diese enthält neben einer Präambeldirektionseinrichtung eine Einrichtung zur Verarbeitung von Daten und Kontrollsignalen, sowie einen Kanalschätzer.

[0008] Aus EP 1 128 568 A2 ist eine Synchronisierung für ein so genanntes "spread-spectrum"-Kommunikationssignal bekannt. Dabei wird ein empfangenes Signal nach einer Filterung und einer Abtastung korreliert und einer so genannten "Symbol Integrating Unit" zugeführt, die mit Hilfe einer "Frequency Offset Estimating Section" gesteuert wird.

[0009] Aus WO 02/093764 A1 ist ein Verfahren zum Verarbeiten von CDMA-Datenpaketen bekannt. Dabei werden durch "Mittel zum Begrenzen von Datenwerten" die Datenwerte auf einen Maximalwert begrenzt, um Überläufe bei einer durchzuführenden Skalierung zu vermeiden.

[0010] Es ist Aufgabe der vorliegenden Erfindung, eine Schaltungsanordnung der eingangs genannten Art in der Weise auszubilden, dass die zur Entspreizung benötigten Algorithmen kostengünstig realisiert werden können.

[0011] Die Aufgabe der Erfindung wird durch die Merkmale des Patentanspruchs 1 gelöst. Vorteilhafte Weiterbildungen sind in den Unteransprüchen angegeben.

[0012] Mit Hilfe der erfindungsgemäßen Anordnung werden die zur Entspreizung benötigten Algorithmen bitgenau und kostengünstig in einem gemeinsamen anwenderspezifischen Bauelement, einem sogenannten ASIC, implementiert.

[0013] Bei der erfindungsgemäßen Anordnung werden Ressourcen dadurch eingespart, dass Bitbreiten von Signalen für einzelne Algorithmenstufen auf ein Minimum reduziert werden, wobei gleichzeitig Leistungseinbussen gegenüber einer Fließkommaimplementierung vermieden werden.

[0014] Die reduzierten Bitbreiten ermöglichen die Implementierung der oben genannten Algorithmen zur Teilnehmersignalentspreizung in einem gemeinsamen ASIC-Baustein, der aufgrund der reduzierten Bitbreiten eine geringe Komplexität und eine geringe Gatteranzahl aufweist.

[0015] Im Folgenden wird ein Ausführungsbeispiel der vorliegenden Erfindung anhand einer Zeichnung näher erläutert. Dabei zeigen:

[0016] [Fig. 1](#) eine Präambledetektionseinrichtung einer erfindungsgemäßen Anordnung zur Funksignalentspreizung,

[0017] [Fig. 2](#) eine Fingerentspreizeinrichtung der erfindungsgemäßen Anordnung,

[0018] [Fig. 3](#) eine Pfadbeobachtungs-/Pfadnachführeinrichtung der erfindungsgemäßen Anordnung zur Funksignalentspreizung,

[0019] [Fig. 4](#) die in einem gemeinsamen ASIC-Bau-element realisierte erfindungsgemäße Anordnung zur Funksignalentspreizung unter Verwendung der in den Figuren [Fig. 1](#) bis [Fig. 3](#) beschriebenen Einrichtungen, und

[0020] [Fig. 5](#) eine Tabelle mit Konstanten eines bevorzugten Betragsbildungsverfahrens für die in den Figuren [Fig. 1](#) und [Fig. 3](#) dargestellten Betragsbildungseinrichtungen.

[0021] [Fig. 1](#) zeigt eine Präambledetektionseinrichtung PRDEC einer erfindungsgemäßen Anordnung zur Funksignalentspreizung, die seriell aufeinanderfolgend eine Correlationseinrichtung COR1, eine Rotationseinrichtung ROT1, eine kohärente Akkumulationseinrichtung ACC-C1, eine Einrichtung zur Fast-Hadamard-Transformation FHT und eine nicht kohärente Akkumulationseinrichtung ACC-NC1 aufweist.

[0022] Nachfolgend werden Abkürzungen für Zahlenformate binärer Signale angegeben, die in der weiteren Beschreibung verwendet werden:

csN ::= „complex signed“, vorzeichenbehaftete Binärzahlen mit einer Wortlänge von $2 \cdot N$ Bit zur Darstellung komplexer Signale, denen für den Realteil mit einer Wortlänge von N Bit und für den Imaginärteil mit einer Wortlänge von N Bit jeweils ein binärer Wertebereich von $[-2^{N-1}; 2^{N-1} - 1]$ zugeordnet ist,

{csN} ::= „complex signed – gesättigt“, vorzeichenbehaftete Binärzahlen mit einer Wortlänge von $2 \cdot N$ Bit zur Darstellung komplexer „gesättigter“ Signale, denen für den Realteil mit einer Wortlänge von N Bit und für den Imaginärteil mit einer Wortlänge von N Bit jeweils ein binärer Wertebereich von $[-2^{N-1}; 2^{N-1} - 1]$ zugeordnet ist, wobei zur Sättigung einem Signal, dessen ursprünglicher Binärwert des Realteils bzw. des Imaginärteils den unteren Grenzwert -2^{N-1} unterschreitet, der untere Grenzwert als neuer Binärwert fest zugeordnet wird und wobei einem Signal, dessen ursprünglicher Binärwert des Realteils bzw. des Imaginärteils den oberen Grenzwert $2^{N-1} - 1$ überschreitet, der obere Grenzwert als neuer Binärwert fest zugeordnet wird,

uN ::= positive Binärzahlen mit einer Wortlänge von N Bit und mit einem zugeordneten binären Wertebereich von $[0; 2^{N-1}]$ zur Darstellung reeller Signale,

{uN} ::= positive Binärzahlen mit einer Wortlänge von N Bit und mit einem zugeordneten binären Wertebereich von $[0; 2^{N-1}]$ zur Darstellung reeller „gesättigter“ Signale, wobei einem Signal, dessen ursprünglicher Binärwert den unteren Grenzwert 0 unterschreitet, der untere Grenzwert als neuer Binärwert fest zugeordnet wird und wobei einem Signal, dessen ursprünglicher Binärwert den oberen Grenzwert 2^{N-1} überschreitet, der obere Grenzwert als Binärwert fest zugeordnet wird, und

c1 ::= zur Darstellung von Signalen einer Entspreizsequenz mit einem zugeordnetem Wertebereich von $c1 \in \{1 + j, -1 + j, 1 - j, -1 - j\}$.

[0023] Die Korrelationseinrichtung COR1 beinhaltet eine Entspreizeinrichtung **101** und eine erste Additionseinrichtung **201**, wobei aus Antennendaten AD von Funksignalen gebildete komplexe Eingangsschips EINC im Zahlenformat cs8 an die Entspreizeinrichtung **101** als Eingangssignale angeschaltet sind. Der Entspreizeinrichtung **101** wird ebenfalls eine Entspreizsequenz ENTS1 im Zahlformat c1 zugeführt, wobei mit Hilfe der Entspreizeinrichtung **101** die Eingangsschips EINC entspreizt und auf das gesättigt-

te Zahlenformat {cs8} abgebildet werden. Die Entspreizung erfolgt beispielsweise durch eine konjugiert komplexe Multiplikation der Entspreizsequenz ENTS1 mit den Eingangschips EINC, wobei im Ergebnis ein sogenanntes „Least-Significant-Bit“ nicht weiterverwendet, d.h. verworfen, wird.

[0024] Wie oben beschrieben erhält ein entspreiztes Signal, dessen Binärwert des Realteils bzw. des Imaginärteils kleiner als der untere Grenzwert des binären Wertebereichs ist (hier also kleiner als -2^{8-1} ist) als Binärwert den unteren Grenzwert -2^{8-1} fest zugeordnet. Hingegen erhält ein entspreiztes Signal, dessen Binärwert des Realteils bzw. des Imaginärteils größer als der obere Grenzwert des binären Wertebereichs ist (hier also größer als $2^{8-1} - 1$ ist) als Binärwert den oberen Grenzwert $2^{8-1} - 1$ fest zugeordnet. Eine derartige Abbildung mit entsprechender Zuordnung wird als Sättigung bezeichnet.

[0025] Die Entspreizeinrichtung **101** bildet komplexe Signale a100 bis a163 im gesättigten Zahlformat {cs8}, die an die erste Additionseinrichtung **201** gelangen. Die Sättigung der komplexen Signale a100 bis a163 ist aufgrund einer stattfindenden Vorzeichenänderung, die durch die Entspreizung bedingt wird, notwendig.

[0026] Mit Hilfe der ersten Additionseinrichtung **201** werden jeweils vier der Signale a100 bis a163 gemäß folgender Formeln zu komplexen Signalen b100 bis b115 aufaddiert:

$$b100 = a100 + a116 + a132 + a148;$$

$$b101 = a101 + a117 + a133 + a149;$$

$$b115 = a115 + a131 + a147 + a163.$$

[0027] Diese Additionen erfolgen ohne Genauigkeitsverlust und ohne Sättigung, so dass die ausgangsseitigen komplexen Signale b100 bis b115 der ersten Additionseinrichtung **201** das Zahlformat cs10 aufweisen und als Eingangssignale an die der Korrelationseinrichtung COR1 nachgeschaltete Rotationseinrichtung ROT1 gelangen. In der Rotationseinrichtung ROT1 wird eine durch einen Empfängerfrequenzoffset verursachte Phasendrehung kompensiert.

[0028] Die Rotationseinrichtung ROT1 weist für jedes der komplexen Signale b100 bis b115 jeweils einen Multiplikator **301** und eine dem Multiplikator **301** nachgeschaltete Bitschiebeeinrichtung **401** auf, wobei jedes einzelne der komplexen Signale b100 bis b115 an den jeweils zugeordneten Multiplikator **301** als Eingangssignal angeschaltet ist. Jedem einzelnen Multiplikator **301** sind als weitere Eingangssignale komplexe Rotationskoeffizienten ROTK1 im cs8-Zahlformat zugeführt.

[0029] Mit Hilfe der jeweiligen Multiplikatoren **301** werden komplexe Signale c100 bis c115 im gesättigten Zahlenformat {cs17} gemäß der Formeln:

$$c100 = b100 \cdot \text{ROTK1},$$

$$c101 = b101 \cdot \text{ROTK1},$$

$$c115 = b115 \cdot \text{ROTK1}.$$

gebildet, die den jeweiligen Bitschiebeeinrichtungen **401** zugeführt sind. Mit Hilfe einer 7-Bit-Shift-Right-Operation werden sogenannte „Least Significant Bits“ der komplexen Signale c100 bis c115 verworfen und komplexe Signale d100 bis d115 im Zahlenformat cs10 erzeugt.

[0030] Die komplexen Signale d100 bis d115 gelangen als Eingangssignale an die der Rotationseinrichtung ROT1 nachgeschaltete kohärente Accumulationseinrichtung ACC-C1. Mit Hilfe der kohärente Accumulationseinrichtung ACC-C1 wird die Folge der komplexen Signale d100 bis d115 insgesamt NACCPRE-mal aufaddiert, wobei die Variable NACCPRE von außen einstellbar ist. Die Einrichtungen COR1 und ROT1 stellen die komplexen Signale d100 bis d115 für diese Addition entsprechend bereit.

[0031] Die kohärente Akkumulationseinrichtung ACC-C1 weist für jedes einzelne der komplexen Signale d100 bis d115 jeweils eine Additionseinrichtung **501**, einen kohärenten Zwischenspeicher **511**, der mit „0“ vorbelegt ist, und eine Bitschiebeeinrichtung **601** auf.

[0032] Stellvertretend für die komplexen Signale d100 bis d115 betrachtet, ist das Signal d100 an die zugeordnete Additionseinrichtung **501** angeschaltet, mit deren Hilfe ein komplexes Signal e100 im Zahlenformat cs16 gebildet wird. Zur Durchführung der NACCPRE-maligen Addition ist die Additionseinrichtung **501** ausgangsseitig einerseits über den kohärenten Zwischenspeicher **511** zur Additionseinrichtung **501** zurückgeführt und andererseits an die Bitschiebeeinrichtung **601** angeschaltet. Das komplexe Signal e100 wird nach Durchführung einer NACCPRE-maligen Addition gebildet und an die Bitschiebeeinrichtung **601** geführt. Die Variable NACCPRE ist dabei von außen einstellbar.

[0033] Mit Hilfe der Bitschiebeeinrichtung **601** wird durch eine x1 Bit Shift-Right-Operation ein komplexes Signal f100 im gesättigten Zahlenformat {cs10} gebildet, wobei eine Anzahl von Bitschieboperationen über eine Variable x1 benutzerspezifisch von außen einstellbar ist.

[0034] Zusammenfassend werden aus den komplexen Signalen d100 bis d115 im Zahlenformat cs10 durch wiederholte Addition wiederum komplexe Sig-

nale f100 bis f115 im gesättigten Zahlenformat {cs10} gebildet, die als Eingangssignale an eine Einrichtung zur Fast-Hadamard-Transformation FHT angeschaltet sind.

[0035] Eine dort durchgeführte Fast-Hadamard-Transformation ist beispielsweise in „Principles of Spread Spectrum Communications“, A.J. Viterbi, Addison Wesley, 1995, näher erläutert. Die Einrichtung zur Fast-Hadamard-Transformation FHT bildet ohne Genauigkeitsverlust komplexe Signale g100 bis g115 im Zahlenformat cs14, die als Eingangssignale an die nichtkohärente Akkumulationseinrichtung ACC-NC1 angeschaltet sind. Mit Hilfe der nichtkohärente Akkumulationseinrichtung ACC-NC1 wird eine Folge von aus den komplexen Signale g100 bis g115 gewonnener reeller Signale h100 bis h115 insgesamt NCACCPRE-mal betragsmäßig aufaddiert, wobei die Variable NCACCPRE von außen einstellbar ist. Die vorherigen Einrichtungen stellen die komplexen Signale g100 bis g115 entsprechend für die wiederholte Addition bereit.

[0036] Die nichtkohärente Akkumulationseinrichtung ACC-NC1 weist für jedes komplexe Signal g100 bis g115 jeweils eine Betragsbildungseinrichtung **801**, eine Additionseinrichtung **901** und einen Zwischenspeicher **911** auf, der mit „0“ vorbelegt ist.

[0037] Stellvertretend für die komplexen Signale g100 bis g115 betrachtet, gelangt das komplexe Signal g100 im Zahlenformat cs14 an die Betragsbildungseinrichtung **801**, mit deren Hilfe ein reelles Signal h100 im Zahlenformat u14 gebildet wird.

[0038] Die Betragsbildung erfolgt beispielsweise durch die nachfolgend beschriebene Näherung:
Bei einem komplexen Signal mit einem Realteil I und einem Imaginärteil Q gilt zur Schätzung des Signalbetrags Mag näherungsweise:

$$\text{Mag} \cong \text{Alpha} \cdot \max(|I|, |Q|) + \text{Beta} \cdot \min(|I|, |Q|)$$

[0039] Dabei sind "Alpha" und "Beta" Konstanten, deren Werte in Abhängigkeit eines zulässigen RMS-Fehlers, eines „peak errors“ oder in Abhängigkeit einer Komplexität einer Implementierung wählbar sind.

[0040] Die oben dargestellte Absolutwertoperation „faltet“ gewissermaßen ein komplexes Signal in einen Bereich von 0°–90° und die durchgeführte Min- bzw. Max-Operation „faltet“ gewissermaßen das komplexe Signal in einen Bereich von 0°–45°. Innerhalb dieser Grenzen ist eine lineare Kombination des Realteils I mit dem Imaginärteil Q eine gute Näherung an die Signalamplitude Mag.

[0041] Mit Hilfe eines Programms wurden beispielsweise die nachfolgend in [Fig. 5](#) angegebenen Werte

für Alpha und Beta ermittelt. Nähere Informationen zur beschriebenen Betragsbildung sind beispielsweise dem Internet entnehmbar unter www.dspgu.ru.com/comp.dsp/tricks/alg/mag_est.htm.

[0042] Nach erfolgter Betragsbildung wird das reelle Signal h100 der Additionseinrichtung **901** zugeführt und nach Durchführung einer NCACCPRE-maligen Addition ein reelles Signal i100 im gesättigten Zahlenformat {u16} gebildet. Zur Durchführung der NCACCPRE-maligen Addition ist die Addiereinrichtung **901** ausgangseitig über den Zwischenspeicher **911** an die Additionseinrichtung **901** zurückgeführt. Das reelle Signal i100 gelangt zusammen mit weiteren entsprechend aus den Signalen g101 bis g115 gebildeten Signalen i101 bis i115 über einen in [Fig. 4](#) beschriebenen Ausgangsschnittstellenblock ASB an einen digitalen Signalprozessor DSP zur weiteren Verarbeitung.

[0043] Jedes einzelne reelle Signal i100 bis i115 entspricht einem Korrelationsergebnis von einer von sechzehn Präamblesignaturen, wobei mit Hilfe des digitalen Signalprozessors DSP eine gesendete Signatur und ein Verzögerungsleistungsdichtespektrum vollends detektiert wird.

[0044] [Fig. 2](#) zeigt eine Fingerentspreizeinrichtung FENT einer erfindungsgemäßen Anordnung zur Funksignalentspreizung, die seriell aufeinanderfolgend eine Korrelationseinrichtung COR2, eine Rotationseinrichtung ROT2 und eine kohärente Akkumulationseinrichtung ACC-C2 aufweist. Die Fingerentspreizeinrichtung FENT ist zur Verarbeitung von Spreizfaktoren $SF \in \{4, 8, 16, 32, 64, 128, 256\}$ vorgesehen.

[0045] Die Korrelationseinrichtung COR2 beinhaltet eine Entspreizeinrichtung **102** und eine erste Additionseinrichtung **202**, wobei aus Antennendaten von Funksignalen gebildete komplexe Eingangsschips EINC im Zahlenformat cs8 an die Entspreizeinrichtung **102** als Eingangssignale angeschaltet sind. Der Entspreizeinrichtung **102** wird ebenfalls eine Entspreizsequenz ENTS2 im Zahlenformat c1 zugeführt, wobei mit Hilfe der Entspreizeinrichtung **102** die Eingangsschips EINC entspreizt und auf das gesättigte Zahlenformat {cs8} abgebildet werden. Die Entspreizung erfolgt beispielsweise durch eine konjugiert komplexe Multiplikation der Entspreizsequenz ENTS2 mit den Eingangsschips EINC, wobei im Ergebnis ein sogenanntes „Least-Significant-Bit“ nicht weiterverwendet, d.h. verworfen, wird.

[0046] Wie oben beschrieben, werden einem entspreizten Signal, dessen Binärwert des Realteils bzw. des Imaginärteils kleiner als -2^{8-1} ist, als Binärwert der untere Grenzwert -2^{8-1} fest zugeordnet, während einem entspreizten Signal, dessen Binärwert des Realteils bzw. des Imaginärteils größer als 2^{8-1} –

1 ist, als Binärwert der obere Grenzwert $2^{8-1} - 1$ fest zugeordnet wird.

[0047] Abhängig vom Spreizfaktor SF gelangen insgesamt $NACCFENT = \min(SF, 64)$ ausgangsseitige komplexe Signale a200 der Entspreizeinrichtung **102** im gesättigten Zahlformat {cs8} an die erste Additionseinrichtung **202**. Die Sättigung der komplexen Signale a200 wird durch die Entspreizung bedingt.

[0048] Bei einem Spreizfaktor $SF = 4$ werden beispielsweise vier aufeinanderfolgende entspreizte Eingangschips zum komplexen Signal a200 zusammengefasst, das an den ersten Accumulator **202** gelangt.

[0049] Mit Hilfe der ersten Additionseinrichtung **202** werden die $NACCFENT$ komplexen Signale a200 in Abhängigkeit vom Spreizfaktor SF zu einem komplexen Signal b200 im Zahlformat cs14 aufaddiert, wobei diese Additionen ohne Genauigkeitsverlust und ohne Sättigung erfolgt.

[0050] Das komplexe Signal b200 gelangt als Eingangssignal an die der Korrelationseinrichtung COR2 nachgeschaltete Rotationseinrichtung ROT2, in der eine durch einen Empfängerfrequenzoffset verursachte Phasendrehung kompensiert wird.

[0051] Die Rotationseinrichtung ROT2 besteht aus einem Multiplikator **302**, dem eingangsseitig das komplexe Signal b200 zugeführt wird, und aus einer dem Multiplikator **302** nachgeschalteten Bitschiebeeinrichtung **402**. Dem Multiplikator **302** sind als weitere Eingangssignale komplexe Rotationskoeffizienten ROTK2 im Zahlformat cs8 zugeführt.

[0052] Mit Hilfe des Multiplikators **302** wird gemäß der Formel $c200 = b200 \cdot ROTK2$ ein gesättigtes komplexes Signal c200 im gesättigten Zahlformat {cs21} gebildet, das der Bitschiebeeinrichtung **402** zugeführt ist. Mit dessen Hilfe erfolgt eine 7-Bit-Shift-Right-Operation, wobei sogenannte „Least Significant Bits“ des komplexen Signals c200 verworfen werden.

[0053] Das mit Hilfe der Bitschiebeeinrichtung **402** gebildete komplexe Signal d200 gelangt als Eingangssignal an die der Rotationseinrichtung ROT2 nachgeschaltete kohärente Accumulationseinrichtung ACC-C2.

[0054] Mit Hilfe der kohärenten Accumulationseinrichtung ACC-C2 wird für Spreizfaktoren $SF = 128$ und $SF = 256$ am komplexen Signal d200 eine zweifache bzw. vierfache Akkumulation durchgeführt. Für alle weiteren Spreizfaktoren SF wird für das eingangsseitige komplexe Signal d200 nur eine Bitbreitenanpassung durchgeführt.

[0055] Die kohärente Akkumulationseinrichtung ACC-C2 weist für das komplexe Signal d200 eine Additionseinrichtung **502**, einen kohärenten Zwischenspeicher **512**, der mit „0“ vorbelegt ist, und eine Bitschiebeeinrichtung **602** auf.

[0056] Das komplexe Signal d200 ist an die Additionseinrichtung **502** angeschaltet, die ausgangsseitig über den kohärenten Zwischenspeicher **512** zur Additionseinrichtung **502** zurückgeführt und andererseits an die Bitschiebeeinrichtung **602** angeschaltet ist.

[0057] Ein durch Addition gebildetes komplexes Signal e200 im Zahlformat cs16 gelangt an die Bitschiebeeinrichtung **602**, mit deren Hilfe eine x2 Bit Shift-Right-Operation zur Bildung eines komplexen Signals f200 im gesättigten Zahlformat {cs8} durchgeführt wird. Die Anzahl von Bitschieboperationen ist über eine Variable x2 benutzerspezifisch von außen einstellbar.

[0058] Bei einem Spreizfaktoren $SF = 128$ werden zwei Additionen und bei einem Spreizfaktor $SF = 256$ werden vier Additionen mit Hilfe der Additionseinrichtung **502** und mit Hilfe des Zwischenspeichers **512** durchgeführt. Für die Spreizfaktoren $SF = 4, 8, 16, 32$ und 64 wird nur ein Additionsdurchgang in der Additionseinrichtung **502** mit Hilfe des mit „0“ vorbelegten Zwischenspeichers **512** durchgeführt. Dadurch erfolgt hier eine Bitbreitenvergrößerung des komplexen Signals d200 bzw. eine Umsetzung des dem komplexen Signal d200 zugeordneten Zahlenformats cs14 auf das dem komplexen Signal e200 zugeordnete Zahlenformat cs16.

[0059] Zusammenfassend wird aus dem komplexen Signal d200 im Zahlformat cs14 ein komplexes Signal f200 im Zahlformat {cs8} gebildet, das über eine von außen steuerbare Umschalteinrichtung UM an den in [Fig. 4](#) beschriebenen Ausgangsschnittstellenblock ASB gelangt. In einer zweiten Schaltstellung der Umschalteinrichtung UM wird dem Ausgangsschnittstellenblock ASB wahlweise das komplexe Signal e200 im Zahlformat cs16 zugeführt.

[0060] [Fig. 3](#) zeigt eine Pfadbeobachtungs-/Pfadnachführeinrichtung PBPN der erfindungsgemäßen Anordnung zur Funksignalentspreizung, die seriell aufeinanderfolgend eine Korrelationseinrichtung COR3, eine Rotationseinrichtung ROT3, eine kohärente Akkumulationseinrichtung ACC-C3 und eine nichtkohärente Akkumulationseinrichtung ACC-NC3 aufweist.

[0061] Die Korrelationseinrichtung COR3 beinhaltet eine Entspreizeinrichtung **103** und eine erste Additionseinrichtung **203**, wobei aus Antennendaten von Funksignalen gebildete komplexe Eingangschips EINC im Zahlformat cs8 als Eingangssignal an die

Entspreizeinrichtung **103** angeschaltet sind. Der Entspreizeinrichtung **103** wird außerdem eine Entspreizsequenz ENTS3 im Zahlformat c1 zugeführt, wobei mit Hilfe der Entspreizeinrichtung **103** die Eingangschips EINC entspreizt und auf das gesättigte Zahlenformat {cs8} abgebildet werden.

[0062] Die Entspreizung erfolgt beispielsweise durch eine konjugiert komplexe Multiplikation der Entspreizsequenz ENTS3 mit den Eingangschips EINC, wobei im Ergebnis ein sogenanntes „Least-Significant-Bit“ nicht weiterverwendet, d.h. verworfen, wird.

[0063] Wie oben beschrieben werden entspreizten Signalen, deren Binärwert des Realteils bzw. des Imaginärteils kleiner als -2^{8-1} ist, als Binärwert der untere Grenzwert -2^{8-1} fest zugeordnet, während entspreizten Signalen, deren Binärwert des Realteils bzw. des Imaginärteils größer als $2^{8-1} - 1$ ist, als Binärwert der obere Grenzwert $2^{8-1} - 1$ fest zugeordnet wird.

[0064] Jeweils 64 ausgangsseitige komplexe Signale a300 bis a363 der Entspreizeinrichtung **103** gelangen an die erste Additionseinrichtung **203**. Die Sättigung der Signale a300 bis a363 ist aufgrund der Entspreizung notwendig.

[0065] Mit Hilfe der ersten Additionseinrichtung **203** wird eine Addition der Signale a300 bis a363 zu einem Signal b300 durchgeführt, das ein Zahlenformat cs14 aufweist und das als Eingangssignal an die der Korrelationseinrichtung COR3 nachgeschaltete Rotationseinrichtung ROT3 gelangt. In der Rotationseinrichtung ROT3 wird eine durch einen Empfängerfrequenzoffset verursachte Phasendrehung kompensiert.

[0066] Die Rotationseinrichtung ROT3 besteht aus einem Multiplikator **303**, dem eingangsseitig das komplexe Signal b300 zugeführt wird und aus einer dem Multiplikator **303** nachgeschalteten Bitschiebeeinrichtung **403**. Dem Multiplikator **303** sind als weitere Eingangssignale Rotationskoeffizienten ROTK3 im Zahlformat cs8 zugeführt.

[0067] Mit Hilfe des Multiplikators **303** wird gemäß der Formel $c300 = b300 \cdot \text{ROTK3}$ ein komplexes Signal c300 im gesättigten Zahlenformat {cs21} gebildet, das an die Bitschiebeeinrichtung **403** angeschaltet ist. Mit deren Hilfe wird eine 7-Bit-Shift-Right-Operation durchgeführt, wodurch die „Least Significant Bits“ des komplexen Signals c300 verworfen werden.

[0068] Ein mit Hilfe der Bitschiebeeinrichtung **403** gebildetes komplexes Signal d300 im Zahlenformat cs14 gelangt als Eingangssignal an die der Rotationseinrichtung ROT3 nachgeschaltete kohärente Accumulationseinrichtung ACC-C3. Mit Hilfe der kohä-

rente Accumulationseinrichtung ACC-C3 wird das Signal d300 insgesamt NACCPBPN-mal aufaddiert, wobei die Variable NACCPBPN von außen einstellbar ist. Die vorherigen Einrichtungen stellen das komplexe Signal d300 entsprechend zur Addition bereit.

[0069] Die kohärente Akkumulationseinrichtung ACC-C3 weist eine Additionseinrichtung **503**, einen kohärenten Zwischenspeicher **513**, der mit „0“ vorbelegt ist, und eine Bitschiebeeinrichtung **603** auf.

[0070] Das komplexe Signal d300 ist an die Additionseinrichtung **503** angeschaltet, mit deren Hilfe nach NACCPBPN-maliger Addition ein komplexes Signal e300 im gesättigten Zahlenformat {cs20} gebildet wird. Zur Durchführung der NACCPBPN-maligen Addition ist die Additionseinrichtung **503** ausgangseitig über den kohärenten Zwischenspeicher **513** zur Additionseinrichtung **503** zurückgeführt.

[0071] Das komplexe Signal e300 gelangt an die Bitschiebeeinrichtung **603**, mit deren Hilfe eine x3 Bit Shift-Right-Operation durchgeführt und ein komplexes Signal f300 im gesättigten Zahlenformat {cs16} gebildet wird. Die jeweilige Anzahl von Bitschiebeoperationen ist über eine Variable x3 benutzerspezifisch von außen einstellbar.

[0072] Das komplexe Signal f300 gelangt als Eingangssignal an die nichtkohärente Akkumulationseinrichtung ACC-NC3. Mit Hilfe der nichtkohärenten Akkumulationseinrichtung ACC-NC3 wird ein aus dem komplexen Signal f300 gewonnenes reelles Signal h300 insgesamt NCACCPBPN-mal aufaddiert, wobei die Variable NCACCPBPN von außen einstellbar ist. Die vorherigen Einrichtungen stellen das komplexe Signal f300 entsprechend für die wiederholte Addition bereit.

[0073] Die nichtkohärente Akkumulationseinrichtung ACC-NC3 weist eine Betragsbildungseinrichtung **803**, eine Additionseinrichtung **903** und einen Zwischenspeicher **913** auf. Das komplexe Signal f300 gelangt an die Betragsbildungseinrichtung **803**, mit deren Hilfe das reelle Signal h300 im Zahlenformat u16 gebildet wird. Die Betragsbildung erfolgt dabei beispielsweise wie vorstehend in [Fig. 1](#) beschrieben.

[0074] Nach erfolgter Betragsbildung wird das reelle Signal h300 der Additionseinrichtung **903** zugeführt und ein nach NCACCPBPN-maliger Addition gebildetes reelles Signal i300 im gesättigten Zahlenformat {u16} gebildet. Zur Durchführung der NACCPBPN-maligen Addition ist die Additionseinrichtung **903** ausgangsseitig über den Zwischenspeicher **913** zur Additionseinrichtung **903** zurückgeführt. Das reelle Signal i300 gelangt über den in [Fig. 4](#) beschriebenen Ausgangsschnittstellenblock ASB an einen digitalen Signalprozessor DSP.

[0075] Das komplexe Signal $i300$ ist mit verschiedenen Eingangsschipssequenzen generierbar, um ein geeignetes Verzögerungsleistungsdichtespektrum zu erhalten, bzw. um frühere und spätere Pfadbeobachtungsergebnisse bzw. Pfadnachführungsergebnisse zu erhalten.

[0076] [Fig. 4](#) zeigt eine erfindungsgemäße Anordnung zur Funksignalentspreizung in einem ASIC-Bauelement ASIC für ein Funkkommunikationssystem mit Code-Vielfachzugriffsverfahren unter Verwendung der in den Figuren [Fig. 1](#) bis [Fig. 3](#) beschriebenen Präambledetektionseinrichtung PRDEC, Fingerentspreizeinrichtung FENT und Pfadbeobachtungs-/Pfadnachführungseinrichtung PBPN.

[0077] Das anwenderspezifische Bauelement ASIC weist einen Eingangsschnittstellenblock ESB, einen Ausgangsschnittstellenblock ASB, die Präambledetektionseinrichtung PRDEC, die Fingereinspreizeinrichtung FENT, die Pfadbeobachtungs-/Pfadnachführungseinrichtung PBPN und eine Steuereinrichtung STG auf.

[0078] Dem Eingangsschnittstellenblock ESB sind Antennendaten AD von Funksignalen zugeführt, die mit Hilfe des Eingangsschnittstellenblocks ESB in Eingangschips EINC umgesetzt werden.

[0079] Die Eingangschips EINC werden als Eingangssignale der Präambledetektionseinrichtung PRDEC, der Fingereinspreizeinrichtung FENT und der Pfadbeobachtungs-/Pfadnachführungseinrichtung PBPN zugeführt, deren Ausgangssignale über den Ausgangsschnittstellenblock ASB an einen digitalen Signalprozessor DSP zur weiteren Verarbeitung gelangen.

[0080] Die Steuereinrichtung STG liefert jeweils benötigte Steuersignale für die Präambledetektionseinrichtung PRDEC, die Fingereinspreizeinrichtung FENT, die Pfadbeobachtungs-/Pfadnachführungseinrichtung PBPN, den Eingangsschnittstellenblock ESB und für den Ausgangsschnittstellenblock ASB.

[0081] [Fig. 5](#) zeigt eine Tabelle mit Konstanten Alpha und Beta eines bevorzugten Betragsbildungsverfahren für die in den Figuren [Fig. 1](#) und [Fig. 3](#) dargestellten Betragsbildungseinrichtungen **801** bzw. **803**, wobei das bevorzugt verwendete Betragsbildungsverfahren der Figurenbeschreibung der [Fig. 1](#) zu entnehmen ist.

Patentansprüche

1. Anordnung zur Funksignalentspreizung bei einem Funkkommunikationssystem mit Code-Vielfachzugriffsverfahren
– bestehend aus einer Präambledetektionseinrichtung (PRDEC), einer Fingereinspreizeinrichtung

(FENT) und einer Pfadbeobachtungs-/Pfadnachführungseinrichtung (PBPN),

– bei der die jeweiligen Einrichtungen jeweils eine Serienschaltung, bestehend aus einer Korrelationseinrichtung (COR1, COR2, COR3) zur Eingangschipsentspreizung, einer Rotationseinrichtung (ROT1, ROT2, ROT3) zur Kompensation einer durch einen Empfängerfrequenzoffset verursachten Phasendrehung und einer kohärenten Accumulationseinrichtung (ACC-C1, ACC-C2, ACC-C3) zur Durchführung einer wiederholten kohärenten Addition aufweisen,
– bei der an jede Serienschaltung als Eingangssignal jeweils aus Antennendaten (AD) der Funksignale gebildete komplexe Eingangschips (EINC) mit einer binären Realteil- und mit einer binären Imaginärteilmittellänge von jeweils N Bit und mit einem jeweils zugeordneten binären Wertebereich W von $-2^{N-1} \leq W \leq 2^{N-1} - 1$ angeschaltet sind,

– bei der jede einzelne Korrelationseinrichtung (COR1, COR2, COR3) Mittel zur Durchführung einer gesättigten Signalentspreizung beinhaltet, mit deren Hilfe aus den Eingangschips (EINC) bitbreitenreduzierte komplexe Signale (b100, ..., b300) gebildet werden, die an die jeweils nachgeschaltete Rotationseinrichtung (ROT1, ROT2, ROT3) als Eingangssignale angeschaltet sind,

– bei der jede einzelne Rotationseinrichtung (ROT1, ROT2, ROT3) Mittel zur Durchführung einer gesättigten Signalmultiplikation beinhaltet, mit deren Hilfe aus den Eingangssignalen (b100, ..., b300) der Rotationseinrichtung (ROT1, ROT2, ROT3) bitbreitenreduzierte komplexe Signale (d100, ..., d300) gebildet werden, die an die jeweils nachgeschaltete kohärente Accumulationseinrichtung (ACC-C1, ACC-C2, ACC-C3) als Eingangssignale angeschaltet sind,

– bei der jede einzelne kohärente Accumulationseinrichtung (ACC-C1, ACC-C2, ACC-C3) Mittel zur Durchführung einer gesättigten Bitschiebeoperation beinhaltet, mit deren Hilfe aus den Eingangssignalen (d100, ..., d300) der kohärenten Accumulationseinrichtung (ACC-C1, ACC-C2, ACC-C3) durch wiederholte Addition gebildete komplexe Signale (e100, ..., e300) bitbreitenreduziert werden,

– wobei eine Sättigung derart durchgeführt wird, dass einem Binärwert eines komplexen Signals, der einen oberen Grenzwert eines zugeordneten binären Wertebereichs überschreitet, der obere Grenzwert fest zugeordnet wird, und dass dem Binärwert des komplexen Signals, der einen unteren Grenzwert des zugeordneten binären Wertebereichs unterschreitet, der untere Grenzwert fest zugeordnet wird,

dadurch gekennzeichnet,

– dass bei der Präambledetektionseinrichtung (PRDEC) die Korrelationseinrichtung (COR1) eine Entspreizeinrichtung (**101**) und eine an Ausgänge der Entspreizeinrichtung (**101**) angeschaltete Additionseinrichtung (**201**) aufweist,

– dass der Entspreizeinrichtung (**101**) der Korrelationseinrichtung (COR1) eingangsseitig sowohl die komplexen Eingangschips (EINC) als auch eine

Entspreizsequenz (ENTS1) zugeführt sind,

- dass die Entspreizeinrichtung (**101**) der Korrelationseinrichtung (COR1) insgesamt 2^{N-2} Ausgänge für 2^{N-2} komplexe Signale (a100, a163) aufweist, die mit entsprechenden 2^{N-2} Eingängen der Additionseinrichtung (**201**) verbunden sind,
- dass die Entspreizeinrichtung (**101**) der Korrelationseinrichtung (COR1) derart ausgestaltet ist, dass durch konjugiert komplexe Multiplikation der Eingangsschips (EINC) mit der Entspreizsequenz (ENTS1), die einen zugeordneten Wertebereich W von $W \in \{1 + j, -1 + j, 1 - j, -1 - j\}$ aufweist, gebildete komplexe Signale (a100, ..., a163) auf einen binären Wertebereich W von $-2^{N-1} \leq W \leq 2^{N-1} - 1$ gesättigt abgebildet werden, wobei beim durch Multiplikation gebildeten Signal ein Least-Significant-Bit verworfen wird,
- dass die Additionseinrichtung (**201**) der Korrelationseinrichtung (COR1) derart ausgebildet ist, dass jeweils 2^{N-6} eingangsseitige komplexe Signale (a100, ..., a163) mit Hilfe einer Addition zu jeweils einem komplexen Signal (b100, ..., b115) mit einem sowohl real als auch imaginär zugeordneten binären Wertebereich von $-2^{N+1} \leq W \leq 2^{N+1} - 1$ zusammengefasst werden, die eingangsseitig an die Rotationseinrichtung (ROT1) gelangen,
- dass bei der Präambledetektionseinrichtung (PRDEC) die Rotationseinrichtung (ROT1) für jedes eingangsseitige Signal (b100, ..., b115) eine Multiplikationseinrichtung (**301**) und eine Bitschiebeeinrichtung (**401**) aufweist, wobei an die Multiplikationseinrichtung (**301**) das eingangsseitige Signal (b100, b115) und komplexe Rotationskoeffizienten (ROTK1) mit einem sowohl real als auch imaginär zugeordneten binären Wertebereich W von $-2^{N-1} \leq W \leq 2^{N-1} - 1$ angeschaltet sind,
- dass die Multiplikationseinrichtung (**301**) der Rotationseinrichtung (ROT1) und die Bitschiebeeinrichtung (**401**) der Rotationseinrichtung (ROT1) derart ausgestaltet sind, dass ein durch komplexe Multiplikation des eingangsseitigen Signals (b100, b115) mit den komplexen Rotationskoeffizienten (ROTK1) gebildetes komplexes Signal (c100, ..., c115) sowohl real als auch imaginär auf einen binären Wertebereich W von $-2^{N+8} \leq W \leq 2^{N+8} - 1$ gesättigt abgebildet wird und dass mit Hilfe der Bitschiebeeinrichtung (**401**) ein komplexes Signal (d100, ..., d115) mit einem sowohl real als auch imaginär zugeordneten binären Wertebereich W von $-2^{N+1} \leq W \leq 2^{N+1} - 1$ gebildet wird, das eingangsseitig an die kohärente Accumulationseinrichtung (ACC-C1) angeschaltet ist,
- dass bei der Präambledetektionseinrichtung (PRDEC) die kohärente Accumulationseinrichtung (ACC-C1) für jedes eingangsseitige Signal (d100, ..., d115) eine Additionseinrichtung (**501**), an die das eingangsseitige Signal (d100, d115) angeschaltet ist, und eine seriell nachgeschaltete Bitschiebeeinrichtung (**601**) sowie einen Zwischenspeicher (**511**) aufweist, über den ein durch Addition gebildetes Ausgangssignal (e100, ..., e115) der Additionseinrich-

tung (**501**) zur Durchführung einer wiederholten Addition an die Additionseinrichtung (**501**) zurückgeführt ist,

- dass die Additionseinrichtung (**501**) der kohärent Accumulationseinrichtung (ACC-C1) und die Bitschiebeeinrichtung (**601**) der kohärent Accumulationseinrichtung (ACC-C1) derart ausgestaltet sind, dass ein durch wiederholte Addition gebildetes komplexes Ausgangssignal (e100, ..., e115) der Additionseinrichtung (**501**) sowohl real als auch imaginär einen binären Wertebereich W von $-2^{N+7} \leq W \leq 2^{N+7} - 1$ aufweist und dass mit Hilfe der Bitschiebeeinrichtung (**601**) das durch wiederholte Addition gebildete komplexe Signal (e100, e115) auf ein komplexes Signal (f100, f115) mit einem sowohl real als auch imaginär zugeordneten binären Wertebereich W von $-2^{N+1} \leq W \leq 2^{N+1} - 1$ gesättigt abgebildet wird, das eingangsseitig an eine der kohärenten Accumulationseinrichtung (ACC-C1) nachgeschalteten Einrichtung zur Fast-Hadamard-Transformation (FHT) angeschaltet ist.

2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, dass bei der Fingerentspreizeinrichtung (FENT) und bei der Pfadbeobachtungs-/Pfadnachführeinrichtung (PBPN) die Korrelationseinrichtung (COR2, COR3) eine Entspreizeinrichtung (**102, 103**) und eine an Ausgänge der Entspreizeinrichtung angeschaltete Additionseinrichtung (**202, 203**) aufweist, wobei der Entspreizeinrichtung eingangsseitig sowohl die komplexen Eingangsschips (EINC) als auch eine Entspreizsequenz (ENTS2, ENTS3) zugeführt sind.

3. Anordnung nach Anspruch 2, dadurch gekennzeichnet, dass die Entspreizeinrichtung (**102, 103**) derart ausgestaltet ist, dass durch konjugiert komplexe Multiplikation der Eingangsschips (EINC) mit der Entspreizsequenz (ENTS2, ENTS3), die einen zugeordneten Wertebereich W von $W \in \{1 + j, -1 + j, 1 - j, -1 - j\}$ aufweist, gebildete komplexe Signale (a100, ..., a363) auf einen binären Wertebereich W von $W \leq 2^{N-1} - 1$ gesättigt abgebildet werden, wobei beim durch Multiplikation gebildeten Signal ein Least-Significant-Bit verworfen wird.

4. Anordnung nach Anspruch 2 oder 3, dadurch gekennzeichnet,

- dass die der Pfadbeobachtungs-/Pfadnachführeinrichtung (PBPN) zugeordnete Entspreizeinrichtung (**103**) insgesamt 2^{N-2} Ausgänge für 2^{N-2} komplexe Signale (a300, ..., a363) aufweist, die mit entsprechenden 2^{N-2} Eingängen der Additionseinrichtung (**203**) verbunden sind,

- dass die der Pfadbeobachtungs-/Pfadnachführeinrichtung (PBPN) zugeordnete Additionseinrichtung (**203**) derart ausgebildet ist, dass alle eingangsseitigen komplexen Signale (a300, ..., a363) mit Hilfe einer Addition zu genau einem komplexen Signal (b300) mit einem sowohl real als auch imaginär zuge-

ordneten binären Wertebereich W von $-2^{N+5} \leq W \leq 2^{N+5} - 1$ zusammengefasst werden, das eingangsseitig an die Rotationseinrichtung (ROT3) gelangt.

5. Anordnung nach Anspruch 1 oder 4, dadurch gekennzeichnet, dass die der Pfadbeobachtungs-/Pfadnachführeinrichtung (PBPN) zugeordnete Rotationseinrichtung (ROT3) für jedes eingangsseitige Signal (b300) eine Multiplikationseinrichtung (303) und eine Bitschiebeeinrichtung (403) aufweist, wobei an die Multiplikationseinrichtung (303) das eingangsseitige Signal (b300) und komplexe Rotationskoeffizienten (ROTK3) mit einem sowohl real als auch imaginär zugeordneten binären Wertebereich W von $-2^{N-1} \leq W \leq 2^{N-1} - 1$ angeschaltet sind.

6. Anordnung nach Anspruch 5, dadurch gekennzeichnet, dass die der Pfadbeobachtungs-/Pfadnachführeinrichtung (PBPN) zugeordnete Multiplikationseinrichtung (303) und Bitschiebeeinrichtung (403) derart ausgestaltet sind, dass ein durch komplexe Multiplikation des eingangsseitigen Signals (b300) mit den komplexen Rotationskoeffizienten (ROTK3) gebildetes komplexes Signal (c300) sowohl real als auch imaginär auf einen binären Wertebereich W von $-2^{N+12} \leq W \leq 2^{N+12} - 1$ gesättigt abgebildet wird und dass mit Hilfe der Bitschiebeeinrichtung (403) ein komplexes Signal (d300) mit einem sowohl real als auch imaginär zugeordneten binären Wertebereich W von $-2^{N+5} \leq W \leq 2^{N+5} - 1$ gebildet wird, das eingangsseitig an die kohärente Accumulationseinrichtung (ACC-C3) angeschaltet ist.

7. Anordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die der Pfadbeobachtungs-/Pfadnachführeinrichtung (PBPN) zugeordnete kohärente Accumulationseinrichtung (ACC-C3) für jedes eingangsseitige Signal (d300) eine Additionseinrichtung (503), an die das eingangsseitige Signal (d300) angeschaltet ist, und eine seriell nachgeschaltete Bitschiebeeinrichtung (603) sowie einen Zwischenspeicher (513) aufweist, über den ein durch Addition gebildetes Ausgangssignal (e300) der Additionseinrichtung (503) zur Durchführung einer wiederholten Addition an die Additionseinrichtung (503) zurückgeführt ist.

8. Anordnung nach Anspruch 1, dadurch gekennzeichnet, dass die Einrichtung zur Fast-Hadamard-Transformation (FHT) derart ausgestaltet ist, dass aus den eingangsseitigen komplexen Signalen (f100, ..., f115) komplexe Signale (g100, ..., g115) gleicher Anzahl gebildet werden, die sowohl real als auch imaginär einen zugeordneten Wertebereich W von $-2^{N+5} \leq W \leq 2^{N+5} - 1$ aufweisen und die durch Transformation gebildeten komplexen Signale (g100, ..., g115) eingangsseitig an eine der Einrichtung zur Fast-Hadamard-Transformation (FHT) nachgeschaltete nichtkohärenten Accumulationseinrichtung (ACC-NC1) angeschaltet sind.

9. Anordnung nach Anspruch 7, dadurch gekennzeichnet, dass die der Pfadbeobachtungs-/Pfadnachführeinrichtung (PBPN) zugeordnete Additionseinrichtung (503) und Bitschiebeeinrichtung (603) derart ausgestaltet sind, dass ein durch wiederholte Addition gebildetes komplexes Ausgangssignal (e300) der Additionseinrichtung (503) sowohl real als auch imaginär auf einen binären Wertebereich W von $-2^{N+11} \leq W \leq 2^{N+11} - 1$ gesättigt abgebildet wird und dass mit Hilfe der Bitschiebeeinrichtung (603) das durch wiederholte Addition gebildete komplexe Signal (e300) auf ein komplexes Signal (f300) mit einem sowohl real als auch imaginär zugeordneten binären Wertebereich W von $-2^{N+7} \leq W \leq 2^{N+7} - 1$ gesättigt abgebildet wird, das eingangsseitig an eine der kohärenten Accumulationseinrichtung (ACC-C3) nachgeschalteten nichtkohärenten Accumulationseinrichtung (ACC-NC3) angeschaltet ist.

10. Anordnung nach einem der Ansprüche 1, 8 oder 9, dadurch gekennzeichnet, dass die der Präambledetektionseinrichtung (PRDEC) und die der Pfadbeobachtungs-/Pfadnachführeinrichtung (PBPN) zugeordnete nichtkohärente Accumulationseinrichtung (ACC-NC1, ACC-NC3) für jedes eingangsseitige Signal (g100, ..., g115, f300) eine Betragsbildungseinrichtung (801, 803), an die das eingangsseitige Signal (g100, ..., g115, f300) angeschaltet ist, eine der Betragsbildungseinrichtung (801, 803) seriell nachgeschaltete Additionseinrichtung (901, 903) und einen Zwischenspeicher (911, 913) aufweist, über den ein durch Addition gebildetes Ausgangssignal (e100, ..., e115, e300) der Additionseinrichtung (901, 903) zur Durchführung einer wiederholten Addition an die Additionseinrichtung (901, 903) zurückgeführt ist.

11. Anordnung nach Anspruch 10, dadurch gekennzeichnet, dass die der Präambledetektionseinrichtung (PRDEC) zugeordnete Betragsbildungseinrichtung (801) und Additionseinrichtung (901) derart ausgestaltet sind, dass mit Hilfe der Betragsbildungseinrichtung (801) ein reelles Signal (h100, h115) mit einem zugeordneten binären Wertebereich W von $0 \leq W \leq 2^{N+6}$ gebildet wird und das derart gebildete Signal an die Additionseinrichtung (901) angeschaltet ist, mit deren Hilfe ein nach wiederholter Addition gebildetes reelles Signal (i100, ..., i115) auf einen binären Wertebereich W von $0 \leq W \leq 2^{N+8}$ gesättigt abgebildet wird.

12. Anordnung nach Anspruch 10, dadurch gekennzeichnet, dass die der Pfadbeobachtungs-/Pfadnachführeinrichtung (PBPN) zugeordnete Betragsbildungseinrichtung (803) und Additionseinrichtung (903) derart ausgestaltet sind, dass mit Hilfe der Betragsbildungseinrichtung (803) ein reelles Signal (h300) mit einem zugeordneten binären Wertebereich W von $0 \leq W \leq 2^{N+8}$ gebildet wird und das derart gebildete Signal an die Additionseinrichtung (903)

angeschaltet ist, mit deren Hilfe ein nach wiederholter Addition gebildetes reelles Signal (i300) auf einen binären Wertebereich W von $0 \leq W \leq 2^{N+8}$ gesättigt abgebildet wird.

13. Anordnung nach Anspruch 2 oder 3, dadurch gekennzeichnet,

– dass die der Fingerentspreizeinrichtung (FENT) zugeordnete Entspreizeinrichtung (102) genau einen Ausgang aufweist, der mit genau einem Eingang der Additionseinrichtung (202) verbunden ist, und die Fingerentspreizeinrichtung (102) derart ausgebildet ist, dass aus aufeinanderfolgenden Eingangsschips (EINC) gebildete komplexe Signale abhängig vom Spreizfaktor mit Hilfe einer Addition zu genau einem komplexen Signal (a200) zusammengefasst und sowohl real als auch imaginär auf einen binären Wertebereich W von $-2^{N-1} \leq W \leq 2^{N-6} - 1$ gesättigt abgebildet werden, und

– dass die zugehörige Additionseinrichtung (202) derart ausgebildet ist, dass in Abhängigkeit vom Spreizfaktor aufeinanderfolgende komplexe Signale (a200) der Entspreizeinrichtung (102) mit Hilfe einer Addition zu einem komplexen Signal (b200) mit einem sowohl real als auch imaginär zugeordneten binären Wertebereich W von $W \leq 2^{N+5} - 1$ zusammengefasst werden, und das mit Hilfe der Additionseinrichtung (202) gebildete komplexe Signal (b200) eingangsseitig an die Rotationseinrichtung (ROT2) gelangt.

14. Anordnung nach Anspruch 13, dadurch gekennzeichnet,

– dass die der Fingerentspreizeinrichtung (FENT) zugeordnete Rotationseinrichtung (ROT2) für das eingangsseitige Signal (b200) eine Multiplikationseinrichtung (302) und eine Bitschiebeeinrichtung (402) aufweist, wobei an die Multiplikationseinrichtung einerseits das eingangsseitige Signal (b200) und andererseits komplexe Rotationskoeffizienten (ROTK2) mit einem sowohl real als auch imaginär zugeordneten binären Wertebereich W von $-2^{N-1} \leq W \leq 2^{N-4} - 1$ angeschaltet sind,

– dass die Multiplikationseinrichtung (302) und die Bitschiebeeinrichtung (402) derart ausgestaltet sind, dass ein durch komplexe Multiplikation des eingangsseitigen Signals (b200) mit den komplexen Rotationskoeffizienten (ROTK2) gebildetes komplexes Signal (c200) auf einen binären Wertebereich W von $-2^{N+12} \leq W \leq 2^{N+12} - 1$ gesättigt abgebildet wird, und dass mit Hilfe der Bitschiebeeinrichtung (402) ein komplexes Signal (d200) mit einem sowohl real als auch imaginär zugeordneten binären Wertebereich W von $-2^{N+5} \leq W \leq 2^{N+5} - 1$ gebildet wird, das eingangsseitig an die kohärente Accumulationseinrichtung (ACC-C2) angeschaltet ist.

15. Anordnung nach Anspruch 14, dadurch gekennzeichnet,

– dass die der Fingerentspreizeinrichtung (FENT) zu-

geordnete kohärente Accumulationseinrichtung (ACC-C2) für das eingangsseitige komplexe Signal (d200) eine Additionseinrichtung (502), an die das eingangsseitige komplexe Signal (d200) angeschaltet ist, und eine der Additionseinrichtung (502) nachgeschaltete Bitschiebeeinrichtung (602) sowie einen Zwischenspeicher (512) aufweist, über den ein durch Addition gebildetes Ausgangssignal (e200) der Additionseinrichtung (502) zur Durchführung einer wiederholten Addition an die Additionseinrichtung (502) zurückgeführt ist, und

– dass die Additionseinrichtung (502) und Bitschiebeeinrichtung (602) derart ausgestaltet sind, dass ein durch wiederholte Addition gebildetes komplexes Ausgangssignal (e200) der Additionseinrichtung (502) sowohl real als auch imaginär einen binären Wertebereich W von $-2^{N+7} \leq W \leq 2^{N+7} - 1$ aufweist und dass mit Hilfe der Bitschiebeeinrichtung (602) das durch wiederholte Addition gebildete komplexe Signal (e200) auf ein komplexes Signal (f200) mit einem sowohl real als auch imaginär zugeordneten binären Wertebereich W von $-2^{N-1} \leq W \leq 2^{N-1} - 1$ gesättigt abgebildet wird.

Es folgen 5 Blatt Zeichnungen

Anhängende Zeichnungen

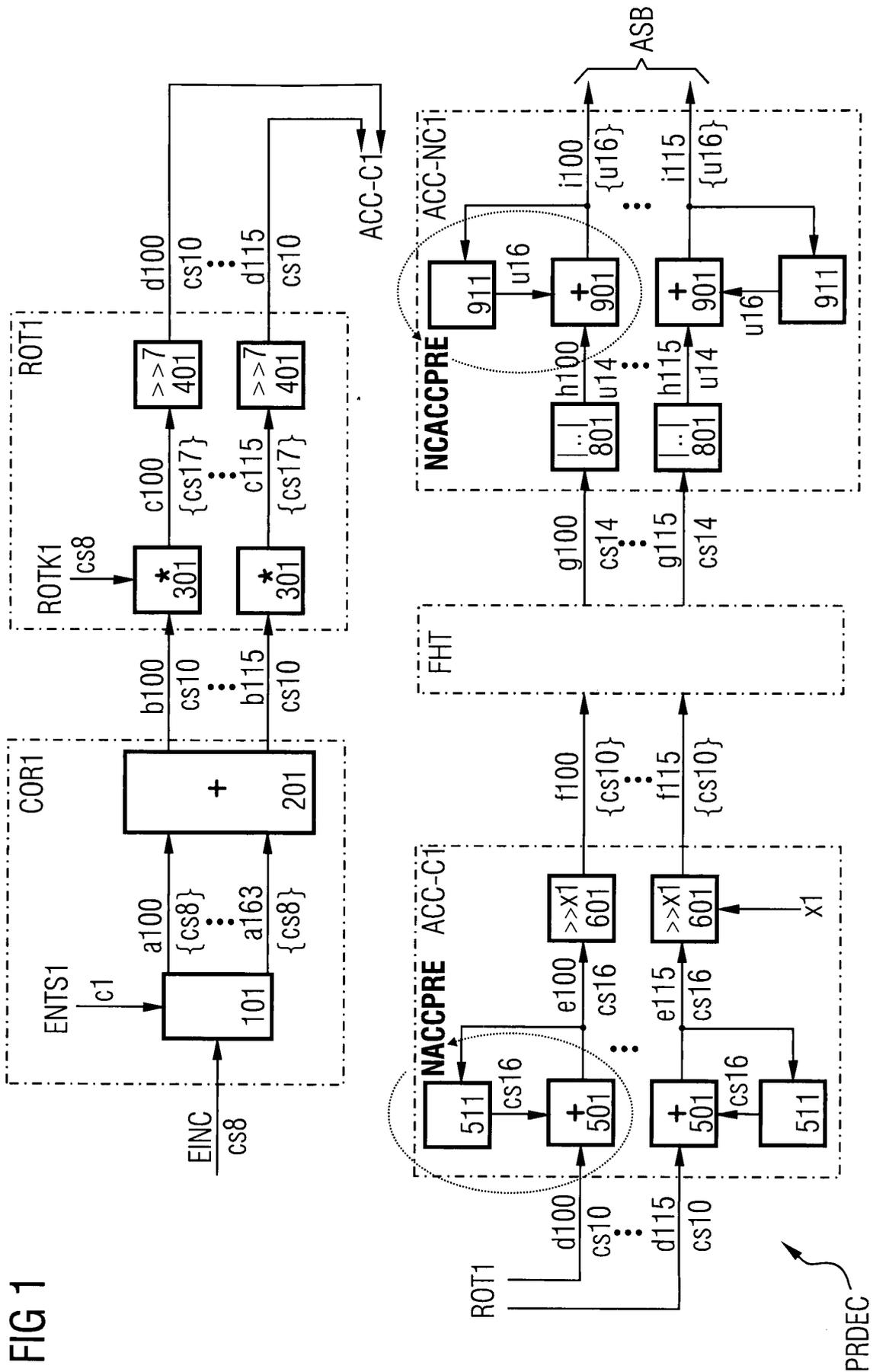


FIG 2

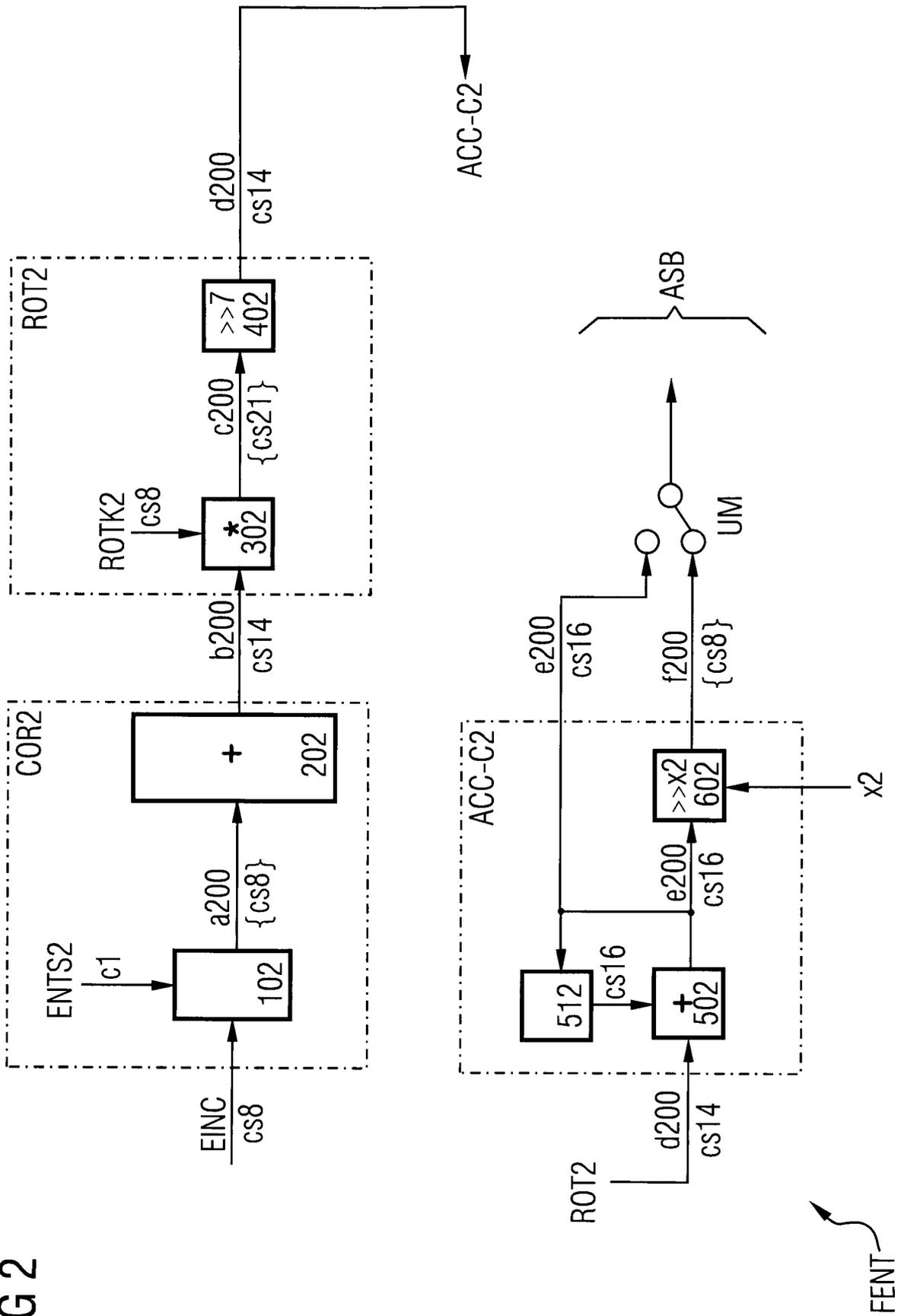


FIG 3

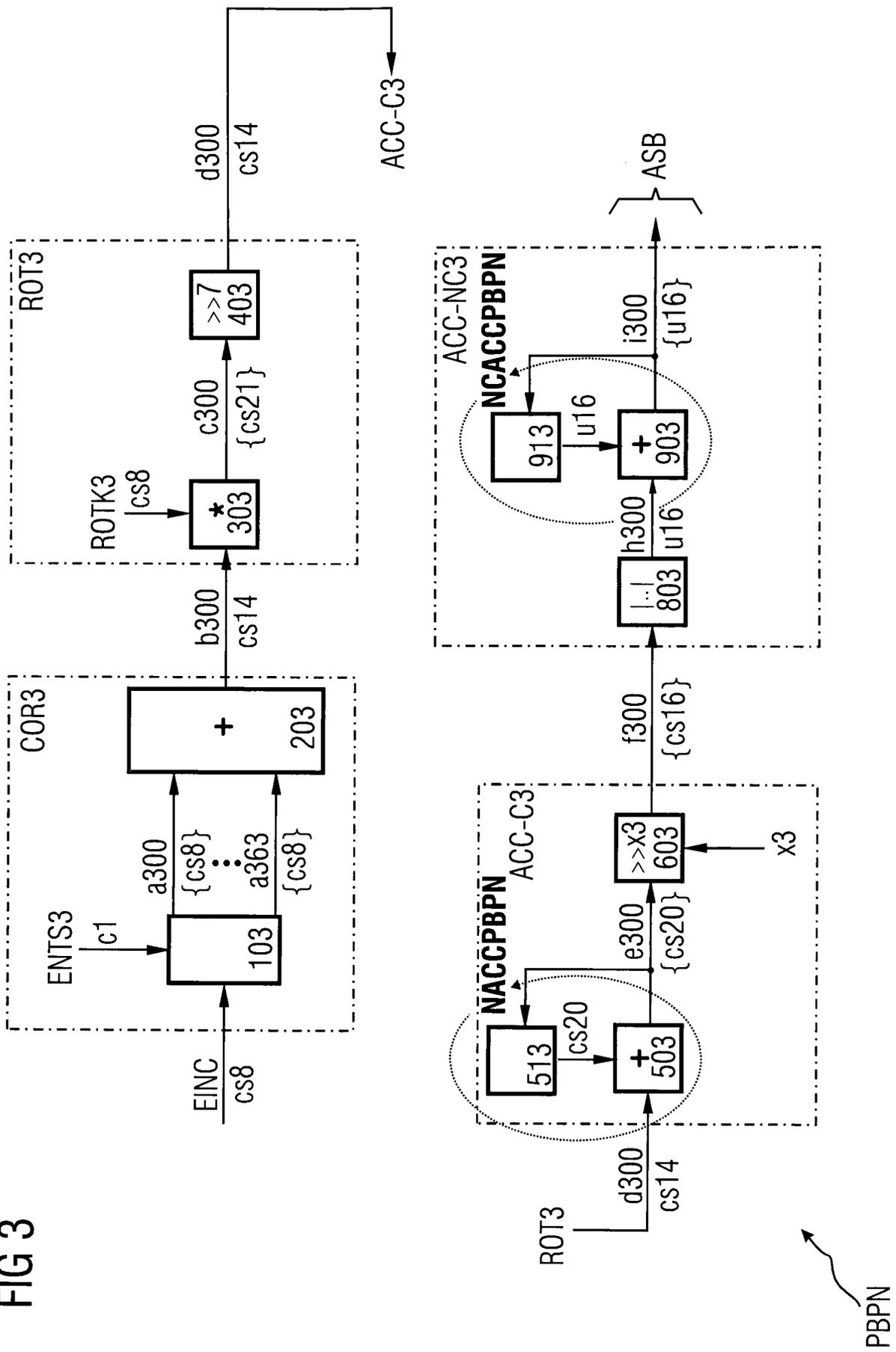


FIG 4

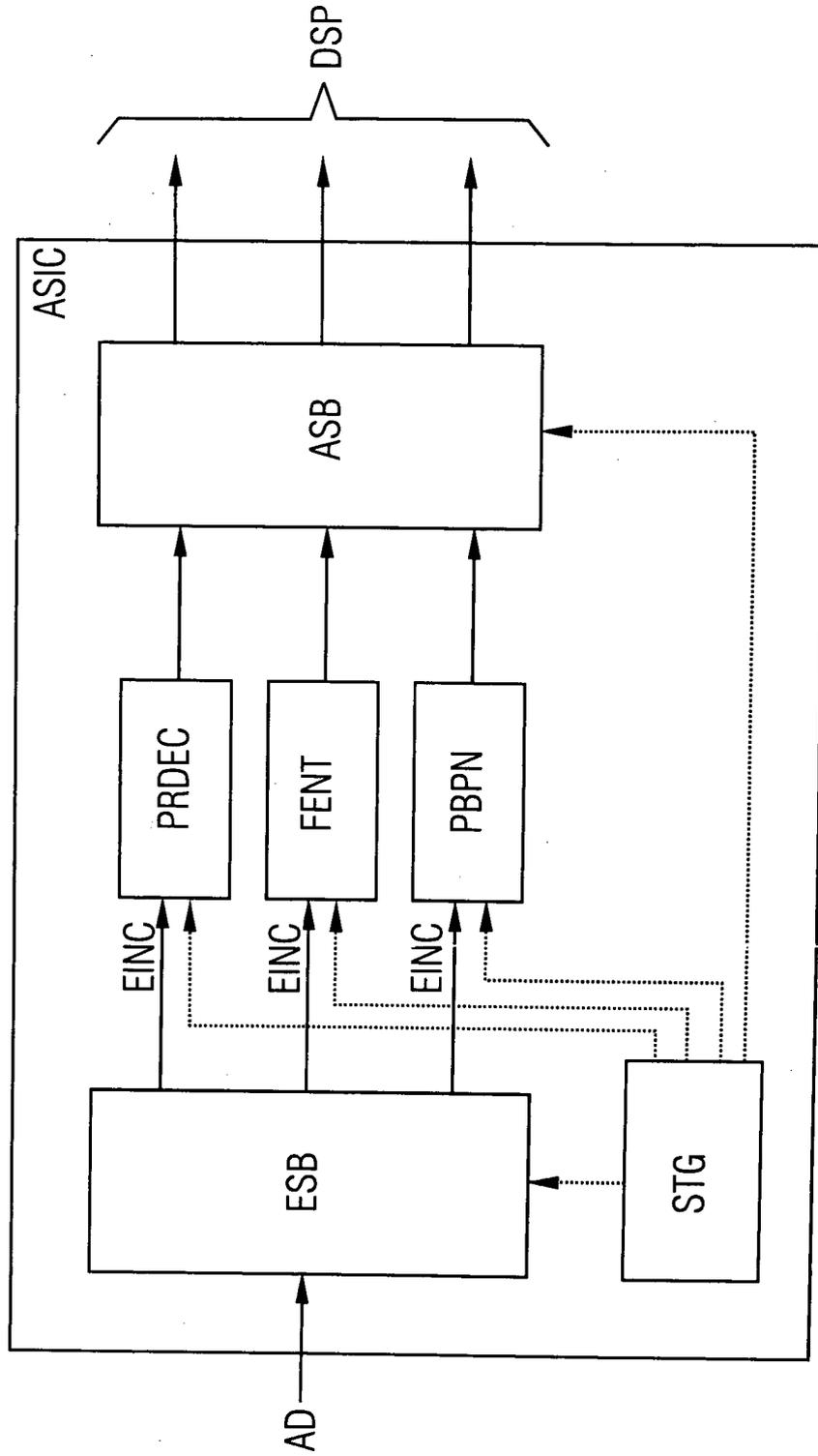


FIG 5

```
=====
```

Alpha * Min + Beta * Max Magnitude Estimator

Name	Alpha	Beta	Avg Err (linear)	RMS (dB)	Peak (dB)
Min RMS Err	0.947543636291	0.392485425092	0.000547	-32.6	-25.6
Min Peak Err	0.960433870103	0.397824734759	-0.013049	-31.4	-28.1
Min RMS w/ Avg=0	0.948059448969	0.392699081699	0.000003	-32.6	-25.7
1, Min RMS Err	1.000000000000	0.323260990000	-0.020865	-28.7	-23.8
1, Min Peak Err	1.000000000000	0.335982538000	-0.025609	-28.3	-25.1
1, 1/2	1.000000000000	0.500000000000	-0.086775	-20.7	-18.6
1, 1/4	1.000000000000	0.250000000000	0.006456	-27.6	-18.7
Frerking	1.000000000000	0.400000000000	-0.049482	-25.1	-22.3
1, 11/32	1.000000000000	0.343750000000	-0.028505	-28.0	-24.8
1, 3/8	1.000000000000	0.375000000000	-0.040159	-26.4	-23.4
15/16, 15/32	0.937500000000	0.468750000000	-0.018851	-29.2	-24.1
15/16, 1/2	0.937500000000	0.500000000000	-0.030505	-26.9	-24.1
31/32, 11/32	0.968750000000	0.343750000000	-0.000371	-31.6	-22.9
31/32, 3/8	0.968750000000	0.375000000000	-0.012024	-31.4	-26.1
61/64, 3/8	0.953125000000	0.375000000000	0.002043	-32.5	-24.3
61/64, 13/32	0.953125000000	0.406250000000	-0.009611	-31.8	26.6

```
=====
```