

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 951135A

※ 申請日期： 95.4.17

※IPC 分類：H01L 23/28, 23/34

一、發明名稱：(中文/英文)

半導體封裝及其形成方法

SEMICONDUCTOR PACKAGE AND METHOD FOR FORMING THE
SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,

U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 瓦西里 羅米嘉 湯普森
THOMPSON, VASILE ROMEGA
2. 傑森 范德
FENDER, JASON
3. 泰瑞 K 達利
DALY, TERRY K.
4. 姜今武
JANG, JIN-WOOK

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.
3. 美國 U.S.A.
4. 韓國 REPUBLIC OF KOREA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年05月26日；11/140,351

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種在晶粒附著製程期間防止金自金屬層(118)背面浸出進入焊料(164)中之半導體封裝(100)及其製造方法。一種根據本發明之方法包含提供一包括複數個金屬墊(112)之半導體晶圓堆疊(110)。一黏著/電鍍層(115)形成於一基板(116)之一表面(119)上。在該黏著/電鍍層(115)之一表面上電鍍一金層(118)。在一溝槽區域(street area)(124)中使用標準光微影技術來蝕刻該金層以便曝露該金層(118)及該黏著/電鍍層(115)之邊緣部分(128)。沈積一障壁金屬層(130)以便在該金層(118)及該黏著/電鍍層(115)之該等曝露邊緣(128)周圍形成一邊緣密封部分(129)。該半導體晶圓堆疊(110)在該溝槽區域(124)中經分割並焊接至一引線框(162)以形成一半導體封裝(100)，該半導體封裝(100)提供一邊緣密封部分(128)以防止金自金屬層(118)背面浸出進入該焊料(164)中。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100	半導體封裝
110	半導體晶圓堆疊
111	最上表面
112	金屬墊
114	熱通道
115	電鍍層
116	基板
118	層
119	表面
120	光阻層
122	表面
124	溝槽區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於半導體封裝及用於製造半導體封裝之方法，且更特定言之係關於晶粒附著製程。

【先前技術】

在一晶圓上產生各種晶粒之後，必須進行晶粒製備，在此期間製備晶粒用於積體電路(IC)封裝及測試。該晶粒製備製程通常由晶圓黏著及晶粒切割以及隨後之晶粒附著步驟組成。將晶粒附著至一半導體封裝之支撐結構(例如，引線框)之晶粒墊或晶粒模穴。將晶粒接合之方式定義為晶粒附著製程。軟焊料及焊錫膏塗覆通常用於汽車及高功率裝置中。例如，在軟焊料或焊錫膏附著製程期間，使用焊接材料將晶粒接合至引線框。在軟焊料附著製程期間，焊料作為線狀預成型引入並熔融於熱引線框表面上成為一液體焊接點。在焊錫膏附著製程期間，經由一小型注射器將焊料施配於引線框上。然後將晶粒置放於焊料上，加熱至熔點以上，接著冷卻，從而形成一固態連接。

目前，後段金屬製程包括在分割或單一化(singulation)之前在晶圓上沈積一金層及一障壁材料。典型的晶圓分割方法使用鋸條穿過元件陣列切割直線，從而在單一切割點處產生一曝露之金層。在軟焊料附著製程期間，該金層之曝露部分溶解於焊料中，從而導致黏著損耗及焊料塊內形成大空隙。由於金溶解於或浸出進入焊料中，故金損耗之一典型值為30%。

因此，需要提供一種用於封裝半導體元件之方法，該方法減小焊料空隙並改良半導體晶粒之黏著。此外，需要提供一種用於封裝半導體元件之方法，該方法提供一具有改良之熱效能之元件。此外，藉由下文實施方式及隨附之申請專利範圍，結合附圖及此先前技術，本發明期望之其他特徵及特性將變得顯而易見。

【實施方式】

以下實施方式本質上僅為例示性的且並非限定本發明或本發明之應用及使用。此外，本發明不意欲限於前述先前技術或以下實施方式中所陳述之任何理論。

圖1至6以橫截面之方式說明根據本發明之半導體晶圓封裝及其製造之方法步驟。如圖1所示，根據本發明之一實施例，半導體封裝100之製造首先提供一基板116(通常為半導體晶圓)，其具有根據熟知之半導體製造技術而製造的形成於最上表面111上之複數個金屬墊112。提供複數個熱通道114與墊112對準且該等熱通道用於將熱量及由關聯之半導體元件(未圖示)產生之增加之源極至汲極電流轉移至封裝基板(下文所論述)。基板116較佳地包含砷化鎵(GaAs)，其中本文使用之術語“基板”包括基板自身連同覆蓋該基板以形成半導體晶圓堆疊110之金屬層或絕緣層。應瞭解，在晶圓堆疊110之製造中且更特定言之在墊112及熱通道114之製造中各種步驟係熟知的，因此為簡潔起見，本文對諸多習知步驟將僅作簡要提及或完全省略而不提供熟知之製程細節。

在晶圓製造製程期間，黏著/導電層 115 形成於基板 116 之後表面 119 上。層 115 係由一厚度處於 1000 至 2000 Å 範圍內之鈦層及一厚度處於 4000 至 6000 Å 範圍內之金層形成。藉由此項技術中熟知之標準濺鍍製程使層 115 沈積於基板 116 上且用於增加熱性質及後續層之電鍍。

接著，將一金層 118 電鍍於黏著/導電層 115 之表面上。在此例示性實施例中，金層 118 形成為約 3 微米厚且藉由此項技術中熟知之標準電鍍製程使金層 118 沈積於黏著/導電層 115 上。金層 118 提供一熱路徑且增加與金屬墊 112 接觸之元件的源極至汲極電流容量，從而使金屬墊 112 更有效。

在電鍍層 118 之後，將光阻層 120 塗覆於金層 118 之表面 122 且如圖 1 所示進行光微影圖案化。使用此項技術中熟知之標準光微影步驟來執行層 120 之圖案化，並在晶圓堆疊 110 之溝槽或切割區域 124 中曝露金層 118。接著將在溝槽區域 124 中進行晶圓堆疊 110 之分割或單一化。

圖 2 說明使用經圖案化之光阻層 120 作為蝕刻遮罩來蝕刻穿過金層 118。金層 118 之蝕刻在層 118 中提供一渠溝 126 並曝露金層 118 及黏著/電鍍層 115 之邊緣部分 128 以及基板 116 之一部分。使用熟知之濕式化學法(諸如 X20)來蝕刻金層 118。如圖 3 所示，在完成渠溝 126 之蝕刻之後移除光阻層 120。

如圖 4 所示，在剝除光阻層 120 之後，將障壁金屬層 130 沈積於金層 118 之表面 122 上。障壁金屬層 130 係藉由濺鍍

技術而沈積於晶圓堆疊110之表面122上並沈積至渠溝126及熱通道114中。在一實施例中，障壁金屬層130包含鈦、鎳-鈳及金。在一較佳實施例中，障壁金屬層130包含厚度約為0.3微米之鈦材料、厚度約為0.6微米之鎳-鈳(7至9重量%的鈳)材料及厚度約為0.5微米之金材料。大體而言，障壁金屬層130形成為具有處於約1.0微米至1.7微米範圍內的厚度。沈積障壁金屬層130以便使鈦材料形成於金層118之表面122上，從而使鎳-鈳材料夾在鈦與金材料之間，共同組成障壁金屬層130。障壁金屬層130中金層的比率小於其最終將提供並進行邊緣密封的金層118的比率。層130提供形成於金層118及黏著/電鍍層115之邊緣部分128周圍的邊緣密封部分129。在晶粒附著製程期間，邊緣密封部分129將防止層118浸出進入焊接材料(如下文所描述)。

現參看圖5，在沈積障壁金屬層130之後，晶圓堆疊110經受晶粒製備，在此期間晶圓堆疊110單一化為個別晶粒以準備進行組裝。晶粒製備通常由在晶粒附著之前進行的兩個主要步驟組成，即晶圓黏著及晶圓鋸割。晶圓黏著包含在晶粒附著製程中為晶圓提供支撐以有助於利用晶圓鋸割對晶圓進行處理。在晶圓黏著期間，晶圓堆疊110及晶圓框(未圖示)同時附著於支撐晶圓或分割帶上。

晶圓黏著之後進行晶圓鋸割，晶圓鋸割包含將晶圓切割成個別晶粒以供在IC封裝中進行組裝。參看圖5，使用晶圓鋸140在溝槽區域124中穿過晶圓堆疊110鋸出一切口142。晶圓鋸割製程產生第一晶圓部分或晶粒150及第二晶

圓部分或晶粒 152。接著，晶圓部分 150 及 152 在晶粒附著之前經受清洗製程(未圖示)。

晶圓鋸割在晶圓部分 150 及 152 上各提供一曝露邊緣 154。如圖 5 所示，在分割之後，障壁金屬層 130 之先前沈積物藉由邊緣密封部分 129 提供對金屬層 118 之密封。在晶粒附著製程期間，對層 118 之密封消除金損耗及焊料中空隙的形成，因為在晶粒附著製程期間障壁金屬層 130 與焊料不發生化學反應。

圖 6 說明一完成之晶圓封裝，其包括晶粒附著之後之第一晶圓部分 150。在分割之後，第一晶圓部分 150 經受晶粒附著以形成一半導體封裝。該晶粒附著製程亦已知為晶粒黏著或晶粒接合。在該製程期間，晶圓或晶粒附著至半導體封裝之支撐結構(例如，引線框)的晶粒墊或晶粒模穴。通常，該晶粒附著製程使用熟知之晶粒附著設備及晶粒附著工具來黏著晶粒。

如圖所示，利用焊接材料 160 將第一晶圓部分 150 接合至引線框 162。引線框 162 可為由(例如)鎳、鈮及金形成之鍍銅引線框。在軟焊料製程中，焊接材料 160 作為線狀預成型引入並熔融於熱引線框 162 之表面上成為一液體焊接點。然後將第一晶圓部分 150 置放於熱焊料上並在冷卻之後形成一固態連接。在晶圓部分 150 定位於液體焊接點上期間，焊接點伸展以便與晶圓部分 150 及引線框 162 之大體上整個接合表面接觸。在焊料沿著晶圓部分 150 之邊緣上升之處形成晶粒附著焊縫 164。焊接材料 160 為基於鉛錫之

合金，且若不包含障壁金屬層130來保護金屬層118，則金將浸出進入焊接材料160中。然而如前文所述，障壁金屬118與焊接材料160不發生化學反應，且因此焊接材料160內不會發生浸出或形成空隙。在包括保護氣體氣氛之可控溫度環境下(諸如在惰性氣體氣氛中)執行第一晶圓部分150與引線框162之焊接以防止引線框162氧化。

認為將第一晶圓部分150附著至引線框162之替代方式處於本發明之範疇內，且包括(但不限於)焊錫膏晶粒附著及線饋入晶粒附著。在背金屬(back metal)製程期間用以形成層118之曝露部分128的額外光微影步驟，及為了形成邊緣密封部分129而對障壁層130進行的沈積，為金屬118提供密封，藉此在晶粒附著製程期間維持背金屬之完整性。

因此，提供一種製造半導體封裝之方法，該方法包含：提供一半導體晶圓堆疊，該半導體晶圓堆疊包括形成於一基板之第一表面上之複數個金屬墊及一形成於該基板之一相對第二表面上之金屬；在該半導體晶圓堆疊之一溝槽區域中蝕刻該金屬，其中該蝕刻曝露該金屬及該基板之複數個邊緣部分；在該金屬之該等曝露的邊緣部分周圍形成一邊緣密封部分；在該溝槽區域中分割該半導體堆疊以便界定一半導體晶粒；及將該半導體晶粒附著於一支撐結構。該支撐結構可為一引線框。提供金屬之步驟包含藉由在該基板之相對第二表面上濺鍍一金層之沈積步驟。該蝕刻步驟包括使用濕式化學法進行蝕刻。形成邊緣密封部分之步驟包含在該相對第二表面上沈積一障壁金屬層，其中該障

壁金屬層之厚度在1.0至1.7微米範圍內。沈積障壁金屬層之步驟包含濺鍍個別的鈦、鎳-鈳(7至9重量%的鈳)及金層。該邊緣密封部分防止在將該半導體晶粒附著於一支撐結構期間所使用的焊接材料中形成空隙。

進一步提供一種製造一半導體封裝之方法，該方法包含：提供一半導體堆疊，該半導體堆疊具有形成於一基板之第一表面上之複數個金屬墊及與該複數個半導體元件對準而形成之複數個熱通道；將一金層沈積於該基板之相對第二表面上並延伸至該等熱通道中；在該半導體堆疊之一溝槽區域中蝕刻該金層以曝露該金層及該基板之邊緣；用一障壁金屬層在該金層之該等曝露的邊緣部分周圍形成一邊緣密封部分；在該溝槽區域中分割該半導體堆疊；及將該半導體堆疊焊接至一支撐結構以形成半導體封裝。該支撐結構可為一引線框結構。該蝕刻步驟包括使用濕式化學法進行蝕刻。該形成邊緣密封部分之步驟包含濺鍍厚度在1.0至1.7微米範圍內之障壁金屬層的步驟，其中該障壁金屬層包含鈦、鎳-鈳(7至9重量%的鈳)及金層。該邊緣密封部分防止金層浸出進入在焊接製程期間所使用之焊接材料中，並防止該焊接材料中形成空隙。

最後，提供一種半導體封裝，其包含：一半導體晶粒，該半導體晶粒包含：一基板；形成於該基板之一第一表面上之至少一個半導體元件；一形成於一與該基板之第一表面相對之第二表面上並具有一邊緣部分之金層；一形成於該金層之一表面上之障壁金屬層，其中該障壁金屬層在金

層之邊緣部分周圍形成邊緣密封部分；及一焊接至半導體晶粒之支撐結構。該邊緣密封部分防止金層浸出進入焊接材料。該基板可為砷化鎵。在一蝕刻步驟期間在該半導體晶粒之溝槽區域中形成金層之曝露的邊緣部分。該障壁金屬層包含鈦、鎳-鈳(7至9重量%的鈳)及金層。該封裝進一步包括形成於基板中之複數個熱通道。

雖然前述實施方式中已提供至少一個例示性實施例，但應瞭解存在大量變化形式。亦應瞭解，該或該等例示性實施例僅為實例，而並非以任何方式限定本發明之範疇、適用性或組態。實情為，前述實施方式將為熟習此項技術者提供便利之指導以便實施本發明之例示性實施例，應瞭解，在不背離隨附之申請專利範圍及其合法等同物中所陳述之本發明之範疇的情況下，可對例示性實施例中所描述之元件的功能及配置作出各種改變。

【圖式簡單說明】

圖1至6以橫截面之形式說明根據本發明之半導體晶圓封裝及其製造之方法步驟。

【主要元件符號說明】

- | | |
|-----|---------|
| 100 | 半導體封裝 |
| 110 | 半導體晶圓堆疊 |
| 111 | 最上表面 |
| 112 | 金屬墊 |
| 114 | 熱通道 |
| 115 | 電鍍層 |

- 116 基板
- 118 層
- 119 表面
- 120 光阻層
- 122 表面
- 124 溝槽區域
- 126 渠溝
- 128 邊緣部分
- 129 邊緣密封部分
- 130 層
- 140 晶圓鋸
- 142 切口
- 150 晶圓部分
- 152 晶圓部分
- 154 邊緣
- 160 焊接材料
- 162 引線框
- 164 晶粒附著焊縫

101年10月26日修正本
十、申請專利範圍：

1. 一種用於製造一半導體封裝之方法，該方法包含：

提供一半導體晶圓堆疊，其包括形成於一基板之一第一表面內之複數個金屬墊、一形成於該基板之一相對第二表面上之黏著/電鍍層及一形成於該黏著/電鍍層之一表面上之金層；

在該半導體晶圓堆疊之一溝槽區域中蝕刻該金層，其中該蝕刻曝露該金層、該黏著/電鍍層及該基板之複數個邊緣部分；

在該黏著/電鍍層及該金層之該等曝露的邊緣部分周圍形成一邊緣密封部分；

在該溝槽區域中分割該半導體堆疊以界定一半導體晶粒；及

將該晶粒附著於一支撐結構。

2. 如請求項1之製造一半導體封裝之方法，其中該形成一邊緣密封部分之步驟包含在該相對第二表面上沈積一障壁金屬層。
3. 如請求項2之製造一半導體封裝之方法，其中該沈積一障壁金屬層之步驟包含濺鍍一包含鈦、鎳-鈮及金層之障壁金屬層，且其中該障壁金屬層中金之一比率小於形成於該黏著/電鍍層之一表面上之該金層的比率。
4. 如請求項2之製造一半導體封裝之方法，其中該障壁金屬層之一厚度處於1.0至1.7微米範圍內。
5. 如請求項1之製造一半導體封裝之方法，其中該支撐結

構為一引線框。

6. 如請求項1之製造一半導體封裝之方法，其中該提供一金層之步驟包含藉由在該黏著/電鍍層上濺鍍一金層之沈積步驟。
7. 如請求項1之製造一半導體封裝之方法，其中該蝕刻步驟包括使用濕式化學法進行蝕刻。
8. 如請求項1之製造一半導體封裝之方法，其中該邊緣密封部分防止在將該晶粒附著於一支撐結構期間所使用的一焊接材料中形成空隙。
9. 一種製造一半導體封裝之方法，該方法包含：

提供一半導體堆疊，其具有形成於一基板之一第一表面內之複數個金屬墊及與該複數個金屬墊對準而形成之複數個熱通道；

將一黏著/電鍍層沈積於該基板之一相對第二表面上並延伸至該等熱通道中；

將一金層沈積於該黏著/電鍍層上並延伸至該等熱通道中；

在該半導體堆疊之一溝槽區域中蝕刻該金層以曝露該金層、該黏著/電鍍層及該基板之邊緣；

用一障壁金屬層在該金層及該黏著/電鍍層之該等曝露的邊緣部分周圍形成一邊緣密封部分；

在該溝槽區域中分割該半導體堆疊；及

將該半導體堆疊焊接至一支撐結構以形成該半導體封裝。

10. 如請求項9之製造一半導體封裝之方法，其中該蝕刻步驟包括使用濕式化學法進行蝕刻。
11. 如請求項9之製造一半導體封裝之方法，其中該形成一邊緣密封部分之步驟包含藉由濺鍍沈積一障壁金屬層，該障壁金屬層之一厚度在1.0至1.7微米範圍內。
12. 如請求項9之製造一半導體封裝之方法，其中該障壁金屬層包含鈦、鎳-鈮及金層。
13. 如請求項9之製造一半導體封裝之方法，其中該邊緣密封部分防止該金層浸出進入在該焊接製程期間所使用之一焊接材料中，並防止該焊接材料中形成空隙。
14. 如請求項9之製造一半導體封裝之方法，其中該支撐結構為一引線框。
15. 一種半導體封裝，其包含：
 - 一半導體晶粒，該晶粒包含：
 - 具有一曝露的基板邊緣之一基板；
 - 形成於該基板之一第一表面內之至少一個金屬墊；
 - 形成於具有一邊緣部分之一第二表面上之一黏著/電鍍層；
 - 形成於該黏著/電鍍層上並具有一邊緣部分之一金屬層；
 - 形成於該金屬層之一表面上之一障壁金屬層，
 - 其中該障壁金屬層在該金屬層之該邊緣部分及該黏著/電鍍層之該邊緣部分周圍產生一邊緣密封部分，該障壁金屬層延伸至該曝露的基板邊緣並與其配合以形成

一實質上平坦的表面；

及

焊接至該半導體晶粒之一支撐結構。

16. 如請求項15之半導體封裝，其中該曝露的基板邊緣係從該邊緣密封部分縱向地被隔開。
17. 如請求項15之半導體封裝，其中使用焊接材料以將該支撐結構焊接至該半導體晶粒，且其中該邊緣密封部分防止該金層浸出進入該焊接材料中。
18. 如請求項15之半導體封裝，其中該金層及該黏著/電鍍層之該等邊緣部分係在一蝕刻步驟期間形成於該半導體晶粒之一溝槽區域中。
19. 如請求項15之半導體封裝，其中該障壁金屬層包含鈦、鎳-鈳及金層，該障壁金屬層之一厚度在1.0至1.7微米範圍內。
20. 如請求項15之半導體封裝，其進一步包括形成於該基板中之複數個熱通道。

十一、圖式：

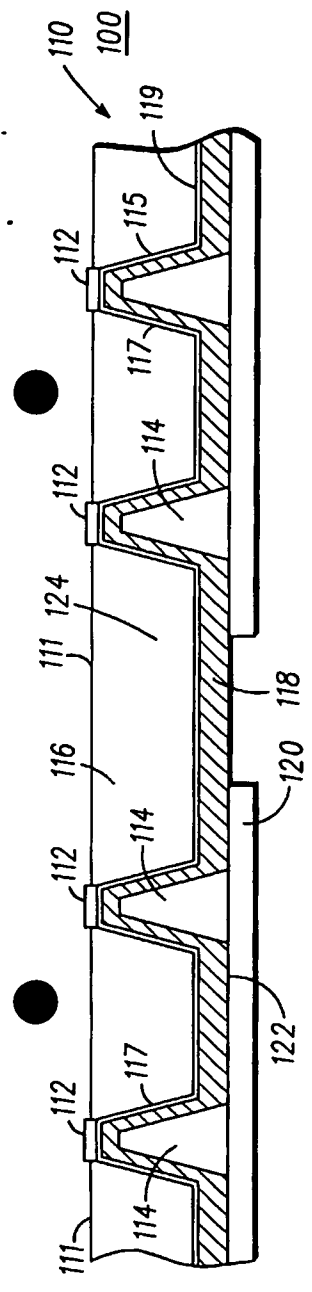


圖1

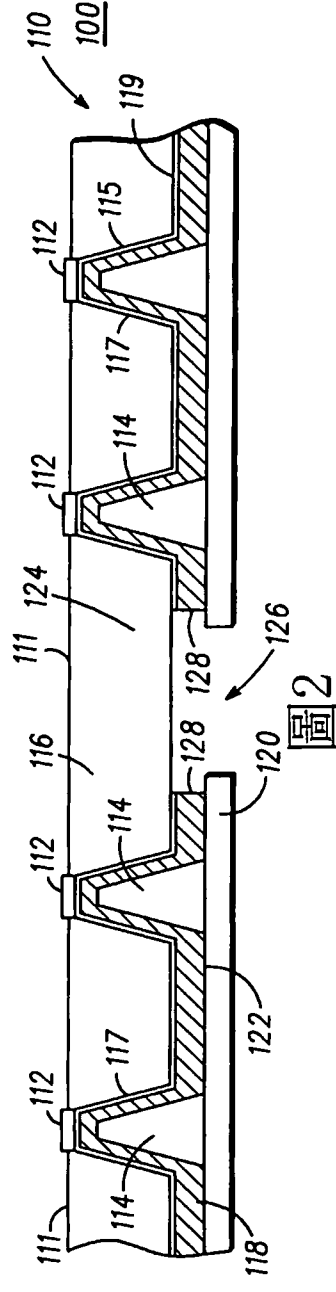


圖2

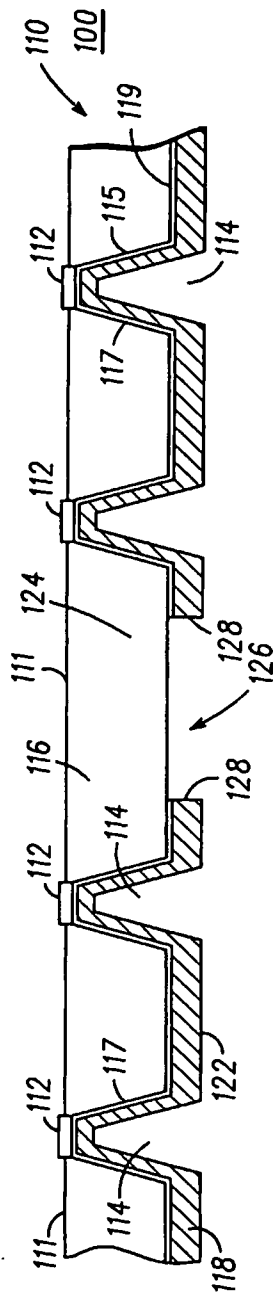


圖3

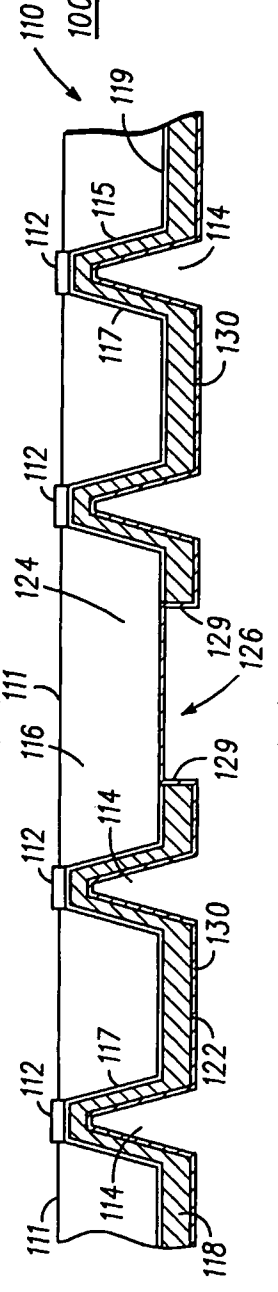


圖4

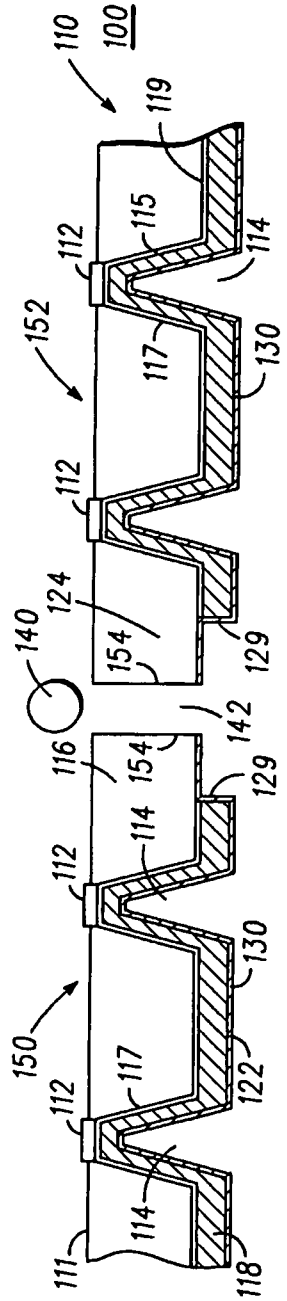


圖5

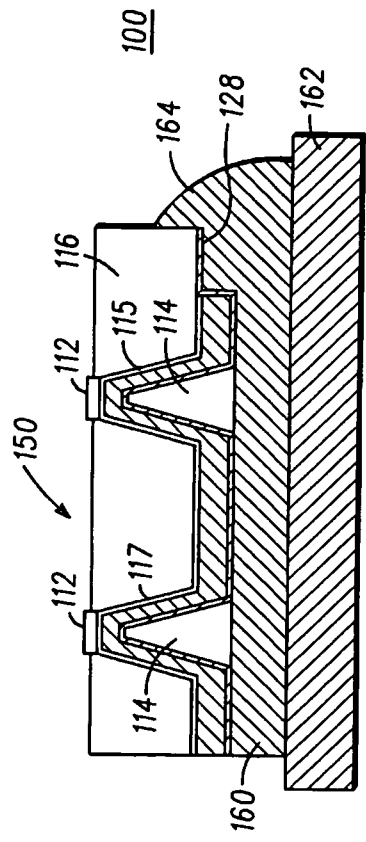


圖6