

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4703162号  
(P4703162)

(45) 発行日 平成23年6月15日(2011.6.15)

(24) 登録日 平成23年3月18日(2011.3.18)

(51) Int.Cl.		F I		
<b>G 1 1 C</b>	<b>16/02</b>	<b>(2006.01)</b>	G 1 1 C	17/00 6 1 1 E
<b>G 1 1 C</b>	<b>16/06</b>	<b>(2006.01)</b>	G 1 1 C	17/00 6 3 5
<b>G 1 1 C</b>	<b>16/04</b>	<b>(2006.01)</b>	G 1 1 C	17/00 6 2 3 A
			G 1 1 C	17/00 6 3 4 G
			G 1 1 C	17/00 6 2 2 E

請求項の数 5 (全 23 頁)

(21) 出願番号	特願2004-300386 (P2004-300386)	(73) 特許権者	000003078
(22) 出願日	平成16年10月14日(2004.10.14)		株式会社東芝
(65) 公開番号	特開2006-114121 (P2006-114121A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成18年4月27日(2006.4.27)	(74) 代理人	100091351
審査請求日	平成19年6月12日(2007.6.12)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置及びその書き込み方法

(57) 【特許請求の範囲】

【請求項1】

ドレインがビット線に接続され、フローティングゲートに電荷を蓄積してデータを記憶するフローティングゲート型のセルトランジスタと、

ドレインが前記セルトランジスタのソースに接続され、ソースがソース線に接続された選択ゲートトランジスタと、

書き込み動作時に、前記ビット線に負の電位もしくは接地電位を供給し、前記セルトランジスタのコントロールゲートに正の電位もしくは接地電位を供給し、選択ゲート線に負の電位を供給する第1手段と、

書き込み動作時に、前記セルトランジスタ及び前記選択ゲートトランジスタのウェル領域の電位を接地電位から負電位に低下させる第2手段と、

前記ソース線と接地点との間に接続されたスイッチ素子を含み、書き込み動作時に、前記スイッチ素子をオンさせて前記ソース線を接地点に接続し、前記第2手段によって前記ウェル領域の電位が負電位に低下していく途中で前記スイッチ素子をオフさせて前記ソース線を接地点から切り離すことにより前記ウェル領域とのカップリングによって前記ソース線の電位を低下させ、前記ソース線の電位を接地電位と前記第2手段による負電位との間の電位に設定するソース線ドライバと

を具備することを特徴とする不揮発性半導体記憶装置。

【請求項2】

前記ソース線ドライバは、電流通路がソース線と接地点間に接続された前記スイッチ素

子であるMOSFETと、前記MOSFETを書き込み動作を示すタイミング信号に基づいて駆動するドライバ回路とを含むことを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】

ドレインがビット線に接続され、フローティングゲートに電荷を蓄積してデータを記憶するフローティングゲート型のセルトランジスタと、

ドレインが前記セルトランジスタのソースに接続され、ソースがソース線に接続された選択ゲートトランジスタと、

書き込み動作時に、前記ビット線に負の電位もしくは接地電位を供給し、前記セルトランジスタのコントロールゲートに正の電位もしくは接地電位を供給し、選択ゲート線に負の電位を供給する第1手段と、

書き込み動作時に、前記セルトランジスタ及び前記選択ゲートトランジスタのウェル領域の電位を接地電位から負電位に低下させる第2手段と、

アノードが前記接地点に接続され、カソードが前記ソース線に接続された第1ダイオード素子を含み、書き込み動作時に、前記第2手段によって前記ウェル領域の電位が負電位に低下していく途中で前記ウェル領域とのカップリングによって前記ソース線の電位を低下させ、前記第1ダイオード素子の電流特性に応じて前記ソース線の電位を接地電位と前記第2手段による負電位との間の電位に設定するソース線ドライバと

を具備することを特徴とする不揮発性半導体記憶装置。

【請求項4】

一端が前記ビット線に接続されたデータトランスファゲートと、前記データトランスファゲートの他端に接続されたデータラッチ回路と、電流通路の一端が前記データラッチ回路に接続されたMOSFETと、アノードが前記MOSFETの電流通路の他端に接続された第2ダイオード素子と、前記第2ダイオード素子のカソードに負電圧を与える負電圧発生回路とを更に具備することを特徴とする請求項3に記載の不揮発性半導体記憶装置。

【請求項5】

ドレインがビット線に接続され、フローティングゲートに電荷を蓄積してデータを記憶するフローティングゲート型のセルトランジスタと、ドレインが前記セルトランジスタのソースに接続され、ソースがソース線に接続された選択ゲートトランジスタと、前記ソース線を駆動するソース線ドライバとを備えた不揮発性半導体記憶装置の書き込み方法であって、

前記ビット線を負の電位もしくは接地電位に設定し、前記セルトランジスタのコントロールゲートを正の電位に設定し、選択ゲート線を負の電位に設定するステップと、

前記ソース線を接地電位に設定するステップと、

前記セルトランジスタと前記選択ゲートトランジスタのウェル領域を接地電位から負電位に低下させるステップと、

前記ウェル領域の電位を負電位に低下させる途中で、前記ソース線を接地電位から切り離し、ソース線電位をウェル領域とのカップリングによって負電位へ低下させ、ソース線電位を接地電位と前記負電位との間の電位に設定するステップと

を具備することを特徴とする不揮発性半導体記憶装置の書き込み方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体記憶装置及びその書き込み方法に関するもので、例えばFG（フローティングゲート）型のセルトランジスタと、このセルトランジスタのソースに接続された選択ゲートトランジスタとを有するメモリセルを備えた不揮発性半導体記憶装置及びその書き込み方法に関する。

【背景技術】

【0002】

従来、比較的高速な読み出しが要求される論理集積回路チップに混載する不揮発性半導

10

20

30

40

50

体記憶装置として、例えば非特許文献 1 に記載されているようなフラッシュメモリが知られている。この不揮発性半導体記憶装置は、フローティングゲートに電荷を蓄積してデータを記憶する F G 型のセルトランジスタと、このセルトランジスタのソースに接続された選択ゲートトランジスタとを有するメモリセルを備えており、メモリセルへの書き込みと消去を F N (Fowler-Nordheim) トンネル電流で行う。そして、消去時には、ウェル領域に正の電圧、コントロールゲートに負の電圧を印加し、メモリセルアレイを一括で消去する。一方、書き込み時には、選択したコントロールゲートに正の電圧を印加し、ウェル領域に負電圧を印加し、書き込むメモリセルのビット線 (選択ビット線) に負の電圧、書き込まないメモリセルのビット線 (非選択ビット線) に 0 V を印加する。

【 0 0 0 3 】

ところで、上記構成の不揮発性半導体記憶装置にあっては、高集積化による大容量化と読み出し速度の高速化が望まれており、製造プロセスや加工精度の限界近くの技術を用いて製造されている。このため、メモリセルの特性に十分なマージンがなく、誤動作や動作速度の低下、例えば消去時間の長大化、書き込み速度の低下、セルトランジスタのしきい値電圧の分布のばらつき、誤書き込みなどの要因となる恐れがある。

【非特許文献 1】2001 IEEE International Solid-State Circuit Conference, DIGEST OF TECHNICAL PAPERS, T.Ditewing et. al., "An Embedded 1.2V-Read Flash Memory Module in a 0.18  $\mu\text{m}$  Logic Process" 2.4 pp.34-35 2001年2月

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 4 】

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、メモリセル特性のマージンを広げることができ、誤動作や動作速度の低下を抑制できる不揮発性半導体記憶装置及びその書き込み方法を提供することにある。

【課題を解決するための手段】

【 0 0 0 5 】

この発明の一態様によると、ドレインがビット線に接続され、フローティングゲートに電荷を蓄積してデータを記憶するフローティングゲート型のセルトランジスタと、ドレインが前記セルトランジスタのソースに接続され、ソースがソース線に接続された選択ゲートトランジスタと、書き込み動作時に、前記ビット線に負の電位もしくは接地電位を供給し、前記セルトランジスタのコントロールゲートに正の電位もしくは接地電位を供給し、選択ゲート線に負の電位を供給する第 1 手段と、書き込み動作時に、前記セルトランジスタ及び前記選択ゲートトランジスタのウェル領域の電位を接地電位から負電位に低下させる第 2 手段と、前記ソース線と接地点との間に接続されたスイッチ素子を含み、書き込み動作時に、前記スイッチ素子をオンさせて前記ソース線を接地点に接続し、前記第 2 手段によって前記ウェル領域の電位が負電位に低下していく途中で前記スイッチ素子をオフさせて前記ソース線を接地点から切り離すことにより前記ウェル領域とのカップリングによって前記ソース線の電位を低下させ、前記ソース線の電位を接地電位と前記第 2 手段による負電位との間の電位に設定するソース線ドライバとを具備する不揮発性半導体記憶装置が提供される。

【 0 0 0 6 】

また、この発明の一態様によると、ドレインがビット線に接続され、フローティングゲートに電荷を蓄積してデータを記憶するフローティングゲート型のセルトランジスタと、ドレインが前記セルトランジスタのソースに接続され、ソースがソース線に接続された選択ゲートトランジスタと、前記ソース線を駆動するソース線ドライバとを備えた不揮発性半導体記憶装置の書き込み方法であって、前記ビット線を負の電位もしくは接地電位に設定し、前記セルトランジスタのコントロールゲートを正の電位に設定し、選択ゲート線を負の電位に設定するステップと、前記ソース線を接地電位に設定するステップと、

前記セルトランジスタと前記選択ゲートトランジスタのウェル領域を接地電位から負電位に低下させるステップと、前記ウェル領域の電位を負電位に低下させる途中で、前記ソ

10

20

30

40

50

ース線を接地電位から切り離し、ソース線電位をウェル領域とのカップリングによって負電位へ低下させ、ソース線電位を接地電位と前記負電位との間の電位に設定するステップとを具備する不揮発性半導体記憶装置の書き込み方法が提供される。

【発明の効果】

【0007】

この発明によれば、メモリセル特性のマージンを広げることができ、誤動作や動作速度の低下を抑制できる不揮発性半導体記憶装置及びその書き込み方法が得られる。

【発明を実施するための最良の形態】

【0008】

まず、この発明に至るまでの本発明者等の考察の課程について説明し、その後各々の実施形態について図面を参照して説明する。

【0009】

この発明は、本発明者等による次のような考察に基づいてなされたものである。

【0010】

図1に示すように、FG型のセルトランジスタCTと、このセルトランジスタCTのソースに接続された選択ゲートトランジスタSTとで構成されたメモリセルは、セルトランジスタCTのドレインがビット線BLに直接接続されているため、ビット線とセルトランジスタ間に選択ゲートトランジスタが設けられたメモリセル構造に比べてメモリセル電流を大きくでき、読み出しが早くなるという利点がある。

【0011】

その反面、書き込み時に非選択ビット線に印加される電位をソース側の選択ゲートトランジスタSTだけで遮断し、非選択ビット線からソース線SLに電流が流れないようにしなくてはならず、選択ゲートトランジスタSTにはリーク電流に対しての要求が厳しくなる。

【0012】

上記のようなメモリセル構成において、例えば書き込み時にメモリセルの各端子に印加される電位はワード線とビット線の選択/非選択状態に応じて図2及び図3に示すように下記(1)~(4)の4通りになる。

【0013】

(1) 選択ワード線と選択ビット線に接続されているメモリセル(選択セル)には、コントロールゲートCGに1.2V、選択ゲート線SGに-7V、ビット線BLに-7Vが印加される。この際、ウェル領域(Well)には-7Vが印加される。

【0014】

(2) 選択ワード線と非選択ビット線に接続されているメモリセル(非選択セル)には、コントロールゲートCGに1.2V、選択ゲート線SGに-7V、ビット線BLに0V、ウェル領域に-7Vが印加される。

【0015】

(3) 非選択ワード線と選択ビット線に接続されているメモリセル(非選択セル)には、コントロールゲートCGに0V、選択ゲート線SGに-7V、ビット線BLに-7V、ウェル領域に-7Vが印加される。

【0016】

(4) 非選択ワード線と非選択ビット線に接続されているメモリセル(非選択セル)には、コントロールゲートCGに0V、選択ゲート線SGに-7V、ビット線BLに0V、ウェル領域に-7Vが印加される。

【0017】

この際、ソース線SLは図2に示すようにフローティング(Floating)または図3に示すように0Vに設定される。このソース線SLは、メモリセルアレイ中の各メモリセルに共通接続されているので、全てのメモリセルに対して同じ電圧が掛かる。

【0018】

上記(1)~(4)のような関係でメモリセルの各端子に電位を印加して書き込みを行

10

20

30

40

50

うと、次のような問題が起こる可能性がある。

【 0 0 1 9 】

ソース線 S L がフローティング状態の場合には、シミュレーションなどから約 - 5 V 程度の電圧がソース線 S L に掛かると考えられる。この場合には、上記 ( 2 ) の電圧印加状態のメモリセルのビット線 B L とソース線 S L 間に約 5 V の電圧が掛かる上に、コントロールゲート C G に印加された 1 2 V の電圧によってセルトランジスタ C T が完全にオンしているため、選択ゲートトランジスタ S T がパンチスルーを起こしてビット線 B L とソース線 S L 間にリーク電流が流れる恐れがある。( 4 ) の電圧印加状態のメモリセルではコントロールゲート C G に印加される電圧が低いため、( 2 ) のメモリセルに比べて程度は軽いものの、( 2 ) のメモリセルと同様にビット線 B L とソース線 S L 間にリーク電流が流れる可能性がある( 図 2 参照 )。

10

【 0 0 2 0 】

また、容量の大部分がウェル領域と結合しているソースは、ウェル電位が下がることにより、カップリングで一時的に約 - 5 V より下がる現象が起こり、この時非選択ビット線とソースの間で上記の電流より大きなリーク電流が発生する( 図 4 参照 )。

【 0 0 2 1 】

更に、ソース線 S L が 0 V の場合には、( 1 ) の電圧印加状態のメモリセルのビット線 B L とソース線 S L 間に 7 V の電圧が掛かる上に、コントロールゲート C G に印加された 1 2 V の電圧によってセルトランジスタ C T が完全にオンしているため、選択ゲートトランジスタ S T がパンチスルーを起こしてソース線 S L とビット線 B L 間にリーク電流が流れる恐れがある。( 3 ) の電圧印加状態のメモリセルではコントロールゲート C G に印加される電圧が低いため、( 1 ) のメモリセルに比べて程度は軽いものの、( 1 ) のメモリセルと同様にソース線 S L とビット線 B L 間にリーク電流が流れる可能性がある( 図 3 参照 )。

20

【 0 0 2 2 】

このように、ソース線 S L の電位として、フローティング状態と 0 V のいずれを選択した場合でも、書き込み時にビット線 B L とソース線 S L 間にリーク電流が発生する可能性がある。このリーク電流が負電位発生回路の電流供給量を上回ると、正常な負電位が発生できなくなり、書き込み時に不良(誤書き込み)が発生する。また、リーク電流が負電位発生回路の電流供給量を上回るほど大きくない場合でも、リーク電流が発生するとセルトランジスタのチャンネル電位が変わってしまい、書き込み速度が遅くなったり誤書き込みが生じたりする。

30

【 0 0 2 3 】

このような問題は、動作電圧を低く、例えばコントロールゲート C G に 1 0 V、選択ゲート線 S G に - 5 V、ビット線 B L に - 5 V、ウェル領域に - 5 V を印加することによって多少軽減できるものの本質的な問題の解決にはならない。

【 0 0 2 4 】

しかも、上記リーク電流の発生は、別の理由からも誤動作や動作速度の低下を招く恐れがある。次に、上記動作電圧を低くした不揮発性半導体記憶装置を例にとって詳しく説明する。

40

【 0 0 2 5 】

図 5 に示すように、各セルトランジスタ C T のソースを選択ゲートトランジスタ S T のドレイン/ソースを介してソース線 S L に共通接続してフローティング状態にすると、この図 5 に実線で示すような経路でリーク電流が流れ、セルトランジスタ C T のソース電位は、図 6 に示すように非選択ビット線からソースへのリーク電流と、ソースから選択ビット線へのリーク電流が等しくなるような電位になる。

【 0 0 2 6 】

非選択ビット線に接続されているメモリセルの選択ゲートトランジスタ S T は、ソース電位が高い時には実効的に基板バイアスが掛かることになるのでリーク電流が少ない。これに対し、選択ビット線に接続されているメモリセルの選択ゲートトランジスタ S T は基

50

板バイアスが掛からないのでリーク電流が大きくなる。従って、セルトランジスタCTのソース電位は0Vと負電位(図6では-5V)の中間電位ではなく、それより低い電位に落ち着く(例えば-4V)。

【0027】

この時、次のような問題が起こる可能性がある。すなわち、選択されていないビット線に接続されているメモリセルの選択ゲートトランジスタSTのソース/ドレイン間には、-4Vの電圧が掛かり、セルトランジスタCT側のノード(図5に破線で囲んで示す)では高電界が発生する。この結果、選択ゲートトランジスタSTの微小なリーク電流でもホットキャリアが発生し、その一部がセルトランジスタCTのフローティングゲートに取り込まれ、書き込まないメモリセルに対して誤書き込みを行ってしまうことがある。この現象は、“1”セルと“0”セルの閾値電圧分布のマージンを上げるために、印加する負電圧を下げると更に強くなるため、セルトランジスタCTの閾値電圧分布のマージンを上げるための障害要因になる。

10

【0028】

また、上述したように、ソース電位は、非選択ビット線からソースに流れこむ電流とソースから選択ビット線あるいは基板に流れ出す電流がつり合う電位になる。この時、ソースから流れ出す電流のほとんどは、選択ビット線に流れ出す選択ゲートトランジスタSTのオフリーク電流なので、負の電圧に流れ込む全電流は等価的に選択ゲートトランジスタSTのオフリーク電流となる。この時、次のような理由でこのオフリーク電流を抑えることが望ましい。

20

【0029】

第1は、負電圧を低くすることが困難になるためである。第2は、ソースから選択ビット線に流れる電流が大きくなり、非選択ビット線に接続されているセルトランジスタがホットキャリアにより誤書き込みされる可能性があるためである。

【0030】

まず、第1の理由について詳しく説明する。チップ内部の負電圧発生回路で選択ビット線や選択ゲートトランジスタの基板電位を発生させているが、リーク電流が多いと負電圧発生回路の駆動能力よりもリーク電流の方が大きくなるので、負電圧が高くなってしまふ。このため、負電圧が十分に出力できないので書き込みを行う選択セルと書き込まない非選択セルの閾値電圧 $V_{th}$ のマージンを劣化させてしまふ。

30

【0031】

次に、第2の理由について詳しく説明する。ソースから選択ビット線に流れ出す電流は、非選択ビット線からソースに流れ込む電流ほぼ等しい。従って、ソースから選択ビット線に流れ出す電流が大きくなると、非選択ビット線からソースに流れ込む電流も大きくなる(つり合っているソースの電位がずれて行くため)。この非選択ビット線から流れるリーク電流によって、ホットキャリアが発生し、非選択ビット線に接続されているメモリセルに誤書き込みを行う可能性が生ずる。

【0032】

また、ウェルの電位が下がる時にソースの電位がカップリングで下がるので、一時的にソースから選択ビット線に流れ出す電流と非選択ビット線からソースに流れ込む電流の釣り合うソース電位より低い電位に下げられ、その時に非選択ビット線から流れるリーク電流がより大きくなり、それによってホットキャリアが発生し、非選択ビット線に接続されたメモリセルに誤書き込みを行う可能性がより大きくなる。

40

【0033】

これらの問題を解決するために、選択ゲートトランジスタの閾値電圧を上げてオフリーク電流を抑える方法も考えられるが、その場合には、読み出し時の選択ゲートトランジスタのオン電流も減らすことになり、読み出し速度を低下させてしまふ。また、選択ゲートトランジスタのチャンネルイオン注入とセルトランジスタのチャンネルイオン注入を共通にしている場合は、セルトランジスタの中性閾値電圧も上げることになるので、消去特性を低下させる(消去時間が長くなる)ことになり、やはり好ましくない。

50

## 【 0 0 3 4 】

次に、前述したような考察に基づき、本発明者等が認識した種々の問題を解決できる、この発明の実施形態について図面を参照して説明する。

## 【 0 0 3 5 】

## [ 第 1 の実施形態 ]

図 7 は、この発明の第 1 の実施形態に係る不揮発性半導体記憶装置の概略構成を示すブロック図である。図 8 は上記図 7 に示した回路における要部を抽出してソース線ドライバの構成例を示す回路図である。

## 【 0 0 3 6 】

メモリセルアレイ 1 1 中には、メモリセルがマトリックス状に配置されている。このメモリセルは、例えば F G 型のセルトランジスタと、このセルトランジスタのソースに接続された選択ゲートトランジスタとを有する図 1 に示したようなメモリセル構成である。上記セルトランジスタのコントロールゲートはワード線 W L に接続され、ドレインは上記ワード線 W L と交差する方向に配置されたビット線 B L に接続される。上記各セルトランジスタのソースには上記選択ゲートトランジスタのドレインが接続され、そのゲートには選択ゲート線（図示せず）が接続される。上記各選択ゲートトランジスタのソースは、上記ワード線 W L と同一方向に沿って配置されたソース線 S L に共通接続される。

10

## 【 0 0 3 7 】

上記ワード線 W L は、ワード線ドライバ ( W L Driver ) 1 2 - 1 , 1 2 - 2 , 1 2 - 3 , ... で選択的に駆動される。上記ソース線 S L は共通ソース線 S L C に接続され、この共通ソース線 S L C を介してソース線ドライバ ( S L Driver ) 1 3 で駆動される。上記ワード線ドライバ 1 2 - 1 , 1 2 - 2 , 1 2 - 3 , ... にはロウデコーダ 1 4 からデコード信号が供給される。上記ソース線ドライバ 1 3 と上記ロウデコーダ 1 4 は、タイミング発生回路 1 5 により動作タイミングが制御されるようになっている。

20

## 【 0 0 3 8 】

上記ソース線ドライバ 1 3 は、共通ソース線 S L C を接地状態からフローティング状態へ切り替えるスイッチ素子として働く P チャネル型 M O S F E T 1 6 とそのドライバ回路 ( S L S Driver ) 1 7 とを含んで構成されている。 M O S F E T 1 6 のドレインは共通ソース線 S L C に接続され、ソース及びバックゲート ( ウェル領域 ) は接地点 G N D に接続されている。上記ドライバ回路 1 7 には、上記タイミング発生回路 1 5 から出力される、ウェル領域やコントロールゲート C G ( ワード線 W L ) などの書き込みに必要な他端子の電位を切り替えるタイミングを制御する信号 ( タイミング信号 ) が入力される。このタイミング信号に基づいてドライバ回路 1 7 で上記 M O S F E T 1 6 をオン / オフ制御し、ウェル領域の電位を 0 V から下げ始めた時間よりも少し遅れて上記 M O S F E T 1 6 をオンからオフへと遷移させ、ソース線 S L を接地状態からフローティング状態に切り替えるようになっている。

30

## 【 0 0 3 9 】

上記のような構成において、書き込み時に上記ソース線ドライバを用いて、ソース電位が不必要に下がらないようにすることでリーク電流を抑制できる。

## 【 0 0 4 0 】

本実施形態では、書き込み手順を下記のように変更することによって、書き込み時にソース線 S L をソースから選択ビット線と非選択ビット線からソースに流れるリーク電流のつり合う電位より低くならないように設定する。

40

## 【 0 0 4 1 】

すなわち、ソース線 S L を不必要に低くならないようにするために、次の手順で書き込みを行う。

## 【 0 0 4 2 】

まず、図 9 ( a ) にスイッチで等価的に示すように M O S F E T 1 6 をオンさせ、ソース線 S L を接地点 G N D に接続してから、図 9 ( c ) に示すように上記セルトランジスタ C T と上記選択ゲートトランジスタ S T のウェル領域 ( バックゲート ) の電位を 0 V から

50

- 7 Vに下げて行く (STEP 1)。この時、共通ソース線 S L C は 0 V に維持されている。

【 0 0 4 3 】

上記ウェル領域の電位を - 7 V に下げる途中で、図 9 ( b ) に示すように MOS F E T 1 6 をオフさせ、ソース線 S L を接地点 G N D から切り離す (STEP 2)。

【 0 0 4 4 】

ソース線 S L を接地点 G N D から切り離した後は、ソース線 S L の電位は図 9 ( c ) に示すようにウェル領域とのカップリング (Coupling) によって負電位へと下がって行く (STEP 3)。

【 0 0 4 5 】

そして、最終的にウェル領域が - 7 V になった時点で、共通ソース線 S L C は 0 V と - 7 V の間の電位になる (STEP 4)。

【 0 0 4 6 】

図 1 0 は、図 7 及び図 8 に示した回路において、ウェル領域を - 7 V に下げた直後のメモリセルの各端子の電圧印加状態を示している。図示するように、選択セル、非選択セルのいずれにおいてもビット線 B L とソース線 S L 間の電位差を 3 ~ 4 V 程度に抑えることができる。これによって、ビット線 B L とソース線 S L 間に過剰なリーク電流が流れるのを抑制できる。

【 0 0 4 7 】

従って、上記のような構成並びに書き込み方法によれば、メモリセル特性のマージンを広げることができ、誤動作や動作速度の低下を抑制できる。

【 0 0 4 8 】

[ 変形例 1 ]

図 1 1 は、上記ソース線ドライバ 1 3 の他の構成例を示しており、Nチャネル型 MOS F E T 1 8 とドライバ回路 1 7 で同様な動作を実現するものである。この場合には、Nチャネル型 MOS F E T 1 8 のウェル領域の電位をセルトランジスタ C T 及び選択ゲートトランジスタ S T と共通にする点が前述した Pチャネル型 MOS F E T 1 6 を用いる場合と異なる。その他の構成は図 8 に示した回路と同様である。

【 0 0 4 9 】

この構成では、例えば図 1 2 のタイミングチャートに示すような動作を行う。すなわち、ドライバ回路 1 7 の出力電位 S L S を V S S に落とした場合は、Nチャネル型 MOS F E T 1 8 は一時オフするが、ソースがセルのリーク電流またはカップリングで下がり、ソースが V S S より Nチャネル型 MOS F E T 1 8 の閾値電圧分下がった電位になるまで低下すると MOS F E T 1 8 がオンするため、ソースの電位の降下はそこで止まる。例えば、V S S が 0 V に設定された場合、ソースは約 - 3 V の電位でソースから選択ビット線へ流れる電流と接地点 G N D から MOS F E T 1 8 を介して流れ込む電流のつり合う電位になる。

【 0 0 5 0 】

なお、図 1 1 では MOS F E T 1 6 をオフするタイミングを遅らせているが、この構成では、MOS F E T 1 8 によってソースを不必要に下げることがないので、タイミングを遅らせなくても有効である。また、ソースは 0 V と - 7 V の中間に近い電位が望ましいので、V S S は 0 V 以下であることが望ましい。

【 0 0 5 1 】

このような構成並びに書き込み方法であっても、上述した第 1 の実施形態と同様にメモリセル特性のマージンを広げることができ、誤動作や動作速度の低下を抑制できる。

【 0 0 5 2 】

[ 変形例 2 ]

上述した第 1 の実施形態及び変形例 1 では、共通ソース線 S L C がメモリセルアレイ全体で共通であることを仮定している。従って、共通ソース線 S L C に対してソース線ドライバを 1 つだけ設けた。

10

20

30

40

50



## 【 0 0 5 3 】

しかしながら、例えばソース線ドライバの駆動能力が小さい場合や、ソース線の抵抗や容量が大きい場合には、メモリセルアレイを複数に分け、それぞれに対応して同一動作を行う複数のソース線ドライバを設けても良い。

## 【 0 0 5 4 】

このような構成により、メモリセルアレイ全体に対してソース線電位を均一化できる。また、ソース線電位を 0 V と - 7 V の間の最もリーク電流が少なくなる電位に設定できる。

## 【 0 0 5 5 】

## [ 第 2 の実施形態 ]

図 1 3 は、この発明の第 2 の実施形態に係る不揮発性半導体記憶装置及びその書き込み方法について説明するためのもので、上記図 7 に示した回路における要部を抽出してソース線ドライバの構成例を示す回路図である。図 1 4 ( a ) ~ ( f ) はそれぞれ、上記図 1 3 に示した回路におけるダイオード素子の構成例を示している。

## 【 0 0 5 6 】

図 1 3 に示す如く、セルトランジスタ C T のコントロールゲート C G はワード線 W L に接続され、ドレインは上記ワード線 W L と交差する方向に配置されたビット線 B L に接続される。上記各セルトランジスタ C T のソースには選択ゲートトランジスタ S T のドレインが接続され、そのゲートには選択ゲート線 S G が接続される。上記選択ゲートトランジスタのソースは共通ソース線 S L C に接続される。

## 【 0 0 5 7 】

上記共通ソース線 S L C には、ソース線ドライバ 1 3 が接続されている。このソース線ドライバ 1 3 は、スイッチングトランジスタ ( N チャネル型 M O S F E T ) 2 0 とダイオード素子 2 1 とを含んで構成されている。上記スイッチングトランジスタのソースは共通ソース線 S L C に接続され、ドレインは読み出し時のソース電位となる接地点 G N D に接続されている。このスイッチングトランジスタ 2 0 のゲートには、タイミング発生回路 1 5 からスイッチング信号 S W として働くタイミング信号が供給される。また、このスイッチングトランジスタ 2 0 と並列にダイオード素子 2 1 が接続されている。このダイオード素子 2 1 は、アノードが読み出し時のソース電位である接地点 G N D に接続され、カソードが M O S F E T 2 0 のソースに接続されている。

## 【 0 0 5 8 】

上記ダイオード素子 2 1 には、順方向には電流が流れ、逆方向には電流が流れない素子や回路であれば種々の構成が適用できる。例えば図 1 4 ( a ) に示すような p n 接合ダイオード D 1 、図 1 4 ( b ) に示すような p n 接合ダイオード D 1 と抵抗 R 1 との直列接続回路、図 1 4 ( c ) に示すような p n 接合ダイオード D 1 , D 2 , D 3 の直列接続回路、図 1 4 ( d ) に示すようなダイオード接続された M O S F E T Q 1 、図 1 4 ( e ) に示すようなダイオード接続された M O S F E T Q 1 と抵抗 R 1 との直列接続回路、図 1 4 ( f ) に示すようなダイオード接続された M O S F E T Q 1 , Q 2 の直列接続回路などいずれの構成でも良い。このダイオード素子 2 1 は、ソース電位の設定に必要な特性が得られれば他の構成でも構わない。

## 【 0 0 5 9 】

次に、上記のような構成において動作を説明する。図 1 5 に示すように、消去時には、ウェル領域に 1 0 V 、コントロールゲート C G (ワード線 W L ) に - 5 V を印加し、セルトランジスタ C T のフローティングゲート中の電子を基板に抜く。この時、スイッチング信号 S W を 0 V にしてスイッチングトランジスタ 2 0 はオフさせる。この時、ダイオード素子 2 1 は逆バイアスになるので電流は流れない。

## 【 0 0 6 0 】

一方、図 1 6 に示すように、書き込み時 (プログラム時) には、コントロールゲート C G (ワード線 W L ) に 1 0 V 、ウェル領域に - 5 V 、選択ゲート線 S G に - 5 V 、書き込むビット線 B L に - 5 V 、書き込まないビット線に 0 V を印加する。この時、スイッチ

10

20

30

40

50

グ信号SWを - 5 Vにしてスイッチングトランジスタ20はオフしておく。この際、図17に示すように、共通ソース線SLCの電位は、ダイオード素子21の存在によって、このダイオード素子21の電流特性と本来のセルトランジスタCTのリーク特性の出入りの電流がつり合う電圧になる(この例では - 3 V)。

【0061】

従って、このような構成によれば、非選択ビット線から流れるリーク電流を低減できるので、このリーク電流に起因して発生するホットキャリアによる劣化が少なくなり、誤書き込みを抑制することができる。

【0062】

また、図18に示すように、読み出し時には、コントロールゲートCG(ワード線WL)に0 V、選択ゲート線SGに3 V、ビット線BLに約0.9 Vを印加し、スイッチング信号SWを0 Vに設定してスイッチングトランジスタ20をオン状態にする。この時、ビット線BLから共通ソース線SLCに流れる電流値の大小でデータの“1”と“0”を判定する。

【0063】

この時、ダイオード素子21のアノードは、読み出し時のソース電位(ここでは0 V)と同じ電位に接続されているので、ダイオード素子21の両端の電位差は0 Vになり電流は流れない。従って、ダイオード素子21は、読み出し動作には何も影響しない。これは、ダイオード素子21のアノードを読み出し時の電位と同じ電位に接続しているからであり、別の電位(例えばVCC)に接続した場合は、ダイオード素子21と共通ソース線SLCの間にスイッチング素子を挿入し、読み出し時にオフさせる必要がある。

【0064】

なお、本第2の実施形態では、プログラム時のソース電位が - 3 Vの場合を例にとって説明したが、 - 3 Vに限らずセルトランジスタCTへの誤書き込みが起こらない範囲であれば、どのような電位に設定することも可能である。

【0065】

ところで、不揮発性半導体記憶装置を安定動作させるためには、消去時のセルトランジスタの閾値電圧と書き込み時のセルトランジスタの閾値電圧の差を大きく取ることが望ましい。このためには、負の電圧を下げるのが好ましいが、この時選択ビット線と非選択ビット線の電位差が大きくなり、誤書き込みが起こりやすくなる。

【0066】

しかし、本第2の実施形態に係る不揮発性半導体記憶装置は、負の電圧を下げた場合でも、ソース電位をあるレベルに設定できるので、誤書き込みを避けることができ、より効果大きい。勿論、ソース電位を電源発生回路の出力を用いて固定電位に設定することもできるが、その場合は電源発生回路が必要になってパターン占有面積が増大するとともに消費電力も増加することになる。

【0067】

[第3の実施形態]

図19及び図20はそれぞれ、この発明の第3の実施形態に係る不揮発性半導体記憶装置及びその書き込み方法について説明するためのもので、図19は概略構成を示すブロック図、図20は上記図19に示した回路における要部を抽出して構成例を示す回路図である。

【0068】

図19に示すように、本第3の実施形態では、前述した第2の実施形態の構成に加えて書き込みを行うセルトランジスタのビット線の電位が選択ゲートトランジスタのウェル領域の電位よりも高くなるように設定するビット線電位設定回路30を設けている。すなわち、メモリセルアレイ中のビット線BLにはデータトランスファゲート31を介してデータラッチ回路32が接続されている。このデータラッチ回路32には、上記ビット線電位設定回路30からビット線の電位を設定するための電圧が供給される。上記ビット線電位設定回路30は、Nチャンネル型MOSFET33、ダイオード素子34及び負電圧発生回

10

20

30

40

50

路 35 を備えている。

【 0069 】

より詳しくは、図 20 に示すように、セルトランジスタ CT のドレインにはビット線 BL が接続され、このビット線 BL はデータトランスファゲート (Nチャネル型 MOSFET) 31 のソースに接続され、データトランスファゲート 31 のドレインはデータラッチ回路 32 に接続されている。データラッチ回路 32 中の Nチャネル型 MOSFET が形成される Pウェル領域とこの MOSFET のソースは、MOSFET 33 を介してダイオード素子 34 のアノードに接続されている。このダイオード素子 34 のカソードは、負電圧を発生するポンプ回路である負電圧発生回路 35 に接続されている。また、この負電圧発生回路 35 から出力される負電圧は、セルトランジスタ CT と選択ゲートトランジスタ ST のバックゲート (ウェル領域) に供給される。上記ダイオード素子 34 には、順方向に電流が流れ、逆方向には電流が流れない素子や回路であれば、例えば図 14 (a) ~ (f) に示した回路やこれらの回路以外にも種々の構成が適用できる。

10

【 0070 】

このような回路構成において、プログラム時にワード線 WL (コントロールゲート CG) に 10V、選択ゲート線 SG に -5V を印加し、共通ソース線 SL をフローティング状態に設定して、負電圧発生回路から -5V の負電圧をダイオード素子 34 のカソードとセルトランジスタ CT 及び選択ゲートトランジスタ ST のバックゲート (チャンネル領域) に供給する。

【 0071 】

これによって、データラッチ回路 32 の内容が書き込みの状態の時には、ビット線 BL に負電圧をダイオード素子 34 で例えば約 1V 上昇させた電位である約 -4V が供給される。この上昇分は、必ずしも一定ではなく、構成されるセルのリーク電流とダイオード特性によって異なる。この時、選択ゲートトランジスタ ST のウェル領域 (Pウェル領域) には -5V が印加され、選択ゲートトランジスタ ST には基板バイアスが掛かった状態になるので、選択ゲートトランジスタ ST のリーク電流を低減できる。

20

【 0072 】

しかも、本実施形態では、第 2 の実施形態で説明したソース線ドライバ 13 で共通ソース線 SL C の電位を下がらないようにクランプしているので、選択ゲートトランジスタ ST には第 2 の実施形態の時よりも基板バイアスが掛かる。よって、リーク電流をより減少させることができ、非選択ビット線に接続されたセルトランジスタ CT への誤書き込みを減少させることができる。

30

【 0073 】

次に、図 21 及び図 22 を用いて本第 3 の実施形態の効果を説明する。図 21 は選択ゲートトランジスタ ST に基板バイアスを印加する前の電流 - 電圧特性を示している。ダイオード素子の電流特性を加えると、共通ソース線の電位は、ダイオード素子の電流とソースから選択ビット線に流れる電流の交点 (約 -2.5V) になる。

【 0074 】

この時、非選択ビット線からソースに流れる電流は -2.5V と電流特性の交点なので大幅に減少する。従って、リーク電流によって発生するホットキャリアが大幅に減少するので誤書き込みを低減できる。

40

【 0075 】

一方、その時の共通ソース線 SL C から選択ビット線へ流れるリーク電流は、クランプ電流との交点になるのでフローティングにした場合より大きい。この場合、負電圧発生回路 35 に大きな電流が流れるので、大きな負電圧が発生できなくなる。そこで、本実施形態のように、選択ゲートトランジスタ ST に基板バイアスを与えることで、共通ソース線 SL C から選択ビット線へのリーク電流を減少させることができる。

【 0076 】

図 22 は、このソース電位とソース電流の絶対値との関係を示す特性図である。図 21 と図 22 を比較すれば明らかなように、比較的大きかった共通ソース線 SL C から選択ビ

50

ット線へのリーク電流を減らすことができる。本実施形態では、誤書き込みをより減少させるために共通ソース線SLCをフローティング状態にせずにダイオード素子21でクランプして電位を固定している。それにより、フローティングの時よりも増加する共通ソース線SLCから選択ビット線へのリーク電流を減少させている。よって、誤書き込みと負電圧の安定化の両方のマージンを増やすことができる。

【0077】

図23は、図20に示した回路の消去動作について説明するためのもので、消去時の電位関係である。ビット線電位設定回路30を除くと、基本的な動作は図15に示した回路と同様である。

【0078】

[変形例3]

図24は、上述した第3の実施形態の変形例を示している。ここでは、データラッチ回路32を構成するPチャンネル型MOSFETのソースとウェル領域をVCC(例えば3V)に設定している。

【0079】

このように構成することで、非選択ビット線の電位をVCCレベルからデータトランスファゲート31の閾値電圧分低下した電位「 $VCC - V_{th}$ 」に設定できる。

【0080】

上記第3の実施形態では、非選択ビット線の電位0Vに対し、選択ビット線の電位を負電圧の発生電位より上げているため、選択ビット線の電位と非選択ビット線の電位を減少させている。しかし、この場合には、プログラム時の非選択セルへの誤書き込みを受けやすくなる。そこで、非選択ビット線の電位を0Vより上げて、非選択ビット線の電位と選択ビット線の電位の差を広げている。これにより、非選択ビット線にプログラム時に加わるFNTトンネル電流による誤書き込みを減少させることができる。

【0081】

[変形例4]

なお、図25に示すように、ソース線ドライバ13を設けず、ビット線電位設定回路30だけを設けた場合にも本発明の所期の効果の一部が得られる。

【0082】

すなわち、セルトランジスタCTのドレインにはビット線BLが接続され、このビット線BLはデータトランスファゲート(Nチャンネル型MOSFET)31のソースに接続される。上記データトランスファゲート31のドレインは、データラッチ回路32に接続される。データラッチ回路32中のNチャンネル型MOSFETが形成されるPウェル領域とこのNチャンネル型MOSFETのソースは、MOSFET33を介してダイオード素子34のアノードに接続される。このダイオード素子34のカソードは、負電圧を発生するポンプ回路である負電圧発生回路35に接続される。また、この負電圧発生回路35から出力される負電圧は、ダイオード34のカソード、及びセルトランジスタCTと選択ゲートトランジスタSTのバックゲート(ウェル領域)に供給されるように構成されている。

【0083】

このような回路構成において、プログラム時にワード線WL(コントロールゲートCG)に10V、選択ゲート線SGに-5Vを印加し、共通ソース線SLをフローティング状態に設定して、負電圧発生回路から-5Vの負電圧を出力し、ダイオード34のカソード、及びセルトランジスタCTと選択ゲートトランジスタSTのバックゲート(ウェル領域)に供給する。

【0084】

これによって、データラッチ回路32の内容が書き込みの状態の時には、ビット線BLには負電圧からダイオード素子34で例えば約1V電圧が上昇した電位である約-4Vが供給される。この時、選択ゲートトランジスタSTのPウェル領域には-5Vが印加され、この選択ゲートトランジスタSTには基板バイアスが掛かった状態になるので、選択ゲートトランジスタSTのリーク電流を低減できる。

10

20

30

40

50

## 【 0 0 8 5 】

図 2 6 は、ソースから見た電流 - 電圧特性を示している。この特性では、ソースに選択ビット線に接続されたセルトランジスタのソースと非選択ビット線に接続されたセルトランジスタのソースが接続された場合を示している。基板バイアスが掛かったことで、共通ソース線 S L C から選択ビット線 B L に流れる電流は減少し、非選択ビット線から共通ソース線へ流れ込む電流と共通ソース線から選択ビット線へ流れ出す電流の交点が図 6 の電圧よりも上昇して約 - 3 . 5 V になる。交点での電流値も図 6 の場合よりも 1 桁以上減少し、非選択ビット線から共通ソース線を介して選択ビット線へ負電圧発生回路から供給するリーク電流が減少する。これにより、負電圧発生回路に加わる負荷電流が減少するので、負電圧発生回路の電圧が安定し、負荷電流によって出力電圧が変動することがなくなる。また、より低い負電圧を発生させることも可能になる。更に、非選択ビット線から共通ソース線へ流れるリーク電流も減るので、非選択ビット線に接続されているセルトランジスタでのホットキャリアの発生も減少して誤書き込みを抑制できる。

10

## 【 0 0 8 6 】

図 2 7 は、上記図 2 5 に示した回路の消去時の電位関係を示している。消去時には、ウェル領域に 1 0 V、ワード線 W L (コントロールゲート C G ) に - 5 V、選択ゲート線 S G に 1 0 V もしくはフローティング、共通ソース線 S L C はフローティング、データラッチ回路 3 2 中の N チャネル型 M O S F E T のバックゲート (ウェル領域) とソースは 0 V に接続し、P チャネル型 M O S F E T のバックゲート (ウェル領域) とソースは V C C (例えば 3 V) に接続する。この時、M O S F E T 3 3 はオフさせて負電圧発生回路 3 5 の電位をデータラッチ回路 3 2 に供給しないようにする。

20

## 【 0 0 8 7 】

図 2 8 は、読み出し時の電位関係を示している。ワード線 W L (コントロールゲート C G ) に 0 V、選択ゲート線 S G に V C C (例えば 3 V)、共通ソース線に 0 V、ウェル領域に 0 V を印加し、ビット線 B L を 0 . 9 V 程度にプリチャージする。そして、このビット線 B L に接続されたセンスアンプ (図示せず) でその電位が下がるか、下がらないかによってデータの “ 1 ”、“ 0 ” を判断する。

## 【 0 0 8 8 】

上述したように、本第 3 の実施形態では、書き込むセルトランジスタのビット線を選択ゲートトランジスタのウェル領域の電位よりも高い電位にしている。このような電位の印加関係を実現するために、ウェル領域とビット線にそれぞれ別々に電圧を発生させるのではなく、ウェル領域の電位からダイオード素子 3 4 により順方向電圧分高い電位をビット線に供給する。これにより、選択ゲートトランジスタ S T に基板バイアスを与えることができるので、選択ゲートトランジスタ S T のオフリーク電流を抑制することができる。しかも、負電圧の電源回路の負荷電流を削減することができるので、電源回路を増やすことなく基板バイアスを印加することができる。

30

## 【 0 0 8 9 】

しかし、この時、書き込むセルトランジスタに接続されたビット線の電位はウェル領域より高いので負電圧の絶対値が減少する。このため、書き込み時に発生するディスタープのマージンが劣化する。そこで、書き込まないセルトランジスタのビット線の電位を接地レベルより高い電位に設定している。

40

## 【 0 0 9 0 】

## [ 第 4 の実施形態 ]

図 2 9 は、この発明の第 4 の実施形態に係る不揮発性半導体記憶装置及びその書き込み方法について説明するためのもので、概略構成を示すブロック図である。

## 【 0 0 9 1 】

上述した第 1 乃至第 3 の実施形態では、メモリセルアレイ中の全てのメモリセルが共通ソース線 S L C に接続されている場合を例にとって説明した。しかし、選択ワード線に接続されているメモリセルと、非選択ワード線に接続されているメモリセルでは各端子の電

50

位が異なるため、実際には書き込み時に最適なソース線の電位が異なる。

【 0 0 9 2 】

そこで、本実施形態ではソース線デコーダ 4 0 と、このソース線デコーダ 4 0 の出力信号によって制御され、ソース線 S L をワード線 W L 毎に駆動するソース線ドライバ 1 3 - 1 , 1 3 - 2 , ... を設け、上記ソース線デコーダ 4 0 に対してタイミング発生回路 1 5 からのタイミング信号を入力して制御することによって、ソース線 S L をワード線 W L 毎に駆動するようにしている。

【 0 0 9 3 】

このような構成によれば、ソース線 S L をワード線 W L 毎にデコードして異なる電位を与えることができ、選択ワード線と非選択ワード線とでそれぞれ最適なソース線電位を選択して供給できる。よって、ソース線電位の自由度を向上でき、選択ワード線と非選択ワード線とでソース線の電位を最適に設定できる。

【 0 0 9 4 】

[ 変形例 5 ]

図 2 9 に示した回路は、図 3 0 に示すようにデコードに関する部分をワード線 W L とソース線 S L とで共通化し、タイミングに関する情報をタイミング発生回路 1 5 からソース線ドライバ 1 3 - 1 , 1 3 - 2 , ... へ直接入力する方式に変形することができる。この方式の方が、構成に必要な回路が占める面積が小さくて済む。

【 0 0 9 5 】

[ 第 5 の実施形態 ]

上述した各実施形態は、ブロック単位、まとまったメモリセルアレイ毎、消去単位毎、あるいはメモリセルアレイ毎などの種々のアレイ構成に適用できる。これらの単位毎に共通ソース線を設け、各々の共通ソース線にソース線ドライバを設ければ良い。

【 0 0 9 6 】

図 3 1 は、単一のチップ中に複数 ( 4 つ ) のメモリセルアレイを形成した構成に上記第 2 の実施形態を適用する場合を概略的に示している。すなわち、1 つの半導体チップ 1 0 0 中にメモリセルアレイ ( M C A ) 1 1 - 1 ~ 1 1 - 4 、ロウデコーダ ( R D ) 1 4 - 1 ~ 1 4 - 4 、カラムデコーダ ( C D ) 3 6 - 1 ~ 3 6 - 4 、上記各メモリセルアレイ 1 1 - 1 ~ 1 1 - 4 中の共通ソース線 S L 1 ~ S L 4 に接続されたソース線ドライバ 1 3 - 1 ~ 1 3 - 4 を備えている。

【 0 0 9 7 】

この場合には、ダイオード素子の電流設定は、共通にしたセル数分のリーク電流の総和で考えなければならないが、基本的な考え方は上述したものと変わりはない。

【 0 0 9 8 】

図 3 2 は、上記第 3 の実施形態を適用する場合を概略的に示している。すなわち、1 つの半導体チップ 2 0 0 中にメモリセルアレイ ( M C A ) 1 1 - 1 ~ 1 1 - 4 、ロウデコーダ ( R D ) 1 4 - 1 ~ 1 4 - 4 、データトランスファゲート ( D T G ) 3 1 - 1 ~ 3 1 - 4 、データラッチ回路 ( D L ) 3 2 、上記各メモリセルアレイ 1 1 - 1 ~ 1 1 - 4 中の共通ソース線 S L 1 ~ S L 4 に接続されたソース線ドライバ 1 3 - 1 ~ 1 3 - 4 、ビット線電位設定回路 3 0 及びを備えている。

【 0 0 9 9 】

他の実施形態や変形例も同様にして適用できる。

【 0 1 0 0 】

このような構成によれば、ブロック単位、まとまったメモリセルアレイ毎、消去単位毎、あるいはメモリセルアレイ毎などでそれぞれ最適なソース線電位を選ぶことができ、選択の自由度を高めることができる。

【 0 1 0 1 】

なお、上述した各実施形態やその変形例の説明で具体的な電位をあげて説明したが、これらの電位は一例であって、セルトランジスタや選択ゲートトランジスタの特性に応じて最適な電位を選択すれば良いのは勿論である。例えば、印加する負電圧を低くすることで

10

20

30

40

50

プログラム時の非選択セルへの誤書き込みのマージンを上げてリーク電流が増加した場合に、この発明の効果をより顕著に発揮できる。

【0102】

また、メモリセル構造は、セルトランジスタのドレインにビット線、ソースにソース線を接続し、その間の抵抗値の変化を検知して読み出すようなセル、例えばNAND型メモリや3Tr-NAND型メモリなどの他のメモリセル構造にも適用できる。

【0103】

更に、上記第1乃至第5の実施形態では不揮発性半導体記憶装置を例にとって説明したが、不揮発性半導体記憶装置と論理集積回路を1チップに混載した半導体装置、あるいはSoC(システムオンチップ)などの半導体装置にも同様に適用できるのは勿論である。

10

【0104】

以上第1乃至第5の実施形態と変形例1乃至5を用いてこの発明の説明を行ったが、この発明は上記各実施形態や変形例に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施形態とその変形例には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施形態やその変形例に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

20

【図面の簡単な説明】

【0105】

【図1】この発明に至るまでの本発明者等の考察の課程を説明するためのもので、メモリセルの回路図。

【図2】この発明に至るまでの本発明者等の考察の課程を説明するためのもので、図1に示したメモリセル構造において書き込み時にメモリセルの各端子に印加される電位を示しており、ソース線をフローティング状態にする場合の電位関係を示す図。

【図3】この発明に至るまでの本発明者等の考察の課程を説明するためのもので、図1に示したメモリセル構造において書き込み時にメモリセルの各端子に印加される電位を示しており、ソース線を0Vにする場合の電位関係を示す図。

30

【図4】ウェル電位の低下による共通ソース線電位の変化について説明するためのタイミングチャート。

【図5】この発明に至るまでの本発明者等の考察の課程を説明するためのもので、ソース線をフローティング状態にした時のリーク電流経路を示す回路図。

【図6】この発明に至るまでの本発明者等の考察の課程を説明するためのもので、セルトランジスタのソース電位とソース電流の絶対値との関係を示す特性図。

【図7】この発明の第1の実施形態に係る不揮発性半導体記憶装置の概略構成を示すブロック図。

【図8】図7に示した回路における要部を抽出してソース線ドライバの構成例を示す回路図。

40

【図9】上記図7及び図8に示した回路の書き込み動作を説明するためのもので、(a)図は書き込み時の第1ステップの等価回路図、(b)図は書き込み時の第2ステップの等価回路図、(c)図は書き込み時のウェル電位及び共通ソース線電位とMOSFETのスイッチング動作との関係を示すタイミングチャート。

【図10】図7及び図8に示した回路において、ウェル領域を-7Vに下げた直後のメモリセルの各端子の電圧印加状態を示す図。

【図11】図7に示した回路における要部を抽出してソース線ドライバの他の構成例を示す回路図。

【図12】図11に示した回路における書き込み動作について説明するためのタイミングチャート。

50

【図13】この発明の第2の実施形態に係る不揮発性半導体記憶装置及びその書き込み方法について説明するためのもので、上記図7に示した回路における要部を抽出してソース線ドライバの構成例を示す回路図。

【図14】図13に示した回路におけるダイオード素子の構成例を示しており、(a)図～(f)図はそれぞれ第1乃至第6の構成例を示す回路図。

【図15】図13に示した回路の消去動作について説明するための回路図。

【図16】図13に示した回路の書き込み(プログラム)動作について説明するための回路図。

【図17】図13に示した回路におけるプログラム時のセルトランジスタのソース電位とソース電流の絶対値との関係を示す特性図。

10

【図18】図13に示した回路の読み出し動作について説明するための回路図。

【図19】この発明の第3の実施形態に係る不揮発性半導体記憶装置及びその書き込み方法について説明するためのもので、概略構成を示すブロック図。

【図20】この発明の第3の実施形態に係る不揮発性半導体記憶装置及びその書き込み方法について説明するためのもので、図19に示した回路における要部を抽出して構成例を示す回路図。

【図21】この発明の第3の実施形態の効果の説明するためのもので、ソース電位とソース電流の絶対値との関係を示す特性図。

【図22】この発明の第3の実施形態の効果の説明するためのもので、ソース電位とソース電流の絶対値との関係を示す特性図。

20

【図23】図20に示した回路の消去動作について説明するための回路図。

【図24】この発明の第3の実施形態の変形例について説明するための回路図。

【図25】この発明の第3の実施形態の別の変形例について説明するための回路図。

【図26】ソースから見た電流-電圧特性を示す図。

【図27】図25に示した回路の消去時の電位関係を示す回路図。

【図28】図25に示した回路の読み出し時の電位関係を示す回路図。

【図29】この発明の第4の実施形態に係る不揮発性半導体記憶装置及びその書き込み方法について説明するためのもので、概略構成を示すブロック図。

【図30】図29に示した回路の変形例を示す回路図。

【図31】この発明の第5の実施形態に係る不揮発性半導体記憶装置及びその書き込み方法について説明するためのもので、概略構成を示すブロック図。

30

【図32】この発明の第5の実施形態の変形例について説明するためのもので、概略構成を示すブロック図。

【符号の説明】

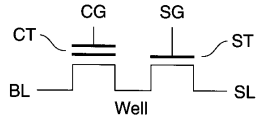
【0106】

11...メモリセルアレイ、12-1, 12-2, 12-3...ワード線ドライバ、13, 13-1, 13-2...ソース線ドライバ、14...ロウデコーダ、15...タイミング発生回路、16...Pチャンネル型MOSFET、17...ドライバ回路、18, 19, 20, 33...Nチャンネル型MOSFET、21, 34...ダイオード素子、30...ビット線電位設定回路、31...データトランスファゲート、32...データラッチ回路、40...ソース線デコーダ、CT...セルトランジスタ、ST...選択ゲートトランジスタ、WL...ワード線、BL...ビット線、SG...選択ゲート線、SL...ソース線、SLC...共通ソース線。

40



【 図 1 】



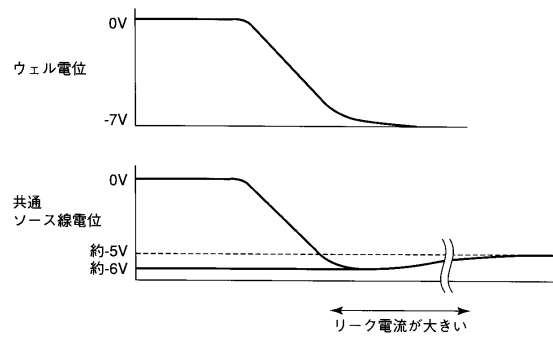
【 図 2 】

	選択ワード線WL	非選択ワード線WL
選択ビット線BL	<p>選択セル CG 12V BL -7V SG -7V SL Floating (約-5V) Well -7V</p>	<p>非選択セル CG 0V BL -7V SG -7V SL Floating (約-5V) Well -7V</p>
非選択ビット線BL	<p>非選択セル CG 12V BL 0V SG -7V SL Floating (約-5V) Well -7V</p>	<p>非選択セル CG 0V BL 0V SG -7V SL Floating (約-5V) Well -7V</p>

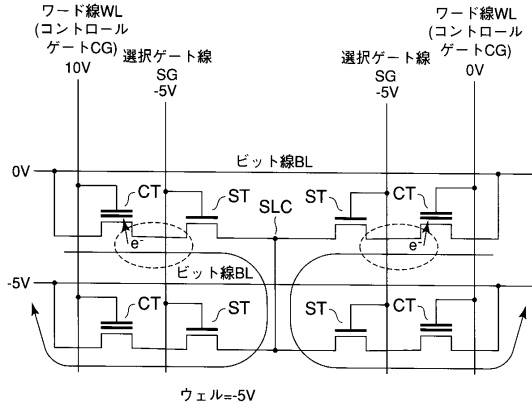
【 図 3 】

	選択ワード線	非選択ワード線
選択ビット線BL	<p>選択セル CG 12V BL -7V SG -7V SL 0V Well -7V</p>	<p>非選択セル CG 0V BL -7V SG -7V SL 0V Well -7V</p>
非選択ビット線BL	<p>非選択セル CG 12V BL 0V SG -7V SL 0V Well -7V</p>	<p>非選択セル CG 0V BL 0V SG -7V SL 0V Well -7V</p>

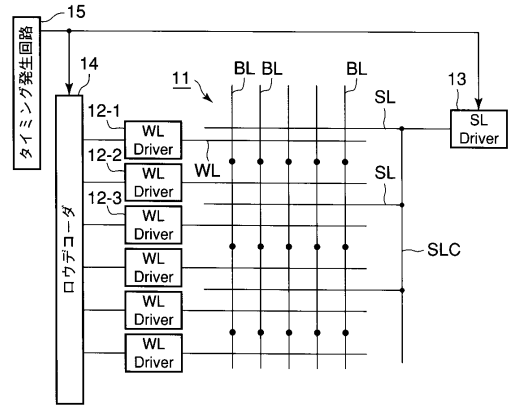
【 図 4 】



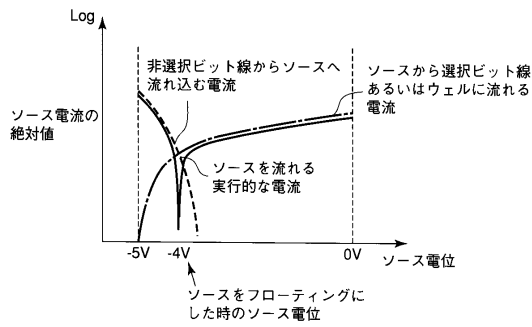
【図5】



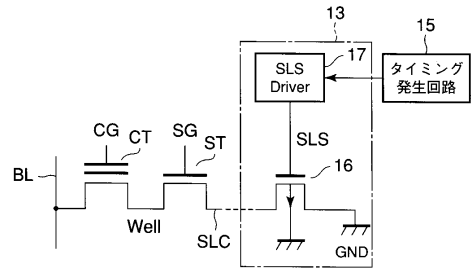
【図7】



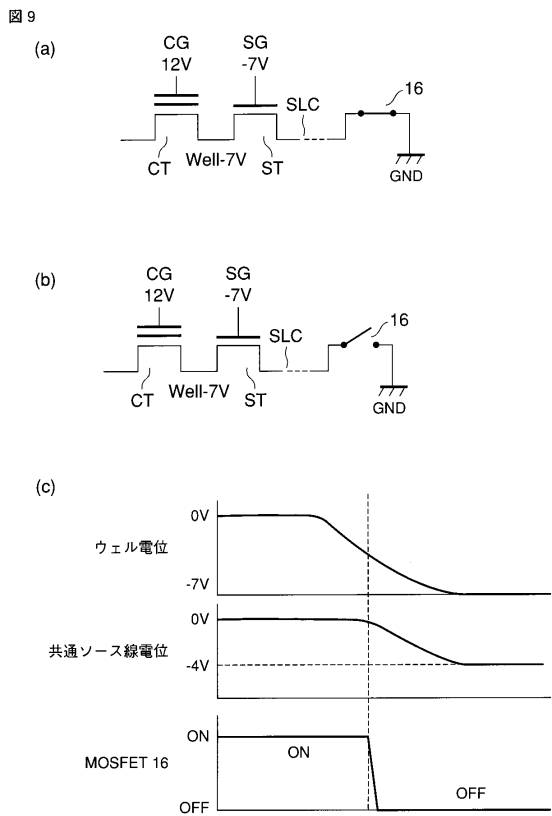
【図6】



【図8】



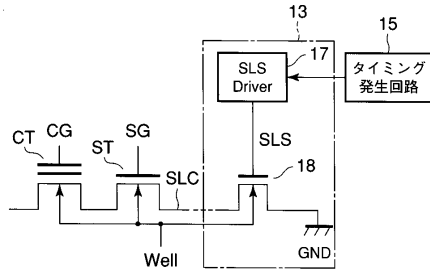
【図9】



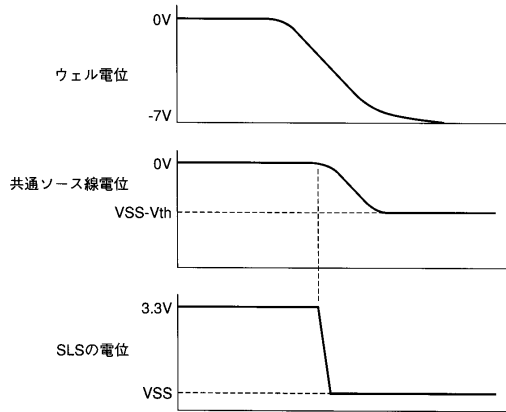
【図10】

非選択ワード線WL		
選択ワード線WL		
	選択ビット線BL	非選択ビット線BL

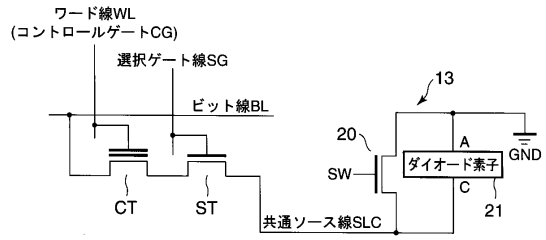
【図11】



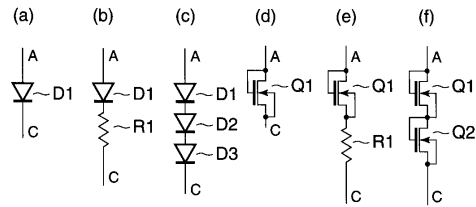
【図12】



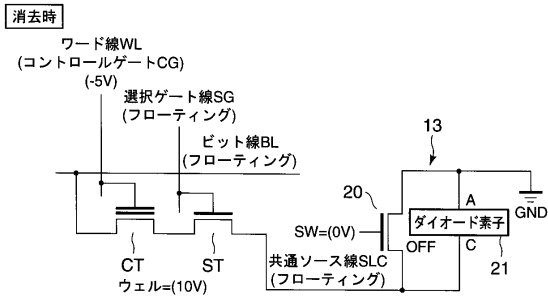
【図13】



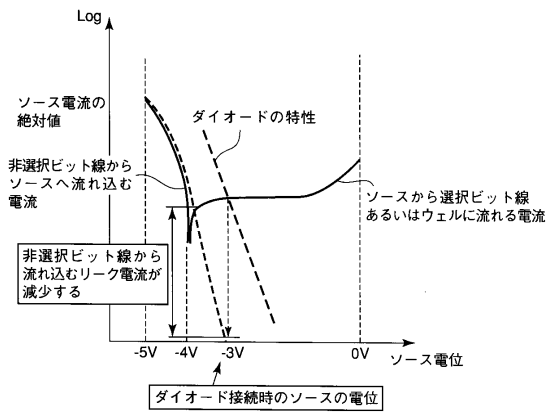
【図14】



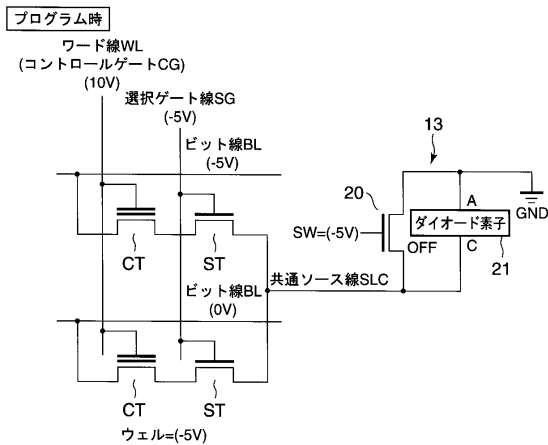
【図15】



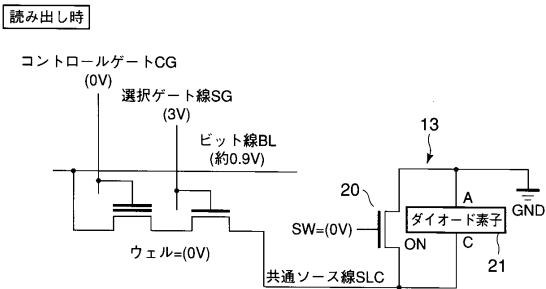
【図17】



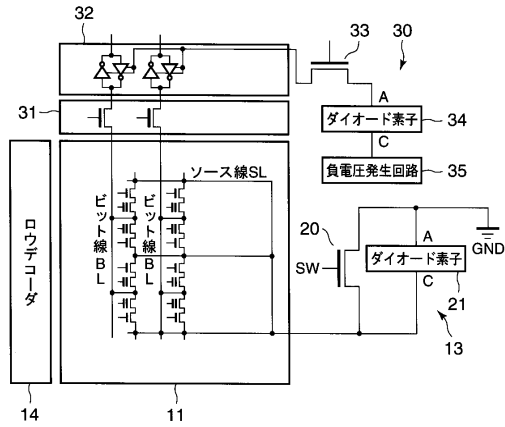
【図16】



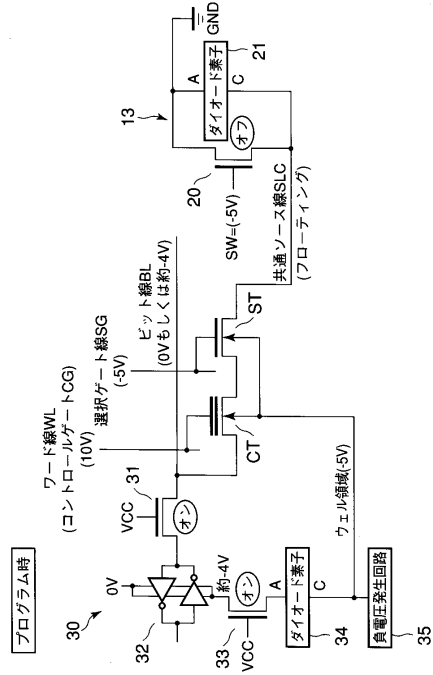
【図18】



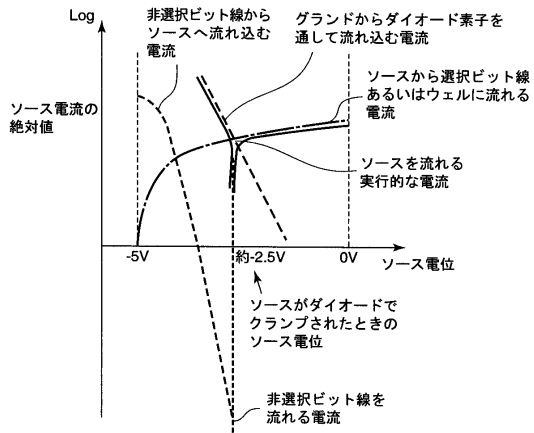
【図19】



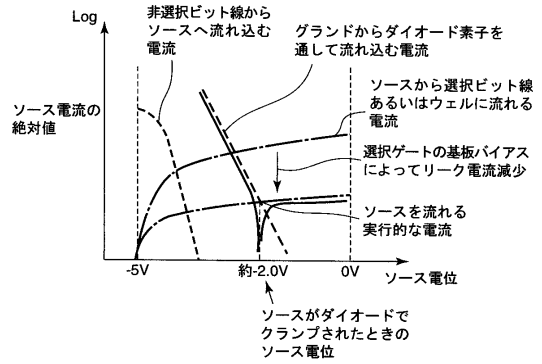
【図20】



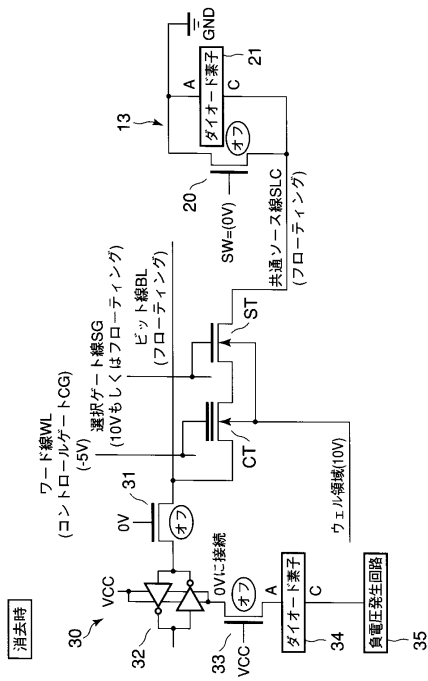
【図21】



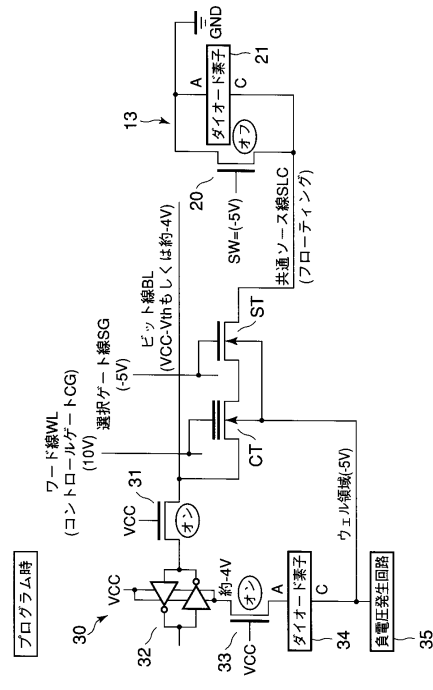
【図22】



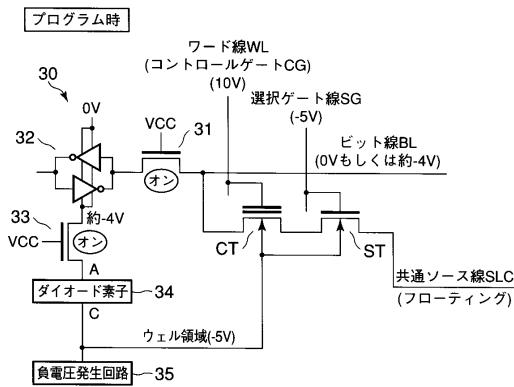
【図23】



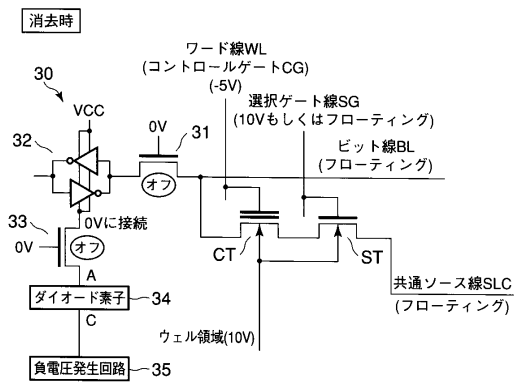
【図24】



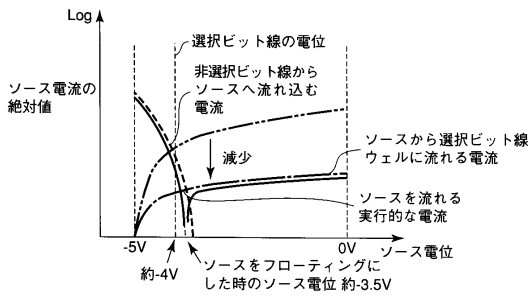
【図25】



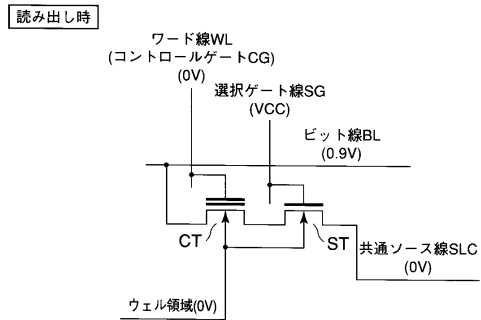
【図27】



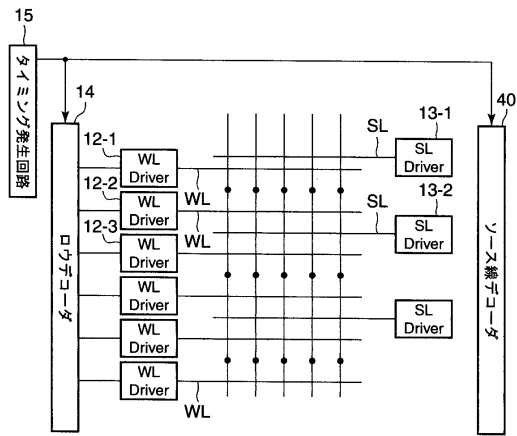
【図26】



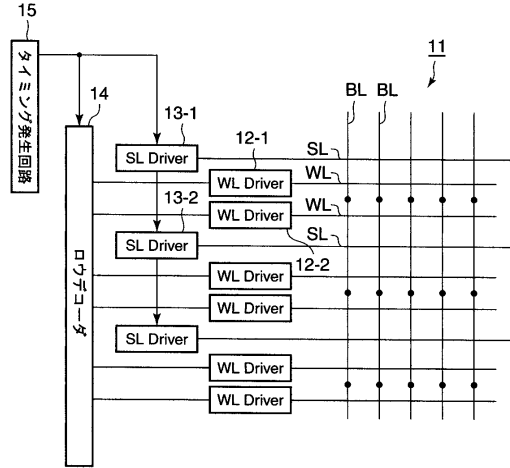
【図28】



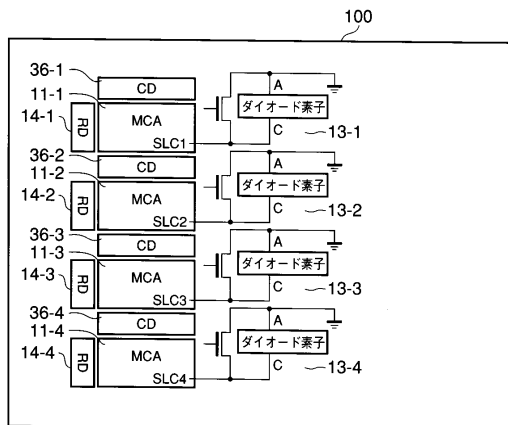
【図 29】



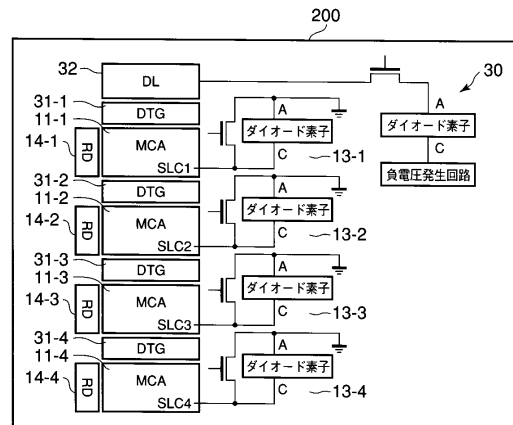
【図 30】



【図 31】



【図 32】



---

フロントページの続き

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 長谷川 武裕

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 首藤 晋

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

審査官 園田 康弘

(56)参考文献 特開平07-169285(JP,A)

特開2000-114499(JP,A)

特開2003-077283(JP,A)

特開平11-016383(JP,A)

特開平11-191298(JP,A)

特開2004-253702(JP,A)

特開平07-030076(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02

G11C 16/04

G11C 16/06