

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5612508号  
(P5612508)

(45) 発行日 平成26年10月22日 (2014. 10. 22)

(24) 登録日 平成26年9月12日 (2014. 9. 12)

(51) Int. Cl.		F I		
G 1 1 C	16/02	(2006. 01)	G 1 1 C	17/00 6 0 1 C
G 1 1 C	16/04	(2006. 01)	G 1 1 C	17/00 6 0 1 E
G 0 6 F	12/16	(2006. 01)	G 1 1 C	17/00 6 2 2 E
			G 1 1 C	17/00 6 4 1
			G 0 6 F	12/16 3 1 0 A

請求項の数 10 (全 17 頁)

(21) 出願番号 特願2011-39857 (P2011-39857)  
 (22) 出願日 平成23年2月25日 (2011. 2. 25)  
 (65) 公開番号 特開2011-222107 (P2011-222107A)  
 (43) 公開日 平成23年11月4日 (2011. 11. 4)  
 審査請求日 平成25年12月11日 (2013. 12. 11)  
 (31) 優先権主張番号 特願2010-69602 (P2010-69602)  
 (32) 優先日 平成22年3月25日 (2010. 3. 25)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005821  
 パナソニック株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100067828  
 弁理士 小谷 悦司  
 (74) 代理人 100115381  
 弁理士 小谷 昌崇  
 (74) 代理人 100109438  
 弁理士 大月 伸介  
 (72) 発明者 本多 利行  
 大阪府門真市大字門真1006番地 パナ  
 ソニック株式会社内

審査官 後藤 彰

最終頁に続く

(54) 【発明の名称】 不揮発性メモリコントローラ及び不揮発性記憶装置

(57) 【特許請求の範囲】

【請求項 1】

不揮発性メモリを制御する不揮発性メモリコントローラであって、  
 前記不揮発性メモリは、複数のブロックを含み、  
 前記ブロックは、複数のメモリセルを含み、前記不揮発性メモリにおけるデータの消去  
 単位であり、  
 前記メモリセルは、書き込み種別として2値書き込みと多値書き込みとが可能であり、  
 それぞれNビット（Nは1以上の整数）の情報を記録可能であり、  
 前記メモリセルの特性の劣化量は、記録する情報量に応じて異なり、  
 前記不揮発性メモリコントローラは、  
 前記不揮発性メモリに対してデータの読み出し、書き込み、及び消去の制御を行う制御  
 部と、  
 前記ブロック単位で前記メモリセルの劣化度合いを記録するためのストレステーブルと  
 を備え、  
 前記制御部は、前記ストレステーブルの劣化度合いの値に、前記書き込み種別に対応し  
 た劣化度合いの加算量を加算することにより、前記ブロックに対する消去のサイクル毎に  
 、前記ストレステーブルに、前記メモリセルに格納する情報量に応じて前記メモリセルの  
 劣化度合いを記録することを特徴とする不揮発性メモリコントローラ。

【請求項 2】

前記メモリセルに記録する情報量は、前記ブロックの単位で同じビット数であることを

特徴とする請求項 1 記載の不揮発性メモリコントローラ。

【請求項 3】

前記制御部は、前記書き込みの制御において、前記ストレステーブルを参照し、前記不揮発性メモリ前記メモリセルの劣化度合いが少ないブロックにデータを書き込むことを特徴とする請求項 1 記載の不揮発性メモリコントローラ。

【請求項 4】

前記制御部は、前記ブロックからデータを消去した後、前記ブロックにデータを書き込む前に、前記ストレステーブルに前記メモリセルの劣化度合いを記録することを特徴とする請求項 1 記載の不揮発性メモリコントローラ。

【請求項 5】

前記不揮発性メモリコントローラの外部から指定されるアドレスを論理アドレスとし、前記不揮発性メモリの前記ブロックのアドレスを物理アドレスとして、前記論理アドレスと前記物理アドレスとの対応情報を格納するアドレス変換テーブルをさらに備えることを特徴とする請求項 1 記載の不揮発性メモリコントローラ。

【請求項 6】

前記論理アドレスに対応して、前記メモリセルに記録する情報量を決定するための領域指定テーブルをさらに備えることを特徴とする請求項 5 記載の不揮発性メモリコントローラ。

【請求項 7】

前記領域指定テーブルは、前記不揮発性メモリコントローラの外部から書き換え可能なことを特徴とする請求項 6 記載の不揮発性メモリコントローラ。

【請求項 8】

前記メモリセルの劣化度合いは、前記メモリセルに書き込まれたデータの保持期間を基準として決定されることを特徴とした請求項 1 記載の不揮発性メモリコントローラ。

【請求項 9】

請求項 1 から 8 のいずれか 1 項に記載の不揮発性メモリコントローラと、前記不揮発性メモリとを備えることを特徴とする不揮発性記憶装置。

【請求項 10】

前記不揮発性メモリは、NANDタイプのフラッシュメモリを含むことを特徴とする請求項 9 記載の不揮発性記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フラッシュメモリ等の不揮発性メモリを制御する不揮発性メモリコントローラ、及び、該不揮発性メモリコントローラを用いた不揮発性記憶装置に関する。

【背景技術】

【0002】

近年、書き換え可能な不揮発性メモリである NAND タイプのフラッシュメモリを搭載した不揮発性記憶装置として、メモリーカードがデジタルカメラや携帯電話の記憶媒体に使用され、その市場が拡大している。

【0003】

また、不揮発性記憶装置は、半導体プロセスの微細化に伴い、ビット単価が下がり、安価な記憶デバイスとして、メモリーカード以外の市場、例えば、HDD (Hard Disk Drive) と置き換えられる SSD (Solid State Drive) や、ホスト機器に直接搭載するエMBEDDシステムにメモリに用いられ、その適用が広がっている。

【0004】

ここで、NANDタイプのフラッシュメモリの特徴として、以下の項目が挙げられる。

【0005】

- ・半導体メモリの中で最も容量が大きく、低ビットコストの不揮発性メモリである
- ・半導体プロセスの微細化に伴い、データの信頼性が低下している

10

20

30

40

50

- ・ 2 値や多値の複数のタイプのメモリセルがある
- 以下、それぞれについて順に説明する。

**【 0 0 0 6 】**

NANDタイプのフラッシュメモリは、半導体プロセスの最小加工寸法をFとすると、 $(2F)$ の2乗の大きさで1つのメモリセルを構成できる。このことが、NANDタイプのフラッシュメモリを、半導体メモリの中で最も低ビットコストとし、且つ最も大容量なメモリとしている。

**【 0 0 0 7 】**

また、ここ数年は、プロセスドライバーとして、半導体プロセスの最も進んだプロセスルールを使用して、NANDタイプのフラッシュメモリの製造が行なわれている。これにより、NANDタイプのフラッシュメモリは、他のメモリを用いていたシステムにも、使用され始めている。

**【 0 0 0 8 】**

例えば、高速なランダムアクセスが要求されるプログラムコードは、NORタイプのフラッシュメモリに格納され、大きな容量が要求されるユーザデータは、NANDタイプのフラッシュメモリに格納されていたシステムが、単一のNANDフラッシュメモリのみに置き換わっている。

**【 0 0 0 9 】**

これは、搭載するNANDタイプのフラッシュメモリの容量が、必要なNORタイプのフラッシュメモリの容量に比べて十分小さく、また、NORタイプのフラッシュメモリに搭載していたプログラムコードをNANDタイプのフラッシュメモリに格納しても、その影響が少なく、NANDタイプのフラッシュメモリを使用する工夫を盛り込んだとしても、NORタイプのフラッシュメモリをなくすことができるコストメリットが大きいためである。

**【 0 0 1 0 】**

また、NANDタイプのフラッシュメモリの大容量化は、半導体プロセスの微細化によるものが大きい。しかし、半導体プロセスの微細化は、メリットばかりではなく、データの信頼性の低下が問題になっている。すなわち、微細化が進むと、データ保持特性は低下し、書き換え処理による特性劣化が進む。

**【 0 0 1 1 】**

ここで、フラッシュメモリのメモリセルは、MOS (Metal Oxide Semiconductor) タイプトランジスタのコントロールゲートと基盤との間に、電子を不揮発で保持するフローティングゲートを持つ構成をとり、基盤とフローティングゲートとの間で電子をやり取りすることにより、データの消去及び書き込みを行う。また、フラッシュメモリを構成するトランジスタに流れる電流量を判定することにより、フラッシュメモリのメモリセルからデータが読み出される。

**【 0 0 1 2 】**

上記のように、フラッシュメモリのメモリセルに対して、データの消去及び書き込みを繰り返すと、基盤とフローティングゲートとの間を電子が移動し、基盤とフローティングゲートとの間の絶縁膜（以降、ゲート絶縁膜）が劣化してしまう。ゲート絶縁膜が劣化すると、ゲート絶縁膜中に存在する欠陥を経由してフローティングゲートから基盤に電子が漏れ、ゲート絶縁膜中の欠陥にトラップされた電子の影響で書き込みの効率が低下して、データの信頼性が低下する要因となる。

**【 0 0 1 3 】**

こういったデメリットはあるが、圧倒的なビット単価を強みとすることができるので、データの信頼性を向上させる工夫を盛り込んででも、微細化の進んだフラッシュメモリの用途は広がっている。

**【 0 0 1 4 】**

また、フラッシュメモリのデータの信頼性を検討する上で重要な要素は、データの書き込みに対するメモリセルの取り扱いである。すなわち、2値のメモリセルとしてデータを

10

20

30

40

50

書き込んでいるのか、多値のメモリセルとしてデータを書き込んでいるのかによって、データの信頼性は大きく異なり、2値のメモリセルとしてデータを書き込む方が、データの信頼性が高くなる。一方、当然であるが、多値のメモリセルとしてデータを書き込む方が、メモリの容量を大きくすることが可能になり、同時にビット単価を低下させることができる。

**【0015】**

以上のようなNANDタイプのフラッシュメモリの特徴から、フラッシュメモリに対してデータを格納する際に書き込み方式の異なる複数の書き込み方式を用いることがある。例えば、信頼性に対する要求が高いプログラムコードを2値のメモリセルとして書き込む2値書き込みを行い、容量に対する要求が高いユーザデータを多値のメモリセルとして書き込む多値書き込みを行うことが考えられる。

10

**【0016】**

次に、2値書き込みと多値書き込みとの比較をする。以下、簡単のために、2値書き込みの場合と4値書き込みの場合について、図を用いて説明する。

**【0017】**

図12は、2値書き込みした場合のメモリセルのしきい値電圧が、どのように分布するかを示す図である。図12の左側の分布が、消去状態のメモリセルのしきい値電圧の分布を示し、図12の右側の分布が、書き込み状態のメモリセルのしきい値電圧の分布を示している。2値書き込みの場合、メモリセルのしきい値電圧が、左の分布にあるか、右の分布にあるかで1ビットの情報を記憶する。

20

**【0018】**

図13は、4値書き込みした場合のメモリセルのしきい値電圧が、どのように分布するかを示す図である。図13の左側の分布が、消去状態のメモリセルのしきい値電圧の分布を示し、図13の右側の3つの分布が、それぞれ異なった書き込み状態のメモリセルのしきい値電圧の分布を示している。4値書き込みの場合、メモリセルのしきい値電圧が4つの分布のどこにあるかで2ビットの情報を記憶する。

**【0019】**

図12及び図13から、2値書き込みの場合のしきい値電圧の分布の間隔1201に比べて、4値書き込みの場合のしきい値電圧の分布の間隔1301は狭くなっている。このように、分布の間隔が狭くなることにより、メモリセルのしきい値電圧の変動に対してのマージンが小さくなる。つまり、4値書き込みの方が、2値書き込みに比べて、データ保持期間が短くなる。

30

**【0020】**

また、2値書き込みの場合のしきい値電圧の分布の幅1202に比べて、4値書き込みの場合のしきい値電圧の分布の幅1302を狭くする必要がある。このように、メモリセルのしきい値電圧の分布を狭くするためには、メモリセルへの書き込みにおける細かな制御を繰り返し実行することが必要となる。結果として、メモリセルへの書き込みストレスを印加する回数が多くなったり、印加する期間が長くなることになり、書き換え時におけるゲート絶縁膜の劣化が進み、書き換え回数が少なくなる。

**【0021】**

図14は、8値書き込みの場合のメモリセルのしきい値電圧が、どのように分布するかを示す図である。8値書き込みの場合、4値書き込みの場合に比べてさらに、しきい値電圧の分布の間隔1401と、しきい値電圧の分布の幅1402とがそれぞれ狭くなることが分かる。つまり、8値書き込みを行った場合には、書き換え回数はさらに少なく、データ保持期間はさらに短くなる。

40

**【0022】**

また、特許文献1には、2値書き込みの領域と、多値書き込みの領域とを持った不揮発性記憶装置において、メモリセルアレイを2値書き込みの領域として使用する領域と、16値(すなわち、多値)書き込みの領域として使用する領域とに物理的に分割して管理することにより、それぞれの領域において最適なブロック管理を行う技術が示されている。

50

【先行技術文献】

【特許文献】

【0023】

【特許文献1】特開2008-257773号公報

【発明の概要】

【発明が解決しようとする課題】

【0024】

しかしながら、上記の特許文献1のような構成においては、2値書き込みの領域として使用する領域と、16値書き込みの領域として使用する領域とを物理的に区別して管理しているために、2値書き込み領域のみを繰り返し使用した場合に、2値書き込み領域の物理ブロックの書き換え回数のみが増えて劣化していくが、多値書き込み領域の物理ブロックは使用されないために劣化しないままであり、結果として、全体の物理ブロックを均等に使用することができないという課題がある。

10

【0025】

また、それぞれの劣化の程度を書き換え回数のみで管理している。そのために、本来は劣化度合いが異なる2値の書き込みと16値の書き込みとについて、共通の劣化の尺度を持ち得ないために、それぞれの領域の相互利用を阻害する要因となる。

【0026】

本発明の目的は、任意に2値書き込み領域と多値書き込み領域とを設けた上で、それぞれの領域に対して物理的な領域制限を必要とせず、不揮発性メモリの全てのブロックを有効に利用することが可能な不揮発性メモリコントローラ及び不揮発性記憶装置を提供することである。

20

【課題を解決するための手段】

【0027】

本発明に係る不揮発性メモリコントローラは、不揮発性メモリを制御する不揮発性メモリコントローラであって、前記不揮発性メモリは、複数のブロックを含み、前記ブロックは、複数のメモリセルを含み、前記不揮発性メモリにおけるデータの消去単位であり、前記メモリセルは、それぞれNビット（Nは1以上の整数）の情報を記録可能であり、前記メモリセルの特性の劣化量は、記録する情報量に応じて異なり、前記不揮発性メモリコントローラは、前記不揮発性メモリに対してデータの読み出し、書き込み、及び消去の制御を行う制御部と、前記ブロック単位で前記メモリセルの劣化度合いを記録するためのストレステーブルとを備え、前記制御部は、前記ブロックに対する消去のサイクル毎に、前記ストレステーブルに、前記メモリセルに格納する情報量に応じて前記メモリセルの劣化度合いを記録する。

30

【0028】

この不揮発性メモリコントローラにおいては、データの消去単位となる不揮発性メモリのブロック単位で、ブロックに対する消去のサイクル毎に、メモリセルに格納する情報量に応じてメモリセルの劣化度合いをストレステーブルに記録しているため、ブロック別に2値書き込みと多値書き込みとが可能な不揮発性記憶装置において、2値書き込みを行った場合の劣化と、多値書き込みを行った場合の劣化とを共通の尺度で管理する仕組みを導入することにより、不揮発性メモリの劣化の均等化を図り、不揮発性メモリの劣化を抑えることができるとともに、不揮発性メモリの全てのブロックを有効に利用することができる。この結果、任意に2値書き込み領域と多値書き込み領域とを設けた上で、それぞれの領域に対して物理的な領域制限を必要とせず、不揮発性メモリの全てのブロックを有効に利用することができる。

40

【0029】

前記メモリセルに記録する情報量は、前記ブロックの単位で同じビット数であることが好ましい。

【0030】

この場合、メモリセルに記録する情報量がブロックの単位で同じビット数であるので、

50

ブロック単位でデータの消去及び書き込みを行う不揮発性メモリにおいて、2値書き込みを行った場合の劣化と、多値書き込みを行った場合の劣化とを共通の尺度で管理する仕組みを導入することができる。

【0031】

前記制御部は、前記書き込みの制御において、前記ストレステーブルを参照し、前記メモリセルの劣化度合いが少ないブロックにデータを書き込むことが好ましい。

【0032】

この場合、書き込みの制御において、ストレステーブルを参照し、メモリセルの劣化度合いが少ないブロックにデータを書き込んでいるので、全てのブロックを均等に使用することができる。

10

【0033】

前記制御部は、前記ブロックからデータを消去した後、前記ブロックにデータを書き込む前に、前記ストレステーブルに前記メモリセルの劣化度合いを記録することが好ましい。

【0034】

この場合、ブロックを消去した後、ブロックにデータを書き込む前に、ストレステーブルにメモリセルの劣化度合いを記録しているので、ブロックに対する消去のサイクル毎に、メモリセルの劣化度合いをストレステーブルに確実に記録することができる。

【0035】

前記不揮発性メモリコントローラの外部から指定されるアドレスを論理アドレスとし、前記不揮発性メモリの前記ブロックのアドレスを物理アドレスとして、前記論理アドレスと前記物理アドレスとの対応情報を格納するアドレス変換テーブルをさらに備えることが好ましい。

20

【0036】

この場合、不揮発性メモリコントローラの外部から指定されるアドレスを論理アドレスとし、不揮発性メモリのブロックのアドレスを物理アドレスとして、論理アドレスと物理アドレスとの対応情報を格納するアドレス変換テーブルを用いて、2値書き込みを行った場合の劣化と、多値書き込みを行った場合の劣化とを共通の尺度で管理しながら、外部から指定される論理アドレスに対応する物理アドレスを有する不揮発性メモリのブロックにデータを書き込むことができる。

30

【0037】

前記論理アドレスに対応して、前記メモリセルに記録する情報量を決定するための領域指定テーブルをさらに備えることが好ましい。

【0038】

この場合、領域指定テーブルを用いて、不揮発性メモリコントローラの外部から指定される論理アドレスに対するメモリセルに記録する情報量を決定することができるので、決定した情報量に応じた書き込み方式でデータを書き込むことができる。この結果、2値書き込み領域と多値書き込み領域とを設けた上で、それぞれの領域に対して物理的な領域制限を設けることなく、不揮発性メモリの全てのブロックを有効に利用することができる。

【0039】

前記領域指定テーブルは、前記不揮発性メモリコントローラの外部から書き換え可能なことが好ましい。

40

【0040】

この場合、領域指定テーブルの内容を不揮発性メモリコントローラの外部から書き換えることができるので、任意に2値書き込み領域と多値書き込み領域とを設けた上で、それぞれの領域に対して物理的な領域制限を設けることなく、不揮発性メモリの全てのブロックを有効に利用することができる。

【0041】

前記メモリセルの劣化度合いは、前記メモリセルに書き込まれたデータの保持期間を基準として決定されることが好ましい。

50

## 【 0 0 4 2 】

この場合、メモリセルの劣化度合いが、メモリセルに書き込まれたデータの保持期間を基準として決定されているので、2値書き込み領域及び多値書き込み領域ともに、データの信頼性を向上することができる。

## 【 0 0 4 3 】

本発明に係る不揮発性記憶装置は、上記いずれかの不揮発性メモリコントローラと、前記不揮発性メモリとを備える。

## 【 0 0 4 4 】

前記不揮発性メモリは、NANDタイプのフラッシュメモリを含むことが好ましい。

## 【 0 0 4 5 】

この場合、NANDタイプのフラッシュメモリを用いているので、容量が大きく、低ビットコストの不揮発性記憶装置を提供することができるとともに、データの信頼性を向上することができる。

## 【 発明の効果 】

## 【 0 0 4 6 】

本発明によれば、任意に2値書き込み領域と多値書き込み領域とを設けた上で、それぞれの領域に対して物理的な領域制限を必要とせず、不揮発性メモリのブロックを有効に利用することが可能な不揮発性メモリコントローラ及び不揮発性記憶装置を提供することができる。

## 【 図面の簡単な説明 】

## 【 0 0 4 7 】

【 図 1 】 本発明の一実施の形態のメモリーカードの構成を示す図である。

【 図 2 】 図 1 に示すメモリーカードのアドレス変換テーブルの構成の一例を示す図である。

。

【 図 3 】 図 1 に示すメモリーカードの無効ブロックテーブルの構成の一例を示す図である。

。

【 図 4 】 図 1 に示すメモリーカードの領域指定テーブルの構成の一例を示す図である。

【 図 5 】 図 1 に示すメモリーカードの劣化度テーブルの構成の一例を示す図である。

【 図 6 】 図 1 に示すメモリーカードの書き込み処理のフローチャートである。

【 図 7 】 図 1 に示すメモリーカードの劣化度テーブルの更新後の状態の一例を示す図である。

【 図 8 】 図 1 に示すメモリーカードのアドレス変換テーブルの更新後の状態の一例を示す図である。

【 図 9 】 図 1 に示すメモリーカードの無効ブロックテーブルの更新後の状態の一例を示す図である。

【 図 1 0 】 図 1 に示すメモリーカードの書き込み処理の各処理における各テーブルの参照及び更新の有無を示す図である。

【 図 1 1 】 図 1 に示すメモリーカードのフラッシュメモリ部の書き換え回数とデータ保持期間との関係を示す図である。

【 図 1 2 】 2値書き込みした場合のメモリセルのしきい値電圧の分布を示す図である。

【 図 1 3 】 4値書き込みした場合のメモリセルのしきい値電圧の分布を示す図である。

【 図 1 4 】 8値書き込みした場合のメモリセルのしきい値電圧の分布を示す図である。

## 【 発明を実施するための形態 】

## 【 0 0 4 8 】

以下、図面を参照して、本発明の一実施の形態のメモリーカードについて説明する。図 1 は、本発明の一実施の形態のメモリーカードの構成を示すブロック図である。

## 【 0 0 4 9 】

< 1 . メモリーカードの構成 >

メモリーカード 1 0 1 は、外部のホスト機器 2 0 0 と接続され、ホスト機器 2 0 0 と双方向に通信を行うことにより、ホスト機器 2 0 0 からの指示に応じてデータの読み出し及

10

20

30

40

50

び/又は書き込みを行う。

【0050】

メモリーカード101は、コントローラ102と、フラッシュメモリ部103とを備える。コントローラ102は、メモリーカード101とホスト機器200とのインターフェースの制御を行うと共に、フラッシュメモリ部103の制御を行う。

【0051】

フラッシュメモリ部103は、不揮発性メモリの一例であるフラッシュメモリからなる。図示しないが、フラッシュメモリは、NANDタイプのフラッシュメモリであり、複数の物理ブロックからなる。物理ブロックは、複数のメモリセルからなる。物理ブロックは、フラッシュメモリにおけるデータの消去単位である。メモリセルの各々は、それぞれNビット(Nは1以上の整数)の情報を記録可能であり、メモリセルの特性の劣化量は、記録する情報量に応じて異なる。

10

【0052】

ここで、メモリーカード101が不揮発性記憶装置の一例であり、コントローラ102が不揮発性メモリコントローラの一例であり、フラッシュメモリ部103が不揮発性メモリの一例である。また、ホスト機器200の一例としては、デジタルカメラ、携帯電話、ビデオレコーダ、コンピュータ等が該当する。

【0053】

メモリーカード101は、メモリーカード101の外部のホスト機器200からのアドレスを指定したデータの書き込みや読み出しの制御に対応して、フラッシュメモリ部103にデータを書き込み、又は、フラッシュメモリ部103からデータを読み出す。

20

【0054】

コントローラ102は、ホストインターフェース部104、フラッシュメモリ制御部105、バッファメモリ106、ECC107、制御部108、アドレス変換テーブル109、無効ブロックテーブル110、不良ブロックテーブル111、領域指定テーブル112、及び劣化度テーブル113を備える。

【0055】

ホストインターフェース部104は、ホスト機器200とのインターフェースを制御する。フラッシュメモリ制御部105は、フラッシュメモリ部103の制御を行う。バッファメモリ106は、ホスト機器200からの書き込みデータや、ホスト機器200への読み出しデータをフラッシュメモリ部103との間で転送する際に、一時的にデータを格納するための揮発性のバッファメモリである。

30

【0056】

ECC107は、ECC(エラー検出訂正)回路であり、フラッシュメモリ部103にデータを書き込む際に付加するECC(Error Correcting Code:誤り訂正符号)を生成し、フラッシュメモリ部103からデータを読み出す際に、読み出したデータの訂正を行う。

【0057】

制御部108は、図示を省略した配線により各ブロックに接続され、各ブロックの動作を制御することにより、コントローラ102内部全体の制御を行う。また、制御部108は、フラッシュメモリ部103に対してデータの読み出し、書き込み、及び消去の制御を行う。

40

【0058】

アドレス変換テーブル109は、ホスト機器200から指定されるアドレス(論理アドレス)と、フラッシュメモリ部103の物理ブロックのアドレス(物理アドレス)との対応を記録する。すなわち、アドレス変換テーブル109は、コントローラ102の外部からの指定されるアドレスを論理アドレスとし、フラッシュメモリ部103の物理ブロックのアドレスを物理アドレスとして、論理アドレスと物理アドレスとの対応情報を格納する。

【0059】

50



無効ブロックテーブル 110 は、フラッシュメモリ部 103 において有効なデータが書き込まれておらず、且つ、不良ブロックでない（不良ブロックテーブル 111 で管理されていない）物理ブロックのアドレスのリストを記録する。すなわち、無効ブロックテーブル 110 は、論理アドレスに対応するデータが格納されておらず、新たなデータの書き込みが可能な物理ブロックの物理アドレスを格納しており、データの書き込みで使用可能な物理ブロックが無効ブロックテーブル 110 に登録されている。

【0060】

不良ブロックテーブル 111 は、フラッシュメモリ部 103 における不良ブロックの物理アドレスのリストを記録する。

【0061】

領域指定テーブル 112 は、ホスト機器 200 から指定される論理アドレスを複数の領域に分割し、それぞれの分割された領域のデータに対してデータの書き込み方法を示すテーブルである。領域指定テーブル 112 は、ホスト機器 200 から指定される論理アドレスに対応して、フラッシュメモリ部 103 の物理ブロックのメモリセルに記録する情報量を決定するために使用され、コントローラ 102 の外部、例えば、ホスト機器 200 からテーブルの内容を書き換え可能に構成されている。

【0062】

ここで、メモリセルに記録する情報量としては、2 値、又は 3 値以上の多値（例えば、4 値、8 値、16 値）があり、書き込み方式を特定するための書き込み種別の情報として、2 値書き込みを示す情報又は多値書き込みを示す情報が、任意の論理アドレス範囲毎に領域指定テーブル 112 に記憶される。

【0063】

例えば、領域指定テーブル 112 は、データを書き換え可能な揮発性メモリ又は不揮発性メモリから構成され、ホスト機器 200 が、論理アドレス範囲と、当該論理アドレス範囲に適用される書き込み方式を特定するための書き込み種別の情報とを含む領域指定テーブル書き換え命令をメモリーカード 101 へ送信すると、制御部 108 は、領域指定テーブル書き換え命令により指定された論理アドレス範囲と、当該論理アドレス範囲に適用される書き込み種別の情報とを領域指定テーブル 112 に格納する。

【0064】

なお、複数の多値を使用する場合、多値ごとに当該多値を示す情報を領域指定テーブル 112 に記録するようにしてもよく、例えば、4 値の場合に、4 値書き込みを示す情報を記録し、8 値の場合に、8 値書き込みを示す情報を記録するようにしてもよい。

【0065】

劣化度テーブル 113 は、フラッシュメモリ部 103 に含まれる全ての物理ブロックの劣化度合いを示すテーブルであり、ブロック単位でメモリセルの劣化度合いを記録するためのストレステーブルの一例である。制御部 108 は、ブロックに対する消去処理のサイクル毎に、劣化度テーブル 113 に、メモリセルに格納する情報量に応じてメモリセルの劣化度合いを記録する。

【0066】

< 2 . 各種テーブルの構成例 >

図 2 は、アドレス変換テーブル 109 の構成の一例を示す図である。アドレス変換テーブル 109 は、論理ブロックアドレス 201 の情報と、物理ブロックアドレス 202 の情報とを対応付けて記憶している。ここで、論理アドレスの範囲を、フラッシュメモリ部 103 の物理ブロックの容量と等量の単位の論理ブロックに分割し、各論理ブロックを特定するための論理アドレスの情報を、論理ブロックアドレス 201 の情報とする。一方、物理ブロックアドレス 202 の情報は、物理ブロックを特定するための物理アドレスの情報である。アドレス変換テーブル 109 では、1 つの論理ブロックアドレス 201 と、それに対応するフラッシュメモリ部 103 の物理ブロックアドレス 202 との組で一つのレコードが構成されている。

【0067】

10

20

30

40

50

例えば、論理ブロックアドレス「0000h」に対応するデータは、物理ブロックアドレス「0000h」の物理ブロックすなわちフラッシュメモリ部103のアドレス「0000h」の物理ブロックに格納され、論理ブロックアドレス「0001h」に対応するデータは、物理ブロックアドレス「0010h」の物理ブロックすなわちフラッシュメモリ部103のアドレス「0010h」の物理ブロックに格納されていることを示す。また、論理ブロックアドレスとして、0000hから1F39hまでの範囲のアドレスが管理されている。

#### 【0068】

図3は、無効ブロックテーブル110の構成の一例を示す図である。無効ブロックテーブル110は、フラッシュメモリ部103における無効なデータを格納する物理ブロックのアドレスである物理ブロックアドレスの情報、例えば、0123h、0456h、...を記憶している。なお、フラッシュメモリ部103の物理ブロックのアドレスの範囲は、0000h~1FFFhの範囲とし、2000hは、無効ブロックテーブル110における無効な値として取り扱う。

10

#### 【0069】

不良ブロックテーブル111の構成は、上記の無効ブロックテーブル110と同様であり、フラッシュメモリ部103における不良データの物理ブロックのアドレスを格納する。すなわち、不良ブロックテーブル111は、不良ブロックの物理ブロックアドレスの情報を格納し、2000hを無効値として取り扱う。

#### 【0070】

図4は、領域指定テーブル112の構成の一例を示す図である。領域指定テーブル112では、先頭論理アドレス401の情報と、最終論理アドレス402の情報と、書き込み種別403の情報との組で1つのレコードが構成される。書き込み種別403は、先頭論理アドレス401から最終論理アドレス402までのアドレス領域に対する書き込み種別を定義する。

20

#### 【0071】

例えば、先頭論理アドレス401の「0000h」から最終論理アドレス402の「0001h」までの論理アドレスに対応するデータの書き込み種別403の情報は、2値書き込みであり、2値書き込みを表す「2値」が格納される。先頭論理アドレス401の「0002h」から最終論理アドレス402の「1F29h」までの論理アドレスに対応するデータの書き込み種別403は、多値書き込みであり、多値書き込みを表す「多値」が格納される。先頭論理アドレス401の「1F30h」から最終論理アドレス402の「1F39h」までの論理アドレスに対応するデータの書き込み種別403は、2値書き込みであり、2値書き込みを表す「2値」が格納される。

30

#### 【0072】

なお、領域指定テーブル112の情報は、メモリーカード101の外部、例えば、ホスト機器200から書き換えることにより、任意に設定可能な構成をとる。また、書き込み種別403として記憶される情報は、上記の例に特に限定されず、メモリーカード101が2値書き込みであるか、多値書き込みであるかを判別可能であれば、種々の情報を用いることができる。

40

#### 【0073】

図5は、劣化度テーブル113の構成の一例を示す図である。劣化度テーブル113は、物理ブロックアドレス501の情報と、メモリーセルの劣化度合いを表す劣化度合い502の情報とを対応付けて記憶している。ここで、劣化度合い502の情報は、フラッシュメモリ部103の全ての物理ブロックに対応して、その物理ブロックがデータの消去と書き込みとの繰り返しである書き換えストレスによってどの程度劣化しているかを示す値を用いることができる。

#### 【0074】

例えば、書き込み種別の劣化度合い502の値としては、全く劣化していない状態を初期値となる「00000000h」とし、データの書き換えが行われる毎に、その書き込

50

みが2値書き込みなのか多値書き込みなのかに対応した所定のストレス量（例えば、2値書き込みが「1」、多値書き込みが「3」）を前回の劣化度合いの値に加算する。書き込み種別のフラッシュメモリ部103の物理ブロック「0000h」の劣化度合い502の値は、「00000001h」であり、物理ブロック「0001h」の劣化度合い502の値は、「00000100h」であり、物理ブロック「1FFFh」の劣化度合い502の値は「00000010h」である。

【0075】

<3.書き込み処理におけるテーブル更新>

次に、領域指定テーブル112と劣化度テーブル113の使用方法を説明するために、メモリーカード101におけるデータの書き込み処理を説明する。図6は、メモリーカード101に対するデータの書き込み処理における制御部108の動作のフローチャートである。メモリーカード101は、ホスト機器200からの論理アドレスを指定した書き込み命令によって書き込み処理を開始する。

10

【0076】

まず、処理601を説明する。制御部108は、書き込み先物理ブロックを決定し、書き込み先物理ブロックの消去を行う。具体的には、制御部108は、無効ブロックテーブル110及び劣化度テーブル113を参照して、無効ブロックテーブル110に登録されている物理ブロックアドレスの中から、劣化度テーブル113に示されている劣化度合いが最も少ない物理ブロックアドレスを選択し、選択した物理ブロックアドレスの物理ブロックを書き込み先物理ブロックとして決定する。次に、制御部108は、フラッシュメモリ部103に対して書き込み先物理ブロックの物理アドレスを指定してデータを消去する消去命令を発行し、書き込み先物理ブロックのデータを消去する。

20

【0077】

図3及び図5に示す例では、無効ブロックテーブル110に登録されている物理ブロックアドレスのうち、最も劣化度合いの少ない物理ブロックアドレスは、劣化度合いが「00000010h」の物理ブロックアドレス「1FFFh」となり、物理ブロックアドレス「1FFFh」の物理ブロックが書き込み先物理ブロックとなる。なお、物理ブロックアドレス「0000h」の物理ブロックの方が、物理ブロックアドレス「1FFFh」に比べて、劣化度合いが小さいが、物理ブロックアドレス「0000h」は、無効ブロックテーブル110に登録されていないので、物理ブロックアドレス「0000h」の物理ブロックは、選択対象とはならない。

30

【0078】

次に、処理602を説明する。制御部108は、劣化度テーブル113の更新を行う。具体的には、制御部108は、領域指定テーブル112を参照して、ホスト機器200から指定された論理アドレスがどの先頭論理アドレスから最終論理アドレスまでの範囲に入るかを判断し、ホスト機器200から指定された論理アドレスが入る範囲に対応する書き込み種別を取得し、取得した書き込み種別に応じて、処理601で決定した書き込み先物理ブロックに対応する劣化度テーブル113の劣化度合いの値を更新する。

【0079】

例えば、ホスト機器200が指定した論理アドレスが「0001h」とすると、制御部108は、論理アドレス「0001h」が含まれる領域の書き込み種別として、2値書き込みを得る。従って、制御部108は、劣化度テーブル113の物理ブロックアドレス「1FFFh」に対応する劣化度合いの値に「1」を加算する。

40

【0080】

図7は、更新後の劣化度テーブル113の状態の一例を示している。図7に示すように、劣化度テーブル113の物理ブロックアドレス「1FFFh」に対応する劣化度合いの値は、前回の値「00000010h」に「1」が加算され、「00000011h」となる。なお、書き込み種別に対応した劣化度合いの加算量（ストレス量）については、後で説明する。

【0081】

50

次に、処理 603 を説明する。制御部 108 は、ホスト機器 200 からのデータの書き込みを行う。具体的には、制御部 108 は、ホスト機器 200 から指定された論理アドレスを基に領域指定テーブル 112 を参照して、対応する書き込み種別を取得し、取得した書き込み種別を用いて、ホスト機器 200 から転送される書き込みデータをフラッシュメモリ部 103 に転送し、処理 601 で決定した書き込み先物理ブロックアドレス、例えば、「1FFFh」に書き込む。

#### 【0082】

このとき、ホスト機器 200 からの書き込みデータが物理ブロック単位に満たないときには、制御部 108 は、フラッシュメモリ部 103 に既書き込みのデータを使用して、物理ブロック単位のデータを作成し、このデータをフラッシュメモリ部 103 に書き込む。このような処理を行う必要があるのは、フラッシュメモリ部 103 のデータの消去単位でしか、データを書き換えることができないためである。従って、本実施の形態では、メモリセルに記録する情報量は、データの消去単位である物理ブロックの単位で同じビット数となる。

10

#### 【0083】

次に、処理 604 を説明する。制御部 108 は、アドレス変換テーブル 109 及び無効ブロックテーブル 110 の更新を行う。具体的には、制御部 108 は、ホスト機器 200 から指定された論理アドレスである論理ブロックアドレスに対応するアドレス変換テーブル 109 の物理ブロックアドレスと、処理 601 において選択され、処理 603 においてホスト機器 200 からの書き込みデータを書き込んだ物理アドレスである無効ブロックテーブル 110 の物理ブロックアドレスとを入れ替えて、アドレス変換テーブル 109 及び無効ブロックテーブル 110 を更新する。

20

#### 【0084】

図 8 は、更新後のアドレス変換テーブル 109 の状態の一例を示し、図 9 は、更新後の無効ブロックテーブル 110 の状態の一例を示している。図 8 及び図 9 に示すように、制御部 108 は、ホスト機器 200 が指定した論理ブロックアドレス「0001h」に対応する物理ブロックアドレス「0010h」と、処理 601 で選択した物理ブロックアドレス「1FFFh」とを交換し、アドレス変換テーブル 109 の論理ブロックアドレスは、「1FFFh」となり、無効ブロックテーブル 110 では、「1FFFh」が削除され、新たに「0010h」が追加される。

30

#### 【0085】

図 10 は、図 6 に示すフローチャートの各処理において、どのテーブルが参照及び更新されるか示している。なお、図 10 では、テーブルの参照を「R」で示し、テーブルの更新を「W」で示している。

#### 【0086】

図 10 に示すように、処理 601 では、無効ブロックテーブル 110 及び劣化度テーブル 113 が参照され、処理 602 では、領域指定テーブル 112 が参照され、劣化度テーブル 113 が更新され、処理 603 では、領域指定テーブル 112 が参照され、必要に応じてアドレス変換テーブル 109 が参照され、処理 604 では、アドレス変換テーブル 109 が参照され、アドレス変換テーブル 109 及び無効ブロックテーブル 110 が更新される。

40

#### 【0087】

##### < 4 . 劣化度合いの算定 >

次に、劣化度テーブル 113 の劣化度合いの更新における、各書き込み種別における加算値について説明する。加算値を決定するためには、メモリーカード 101 に使用するフラッシュメモリ部 103 の特性を評価する必要がある。つまり、メモリーカード 101 に使用するフラッシュメモリ部 103 の特性によって、加算値は異なってくる。例えば、フラッシュメモリ部 103 のデータ保持特性は、フラッシュメモリ部 103 を製造したプロセスルールやフラッシュメモリメーカーによって異なり、また、2 値書き込みか、又は、多値書き込みか、さらに、多値書き込みが 4 値なのか、8 値なのか、16 値なのかによ

50

ても異なる。

【 0 0 8 8 】

図 1 1 は、フラッシュメモリ部 1 0 3 の書き換え回数とデータ保持期間との関係を示す図である。図 1 1 では、横軸には書き換え回数を、縦軸にはデータ保持期間をとり、書き換え回数は、2 値又は多値を問わず、共通の書き換え回数で示している。また、フラッシュメモリ部 1 0 3 の評価結果として、2 値書き込みによる 2 値書き換えのみを実行した場合を実線で示し、多値書き込みによる多値書き換えのみを実行した場合を破線で示している。

【 0 0 8 9 】

つまり、2 値書き込みで 1 0 回、1 0 0 回、1 0 0 0 回、5 0 0 0 回書き換えた後のデータ保持期間をプロットすることにより、2 値書き換えの線である実線が引け、また、多値書き込みで 1 0 回、1 0 0 回、1 0 0 0 回、5 0 0 0 回書き換えた後のデータ保持期間をプロットすることにより、多値書き換えの線である破線が引ける。また、書き込み種別である 2 値書き込みや多値書き込みによらず、共通の書き込み方式でデータを書き込んだ後に、フラッシュメモリ部 1 0 3 のフラッシュメモリを放置して、ビットエラーが所定のビット数に達するまでの期間をデータ保持期間とする。このデータ保持期間の評価は、高温環境で実施する加速評価を行うことが一般的である。

【 0 0 9 0 】

図 1 1 に示すように、メモリーカード 1 0 1 の目標とする所定の目標データ保持期間を設定する。次に、2 値書き換えの線と多値書き換えの線とが、それぞれ目標データ保持期間と交わる書き換え回数の比を求める。例えば、2 値書き込みによる書き換え回数 S が、多値書き込みによる書き換え回数 M の約 3 倍であるとする。この場合の 2 値書き換え劣化量及び多値書き換え劣化量を、書き換え回数の逆数の簡単な整数比で設定し、2 値書き換え劣化量と多値書き換え劣化量との比に基づいて加算値を決定する。つまり、2 値書き換え劣化量：多値書き換え劣化量 = 1 / 3 : 1 = 1 : 3 となり、2 値書き込みを行う場合の加算量として「1」が得られ、多値書き込みを行う場合の加算量として「3」が得られる。

【 0 0 9 1 】

なお、加算量は、上記の例に特に限定されず、種々の変更が可能であり、多値ごとに異なる値を用いてもよく、例えば、4 値書き込みを行う場合の加算量や 8 値書き込みを行う場合の加算量をそれぞれ設定してもよい。この場合、2 値書き込みを行う場合の加算量は、4 値書き込みを行う場合の加算量より小さく、4 値書き込みを行う場合の加算量は、8 値書き込みを行う場合の加算量より小さく設定することが好ましい。

【 0 0 9 2 】

以上のような構成のメモリーカード 1 0 1 では、2 値書き込みにおける劣化と、多値書き込みにおける劣化とを共通の尺度で管理する仕組みを導入している。それによって、2 値書き込みと多値書き込みとが可能なメモリーカード 1 0 1 において、それぞれの書き込みに対する領域を個別に設定する必要がなく、メモリーカード 1 0 1 の劣化の均等化を図り、メモリーカード 1 0 1 の劣化を抑えることができるとともに、メモリーカード 1 0 1 の全ての物理ブロックを有効に利用することができる。結果として、2 値書き込みと多値書き込みとが可能なメモリーカード 1 0 1 において、任意に 2 値書き込み領域と多値書き込み領域とを設けた上で、それぞれの領域に対して物理的な領域制限を必要とせず、全ての物理ブロックを双方の書き込みに対して有効に使用することが可能になる。

【 産業上の利用可能性 】

【 0 0 9 3 】

本発明は、書き込み種別によって異なる書き込み方法でデータを記憶する不揮発性記憶装置において、全ての物理ブロックの劣化を均等化することができ、結果として、データの信頼性を実効的に向上することが可能なユーザ利便性の高い不揮発性記憶装置を提供することができるので、不揮発性メモリを用いた不揮発性記憶装置、及び不揮発性メモリを制御する不揮発性メモリコントローラに有用である。

10

20

30

40

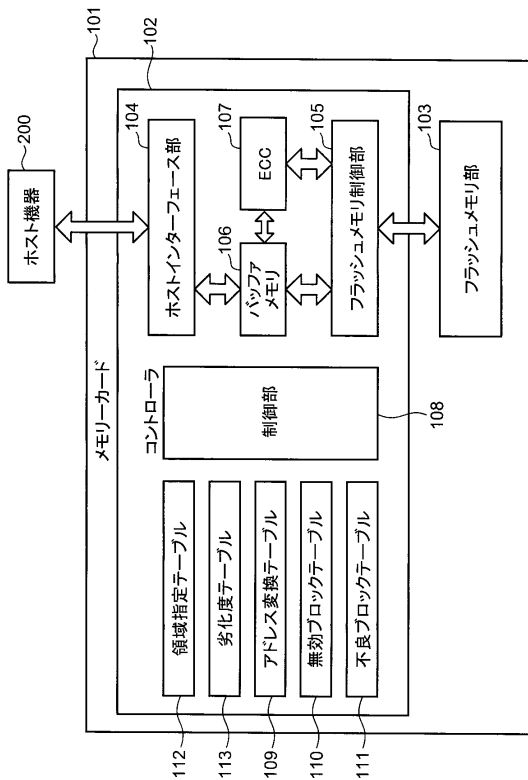
50

【符号の説明】

【0094】

- 101 メモリーカード
- 102 コントローラ
- 103 フラッシュメモリ部
- 104 ホストインターフェース部
- 105 フラッシュメモリ制御部
- 106 バッファメモリ
- 107 ECC
- 108 制御部
- 109 アドレス変換テーブル
- 110 無効ブロックテーブル
- 111 不良ブロックテーブル
- 112 領域指定テーブル
- 113 劣化度テーブル

【図1】



【図2】

201 論理ブロックアドレス	202 物理ブロックアドレス
0000h	0000h
0001h	0010h
⋮	⋮
1F39h	1000h

【図3】

物理ブロックアドレス
0123h
0456h
⋮
1FFFh
2000h
⋮

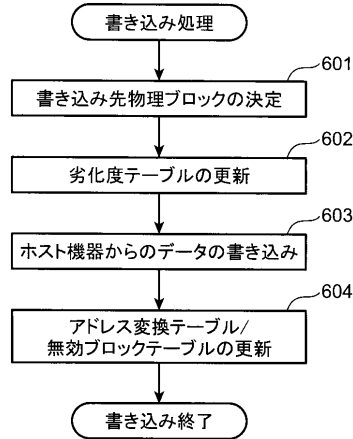
【図4】

401 先頭論理アドレス	402 最終論理アドレス	403 書き込み種別
0000h	0001h	2値
0002h	1F29h	多値
1F30h	1F39h	2値

【図5】

501 物理ブロックアドレス	502 劣化度合い
0000h	0000 0001h
0001h	0000 0100h
⋮	⋮
1FFFh	0000 0010h

【図6】



【図7】

物理ブロックアドレス	劣化度合い
0000h	0000 0001h
0001h	0000 0100h
⋮	⋮
1FFFh	0000 0011h

【図8】

論理ブロックアドレス	物理ブロックアドレス
0000h	0000h
0001h	1FFFh
⋮	⋮
1F39h	1000h

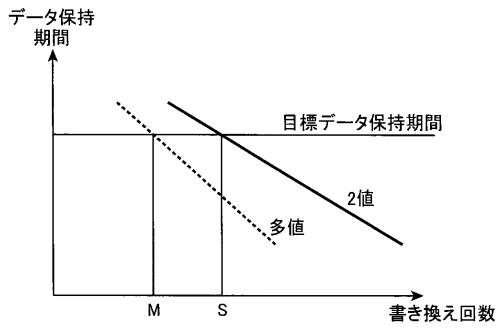
【図10】

	無効ブロック テーブル	アドレス変換 テーブル	劣化度 テーブル	領域指定 テーブル	
601 書き込み先 物理ブロックの決定	R	—	R	—	
602 劣化度テーブルの更新	—	—	W	R	
603 ホスト機器からの データの書き込み	—	(R)	—	R	
604 アドレス変換テーブル/ 無効ブロックテーブルの更新	W	R/W	—	—	

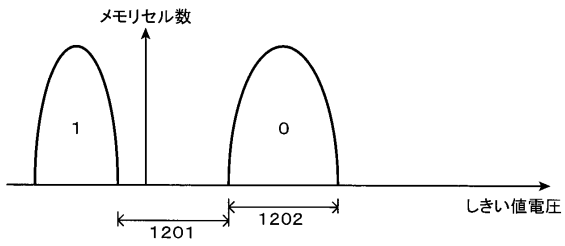
【図9】

物理ブロックアドレス
0010h
0123h
0456h
⋮
2000h
⋮

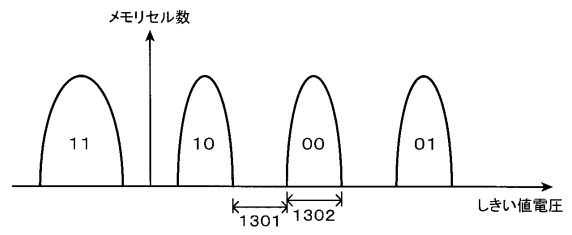
【図 1 1】



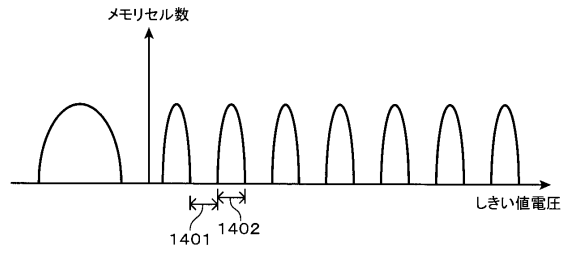
【図 1 2】



【図 1 3】



【図 1 4】





---

フロントページの続き

(56)参考文献 国際公開第2008/073421(WO, A1)

特開2009-048680(JP, A)

特表2010-512569(JP, A)

特表2010-518546(JP, A)

特表2009-510549(JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02 - 16/06

G06F 12/16