

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 23/48
H01L 23/62

(45) 공고일자 1993년06월22일
(11) 공고번호 93-005492

(21) 출원번호	특1990-0020021	(65) 공개번호	특1991-0013517
(22) 출원일자	1990년12월06일	(43) 공개일자	1991년08월08일
(30) 우선권주장	318153/1 1989년12월07일	일본(JP)	
(71) 출원인	가부시끼가이샤 도시바	아오이 조이찌	
	일본국 가나가와켄 가와사끼시 사이와이구 호리카와쵸 72반지		

(72) 발명자 야나기다 신고
일본국 가나가와켄 가와사끼시 사이와이구 고무카이 도시바쵸 1 가부시
끼가이샤 도시바 다마가와 워크스 내
쯔노다 데쯔지로
일본국 가나가와켄 가와사끼시 사이와이구 고무카이 도시바쵸 1 가부시
끼가이샤 도시바 다마가와 워크스 내

(74) 대리인 장수길, 김성택

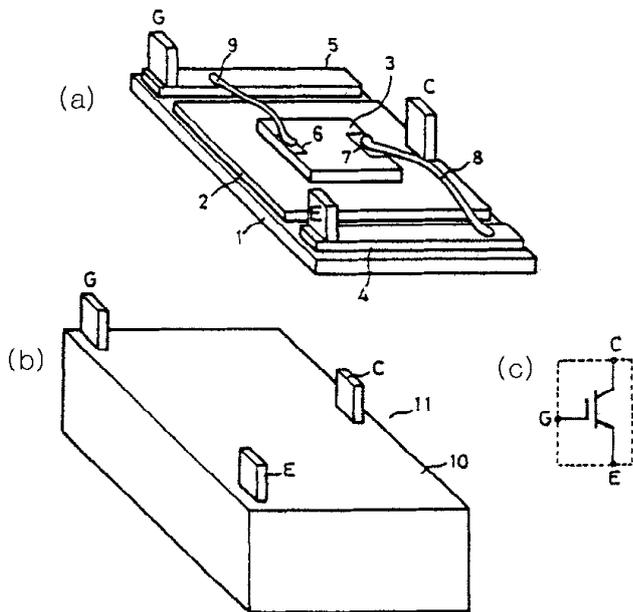
심사관 : 김능균 (책자공보 제3308호)

(54) 대전력용 반도체 장치

요약

내용 없음.

대표도



명세서

[발명의 명칭]

대전력용 반도체 장치

[도면의 간단한 설명]

제1a도는 종래의 대전력용 반도체 장치의 주요 부분을 도시한 사시도.

제1b도는 봉지수지층을 설치한 대전력용 반도체 장치의 외관을 명확하게 도시한 사시도.

제1c도는 종래의 대전력용 반도체 소자의 등가 회로도.

제2a, 2b도는 종래의 과전류 통과 검출용 등가 회로도.

제3a, 3b도는 본 발명에 관련된 대전력용 반도체 장치의 조립 공정을 도시한 사시도.

제4도 및 제5도는 본 발명의 변형예를 도시한 사시도.

* 도면의 주요부분에 대한 부호의 설명

1, 18 : 절연기판	2, 4, 5, 20, 21 : 도전체층(동판)
22 : 얇은 도전체층(동판)	10, 28 : 봉지수지층
E, C, G : 리드 단자	가 : 부하
나 : 전류	다 : 과전류 통과 검출용 단자
11 : 대전력용 반도체 장치	12 : 저항기
13 : 변류기	23 : 반도체소자
24, 25 : 전원	26, 27 : 금속 세선
29, 30 : 금속판(과전류 통과 검출용 단자)	

[발명의 상세한 설명]

본 발명은 수지봉지형(樹脂封止型)의 대전력용 반도체 소자에 관한 것으로, 특히 외부 부착 부품 없이 과전류 검출신호를 얻는데 매우 적합하다.

일반적으로 대전력용 반도체 장치를 제1a, 1b, 1c도를 참조하여 설명하면, 본 발명에 있어서의 대전력용 반도체 장치는 정력전류수 A이상을 지향한다. 즉, 제1a도에 명확하게 도시된 바와같이 세라믹(ceramic)판(1)의 표면에 고착해서 함께 기판을 구성하는 동판(銅板; 2)에 반도체 소자(3)을 납땀에 의해 고착한다. 또한, 세라믹판(1)의 표면에는 다른 동판(4, 5)를 고착해서 일체(一體)로 하고, 반도체 소자(3)에 형성된 전극(6과 7) 사이에 금속 세선(細線)(8, 9)로 다리를 놓아 전기적으로 접속한다. 여기에서는, 공지된 와이어 본딩(Wire Bonding) 법이나 초음파 본딩법을 이용한다. 더욱이, 각각의 동판, 즉 도전체층에는 출력단자(C, E 및 G)를 설치한 구조가 알려져 있다.

이와 같은 구조의 소자에는, 이송 성형(Transfer Mold)법에 의해 수지봉지 공정을 최종적으로 실시해서 외부공기나 수분으로 부터 보호하는 것이 보통이고, 최종 도형을 도시한 제1b도의 사시도에 명확하게 도시된 바와 같이, 장방향의 봉지수지층으로 부터 출력 단자(C, E 및 G)가 도출한 외관으로 이루어진다. 출력단자(C, E 및 G)와 반도체 소자(3), 예를들면 IGBT와의 회로 접속을 명확하게 도시한 제1c도와 같이, 에미터(Emitter)를 E단자, 게이트(Gate)를 G단자 또한, 콜렉터(Collector)를 단자로 접속해서 대전력용 반도체 장치(11)을 구성한다.

제2a도 및 제2b도에 점선으로 둘러싸서 도시한 대전력용 반도체 장치(11)에서는, 반도체 소자를 과전류가 통과하는 것에 기인한 파괴사고를 방지하기 위해 저항기(12)(제2a도 참조)나 변류기(Current Transformer; 13)를 각각의 전류 통로의 외부에 부착해서 전류 검출을 행하고 있으며, 양쪽 도면에 있어서 “가”는 부하, “나”는 전원이다.

이와같은 회로 접속에 의해 얻어진 전류 통과에 수반하는 정의 검출 결과는, 대전력용 반도체 장치(11)에 부속하는 구동회로(도시하지 않음)로 피드백(Feed Back)해서 전류를 차단하거나 저감하는 방식이 채용되고 있다. 그러나, 제2a도에 명확하게 도시된 바와같이, 저항기(12)에 의한 전류 검출 방법에서는 전류의 2승과 저항치의 적(積)인 전력 손실이 발생하기 때문에, 그 억제 수단으로서 매우 낮은 저항기를 사용하는 것이 일반적이다. 또한, 제2b도에서와 같이 변류기(13)에 의한 전류 검출 방법에서는 전류 손실이 발생하지 않기 때문에, 대전력을 취급하는 반도체 장치에 있어서는 양호하게 사용되고 있다.

저항기에 의한 과전류 통과 검출에서는 낮은 저항기의 입수가 곤란한 데다 고가인 것 외에, 발생하는 주열(Joule) 열에 따라서 대형의 것을 이용하지 않을 수 없다. 더욱이, 변류기를 이용하면, 직류를 완전히 검출하는 것이 매우 어렵고, 더더욱, 검출할 펄스에 따라서는 대형의 것이 필요하게 되며, 아무래도 고가가 되지 않을 수 없다. 이와 같이, 종래 방법에서는 부품의 외부 부착이 불가피한데다, 그 단가가 높은 난점이 있다. 게다가, 대형이므로 취급이 어렵고, 대전력용 반도체 소자를 사용한 시스템 전체도 대형으로 되는 등의 결점이 있다.

본 발명의 목적은 이와 같은 사정에 의해 이루어진 것으로, 특히 전류 검출용의 외부 부품을 생략해서 싼 값으로 반도체 소자의 과전류 통과 검출용 신호가 얻어지는 대전력용 반도체 장치를 제공하기 위한 것이다.

절연 기판 표면에 선택적으로 고착되는 두께가 상이한 도전체층, 상기 두꺼운 도전체층에 고착되는 반도체 소자, 상기 반도체 소자에 형성되는 복수의 PN 접합에 인접해서 위치한 각 영역에 전기적으로 접속되는 복수의 전극, 상기 전극 중 한 전극에 전기적으로 접속하여 형성되는 과전류 검출 단자, 상기 한 전극과 과전류 검출단자의 주요 전류 경로사이에 배치되는 상기 얇은 도전체층, 및 상기 각 부품을 피복하고, 또한 상기 절연기판 안쪽면을 노출한 봉지수지층에 본 발명에 관련된 대전력용 반도체 장치의 특징이 있다.

절연 기판에 선택적으로 두께가 상이한 도전체층을 고착하고, 이 두께가 얇은 도전체층과 두께가 두꺼운 도전체층 사이에 발생하는 전위차를 본 발명에 관련된 대전력용 반도체 장치에서는 이용하고 있으며, 리드단자는 봉지수지층 외부에 도출하는 구조와 절연 기판에 대전력용 반도체 소자에 부착하는, 예를 들면 피드백 회로에 접속하는 구조에도 적용된다.

이하, 본 발명에 관련된 실시예를 도면에 참조하여 설명하겠다. 제3a, 3b도에는 대전력용 반도체 장치의 제조 공정을 도시한 사시도가 도시되어 있는데, 제3a도는 봉지수지층(15)에 필요한 리드단자 E(Emitter), C(Collector), G(Gate) 및 과전류 통과 검출용 단자(다)를 부착한 조립체(16)의 사시도이고, 제3b도는 대전력용 반도체 장치의 조립체(1)를 명확하게 도시한 사시도이다.

제3b도에 도시한 바와 같이, 알루미늄이나 또는 질화 알루미늄으로 이루어진 세라믹 기판(18)에 두께가 다른 동판(19, 20), 즉 반도체층을 고착한다. 이 동판(19, 20)의 고착시에는 아산화동을 가열해서 세라믹 기판(18)에 직접 동층을 접착하는, 소위 직접 접착(Direct Bond) 하는 방식도 이용되지만, 이 외에는 금속화층이나 스크린(Screen) 인쇄법도 적용할 수 있다.

이때, 두꺼운 도전체층(19, 20, 21)을 0.5-0.3mm, 얇은 도전체층(22)을 10-100 μ m로 형성한다. 도전체층(19)에는 반도체 소자(23)을 납땀에 의해 장착시키는데, 소자의 종류로는 대전력용으로, 예를 들면 IGBT(Insulated Gate Bipolar Transistor)를 사용한다.

이 IGBT 소자는 사이리스터 구조, 즉 도전형의 상이한 3개의 실리콘 반도체층을 번갈아 겹쳐서 구성하는 반도체 기판의 정면 및 이것에 인접하는 반도체층에 소정의 불순물을 소정량 도입해서 바이플라 트랜지스터나 사이리스터 등을 모놀리딕식(Monolithic)으로 형성한 소자이다. 단지, 장착하는 소자로는, 이외에, 예를 들면 대전력용 다알링톤(Darlington) 트랜지스터, 대전력용 트랜지스터, 또는 파워-모스 트랜지스터로도 좋다.

이와 같은 대전력용 반도체 소자(23)의 표면(정면에 절연물층이나 도전성 금속층등이 피복되어 있으므로 총칭해서 표면이라 한다)에는 게이트 전극(24) 및 에미터 전극(25)이 형성된다. 본 발명에 있어서의 전극은, 예를 들면 실리콘 반도체 기판에 소정의 불순물을 도입·확산해서 발생하는 복수의 PN 접합에 인접한 각 영역에 각각 전기적으로 접속한 것이다.

다음에, 상기와 같이 공시된 이송 성형법에 의해 수지봉지 공정을 실시해서 외부 공기 분위기(霧圍氣) 또는 수분의 진입을 방지하기 때문에, 이하의 공정을 실시해서 각 전극용 리드 단자를 형성한다.

즉, 게이트 전극(24) 및 에미터 전극(25)을 기점으로해서 두께가 같은 도전체층(20, 21)에 금속 세션(26, 27)을 초음파 본딩법 또는 열압착 본딩법에 의해 고착한다. 그런데, 게이트 전극(24) 및 에미터 전극(25)에 부가하여, 대전력용 반도체 소자(23)의 안쪽 면과 납땀된 도전체층(19)은 바이플라 트랜지스터의 콜렉터층과 동일 전위로 유지되므로 제3a도에 명확하게 도시된 바와같이, 게이트 전극(24) 및 에미터 전극(25)용의 리드 단자(E, C, G)를 단단한 봉지수지층(28)에 미리 고정해 두고, 각각을 동시에 납땀해서 일체로 한다.

이 공정에서는 리드 단자(E, C, G)와 함께 과전류 통과 검출용 단자(다)도 단단한 봉지수지층(28)에 고착한다. 이 단자(다)는 제3a, 3b도에 도시한 바와 같이 두께가 얇은 도전체층(22)과 에미터 전극(25)을 기점으로 한 금속 세션(27)의 중점인 두께가 두꺼운 도전체층(21)에 걸친 구조를 가지고 있다. 즉, 양쪽 도전체층(21과 22) 사이의 거리에서 정형(整形)된 금속판(29)에 폭이 좁고 작은 금속판(30)을 일체로 해서 리드 단자(다)를 형성하여, 금속판(29)과 양쪽 도전체층(21과 22) 사이를 리드 단자(E, C, G)의 납땀 공정과 동일 공정으로 고착한다.

이와 같은 구조에서는, 반도체 소자의 전극 전위는 금속 세션에 의해 도전체 층으로 흐르고, 다시 리드 단자에 의해 외부로 출력되지만, 얇은 도전체층이 설치되어 있는 개소(箇所)에서는 전류검출이 가능한 정도의 저항치, 즉 전류 정격에 따라 1-수십 m Ω 정도로 형성된다. 따라서, 도전체층으로 흐르는 전류에 비교한 전압이 검출됨으로써, 상기 실시예에서는 에미터 단자(E)와 과전류 통과 검출단자(다)로 출력된다. 이때 비교적 열전도가 우수한 절연 기판상에 전류 검출단자(다)가 형성되어 있기 때문에 단자(다)에 발생하는 주열(Joule) 열의 확산이 용이해진다. 또한 봉지 수지층의 최종 형상에 대해서는 종래 기술과 동일한 모양인데, 도면에서는 생략하였다.

변형예로서는, 제3도의 리드 단자(E)를 대신해서 콜렉터 전류를 취출하는 리드 단자(C)와 과전류 통과 검출용 단자(다)를 얇은 도전체층(22)에 부착한 구조, 즉 제4도도 이용할 수 있고, 또한 제5도에 도시한 바와 같이 두꺼운 도전체층(22)의 일부분만을 얇게 형성해서 과전류 통과 검출을 행하는 방식도 적용 가능하다. 또한, 제4도 및 제5도에 있는 부품은 제3도와 동일한 기능을 발휘하는 부품을 사용하고 있으므로, 도면 번호도 전혀 동일하게 기재하고, 설명을 생략한다. 또한, 상기 실시예에서는 과전류 통과 검출 단자를 봉지 수지층 외부로 도출하는 구조를 채용하고 있지만, 전류 검출 제어용의 피드백 회로를 모놀리딕식으로 형성된 반도체 소자, 또는 하이브리드(hybrid)로 형성된 반도체 소자에서는, 반드시 봉지수지층 외부로 도출하는 구조가 아니어도 지장이 없다.

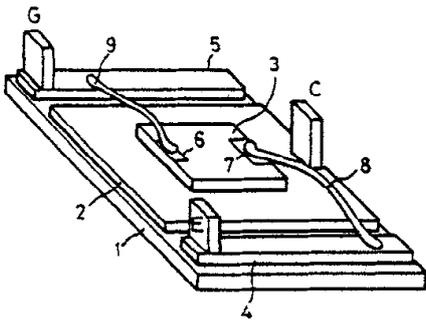
(57) 청구의 범위

청구항 1

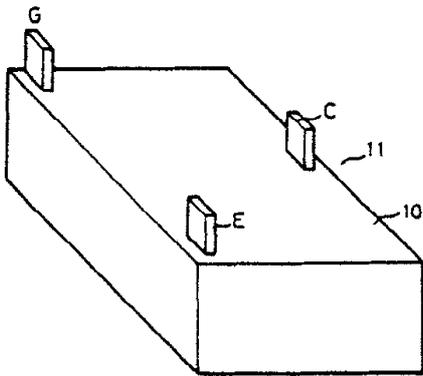
절연 기판(18) 표면에 선택적으로 고착되는 두께가 다른 도전체층(19, 20, 21, 22), 두꺼운 도전체층(19)에 고착되는 반도체소자(23), 상기 반도체 소자에 형성되는 복수의 PN 접합에 인접해서 위치하는 각 영역에 전기적으로 접속되는 복수의 전극(24, 25), 상기 전극들 중 한 전극에 전기적으로 접속하여 형성되는 과전류 검출단자(29, 30), 상기 한 전극과 과전류 검출 단자의 주요 전류 경로 폭에 배치되어 상기 절연 기판에 고착되는 얇은 도전체층(22), 및 상기 각각의 부품을 피복하는 봉지수지층을 포함하는 것을 특징으로 하는 대전력용 반도체 장치.

도면

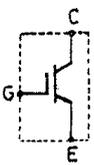
도면1-a



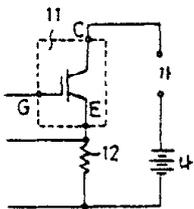
도면1-b



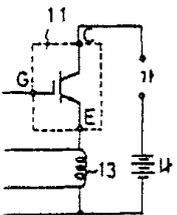
도면1-c



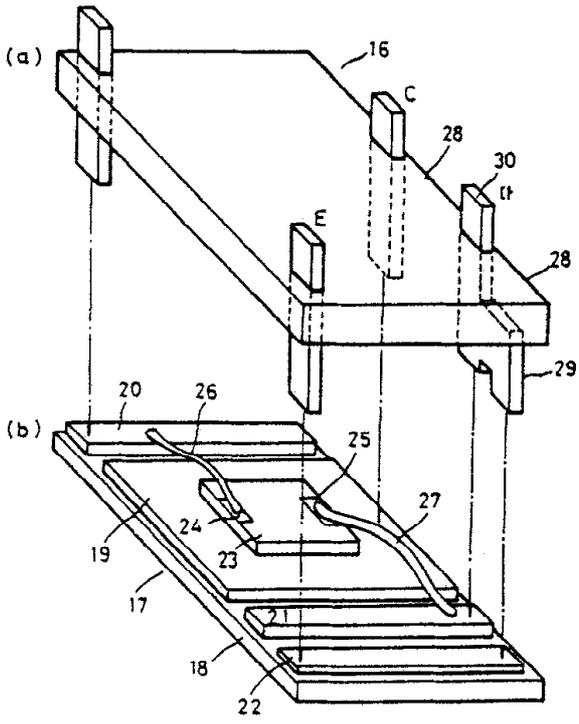
도면2-a



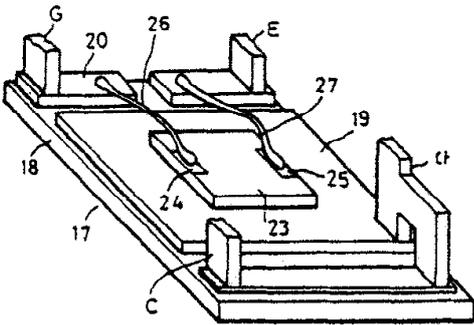
도면2-b



도면3



도면4



도면5

