

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7154461号  
(P7154461)

(45)発行日 令和4年10月17日(2022.10.17)

(24)登録日 令和4年10月6日(2022.10.6)

(51)国際特許分類		F I			
H 0 3 F	1/02 (2006.01)	H 0 3 F	1/02	1 8 8	
H 0 3 F	3/68 (2006.01)	H 0 3 F	1/02	1 1 1	
		H 0 3 F	3/68	2 2 0	

請求項の数 7 (全12頁)

(21)出願番号	特願2022-529273(P2022-529273)	(73)特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(86)(22)出願日	令和2年6月8日(2020.6.8)	(74)代理人	110003166弁理士法人山王内外特許事務所
(86)国際出願番号	PCT/JP2020/022456	(72)発明者	坂田 修一 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(87)国際公開番号	WO2021/250721	(72)発明者	小松崎 優治 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(87)国際公開日	令和3年12月16日(2021.12.16)	(72)発明者	新庄 真太郎 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
審査請求日	令和4年5月19日(2022.5.19)	審査官	工藤 一光
早期審査対象出願			

最終頁に続く

(54)【発明の名称】 増幅回路

(57)【特許請求の範囲】

【請求項1】

増幅対象の信号を増幅する第1の増幅器と、  
前記第1の増幅器による増幅後の信号が伝搬する出力整合回路と、  
前記出力整合回路を伝搬してきた信号を増幅する第2の増幅器とを備え、  
前記出力整合回路は、複数の集中定数素子を備える集中定数回路であり、前記複数の集中定数素子によって、前記第2の増幅器の出力電力が飽和電力よりも低いときの、前記第1の増幅器から前記第2の増幅器側を見たインピーダンスを、前記第2の増幅器の出力電力が飽和電力であるときの、前記第1の増幅器から前記第2の増幅器側を見たインピーダンスよりも大きなインピーダンスに変成させることを特徴とする増幅回路。

10

【請求項2】

前記出力整合回路は、  
前記第1の増幅器に含まれている寄生成分の通過位相と、前記出力整合回路の通過位相と、前記第2の増幅器の入力反射位相との総和の絶対値が閾値以内になるように、前記複数の集中定数素子によって、前記第2の増幅器の出力電力が飽和電力よりも低いときの、前記第1の増幅器から前記第2の増幅器側を見たインピーダンスを変成させることを特徴とする請求項1記載の増幅回路。

【請求項3】

前記出力整合回路は、前記複数の集中定数素子として、  
前記第1の増幅器の出力側と一端が接続されている第1のインダクタと、

20

前記第 1 のインダクタの他端と一端が接続され、他端が接地されている第 2 のインダクタと、

前記第 1 のインダクタの他端及び前記第 2 のインダクタの一端のそれぞれと一端が接続され、前記第 2 の増幅器の入力側と他端が接続されているコンデンサとを備えていることを特徴とする請求項 2 記載の増幅回路。

【請求項 4】

前記閾値が 45 度であり、

前記出力整合回路は、前記総和の絶対値が 45 度以内になるように、前記複数の集中定数素子によって、前記第 2 の増幅器の出力電力が飽和電力よりも低いときの、前記第 1 の増幅器から前記第 2 の増幅器側を見たインピーダンスを変成させることを特徴とする請求項 2 記載の増幅回路。

10

【請求項 5】

前記閾値が 0 度であり、

前記出力整合回路は、前記総和の絶対値が 0 度になるように、前記複数の集中定数素子によって、前記第 2 の増幅器の出力電力が飽和電力よりも低いときの、前記第 1 の増幅器から前記第 2 の増幅器側を見たインピーダンスを変成させることを特徴とする請求項 2 記載の増幅回路。

【請求項 6】

前記第 2 の増幅器は、ドハティ増幅器であることを特徴とする請求項 1 記載の増幅回路。

【請求項 7】

前記第 2 の増幅器は、エンベロープトラッキング増幅器であることを特徴とする請求項 1 記載の増幅回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、信号を増幅する増幅回路に関するものである。

【背景技術】

【0002】

増幅回路の中には、第 1 の増幅器と第 2 の増幅器とを備え、第 1 の増幅器の出力側に第 2 の増幅器が直列に接続されている増幅回路がある。

30

以下の特許文献 1 には、第 1 の増幅器として、駆動増幅器が用いられ、第 2 の増幅器として、ドハティ増幅器が用いられている増幅回路が開示されている。当該増幅回路では、駆動増幅器とドハティ増幅器との間に、インピーダンス調整部が接続されている。

当該インピーダンス調整部は、駆動増幅器の出力負荷インピーダンスとドハティ増幅器の入力インピーダンスとを整合させる整合回路と、当該整合回路からドハティ増幅器に出力される信号の位相を調整する位相調整器とを含んでいる。当該位相調整器が、信号の位相を調整することによって、ドハティ増幅器の出力電力が飽和電力よりも低いときの、駆動増幅器の効率を高めることができる。

【先行技術文献】

【特許文献】

40

【0003】

【文献】特開 2014 - 116757 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 に開示されている増幅回路では、インピーダンス調整部が、位相調整器を含んでいる。位相調整器は、伝送線路によって形成されている分布定数回路である。特許文献 1 に開示されている増幅回路は、分布定数回路によって形成されている位相調整器を含んでいるため、回路サイズが大きくなるという課題があった。

【0005】

50

本開示は、上記のような課題を解決するためになされたもので、分布定数回路を用いることなく、第2の増幅器の出力電力が飽和電力よりも低いときの、第1の増幅器の効率を高めることができる増幅回路を得ることを目的とする。

【課題を解決するための手段】

【0006】

本開示に係る増幅回路は、増幅対象の信号を増幅する第1の増幅器と、第1の増幅器による増幅後の信号が伝搬する出力整合回路と、出力整合回路を伝搬してきた信号を増幅する第2の増幅器とを備え、出力整合回路は、複数の集中定数素子を備える集中定数回路であり、複数の集中定数素子によって、第2の増幅器の出力電力が飽和電力よりも低いときの、第1の増幅器から第2の増幅器側を見たインピーダンスを、第2の増幅器の出力電力が飽和電力であるときの、第1の増幅器から第2の増幅器側を見たインピーダンスよりも大きなインピーダンスに変成させるものである。

10

【発明の効果】

【0007】

本開示によれば、分布定数回路を用いることなく、第2の増幅器の出力電力が飽和電力よりも低いときの、第1の増幅器の効率を高めることができる。

【図面の簡単な説明】

【0008】

【図1】実施の形態1に係る増幅回路を示す構成図である。

【図2】ドハティ増幅器によって実現されている第2の増幅器7を示す構成図である。

20

【図3】実施の形態1に係る増幅回路に含まれている第1の増幅器3の等価回路を示す等価回路図である。

【図4】LPF型整合回路5に含まれている集中定数素子及びHPF型整合回路6に含まれている集中定数素子の一例を示す構成図である。

【図5】第2の増幅器7の入力インピーダンス $Imp_{IN}$ を示すスミスチャートである。

【図6】第1の増幅器3の電流源22から第2の増幅器7側を見たインピーダンス $Imp_{OUT}$ を示すスミスチャートである。

【図7】出力整合回路4によるインピーダンス変成の一例を示すスミスチャートである。

【図8】図1に示す増幅回路における第1の増幅器3の効率を示す説明図である。

【図9】エンベロープトラッキング増幅器によって実現されている第2の増幅器7を示す構成図である。

30

【発明を実施するための形態】

【0009】

以下、本開示をより詳細に説明するために、本開示を実施するための形態について、添付の図面に従って説明する。

【0010】

実施の形態1.

図1は、実施の形態1に係る増幅回路を示す構成図である。

図1に示す増幅回路は、入力端子1、入力整合回路2、第1の増幅器3、出力整合回路4、第2の増幅器7及び出力端子8を備えている。

40

入力端子1には、増幅対象の信号が与えられる。

【0011】

入力整合回路2の一端は、入力端子1と接続されている。

入力整合回路2の他端は、第1の増幅器3の入力側と接続されている。

入力整合回路2は、例えば、集中定数素子によって実現される。

入力整合回路2は、第1の増幅器3の入力インピーダンスを、図1に示す増幅回路の入力側のインピーダンスと整合させる回路である。

【0012】

第1の増幅器3は、例えば、FET(Field Effect Transistor)、HBT(Heterojunction Bipolar Transistor)、

50

又は、HEMT (High Electron Mobility Transistor) によって実現される。

第1の増幅器3は、入力整合回路2を伝搬してきた増幅対象の信号を増幅し、増幅後の信号を出力整合回路4に出力する。

【0013】

出力整合回路4の一端は、第1の増幅器3の出力側と接続されている。

出力整合回路4の他端は、第2の増幅器7の入力側と接続されている。

出力整合回路4は、集中定数素子を有する集中定数回路である。

即ち、出力整合回路4は、集中定数素子を有するLPF (Low Pass Filter) 型整合回路5と、集中定数素子を有するHPF (High Pass Filter) 型整合回路6とを備えている。

出力整合回路4は、第1の増幅器3による増幅後の信号が伝搬する。

出力整合回路4は、複数の集中定数素子によって、第2の増幅器7の出力電力が飽和電力よりも低いときの、第1の増幅器3から第2の増幅器7側を見たインピーダンスを、第2の増幅器7の出力電力が飽和電力であるときの、第1の増幅器3から第2の増幅器7側を見たインピーダンスよりも大きなインピーダンスに変成させる。

出力整合回路4は、集中定数回路であるため、分布定数回路で形成されているものよりも、回路サイズが小さい。

【0014】

LPF型整合回路5の一端は、第1の増幅器3の出力側と接続されている。

LPF型整合回路5の他端は、HPF型整合回路6の一端と接続されている。

LPF型整合回路5は、集中定数素子として、例えば、インダクタを有している。

HPF型整合回路6の一端は、LPF型整合回路5の他端と接続されている。

HPF型整合回路6の他端は、第2の増幅器7の入力側と接続されている。

HPF型整合回路6は、集中定数素子として、例えば、インダクタ及びコンデンサを有している。

【0015】

第2の増幅器7は、例えば、図2に示すようなドハティ増幅器によって実現される。

第2の増幅器7は、出力整合回路4を伝搬してきた信号を増幅する。

第2の増幅器7は、増幅後の信号を出力端子8に出力する。

出力端子8は、第2の増幅器7による増幅後の信号を外部に出力するための端子である。

【0016】

図2は、ドハティ増幅器によって実現されている第2の増幅器7を示す構成図である。

図2に示すドハティ増幅器は、分配器11、キャリアアンプ12、ピークアンプ13、90度線路14及び合成器15を備えている。

分配器11は、出力整合回路4を伝搬してきた信号を2分配し、一方の信号をキャリアアンプ12に出力し、他方の信号をピークアンプ13に出力する。

【0017】

キャリアアンプ12は、分配器11から出力された信号を増幅し、増幅後の信号を90度線路14に出力する。

ピークアンプ13は、分配器11から出力された信号の信号レベルが一定レベルよりも大きいときに、当該信号を増幅し、増幅後の信号を合成器15に出力する。

【0018】

90度線路14は、キャリアアンプ12の出力側線路の電気長を90度にするための線路である。

合成器15は、90度線路14を伝搬してきた信号と、ピークアンプ13による増幅後の信号とを合成し、2つの信号の合成信号を出力する。

【0019】

図3は、実施の形態1に係る増幅回路に含まれている第1の増幅器3の等価回路を示す等価回路図である。

10

20

30

40

50

第1の増幅器3の等価回路は、図3に示すように、電流源22、インダクタ23及びコンデンサ24によって表される。

電流源22は、入力整合回路2を伝搬してきた増幅対象の信号の信号レベルが大きいほど、大きな電流を出力する。

【0020】

インダクタ23は、電流源22からLPF型整合回路5の一端に至るまでの寄生成分の一部である。

コンデンサ24は、電流源22からLPF型整合回路5の一端に至るまでの寄生成分の一部である。

第1の増幅器3に含まれている寄生成分、即ち、電流源22からLPF型整合回路5の一端に至るまでの寄生成分は、インダクタ23及びコンデンサ24によって表される。

10

【0021】

図4は、LPF型整合回路5に含まれている集中定数素子及びHPF型整合回路6に含まれている集中定数素子の一例を示す構成図である。

LPF型整合回路5は、集中定数素子として、第1のインダクタ31を含んでいる。

第1のインダクタ31の一端は、第1の増幅器3の出力側と接続されている。

第1のインダクタ31の他端は、HPF型整合回路6に含まれている第2のインダクタ32の一端及びコンデンサ33の一端のそれぞれと接続されている。

【0022】

HPF型整合回路6は、集中定数素子として、第2のインダクタ32、コンデンサ33及び直流遮断用コンデンサ34を含んでいる。

20

第2のインダクタ32の一端は、第1のインダクタ31の他端及びコンデンサ33の一端のそれぞれと接続されている。

第2のインダクタ32の他端は、直流遮断用コンデンサ34の一端と接続されている。

コンデンサ33の一端は、第1のインダクタ31の他端及び第2のインダクタ32の一端のそれぞれと接続されている。

コンデンサ33の他端は、第2の増幅器の入力側と接続されている。

直流遮断用コンデンサ34の一端は、第2のインダクタ32の他端と接続されている。

直流遮断用コンデンサ34の他端は、接地されている。

図7に示すHPF型整合回路6は、直流遮断用コンデンサ34を備えている。しかし、これは一例に過ぎず、HPF型整合回路6は、直流遮断用コンデンサ34を備えずに、第2のインダクタ32の他端が接地されていてもよい。

30

【0023】

次に、図1に示す増幅回路の動作について説明する。

第2の増幅器7は、図2に示すようなドハティ増幅器によって実現される。このため、第2の増幅器7の入力インピーダンス $Imp_{IN}$ は、図5に示すように、バックオフ時から飽和時に至るまで変化する。

ここで、飽和時とは、第2の増幅器7の出力電力が飽和電力である状態を示すものである。

バックオフ時とは、第2の増幅器7の出力電力が飽和電力よりも低い状態であって、ピークアンプ13が、信号増幅動作を行うことが可能な状態を示すものである。

40

【0024】

図5は、第2の増幅器7の入力インピーダンス $Imp_{IN}$ を示すスミスチャートである。

図5に示すスミスチャートでは、飽和時における第2の増幅器7の入力インピーダンス $Imp_{IN,s}$ が、スミスチャートの中心に表されている。

バックオフ時における第2の増幅器7の入力インピーダンスは、図5に示すように、 $Imp_{IN,B}$ であり、バックオフ時における第2の増幅器7の入力反射位相は、図5に示すように、 $\Gamma_{IN}$ である。バックオフ時における第2の増幅器7の入力反射位相 $\Gamma_{IN}$ の絶対値は、ゼロよりも大きい。

【0025】

50

図6は、第1の増幅器3の電流源22から第2の増幅器7側を見たインピーダンス  $I_{mp\_OUT}$  を示すスミスチャートである。

インピーダンス  $I_{mp\_OUT}$  は、図6に示すように、第2の増幅器7のバックオフ時から飽和時に至るまで変化する。

図6に示すスミスチャートでは、飽和時のインピーダンス  $I_{mp\_OUT, S}$  が、スミスチャートの中心に表されている。電流源22から第2の増幅器7側を見たインピーダンス  $I_{mp\_OUT}$  が、飽和時のインピーダンス  $I_{mp\_OUT, S}$  であるとき、第1の増幅器3の出力電力が最大電力となる。即ち、第1の増幅器3の出力電力が飽和電力となる。

バックオフ時から飽和時に至るまで、第2の増幅器7の入力インピーダンス  $I_{mp\_IN}$  が変化するため、バックオフ時から飽和時に至るまで、電流源22から第2の増幅器7側を見たインピーダンス  $I_{mp\_OUT}$  も変化する。バックオフ時のインピーダンスは、 $I_{mp\_OUT, B}$  である。

10

#### 【0026】

出力整合回路4が有する集中定数素子を変えることによって、飽和時における第2の増幅器7の入力インピーダンス  $I_{mp\_IN, S}$  を変成させることが可能である。

図1に示す増幅回路では、飽和時における第2の増幅器7の入力インピーダンス  $I_{mp\_IN, S}$  が、出力整合回路4によって、第1の増幅器3の出力電力が最大電力となるインピーダンス  $I_{mp\_OUT, S}$  に変成されるように、出力整合回路4が有する集中定数素子が設計されている。

出力整合回路4が有する集中定数素子が、上記のように設計される場合、電流源22から第2の増幅器7側を見たインピーダンス  $I_{mp\_OUT}$  は、第1の増幅器3の出力電力が最大電力となるインピーダンス  $I_{mp\_OUT, S}$  と整合される。

20

#### 【0027】

出力整合回路4が有する集中定数素子を変えることによって、バックオフ時における第2の増幅器7の入力インピーダンス  $I_{mp\_IN, B}$  を変成させることが可能である。

図1に示す増幅回路では、バックオフ時における電流源22から第2の増幅器7側を見たインピーダンス  $I_{mp\_OUT, B}$  が、出力整合回路4によって、飽和時における電流源22から第2の増幅器7側を見たインピーダンス  $I_{mp\_OUT, S}$  よりも大きなインピーダンスに変成されるように、出力整合回路4が有する集中定数素子が設計されている。

具体的には、電流源22から出力整合回路4の一端に至るまでの寄生成分の通過位相  $P_{AR}$  と、LPF型整合回路5の通過位相  $L_{PF}$  と、HPF型整合回路6の通過位相  $H_{PF}$  と、第2の増幅器7の入力反射位相  $I_{N}$  との総和の絶対値が閾値  $T_h$  以内になるように、出力整合回路4が有する集中定数素子が設計されている。閾値  $T_h$  としては、例えば、0以上45以下の値が想定される。

30

例えば、閾値  $T_h$  として、0が用いられ、総和の絶対値が0度になるように、出力整合回路4が有する集中定数素子が設計される場合、第2の増幅器7の入力反射位相  $I_{N}$  が0度に変成され、第2の増幅器7がバックオフ動作するときの、第1の増幅器3の効率が最高効率になる。

#### 【0028】

図7は、出力整合回路4によるインピーダンス変成の一例を示すスミスチャートである。

40

図7では、飽和時における第2の増幅器7の入力インピーダンス  $I_{mp\_IN, S}$  が50、第1の増幅器3の出力電力が最大電力となるインピーダンス  $I_{mp\_OUT, S}$  が75 であるとしている。

$L_1$  は、第1のインダクタ31のインダクタンス、 $L_2$  は、第2のインダクタ32のインダクタンス、 $L_3$  は、寄生成分の一部であるインダクタ23のインダクタンスである。

$C_1$  は、コンデンサ33のキャパシタンス、 $C_2$  は、寄生成分の一部であるコンデンサ24のキャパシタンスである。

#### 【0029】

図7に示すスミスチャートでは、飽和時における第2の増幅器7の入力インピーダンス  $I_{mp\_IN, S}$  が、スミスチャートの中心に表されている。

50

また、図7に示すスミスチャートでは、飽和時のインピーダンス変性が点線で表されており、バックオフ時のインピーダンス変性が実線で表されている。

第2の増幅器7の飽和時では、第2の増幅器7の入力インピーダンス $Imp_{IN,S}$ が、 $C1, L2, L1+L3, C2$ によって、第1の増幅器3の出力電力が最大電力となるインピーダンス $Imp_{OUT,S}$ である75 に変成される(図7の点線を参照)。

第2の増幅器7のバックオフ時では、第2の増幅器7の入力インピーダンス $Imp_{IN,B}$ が、 $C1, L2, L1+L3, C2$ によって、第1の増幅器3の出力電力が最大電力となるインピーダンス $Imp_{OUT,S}$ よりも大きなインピーダンス $Imp_{OUT,B}$ に変成される(図7の実線を参照)。インピーダンス $Imp_{OUT,B}$ は、図7に示すように、スミスチャートの実軸上である。

#### 【0030】

第2の増幅器7のバックオフ時には、第2の増幅器7の入力インピーダンス $Imp_{IN,B}$ が、第1の増幅器3の出力電力が最大電力となるインピーダンス $Imp_{OUT,S}$ よりも大きなインピーダンス $Imp_{OUT,B}$ に変成される。また、第2の増幅器7の入力インピーダンス $Imp_{IN,B}$ が、スミスチャートの実軸上に変成される。したがって、バックオフ時における第1の増幅器3の高効率動作を実現することができる。

したがって、図1に示す増幅回路では、図7に示すスミスチャートが適用されるように、インダクタンス $L3$ 及びキャパシタンス $C2$ に応じて、インダクタンス $L1, L2$ 及びキャパシタンス $C1$ が設計されれば、飽和時における第1の増幅器3の最大出力電力を維持しつつ、バックオフ時における第1の増幅器3の高効率動作を実現することができる。

#### 【0031】

図8は、図1に示す増幅回路における第1の増幅器3の効率を示す説明図である。

図8において、横軸は、第1の増幅器3の出力電力[dBm]、縦軸は、第1の増幅器3の効率[%]を示している。

図8では、図1に示す増幅回路における第1の増幅器3の効率特性が実線で表されている。図8では、閾値 $Th$ として、0が用いられ、総和の絶対値が0度になるように、出力整合回路4が有する集中定数素子が設計されているときの第1の増幅器3の効率特性を示している。

点線は、電流源22から第2の増幅器7側を見たインピーダンス $Imp_{OUT}$ が、バックオフ時における第2の増幅器7の入力インピーダンス $Imp_{IN,B}$ に固定されていると仮定した場合の第1の増幅器3の効率特性(以下、「第1の仮定効率特性」という)を示している。ここでのバックオフ時は、ピークアンプ13が、信号増幅動作を行うことが可能な状態のうち、分配器11から出力された信号の信号レベルが最も低い信号レベルのときの状態を示すものである。

一点鎖線は、電流源22から第2の増幅器7側を見たインピーダンス $Imp_{OUT}$ が、飽和時における第2の増幅器7の入力インピーダンス $Imp_{IN,S}$ に固定されていると仮定した場合の第1の増幅器3の効率特性(以下、「第2の仮定効率特性」という)を示している。

#### 【0032】

電流源22から第2の増幅器7側を見たバックオフ時のインピーダンス $Imp_{OUT,B}$ は、飽和時のインピーダンス $Imp_{OUT,S}$ よりも大きい。このため、バックオフ時における第1の増幅器3の出力電力は、飽和時における第1の増幅器3の出力電力よりも低く、バックオフ時における第1の増幅器3の効率は、飽和時における第1の増幅器3の効率よりも高くなる。

電流源22から第2の増幅器7側を見たインピーダンス $Imp_{OUT}$ は、バックオフ時から飽和時にかけて変化するため、バックオフ時には、第1の増幅器3の効率特性が、点線が示す第1の仮定効率特性と重なり、飽和時には、第1の増幅器3の効率特性が、一点鎖線が示す第2の仮定効率特性と重なる。

したがって、第1の増幅器3のバックオフ時の効率は、第2の仮定効率特性が示す効率よりも高くなる。

10

20

30

40

50

第 1 の増幅器 3 の飽和時の出力電力は、第 1 の仮定効率特性が示す出力電力よりも大きくなる。

#### 【 0 0 3 3 】

図 8 では、閾値  $T_h$  として、0 が用いられ、総和の絶対値が 0 度になるように、出力整合回路 4 が有する集中定数素子が設計されているときの第 1 の増幅器 3 の効率特性を示している。

閾値  $T_h$  として、45 が用いられ、総和の絶対値が 45 度になるように、出力整合回路 4 が有する集中定数素子が設計されているときの第 1 の増幅器 3 の効率特性は、総和の絶対値が 0 度になるように、出力整合回路 4 が有する集中定数素子が設計されているときの第 1 の増幅器 3 の効率特性よりも低下する。

しかし、総和の絶対値が 45 度になるように、出力整合回路 4 が有する集中定数素子が設計されているときの、バックオフ時における第 1 の増幅器 3 の効率特性は、点線が示す第 1 の仮定効率特性と、一点鎖線が示す第 2 の仮定効率特性との間になる。したがって、総和の絶対値が 45 度になるように、出力整合回路 4 が有する集中定数素子が設計されているときでも、第 1 の増幅器 3 のバックオフ時の効率は、第 2 の仮定効率特性が示す効率よりも高くなる。

なお、閾値  $T_h$  として、90 が用いられ、総和の絶対値が 90 度になるように、出力整合回路 4 が有する集中定数素子が設計されているときの第 1 の増幅器 3 の効率特性は、一点鎖線が示す第 2 の仮定効率特性と重なるため、バックオフ時での高効率動作を実現することができない。

#### 【 0 0 3 4 】

以上の実施の形態 1 では、増幅対象の信号を増幅する第 1 の増幅器 3 と、第 1 の増幅器 3 による増幅後の信号が伝搬する出力整合回路 4 と、出力整合回路 4 を伝搬してきた信号を増幅する第 2 の増幅器 7 とを備え、出力整合回路 4 は、複数の集中定数素子を備える集中定数回路であり、複数の集中定数素子によって、第 2 の増幅器 7 の出力電力が飽和電力よりも低いときの、第 1 の増幅器 3 から第 2 の増幅器 7 側を見たインピーダンスを、第 2 の増幅器 7 の出力電力が飽和電力であるときの、第 1 の増幅器 3 から第 2 の増幅器 7 側を見たインピーダンスよりも大きなインピーダンスに変成させるように、増幅回路を構成した。したがって、増幅回路は、分布定数回路を用いることなく、第 2 の増幅器 7 の出力電力が飽和電力よりも低いときの、第 1 の増幅器 3 の効率を高めることができる。

#### 【 0 0 3 5 】

図 1 に示す増幅回路では、出力整合回路 4 が、複数の集中定数素子として、第 1 のインダクタ 31、第 2 のインダクタ 32 及びコンデンサ 33 を備えている。そして、第 1 のインダクタ 31、第 2 のインダクタ 32 及びコンデンサ 33 によって、バックオフ時のインピーダンス  $Imp_{OUT, B}$  が、飽和時のインピーダンス  $Imp_{OUT, S}$  よりも大きなインピーダンスに変成させている。

しかし、バックオフ時のインピーダンス  $Imp_{OUT, B}$  を、飽和時のインピーダンス  $Imp_{OUT, S}$  よりも大きなインピーダンスに変成させることができればよく、出力整合回路 4 が、複数の集中定数素子として、第 1 のインダクタ 31、第 2 のインダクタ 32 及びコンデンサ 33 を備えるものに限るものではない。

即ち、出力整合回路 4 は、出力整合回路 4 の通過位相が、 $L_{PF} + H_{PF}$  となるような集中定数素子を備えていればよい。したがって、出力整合回路 4 は、直列インダクタ、並列インダクタ、直列コンデンサ、並列コンデンサ、直列抵抗、又は、並列抵抗のうちの、いずれかの集中定数素子の組み合わせを備えることによって、通過位相  $L_{PF} + H_{PF}$  を実現するものであってもよい。

#### 【 0 0 3 6 】

実施の形態 2 .

図 1 に示す増幅回路では、第 2 の増幅器 7 がドハティ増幅器によって実現されている。

実施の形態 2 では、第 2 の増幅器 7 が、エンベロープトラッキング増幅器によって実現されている増幅回路について説明する。

10

20

30

40

50

## 【 0 0 3 7 】

実施の形態 2 に係る増幅回路の構成は、実施の形態 1 に係る増幅回路の構成と同様であり、実施の形態 2 に係る増幅回路を示す構成図は、図 1 である。

エンベロープトラッキング増幅器は、ドハティ増幅器と同様に、入力インピーダンス  $Imp_{IN}$  が変化する増幅器である。エンベロープトラッキング増幅器における飽和時の入力インピーダンス  $Imp_{IN,S}$  とエンベロープトラッキング増幅器におけるバックオフ時の入力インピーダンス  $Imp_{IN,B}$  とが異なる。

## 【 0 0 3 8 】

図 9 は、エンベロープトラッキング増幅器によって実現されている第 2 の増幅器 7 を示す構成図である。

第 2 の増幅器 7 であるエンベロープトラッキング増幅器は、高周波増幅器 4 1 及び電源変調器 4 2 を備えている。

高周波増幅器 4 1 は、出力整合回路 4 を伝搬してきた信号を増幅する。

高周波増幅器 4 1 は、増幅後の信号を出力端子 8 に出力する。

電源変調器 4 2 は、出力整合回路 4 を伝搬してきた信号の振幅に応じた電源電圧を高周波増幅器 4 1 に供給する。

## 【 0 0 3 9 】

電源変調器 4 2 から高周波増幅器 4 1 に供給される電源電圧は、出力整合回路 4 を伝搬してきた信号の振幅の変化に応じて変化する。

高周波増幅器 4 1 は、電源変調器 4 2 から供給される電源電圧が変化するため、入力インピーダンス  $Imp_{IN}$  が変化する。

## 【 0 0 4 0 】

以上の実施の形態 2 では、第 2 の増幅器 7 が、エンベロープトラッキング増幅器によって実現されるように、増幅回路を構成した。実施の形態 2 に係る増幅回路は、実施の形態 1 に係る増幅回路と同様に、分布定数回路を用いることなく、第 2 の増幅器 7 の出力電力が飽和電力よりも低いときの、第 1 の増幅器 3 の効率を高めることができる。

## 【 0 0 4 1 】

なお、本開示は、各実施の形態の自由な組み合わせ、あるいは各実施の形態の任意の構成要素の変形、もしくは各実施の形態において任意の構成要素の省略が可能である。

## 【 産業上の利用可能性 】

## 【 0 0 4 2 】

本開示は、信号を増幅する増幅回路に適している。

## 【 符号の説明 】

## 【 0 0 4 3 】

1 入力端子、2 入力整合回路、3 第 1 の増幅器、4 出力整合回路、5 L P F 型整合回路、6 H P F 型整合回路、7 第 2 の増幅器、8 出力端子、1 1 分配器、1 2 キャリアアンプ、1 3 ピークアンプ、1 4 90 度線路、1 5 合成器、2 1 トランジスタ、2 2 電流源、2 3 インダクタ、2 4 コンデンサ、3 1 第 1 のインダクタ、3 2 第 2 のインダクタ、3 3 コンデンサ、3 4 直流遮断用コンデンサ、4 1 高周波増幅器、4 2 電源変調器。

10

20

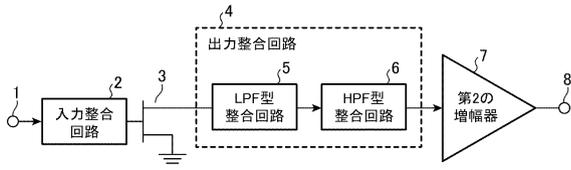
30

40

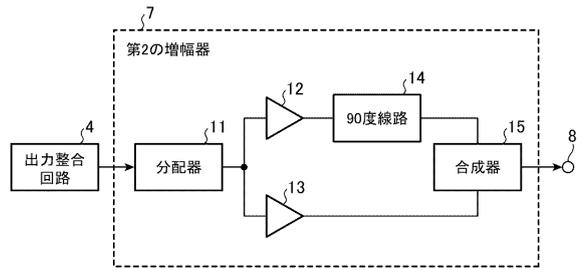
50

【図面】

【図 1】

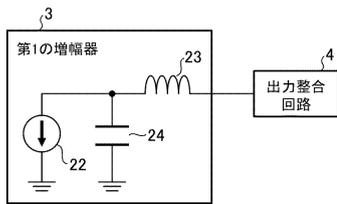


【図 2】

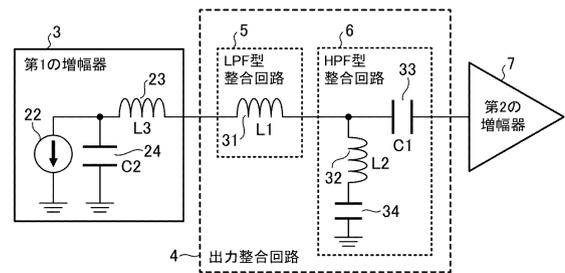


10

【図 3】

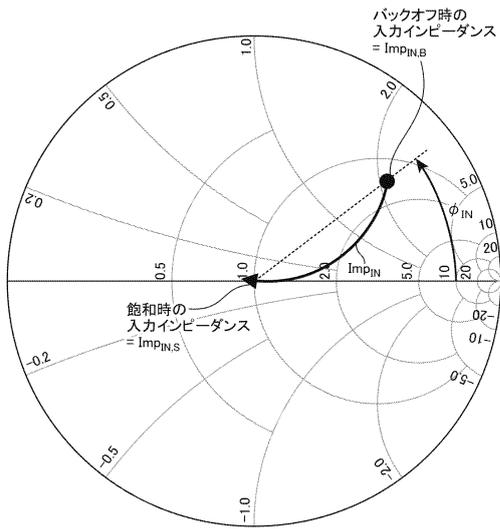


【図 4】

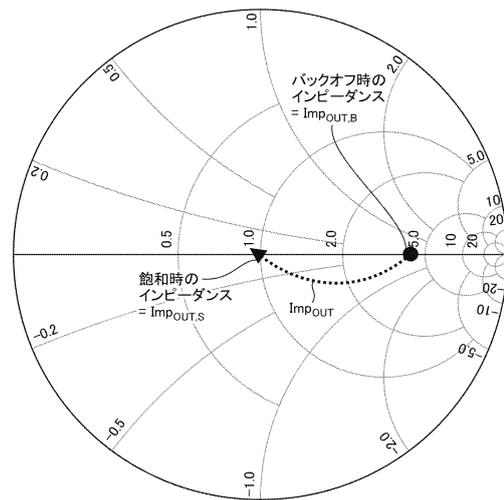


20

【図 5】



【図 6】

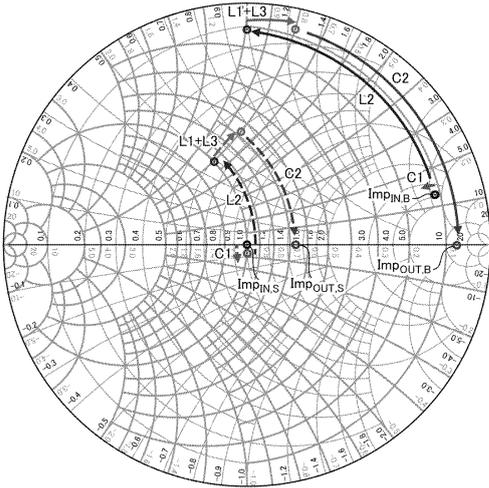


30

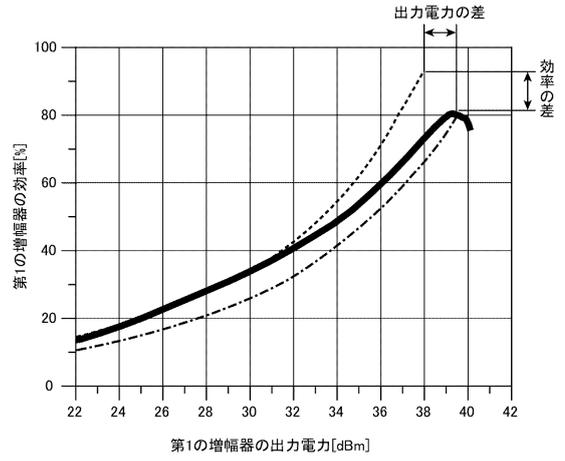
40

50

【図 7】

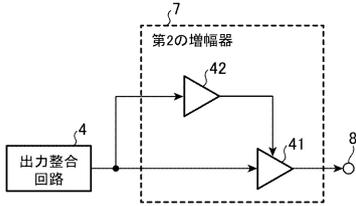


【図 8】



10

【図 9】



20

30

40

50

---

フロントページの続き

- (56)参考文献 特許第 3 4 2 3 7 0 6 ( J P , B 2 )  
国際公開第 2 0 1 7 / 1 2 2 2 7 1 ( W O , A 1 )  
特開 2 0 1 0 - 2 4 5 7 0 5 ( J P , A )  
特開 2 0 0 2 - 3 3 0 0 3 1 ( J P , A )
- (58)調査した分野 (Int.Cl. , D B 名)  
H 0 3 F 1 / 0 0 - 3 / 7 2