

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4582551号
(P4582551)

(45) 発行日 平成22年11月17日(2010.11.17)

(24) 登録日 平成22年9月10日(2010.9.10)

(51) Int.Cl. F I
G 1 1 C 16/02 (2006.01) G 1 1 C 17/00 6 1 1 G

請求項の数 28 (全 18 頁)

(21) 出願番号	特願2006-539082 (P2006-539082)	(73) 特許権者	504378124
(86) (22) 出願日	平成16年9月30日 (2004.9.30)		スパンション エルエルシー
(86) 国際出願番号	PCT/JP2004/014327		アメリカ合衆国 カリフォルニア州 94
(87) 国際公開番号	W02006/038250		088-3453 サニーバイル デグウ
(87) 国際公開日	平成18年4月13日 (2006.4.13)		イン ドライブ 915
審査請求日	平成19年9月15日 (2007.9.15)	(73) 特許権者	596180124
			Span sion Japan株式会社
			福島県会津若松市高久工業団地2番
		(74) 代理人	100064746
			弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平

最終頁に続く

(54) 【発明の名称】 半導体装置およびデータ書き込み方法

(57) 【特許請求の範囲】

【請求項 1】

メモリセルにデータを書き込むためのライトデータバスと、
前記メモリセルからデータを読み出すためのリードデータバスと、
所定の書き込み時、前記リードデータバスを用いて前記メモリセルにデータを書き込む
第1のライトアンプと
を含む半導体装置。

【請求項 2】

前記半導体装置は更に、所定の書き込み時、前記ライトデータバスを用いて前記メモリセルにデータを書き込む第2のライトアンプを含む請求項1記載の半導体装置。

【請求項 3】

前記半導体装置は更に、前記リードデータバスをシールドするためのシールド配線と、
所定の書き込み時、前記シールド配線を用いて前記メモリセルにデータを書き込む第3
のライトアンプとを含む請求項1または請求項2記載の半導体装置。

【請求項 4】

メモリセルからデータを読み出すリードデータバスをシールドするためのシールド配線と、
所定の書き込み時、前記シールド配線を用いて前記メモリセルにデータを書き込む第3
のライトアンプと
を含む半導体装置。

【請求項 5】

前記半導体装置は更に、前記メモリセルにデータを書き込むためのライトデータバスを含む請求項 4 記載の半導体装置。

【請求項 6】

前記半導体装置は更に、前記リードデータバスを用いて前記メモリセルからベリファイデータを読み出す第 1 のセンスアンプを含む請求項 1 から請求項 3 のいずれか一項に記載の半導体装置。

【請求項 7】

前記半導体装置は更に、前記ライトデータバスを用いて前記メモリセルからベリファイデータを読み出す第 2 のセンスアンプを含む請求項 1 から請求項 3 のいずれか一項に記載の半導体装置。

10

【請求項 8】

前記半導体装置は更に、前記シールド配線を用いて前記メモリセルからベリファイデータを読み出す第 3 のセンスアンプを含む請求項 3 から請求項 5 のいずれか一項に記載の記載の半導体装置。

【請求項 9】

前記半導体装置は更に、前記リードデータバスを用いて前記メモリセルからデータを読み出すセンスアンプを含む請求項 1 から請求項 4 のいずれか一項に記載の半導体装置。

【請求項 10】

前記半導体装置は更に、第 1 のバンクのメモリセルにデータを書き込み中に第 2 のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイを含む請求項 1 から請求項 9 のいずれか一項に記載の半導体装置。

20

【請求項 11】

前記半導体装置は更に、第 1 のバンクのメモリセルにデータを書き込み中に第 2 のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイと、

前記バンク毎に設けられ、前記リードデータバスを用いて前記メモリセルからデータを読み出すセンスアンプとを含む請求項 3 から請求項 5 のいずれか一項に記載の半導体装置。

【請求項 12】

前記半導体装置は更に、第 1 のバンクのメモリセルにデータを書き込み中に第 2 のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイを含み、

前記リードデータバスは、前記バンク毎に設けられている請求項 3 から請求項 5 のいずれか一項に記載の半導体装置。

30

【請求項 13】

前記半導体装置は更に、第 1 のバンクのメモリセルにデータを書き込み中に第 2 のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイと、

前記バンクを選択する選択信号を生成する選択回路とを含む請求項 1 から請求項 9 のいずれか一項に記載の半導体装置。

【請求項 14】

前記半導体装置は更に、所定の書き込み時、前記第 1 のライトアンプを前記リードデータバスに接続するスイッチ手段を含む請求項 1 から請求項 3 のいずれか一項に記載の半導体装置。

40

【請求項 15】

前記半導体装置は更に、所定の書き込み時、前記第 3 のライトアンプを前記シールド配線に接続するスイッチ手段を含む請求項 3 から請求項 5 のいずれか一項に記載の半導体装置。

【請求項 16】

前記半導体装置は更に、第 1 のバンクのメモリセルにデータを書き込み中に第 2 のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイと、

前記複数のバンクのうち前記リードデータバスに接続するバンクを選択するスイッチ手

50

段を含む請求項 1 から請求項 3 のいずれか一項に記載の半導体装置。

【請求項 17】

前記半導体装置は更に、第 1 のバンクのメモリセルにデータを書き込み中に第 2 のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイと、

所定の書き込み時、前記複数のバンクのうち前記シールド配線に接続するバンクを選択するスイッチ手段を含む請求項 3 から請求項 5 のいずれか一項に記載の半導体装置。

【請求項 18】

前記リードデータバスは、前記ライトデータバスよりも多くのデータバスから構成される請求項 1 から請求項 3 および請求項 5 から請求項 17 のいずれか一項に記載の半導体装置。

10

【請求項 19】

前記半導体装置は、半導体記憶装置である請求項 1 から請求項 18 のいずれか一項に記載の半導体装置。

【請求項 20】

ライトデータバスを用いてメモリセルにデータを書き込むステップと、

リードデータバスを用いて前記メモリセルからデータを読み出すステップと、

所定の書き込み時、前記リードデータバスを用いて前記メモリセルにデータを書き込むステップと

を含むデータ書き込み方法。

【請求項 21】

前記データ書き込み方法は更に、所定の書き込み時、前記ライトデータバスを用いて前記メモリセルにデータを書き込むステップを含む請求項 20 記載のデータ書き込み方法。

20

【請求項 22】

前記データ書き込み方法は更に、所定の書き込み時、前記リードデータバスをシールドするためのシールド配線を用いて前記メモリセルにデータを書き込むステップを含む請求項 20 または請求項 21 記載のデータ書き込み方法。

【請求項 23】

リードデータバスを用いてメモリセルからデータを読み出すステップと、

所定の書き込み時、前記リードデータバスをシールドするためのシールド配線を用いて前記メモリセルにデータを書き込むステップと

を含むデータ書き込み方法。

30

【請求項 24】

前記データ書き込み方法は更に、前記リードデータバスを用いて前記メモリセルからベリファイデータを読み出すステップを含む請求項 20 から請求項 23 のいずれか一項に記載のデータ書き込み方法。

【請求項 25】

前記データ書き込み方法は更に、前記ライトデータバスを用いて前記メモリセルからベリファイデータを読み出すステップを含む請求項 20 から請求項 22 のいずれか一項に記載のデータ書き込み方法。

【請求項 26】

前記データ書き込み方法は更に、前記シールド配線を用いて前記メモリセルからベリファイデータを読み出すステップを含む請求項 22 または請求項 23 記載のデータ書き込み方法。

40

【請求項 27】

前記データ書き込み方法は更に、前記メモリセルをそれぞれ含む複数のバンクを選択する選択信号を生成するステップを含む請求項 20 から請求項 26 のいずれか一項に記載のデータ書き込み方法。

【請求項 28】

前記データ書き込み方法は更に、複数のバンクのうち第 1 のバンクのメモリセルにデータを書き込み中に第 2 のバンクのメモリセルからデータを読み出すステップを含む請求項 2

50

0 から請求項 27 のいずれか一項に記載のデータ書き込み方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびデータ書き込み方法に関する。

【背景技術】

【0002】

電氣的にデータの書き換えが可能な不揮発性半導体装置としてフラッシュメモリが広く用いられているが、フラッシュメモリのデータ書き換え時間はDRAMやSRAMのような他の半導体記憶装置と比べると極めて長く、フラッシュメモリを制御しているコントローラは、データの書き換え実行中はフラッシュメモリにアクセスできない。

10

【0003】

最近このような欠点を解消するために、フラッシュメモリの内部を複数のバンクに分割し、あるバンクのデータを書き換えている間でも、他のバンクのデータを読み出すことが可能なデュアルオペレーションタイプのフラッシュメモリが開発されている。ここでバンクとは一つのブロック又は任意に組み合わせられた二以上のブロックから構成されるグループからなり、データ処理に関して同時に働くことが可能なメモリバンクを指称する。

【0004】

次に、従来のデュアルオペレーションタイプのフラッシュメモリについて説明する。図1は従来のデュアルオペレーションタイプのフラッシュメモリのブロック図である。図1に示すように、フラッシュメモリ1は、セルアレイ2と、リード用センスアンプ3と、ライト用センスアンプ4と、ライトアンプ5とを含む。セルアレイ2は複数のバンクBANK0からBANKnを含む。各バンクBANK0乃至BANKnのメモリセルは、セクタ単位に管理されている。Yゲート21はビット線BLを介してリードデータバスRDB0乃至RDBmおよびライトデータバスWDB0乃至WDBmに接続されている。

20

【0005】

リード用センスアンプ3はリードデータバスRDB0乃至RDBmを用いてメモリセルからデータを読み出す。ライト用センスアンプ4はライトデータバスWDB0からWDBmを用いてメモリセルからベリファイデータを読み出す。ライトアンプ5はライトデータバスWDB0からWDBmを用いてメモリセルにデータを書き込む。このようなデュアルオペレーションタイプのフラッシュメモリでは、あるバンクのデータを書き換えている間でも、他のバンクのデータを読み出すことができる。

30

【0006】

また、このようなデュアルオペレーションタイプのフラッシュメモリについて特許文献1で提案されている。

【0007】

【特許文献1】米国特許第6240040号明細書

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、このようなデュアルオペレーションタイプのフラッシュメモリ1において、メモリセルへの書き込み時、内部電源を用いた場合、チップに搭載された高電圧発生回路の電流能力の制約から一度に書き込むビット数が制限されるため、高速に書き込みを行うことができない。一方、外部電源を用いて高速書き込みを行うとした場合、一度に書き込むビット数に制限がないため、多くのビットを同時に書き込むことで高速書き込みが達成できるが、外部電源を用いて多ビットを同時に書き込むには、そのビット数分のライトデータバスが必要となり、ライトデータバスを増やすと、チップサイズが増大するという問題がある。

40

【0009】

そこで、本発明は上記問題点を鑑みてなされたもので、チップサイズを増大させること

50

なく、多ビットの同時書き込みを実現できる半導体装置および半導体書き込み方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

上記課題を解決するために、本発明は、メモリセルにデータを書き込むためのライトデータバスと、前記メモリセルからデータを読み出すためのリードデータバスと、所定の書き込み時、前記リードデータバスを用いて前記メモリセルにデータを書き込む第1のライトアンプとを含む半導体装置である。本発明によれば、例えばバースト品やページ品のように多くのリードデータバスを持つ場合、例えば高速書き込み時にはこれらのリードデータバスをライトデータバスとして使用するので、メモリセルに多ビットを同時に書き込むことができ、高速に書き込みを行うことができる。また高速書き込み中に使っていないリードデータバスを用いてデータの書き込みを行うので、書き込み用のデータバスを別途設ける必要がないため、チップサイズが増大することもない。

10

【0011】

前記半導体装置は更に、所定の書き込み時、前記ライトデータバスを用いて前記メモリセルにデータを書き込む第2のライトアンプを含む。本発明によれば、データの書き込みにライトデータバスとリードデータバスを用いることで、メモリセルに更に多くのビットを同時に書き込むことができ、高速に書き込むことができる。

【0012】

前記半導体装置は更に、前記リードデータバスをシールドするためのシールド配線と、所定の書き込み時、前記シールド配線を用いて前記メモリセルにデータを書き込む第3のライトアンプとを含む。本発明によれば、各リードデータバスのシールド配線を高速書き込み時にはライトデータバスとして使用するので、メモリセルに更に多くのビットを同時に書き込むことができ、高速に書き込みを行うことができる。

20

【0013】

本発明は、メモリセルからデータを読み出すリードデータバスをシールドするためのシールド配線と、所定の書き込み時、前記シールド配線を用いて前記メモリセルにデータを書き込む第3のライトアンプとを含む半導体装置である。本発明によれば、リードデータバスのシールド配線を高速書き込み時にはライトデータバスとして使用することで、メモリセルに多ビットを同時に書き込むことができ、データを高速に書き込むことができる。本発明の半導体装置は更に、前記メモリセルにデータを書き込むためのライトデータバスを含む。

30

【0014】

前記半導体装置は更に、前記リードデータバスを用いて前記メモリセルからベリファイデータを読み出す第1のセンスアンプを含む。本発明によれば、ベリファイデータの読み出しにリードデータバスを用いることで、メモリセルからデータを高速に読み出すことができる。

【0015】

前記半導体装置は更に、前記ライトデータバスを用いて前記メモリセルからベリファイデータを読み出す第2のセンスアンプを含む。本発明によれば、ベリファイデータの読み出しにライトデータバスとリードデータバスを用いることで、メモリセルからデータを高速に読み出すことができる。

40

【0016】

前記半導体装置は更に、前記シールド配線を用いて前記メモリセルからベリファイデータを読み出す第3のセンスアンプを含む。本発明によれば、ベリファイデータの読み出しにシールド配線を用いることで、メモリセルからデータを高速に読み出すことができる。

【0017】

前記半導体装置は更に、前記リードデータバスを用いて前記メモリセルからデータを読み出すセンスアンプを含む。本発明によれば、リードデータバスを用いてメモリセルからデータを読み出すことができる。

50

【0018】

前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイを含む。本発明によれば、デュアルオペレーション動作に適したデータの高速読み出しが可能となる。

【0019】

前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイと、前記バンク毎に設けられ、前記リードデータバスを用いて前記メモリセルからデータを読み出すセンスアンプとを含む。本発明によれば、リード用のセンスアンプがバンク毎に設けられている場合でも、シールド配線を用いてメモリセルにデータを高速に書き込むことができる。

10

【0020】

前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイを含み、前記リードデータバスは、前記バンク毎に設けられている。本発明によれば、リードデータバスがバンク毎に設けられている場合でも、リードデータバスのシールド配線を用いることで、メモリセルにデータを高速に書き込むことができる。

【0021】

前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイと、前記バンクを選択する選択信号を生成する選択回路とを含む。本発明によれば、データを高速に書き込むバンクを選択することができる。

20

【0022】

前記半導体装置は更に、所定の書き込み時、前記第1のライトアンプを前記リードデータバスに接続するスイッチ手段を含む。本発明によれば、第1のライトアンプをリードデータバスに接続してメモリセルにデータを高速に書き込むことができる。

【0023】

前記半導体装置は更に、所定の書き込み時、前記第3のライトアンプを前記シールド配線に接続するスイッチ手段を含む。本発明によれば、第3のライトアンプをシールド配線に接続してメモリセルにデータを高速に書き込むことができる。

30

【0024】

前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイと、前記複数のバンクのうち前記リードデータバスに接続するバンクを選択するスイッチ手段を含む。本発明によれば、各バンク内のメモリセルをリードデータバスに接続することができる。

【0025】

前記半導体装置は更に、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクを含むセルアレイと、所定の書き込み時、前記複数のバンクのうち前記シールド配線に接続するバンクを選択するスイッチ手段を含む。本発明によれば、各バンク内のメモリセルをシールド配線に接続することができる。

40

【0026】

前記リードデータバスは、前記ライトデータバスよりも多くのデータバスから構成される。本発明によれば、バースト品やページ品の場合には、ライトデータバスよりも多いリードデータバスを用いることで、メモリセルにデータを高速に書き込むことができる。前記半導体装置は半導体記憶装置である。

【0027】

本発明は、ライトデータバスを用いてメモリセルにデータを書き込むステップと、リー

50

ドデータバスを用いて前記メモリセルからデータを読み出すステップと、所定の書き込み時、前記リードデータバスを用いて前記メモリセルにデータを書き込むステップとを含むデータ書き込み方法である。本発明によれば、例えばバースト品やページ品のように多くのリードデータバスを持つ場合、例えば高速書き込み時にはこれらのリードデータバスをライトデータバスとして使用するので、多ビットを同時に書き込むことができ、高速に書き込みが可能な半導体装置のデータ書き込み方法を提供することができる。また、高速書き込み中に使っていないデータバスを用いてデータの書き込みを行うことで、書き込み用のデータバスを別途設ける必要がないため、チップサイズが増大することもない。

【0028】

本発明のデータ書き込み方法は更に、所定の書き込み時、前記ライトデータバスを用いて前記メモリセルにデータを書き込むステップを含む。本発明によれば、データの書き込みにライトデータバスとリードデータバスを用いることで、更に多くのビットを同時に書き込むことができ、高速に書き込むことができる。

10

【0029】

本発明のデータ書き込み方法は更に、所定の書き込み時、前記リードデータバスをシールドするためのシールド配線を用いて前記メモリセルにデータを書き込むステップを含む。本発明によれば、各リードデータバスのシールド配線を高速書き込み時にはライトデータバスとして使用するので、更に多くのビットを同時に書き込むことができ、高速に書き込みを行うことができる。

【0030】

20

本発明は、リードデータバスを用いてメモリセルからデータを読み出すステップと、所定の書き込み時、前記リードデータバスをシールドするためのシールド配線を用いて前記メモリセルにデータを書き込むステップとを含むデータ書き込み方法である。本発明によれば、各リードデータバスのシールド配線を高速書き込み時にはライトデータバスとして使用するので、多ビットを同時に書き込むことができ、データを高速に書き込むことができる。

【0031】

前記データ書き込み方法は更に、前記リードデータバスを用いて前記メモリセルからベリファイデータを読み出すステップを含む。本発明によれば、ベリファイデータの読み出しにリードデータバスを用いることで、メモリセルからデータを高速に読み出すことができる。

30

【0032】

前記データ書き込み方法は更に、前記ライトデータバスを用いて前記メモリセルからベリファイデータを読み出すステップを含む。本発明によれば、ベリファイデータの読み出しにライトデータバスとリードデータバスを用いることで、メモリセルからデータを高速に読み出すことができる。

【0033】

前記データ書き込み方法は更に、前記シールド配線を用いて前記メモリセルからベリファイデータを読み出すステップを含む。本発明によれば、ベリファイデータの読み出しにシールド配線を用いることで、メモリセルからデータを高速に読み出すことができる。

40

【0034】

前記データ書き込み方法は更に、前記メモリセルをそれぞれ含む複数のバンクを選択する選択信号を生成するステップを含む。本発明によれば、データを高速に書き込むバンクを選択することができる。

【0035】

前記データ書き込み方法は更に、複数のバンクのうち第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すステップを含む。本発明によれば、デュアルオペレーションタイプの半導体装置を提供することができる。

【発明の効果】**【0036】**

50

本発明によれば、チップサイズを増大させることなく、多ビットの同時書き込みを実現できる半導体装置および半導体書き込み方法を提供できる。

【図面の簡単な説明】

【0037】

【図1】従来のデュアルオペレーションタイプのフラッシュメモリのブロック図である。

【図2】実施例1による半導体装置の構成図である。

【図3】実施例1による半導体装置10のバンク選択信号を生成する構成を示す図である。

【図4】実施例1によるバンク選択回路を示す図である。

【図5】実施例1による半導体装置の高速書き込み時のタイミング図である。

10

【図6】実施例2による半導体装置の構成図である。

【図7】実施例2による半導体装置の高速書き込み時のタイミング図である。

【図8】実施例3による半導体装置の構成図である。

【図9】実施例3による半導体装置の高速書き込み時のタイミング図である。

【発明を実施するための最良の形態】

【0038】

以下、添付の図面を参照して本発明の実施例を説明する。

【実施例1】

【0039】

図2は実施例1による半導体装置の構成図である。図2に示すように、半導体装置10は、コアセルアレイ2、リード用センスアンプ3、ライト用センスアンプ4、ライトアンプ5、ライト用センスアンプ11、ライトアンプ12を含む。また、半導体装置10はライトデータバスWDB0乃至WDBm、リードデータバスRDB0乃至RDBmおよびシールド配線VSDを含む。図1と同一箇所については同一符号を付して説明する。

20

【0040】

半導体装置10は単独でパッケージされたフラッシュメモリ等の半導体記憶装置であってもよいし、システムLSIのように半導体装置の一部として組み込まれたものであってもよい。この半導体装置10はデータの消去や書き込みを行っている最中に他の部分のデータを読み出すことが可能なデュアルオペレーションタイプのものである。半導体装置10はデュアルオペレーション動作中は通常でメモリセルにデータを書き込むことができ、高速書き込み時はデュアルオペレーション動作を禁止して、高速にメモリセルにデータを書き込むことができる。

30

【0041】

コアセルアレイ2は第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクBANK0乃至BANKnを含む。各バンクBANK0乃至BANKnのメモリセルは複数のセクタで構成されている。Yゲート21はビット線BLを介してリードデータバスRDB0乃至RDBmおよびライトデータバスWDB0乃至WDBmに接続されている。ライトデータバスWDB0乃至WDBmはメモリセルにデータを書き込むためのものである。リードデータバスRDB0乃至RDBmはメモリセルからデータを読み出すためのものである。シールド配線VSDはリードデータバスRDB0乃至RDBmをシールドするためのものである。

40

【0042】

リード用センスアンプ3は、電流比較回路であり、リードデータバスRDB0乃至RDBmを用いてメモリセルからデータを読み出し、メモリセルの読み出し電流と基準電流とを比較し、その電流差を増幅して出力する。ライト用センスアンプ4は通常書き込み時および高速書き込み時、ライトデータバスWDB0乃至WDBmを用いてメモリセルからペリファイデータを読み出すものである。ライトアンプ5は通常書き込み時および高速書き込み時、ライトデータバスWDB0乃至WDBmを用いてメモリセルにデータを書き込むものである。

【0043】

50

ライト用センスアンプ 1 1 はファーストプログラム用のセンスアンプである。このライト用センスアンプ 1 1 は、高速書き込み時、リードデータバス R D B 0 乃至 R D B m を用いてメモリセルからベリファイデータを読み出すものである。このライト用センスアンプ 1 1 により、プログラムベリファイも 2 ワード分同時に行うことができる。なお、リードデータバス R D B m はリード用センスアンプ 3 に接続されているため、ライト用センスアンプ 1 1 を追加する代わりに、リード用センスアンプ 3 を用いてベリファイデータを読み出してもよい。ライトアンプ 1 2 は高速書き込み時、リードデータバス R D B 0 乃至 R D B m を用いてメモリセルにデータを書き込むものである。

【 0 0 4 4 】

N M O S トランジスタ 8 0 および 8 1 は、高速書き込み時、ライト用センスアンプ 1 1 およびライトアンプ 1 2 をリードデータバス R D B 0 乃至 R D B m に接続するスイッチ手段である。

10

【 0 0 4 5 】

各バンク B A N K 0 乃至 B A N K n のビット線 B L は、バンク選択信号 R S E L 0 0 乃至 R S E L 1 n がゲート入力となる N M O S トランジスタ 6 0 0 乃至 6 n 3 を介してリードデータバス R D B 0 乃至 R D B m に接続されている。また、各バンク B A N K 0 乃至 B A N K n のビット線 B L は、バンク選択信号 W S E L 0 0 乃至 W S E L 1 n がゲート入力となる N M O S トランジスタ 7 0 0 乃至 7 n 3 を介してライトデータバス W D B 0 乃至 W D B m に接続されている。ここで m は I / O 番号で例えば 0 乃至 1 5 の整数である。

【 0 0 4 6 】

20

バンク B A N K n がリード状態の場合、バンク選択信号 R S E L 0 n または R S E L 1 n がハイレベルになり、リード用センスアンプ 3 はリードデータバス R D B 0 乃至 R D B m を通してデータの読み取りを行う。このとき 1 6 ビット (1 ワード) を同時に読み出すことができる。バンク B A N K n がプログラムまたはベリファイ状態の場合、バンク選択信号 W S E L 0 n または W S E L 1 n がハイレベルになり、ライト用センスアンプ 4 およびライトアンプ 5 は、ライトデータバス W D B 0 乃至 W D B m を通してプログラムまたはベリファイを行う。これにより 1 6 ビット (1 ワード) 同時書き込みが行われる。

【 0 0 4 7 】

通常、バンク選択信号 R S E L 0 n 、 R S E L 1 n 、 W S E L 0 n および W S E L 1 n はバンク B A N K 1 乃至 B A N K n 毎に制御されリード、ライトが同時に実行することが可能となる。これにより、デュアルオペレーション機能が実現される。

30

【 0 0 4 8 】

高速書き込み時には、信号 F P G M がハイレベルとなり、高速書き込み用のライト用センスアンプ 1 1 およびライトアンプ 1 2 が N M O S トランジスタ 8 0 および 8 1 を介してリード用データバス R D B 0 乃至 R D B m に接続される。バンク B A N K n の選択は、バンク選択信号 R S E L 0 n および W S E L 1 n が H I G H 、バンク選択信号 R S E L 1 n および W S E L 0 n が L O W で行い、点線で囲んだトランジスタがオンとなり、信号 P G M が H I G H のとき、通常書き込み時の 2 倍のビット数を同時に書き込み、信号 P G M V が H I G H でプログラムベリファイを行うことができる。これにより 2 ワード分 (3 2 ビット) の同時書き込みが実現される。

40

【 0 0 4 9 】

図 3 は実施例 1 による半導体装置 1 0 のバンク選択信号を生成する構成を示す図である。図 3 に示すように、半導体装置 1 0 は、コントロールロジック 1 3 、アドレスバッファ 1 4 およびバンク選択回路 1 5 を含む。コントロールロジック 1 3 は外部コマンドを受け取り、信号 R e a d 、信号 W r i t e 、信号 F P G M を生成し、これらをアドレスバッファ 1 4 に送る。外部コマンドはライトコマンド、高速書き込みコマンド等のコマンドを含む。

【 0 0 5 0 】

アドレスバッファ 1 4 は外部アドレス A (i) およびコントロールロジック 1 3 からの信号 R e a d 、信号 W r i t e 信号 F P G M を受けて、リード用内部アドレス R A (i)

50

および $RAB(i)$ 、リード用バンク選択信号信号 $RBSELn$ 、ライト用内部アドレス $WA(i)$ および $WAB(i)$ 、ライト用バンク選択信号 $WSELn$ を生成する。ここでリード用内部アドレス $RAB(i)$ は、リード用内部アドレス $RA(i)$ の反転信号である。ライト用内部アドレス $WAB(i)$ は、ライト用内部アドレス $WA(i)$ の反転信号である。バンク選択回路 15 はバンク $BANK0$ 乃至 $BANKn$ を選択する選択信号 $RSEL0n$ 、 $RSEL1n$ 、 $WSEL0n$ および $WSEL1n$ を生成する。

【0051】

次に、バンク選択回路 15 について説明する。図 4 はバンク選択信号を生成するバンク選択回路 15 の構成を示す図である。バンク選択回路 15 は回路 151 乃至回路 157 を含み、バンク選択信号 $RSEL0n$ 、 $RSEL1n$ 、 $WSEL0n$ および $WSEL1n$ を生成する回路である。回路 151 は $NAND$ 回路 511 およびインバータ 512 を含み、信号 $WSELn$ および信号 $FPGM$ から信号 $FWSELn$ を生成する。回路 152 および回路 153 は、バンク $BANKn$ のファーストプログラム時、バンク選択信号 $RSEL0n$ および $WSEL1n$ を強制的に $HIGH$ にする回路である。

【0052】

回路 152 は、 NOR 回路 521 およびインバータ 522 を含み、信号 $WA(j)$ および信号 $FPGM$ から信号 $FWA(j)$ を生成する。回路 153 は $NAND$ 回路 531、インバータ 532 および 533 を含み、信号 $WAB(j)$ および信号 $FPGM$ から信号 $FWAB(j)$ を生成する。回路 154 乃至 157 において、インバータ回路 154a 乃至 157a は、 VCC レベルの入力信号を VPP レベルの出力信号にレベルシフトする回路である。回路 154 は $NAND$ 回路 541、 $NMOS$ トランジスタ 542 および 543、 $PMOS$ トランジスタ 544 および 545 を含み、信号 $RBSELn$ および信号 $RA(j)$ からバンク選択信号 $RSEL1n$ を生成する。

【0053】

回路 155 は、 $NAND$ 回路 551 および 552、 NOR 回路 553、 $NMOS$ トランジスタ 554 および 555、 $PMOS$ トランジスタ 556 および 557 を含み、信号 $RBSELn$ 、信号 $RAB(j)$ 、信号 $FWSELn$ 、信号 $FWA(j)$ からバンク選択信号 $RSEL0n$ を生成する。回路 156 は $NAND$ 回路 561、 $NMOS$ トランジスタ 562 および 563、 $PMOS$ トランジスタ 564 および 565 を含み、信号 $WSELn$ および信号 $FWA(j)$ からバンク選択信号 $WSEL1n$ を生成する。

【0054】

回路 157 は、 $NAND$ 回路 571、 $NMOS$ トランジスタ 572 および 573、 $PMOS$ トランジスタ 574 および 575 を含み、信号 $WSELn$ および信号 $FWAB(j)$ からバンク選択信号 $WSEL0n$ を生成する。通常、バンク $BANKn$ がリード状態の時、アドレスバッファ 14 からの信号 $RBSELn$ が $HIGH$ となり、ライト状態の時に信号 $WSELn$ が $HIGH$ となり、リードアドレス $RAB(j)$ および $RA(j)$ でバンク選択信号 $RSEL0n$ および $RSEL1n$ を選択し、ライトアドレス $WAB(j)$ および $WA(j)$ で信号 $WSEL0n$ 、信号 $WSEL1n$ の選択を行う。高速書き込み時には信号 $FPGM$ が $HIGH$ となる。また、信号 $WA(j)$ 、信号 $WAB(j)$ にかかわりなく内部信号 $FWA(j)$ が $HIGH$ 、 $FWAB(j)$ が LOW となることで、バンク選択信号 $RSEL0n$ および $WSEL1n$ の選択を行う。

【0055】

次に、実施例 1 に係る半導体装置の高速書き込み時の動作について説明する。図 5 は実施例 1 に係る半導体装置の高速書き込み時のタイミング図である。高速書き込み時、ユーザは高速書き込みコマンド $FPGM$ とともに、2つのアドレスと2つのデータ(16ビットづつの計32ビット)を連続的に入力する。このとき、アドレス入力は、コラム選択用(選択トランジスタ $6n0$ 乃至 $6n3$ および $7n0$ 乃至 $7n3$)の最上位アドレス $A(j)$ を $HIGH$ 、 LOW と切り替えて入力し、その他のアドレスは $A(i)$ は同一である。2つのデータは、各々のライトアンプ 5 および 12 にラッチされる。その後、信号 $PGMV$ が $HIGH$ でプログラムベリファイに入る。

10

20

30

40

50

【 0 0 5 6 】

プログラムベリファイでは、図 4 に示したように、FWA (j) 及び FWAB (j) が強制的にそれぞれ HIGH 及び LOW となり、選択されたバンク BANK n は、バンク選択信号 RSEL 0 n 及び WSEL 1 n が常に HIGH、バンク選択信号 RSEL 1 n 及び WSEL 0 n が常に LOW となる。信号 PGMV が HIGH のプログラムベリファイ期間で、ベリファイデータがリードデータバス RDB 0 乃至 RDB m およびライトデータバス WDB 0 乃至 WDB m に供給され、32 ビット (2 ワード分) 同時にプログラムベリファイが行われる。

【 0 0 5 7 】

次に、信号 PGM が HIGH のプログラム期間に、プログラム電圧がリードデータバス RDB 0 乃至 RDB m およびライトデータバス WDB 0 乃至 WDB m に供給され、32 ビットの同時書き込みが行われる。次に、信号 PGMV が HIGH のプログラムベリファイ期間で、ベリファイデータがリードデータバス RDB 0 乃至 RDB m およびライトデータバス WDB 0 乃至 WDB m に流れ、32 ビット (2 ワード分) 同時にプログラムベリファイが行われ、プログラムベリファイをパスすると、高速書き込みは終了し、信号 FPGM が LOW となる。続けて別のデータの高速書き込みを行うときは、再度 FPGM コマンドを入力して同様に行う。

【 0 0 5 8 】

実施例 1 によれば、リードとライトを同時に行えるフラッシュメモリでは通常リードデータバス、ライトデータバスを持つので、高速書き込み時にはリードとライトとの同時実行を禁止してリードデータバスとライトデータバスの両方をライトデータバスとして使用し多ビットを同時に書き込み、高速に書き込むことができる。書き込み用のデータバスを別途設ける必要がないため、チップサイズが増大することもない。

【 実施例 2 】

【 0 0 5 9 】

次に、実施例 2 について説明する。図 6 は実施例 2 に係る半導体装置の構成図である。図 6 に示すように、半導体装置 110 は、コアセルアレイ 2、リード用センスアンプ 3、ライト用センスアンプ 4、ライトアンプ 5、ライト用センスアンプ 11、ライトアンプ 12 を含む。半導体装置 110 は更に、実施例 1 と同様に、コントロールロジック 13、アドレスバッファ 14 およびバンク選択回路 15 を含む。この半導体装置 110 はデータの消去や書き込みを行っている最中に他の部分のデータを読み出すことが可能なデュアルオペレーションタイプのものであり、バーストモードまたはページモードを備えている。

【 0 0 6 0 】

ライトデータバス WDB 0 乃至 WDB m は、メモリセルにデータを書き込むためのものである。リードデータバス RDB 0 m 乃至 RDB 1 m は、メモリセルからデータを読み出すためのものである。このリードデータバス RDB 0 m 乃至 RDB 1 m は、ライトデータバス WDB 0 乃至 WDB m よりも多くのデータバスを含む。バーストやページモード品では読み出し時は同時に複数ワード (ここでの例では 2 ワード) をアクセスするため、入出力端子 I/O m に対しては同時にリードデータバス RDB 0 m とリードデータバス RDB 1 m の 2 つのバスに 2 ワード分のデータが読み出される。シールド配線 VSD はリードデータバス RDB 0 0 乃至 RDB 1 m をシールドするためのものである。

【 0 0 6 1 】

コアセルアレイ 2 は、第 1 のバンクのメモリセルにデータを書き込み中に第 2 のバンクのメモリセルからデータを読み出すことができる複数のバンク BANK 0 乃至 BANK n を含む。バンク BANK 0 から BANK n のメモリセルは複数のセクタで構成されている。リード用センスアンプ 3 は、電流比較回路であり、リードデータバス RDB 0 m 乃至 RDB 1 m を用いてメモリセルからデータを読み出し、メモリセルの読み出し電流と基準電流とを比較し、その電流差を増幅して出力する。

【 0 0 6 2 】

ライト用センスアンプ 4 は、通常書き込み時、ライトデータバス WDB 0 乃至 WDB m

を用いてメモリセルからベリファイデータを読み出す。このライト用センスアンプ4は、高速書き込み時、リードデータバスRDB00乃至RDB0mを用いてメモリセルからベリファイデータの読み出しを行う。ライトアンプ5は、通常書き込み時、ライトデータバスWDB0乃至WDBmを用いてデータの書き込みを行う。ライトアンプ5は、高速書き込み時、リードデータバスRDB00乃至RDB0mを用いてメモリセルからベリファイデータの読み出しを行う。

【0063】

ライト用センスアンプ11は、ファーストプログラム用のセンスアンプである。このライト用センスアンプ11は、高速書き込み時、リードデータバスRDB10乃至RDB1mを用いてメモリセルからベリファイデータを読み出す。このライト用センスアンプ11により、プログラムベリファイも2ワード分同時に行うことができる。ライトアンプ12は、高速書き込み時、リードデータバスRDB10乃至RDB1mを用いてメモリセルにデータを書き込む。NMOSTランジスタ80乃至83は、高速書き込み時、ライト用センスアンプ4、センスアンプ5、ライト用センスアンプ11およびライトアンプ12をリードデータバスRDB00乃至RDB1mに接続するスイッチ手段である。

10

【0064】

各バンクBANK0乃至BANKnのビット線BLは、バンク選択信号RSEL0乃至RSELnがゲート入力となるNMOSTランジスタ600乃至6n3を介してリードデータバスRDB00乃至RDB1mに接続されている。また、各バンクBANK0乃至BANKnのビット線BLは、バンク選択信号WSEL0乃至WSEL1nがゲート入力となるNMOSTランジスタ700乃至7n3を介してライトデータバスWDB0乃至WDBmに接続されている。ここでmはI/O番号で例えば0乃至15の整数となる。

20

【0065】

バンクBANK0乃至BANKnがリード状態の場合、バンク選択信号RSELnがハイレベルになり、リード用センスアンプ3は、リードデータバスRDB00乃至RDB1mを通して2ワードのデータの読み取りを行う。バンクBANKnがプログラムまたはベリファイ状態の場合、バンク選択信号WSEL0nまたはWSEL1nがハイレベルになり、ライト用センスアンプ4、ライトアンプ5は、ライトデータバスWDB0乃至WDBmを通して1ワードのプログラムまたはベリファイを行う。

【0066】

通常、バンク選択信号RSELn、WSEL0n、WSEL1nはバンクBANK0乃至BANKn毎に制御されリード、ライトを同時に実行することが可能となる。これにより、デュアルオペレーション機能が実現される。高速書き込み時には、信号FPGMがハイレベルとなり、ライト用センスアンプ4、センスアンプ5、ライト用センスアンプ11およびライトアンプ12がNMOSTランジスタ80乃至83を介してリードデータバスRDB00乃至RDB1mに接続されて、2ワード分を同時にプログラムまたはプログラムベリファイすることができる。

30

【0067】

このように、実施例2では、ライトデータバスWDB0乃至WDBmより多くのリードデータバスRDB00乃至RDB1mを持つので、高速書き込み時にリードデータバスRDB00乃至RDB1mだけを使用して複数のビットに同時書き込みを行う。この場合、バンク選択信号RSELn、WSEL0n、WSEL1nの制御が簡単になる。

40

【0068】

図7は実施例2に係る半導体装置の高速書き込み時のタイミング図である。バンクBANKnの高速書き込み時、信号FPGM、バンク選択信号RSELnがHIGHとなる。信号PGMVがHIGHのプログラムベリファイ期間で、ベリファイデータがリードデータバスRDB0mおよびRDB1mに流れ、プログラムベリファイが行われる。次に、信号PGMがHIGHのプログラム期間に、プログラム電圧がリードデータバスRDB0mおよびRDB1mに供給され、32ビットの同時書き込みが行われる。

【0069】

50

次に、信号 PGMV が HIGH のプログラムベリファイ期間で、ベリファイデータがリードデータバス RDB0m および RDB1m に流れ、プログラムベリファイが行われ、プログラムベリファイをパスすれば、高速書き込みは終了し、信号 FPGM が LOW となる。続けて別のデータの高速書き込みを行うときは、再度 FPGM コマンドを入力して同様に行う。

【0070】

実施例2によれば、バースト品やページ品のように複数ワード分のリードデータバスを持つメモリで、高速書き込み時にはこれらのリードデータバスをライトデータバスとして使用するので、多ビットを同時に書き込むことができ、高速に書き込みを行うことができる。

10

【実施例3】

【0071】

次に、実施例3について説明する。図8は実施例3に係る半導体装置の構成図である。実施例3では、複数のリードデータバスが各バンク毎にある場合の例である。図8に示すように、半導体装置210は、コアセルアレイ2、複数のリード用センスアンプ3a乃至3n、ライト用センスアンプ4、ライトアンプ5、ライト用センスアンプ11、ライトアンプ120を含む。半導体装置210は更に、実施例1と同様に、コントロールロジック13、アドレスバッファ14およびバンク選択回路15を含む。

【0072】

半導体装置210は、データの消去や書き込みを行っている最中に他の部分のデータを読み出すことが可能なデュアルオペレーションタイプのものであり、ページモードやバーストモードを備えている。ライトデータバスWDB0乃至WDBmは、メモリセルにデータを書き込むためのものである。リードデータバスRDB000乃至RDBn1mは、メモリセルからデータを読み出すためのものである。このリードデータバスRDB000乃至RDBn1mは、バンクBANK0乃至BANKn毎に設けられている。シールド配線VSDは、リードデータバスRDB000乃至RDBn1mをシールドするためのものである。

20

【0073】

コアセルアレイ2は、第1のバンクのメモリセルにデータを書き込み中に第2のバンクのメモリセルからデータを読み出すことができる複数のバンクBANK0乃至BANKnを含む。バンクBANK0乃至BANKnのメモリセルは複数のセクタで構成されている。各リード用センスアンプ3a乃至3nは、リードデータバスRDB000乃至RDBn1mを用いてメモリセルからデータを読み出す。このリード用センスアンプ3a乃至3nは、バンク毎に設けられている。

30

【0074】

ライト用センスアンプ4は、通常書き込み時、ライトデータバスWDB0乃至WDBmを用いてメモリセルからベリファイデータを読み出す。ライトアンプ5は、通常書き込み時、ライトデータバスWDB0乃至WDBmを用いてメモリセルにデータを書き込む。ライト用センスアンプ11は、ファーストプログラム用のセンスアンプである。ライト用センスアンプ4および11は、高速書き込み時、シールド配線VSDを用いてメモリセルからベリファイデータを読み出す。このライト用センスアンプ11により、プログラムベリファイも2ワード分同時に行うことができる。ライトアンプ5および120は、高速書き込み時、シールド配線VSDを用いてメモリセルにデータを書き込む。

40

【0075】

NMOSトランジスタ80乃至83は、高速書き込み時、ライト用センスアンプ4、ライトアンプ5、ライト用センスアンプ11およびライトアンプ12をシールド配線VSDに接続するスイッチ手段である。NMOSトランジスタ800乃至8n4は、高速書き込み時、ビット線BLをリードデータバスRDB000乃至RDBn1mを介してシールド配線VSDに接続するスイッチ手段である。

【0076】

50

バンクBANK nのビット線BLは、バンク選択信号RSEL nがゲート入力となるNMOSトランジスタ6 n 0乃至6 n 3を介してリードデータバスRDB n 0 n乃至RDB n 1 mに接続されて、2ワード分の読み出しが行われる。また、バンクBANK nのビット線BLは、バンク選択信号WSEL 0 n乃至WSEL 1 nがゲート入力となるNMOSトランジスタ7 n 0と7 n 2、または7 n 1と7 n 3を介してライトデータバスWDB 0乃至WDB mに接続されて、1ワードのプログラムが行われる。ここでmはI/O番号で例えば0乃至15の整数となる。

【0077】

各リードデータバスRDB 0 0 0乃至RDB n 1 mは、隣のリードデータバスの影響を緩和するためにシールド配線VSDでシールドされている。このシールド配線VSDは、バンク共通であるのでこれを高速書き込み時のデータバスとして使用する。通常時、信号FPGMBはハイレベルとなり、シールド配線VSDはNMOSトランジスタ9 0乃至9 5を介してグランドVSSに接続される。高速書き込み時、信号FPGMBはローレベルとなり、グランドVSSとは切り離される。信号FPGMがハイレベルとなり、ライト用センスアンプ4、ライトアンプ5にはバンクBANK nのリードデータバスRDB n 0 0乃至RDB n 0 mが、ライト用センスアンプ1 1およびライトアンプ1 2 0にはバンクBANK nのリードデータバスRDB n 1 0乃至RDB n 1 mが接続されて2ワード同時の高速書き込みおよびベリファイが行われる。

【0078】

図9は実施例3に係る半導体装置の高速書き込み時のタイミング図である。バンクBANK nの高速書き込み時、信号FPGM、バンク選択信号RSEL nがHIGHとなる。信号PGMVがHIGHのプログラムベリファイ期間で、ベリファイデータがシールド配線VSDに流れ、プログラムベリファイが行われる。次に、信号PGMがHIGHのプログラム期間に、プログラム電圧がシールド配線VSDに供給され、32ビットの同時書き込みが行われる。

【0079】

次に、信号PGMVがHIGHのプログラムベリファイ期間で、ベリファイデータがシールド配線VSDに流れ、プログラムベリファイが行われ、プログラムベリファイをパスすれば、高速書き込みは終了し、信号FPGMがLOWとなる。続けて別のデータの高速書き込みを行うときは、再度FPGMコマンドを入力して同様に行う。

【0080】

実施例3によれば、リードデータバスがバンク毎にある場合、各リードデータバスのシールド配線を高速書き込み時にはライトデータバスとして使用するのので、多ビットを同時に書き込むことができ、高速に書き込みを行うことができる。

【0081】

なお、実施例1および実施例2でも、シールド配線VSDを用いて高速書き込みを実現してもよい。

【0082】

また、ライトアンプ1 2、ライトアンプ5、ライトアンプ5およびライトアンプ1 2 0、ライト用センスアンプ1 1、ライト用センスアンプ4、ライト用センスアンプ4およびライト用センスアンプ1 1、バンク選択回路1 5が請求の範囲における第1のライトアンプ、第2のライトアンプ、第3のライトアンプ、第1のセンスアンプ、第2のセンスアンプ、第3のセンスアンプ、選択回路にそれぞれ対応する。また、なお、NMOSトランジスタ6 0 0乃至6 n 3が、複数のバンクのうちリードデータバスに接続するバンクを選択するスイッチ手段である。

【0083】

以上本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、請求の範囲に記載された本発明の要旨の範囲内において、種々の変形、変更が可能である。

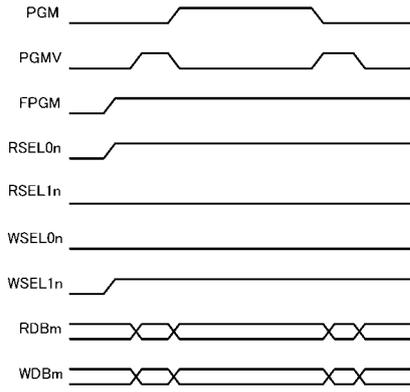
10

20

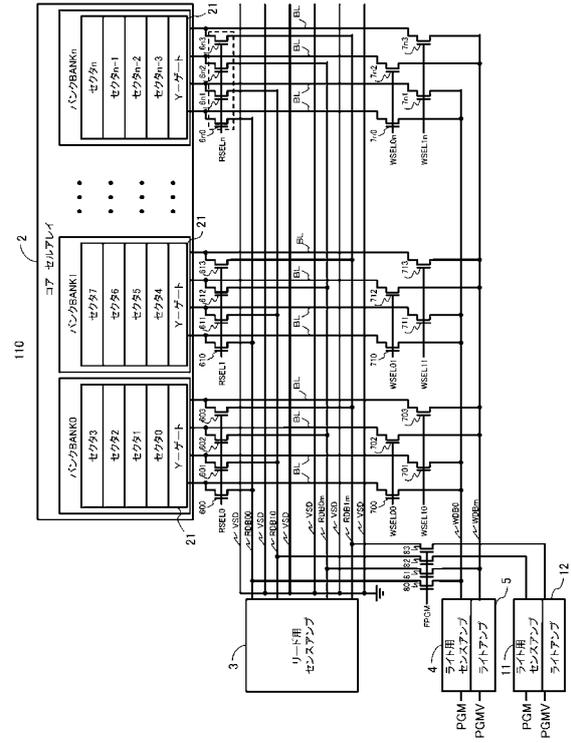
30

40

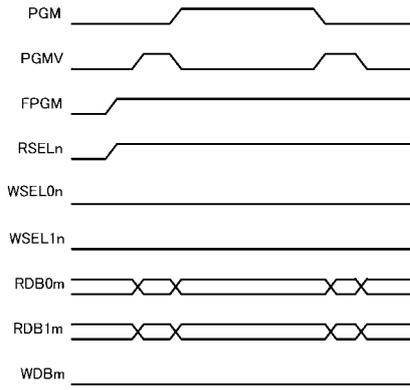
【図5】



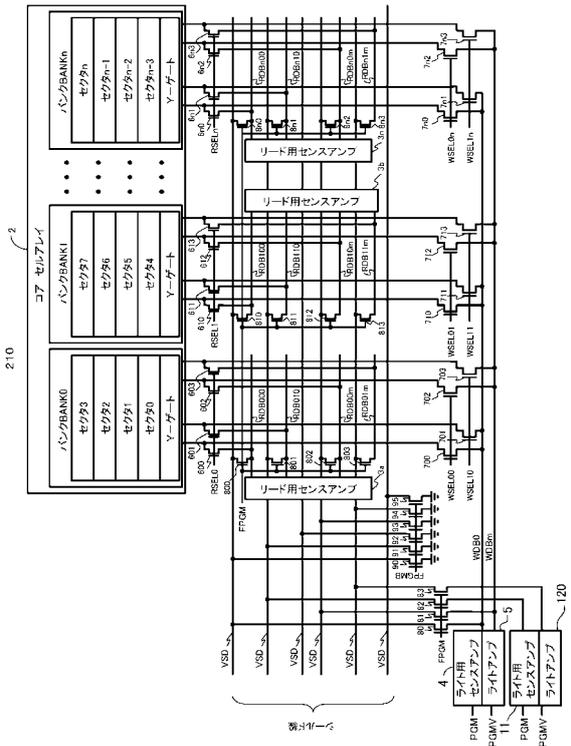
【図6】



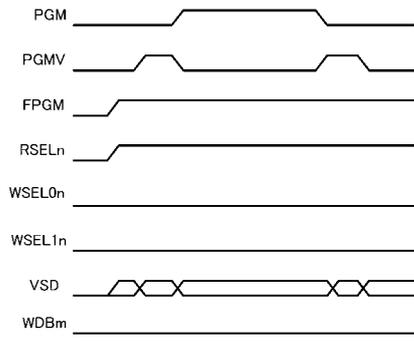
【図7】



【図8】



【 9 】



フロントページの続き

(74)代理人 100096781

弁理士 堀井 豊

(74)代理人 100109162

弁理士 酒井 將行

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 黒崎 一秀

福島県会津若松市門田町工業団地6番 Spansion Japan株式会社内

審査官 高野 芳徳

(56)参考文献 特開2003 - 85989 (JP, A)

特開2002 - 216483 (JP, A)

特開2002 - 133899 (JP, A)

特開2003 - 527724 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00,29/00