

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6338640号
(P6338640)

(45) 発行日 平成30年6月6日(2018.6.6)

(24) 登録日 平成30年5月18日(2018.5.18)

(51) Int.Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 K
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 2 7 Z
	HO 1 L 21/28 B
	HO 1 L 21/28 3 0 1 B

請求項の数 2 (全 47 頁)

(21) 出願番号	特願2016-227354 (P2016-227354)	(73) 特許権者	000153878
(22) 出願日	平成28年11月23日(2016.11.23)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2012-233038 (P2012-233038) の分割		神奈川県厚木市長谷398番地
原出願日	平成24年10月22日(2012.10.22)	(72) 発明者	柄林 克明
(65) 公開番号	特開2017-73557 (P2017-73557A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成29年4月13日(2017.4.13)	(72) 発明者	日向野 聡
審査請求日	平成28年11月23日(2016.11.23)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-233264 (P2011-233264)	(72) 発明者	山崎 舜平
(32) 優先日	平成23年10月24日(2011.10.24)		神奈川県厚木市長谷398番地 株式会社
(33) 優先権主張国	日本国(JP)		半導体エネルギー研究所内
		審査官	綿引 隆

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

Inと、Gaと、Znとを有する酸化物半導体膜を形成し、
前記酸化物半導体膜上方に導電膜を形成し、
前記導電膜を加工してソース電極層及びドレイン電極層を形成し、
前記酸化物半導体膜に不純物除去処理を行い、
前記不純物除去処理は、酸素プラズマ処理と、前記酸素プラズマ処理後の希フッ酸溶液
による洗浄処理と、を含むことを特徴とする半導体装置の作製方法。

【請求項2】

Inと、Gaと、Znとを有する酸化物半導体膜を形成し、
前記酸化物半導体膜上方に導電膜を形成し、
ハロゲン元素を含むエッチングガスを用いたプラズマ処理により、前記導電膜を加工し
てソース電極層及びドレイン電極層を形成し、
前記酸化物半導体膜に不純物除去処理を行い、
前記不純物除去処理は、酸素プラズマ処理と、前記酸素プラズマ処理後の希フッ酸溶液
による洗浄処理と、を含むことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置及び半導体装置の作製方法に関する。

【 0 0 0 2 】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路及び電子機器は全て半導体装置である。

【 背景技術 】

【 0 0 0 3 】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

10

【 0 0 0 4 】

例えば、インジウム（In）、ガリウム（Ga）、及び亜鉛（Zn）を含むアモルファス酸化物（IGZO系アモルファス酸化物）からなる半導体層を用いたトランジスタが開示されている（特許文献1参照）。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 1 1 - 1 8 1 8 0 1 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

20

【 0 0 0 6 】

ところで、酸化物半導体を用いたトランジスタを有する半導体装置において、高信頼性の達成は製品化に向けて重要な事項である。

【 0 0 0 7 】

しかし、半導体装置は複雑な構造の複数の薄膜で構成されており、多種の材料、方法及び工程で作製される。よって、用いられる作製工程に起因する、得られる半導体装置の形状不良や電気特性の低下が生じる恐れがある。

【 0 0 0 8 】

このような問題に鑑み、酸化物半導体を用いたトランジスタを有する信頼性の高い半導体装置を提供することを課題の一とする。

30

【 0 0 0 9 】

また、信頼性の高い半導体装置を歩留まりよく作製し、高生産化を達成することを課題の一とする。

【 課題を解決するための手段 】

【 0 0 1 0 】

ボトムゲート構造のトランジスタを有する半導体装置において、酸化物半導体膜上に接して設けられるソース電極層及びドレイン電極層を形成する際に用いられるエッチングガスに含まれる元素が、酸化物半導体膜表面に不純物として残存することを防止する。より具体的には、例えば以下の態様とすることができる。

【 0 0 1 1 】

40

本発明の一態様は、絶縁表面上にゲート電極層を形成し、ゲート電極層上にゲート絶縁膜を形成し、ゲート絶縁膜を介してゲート電極層上に島状の酸化物半導体膜を形成し、ゲート絶縁膜及び島状の酸化物半導体膜上に導電膜を形成し、導電膜を、ハロゲン元素を含むエッチングガスを用いたプラズマ処理により加工して、ソース電極層及びドレイン電極層を形成し、酸化物半導体膜に不純物除去処理を行い、エッチングガスに含まれる元素を除去する半導体装置の作製方法である。

【 0 0 1 2 】

また、上記半導体装置の作製方法において、不純物除去処理を行った後、酸化物半導体膜表面におけるハロゲン元素濃度（例えば、塩素濃度）を $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とすることが好ましい。

50

【0013】

また、上記半導体装置の作製方法において、不純物除去処理として、酸素プラズマ処理又は一酸化二窒素プラズマを行うことが好ましい。または、希フッ酸溶液による洗浄処理を行うことが好ましい。

【0014】

本発明の一態様に係る半導体装置は、絶縁表面上に設けられたゲート電極層と、ゲート電極層上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられた島状の酸化物半導体膜と、酸化物半導体膜に接して設けられたソース電極層及びドレイン電極層と、を有し、ソース電極層及びドレイン電極層は、酸化物半導体膜のチャンネル幅方向の端部を覆い、酸化物半導体膜表面におけるハロゲン元素濃度（例えば、塩素濃度）は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下である。

10

【0015】

上記構成に係る酸化物半導体膜において、ソース電極層及びドレイン電極層と重畳する領域の膜厚は、ソース電極層及び前記ドレイン電極層と重畳しない領域の膜厚よりも大きい。

【0016】

上述のように、ソース電極層又はドレイン電極層等の酸化物半導体膜上に接する膜のパターン形成には、ハロゲン元素を含むエッチングガスを用いたプラズマ処理が好適に用いられる。しかしながら、酸化物半導体膜がハロゲン元素を含むエッチングガスに曝されると、該エッチングガスに含まれるハロゲン元素（例えば、塩素、フッ素）によって酸化物半導体膜中の酸素が引き抜かれてしまい、酸化物半導体膜の界面近傍に酸素欠損が形成されるおそれがある。また、エッチング工程後に、酸化物半導体膜表面及び該近傍に、該エッチングガスに含まれるハロゲン元素が残存することによって、酸化物半導体膜に酸素欠損が形成されるおそれがある。酸化物半導体膜に酸素欠損が生じると、酸化物半導体膜のバックチャンネルが低抵抗化（n型化）してしまい、寄生チャンネルが形成される恐れがある。

20

【0017】

例えば、酸化物半導体膜として、インジウムを含む酸化物半導体材料を用い、酸化物半導体膜に接して設けられるソース電極層及びドレイン電極層の加工に三塩化ホウ素（ BCl_3 ）を含むエッチングガスを用いた場合、酸化物半導体膜中の In-O-In 結合と、エッチングガスに含まれる Cl が反応して、 In-Cl 結合と、酸素が脱離した In 元素とを含む膜となることがある。酸素が脱離した In 元素は、未結合手を有するため、酸化物半導体膜中において酸素が脱離した箇所では酸素欠損が存在する。

30

【0018】

また、ハロゲン元素を含むエッチングガスには、ハロゲン以外の元素（例えば、ボロン）も含まれる場合、酸化物半導体膜のバックチャンネルが低抵抗化（n型化）する要因の一つとなりうる。

【0019】

そこで、本発明の一態様では、酸化物半導体膜上に設けられるソース電極層及びドレイン電極層のエッチング加工後、不純物除去処理を行うことにより、酸化物半導体膜の低抵抗化を引き起こしうる不純物を除去する。よって、半導体装置の高信頼性を図ることが可能となる。

40

【0020】

本発明の一態様は、トランジスタ若しくはトランジスタを含んで構成される回路を有する半導体装置に関する。例えば、酸化物半導体でチャンネル形成領域が形成される、トランジスタ若しくはトランジスタを含んで構成される回路を有する半導体装置に関する。例えば、LSIや、CPUや、電源回路に搭載されるパワーデバイスや、メモリ、サイリスタ、コンバータ、イメージセンサなどを含む半導体集積回路、液晶表示パネルに代表される電気光学装置や発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

【発明の効果】

【0021】

50

酸化物半導体を用いたトランジスタを有する信頼性の高い半導体装置を提供することができる。

【0022】

また、信頼性の高い半導体装置を歩留まりよく作製し、高生産化を達成することができる。

【図面の簡単な説明】

【0023】

【図1】半導体装置の一形態を説明する平面図及び断面図。

【図2】半導体装置の作製方法の一形態を説明する断面図。

【図3】半導体装置の一形態を説明する平面図及び断面図。

10

【図4】半導体装置の作製方法の一形態を説明する断面図。

【図5】半導体装置の一形態を説明する平面図。

【図6】半導体装置の一形態を説明する平面図及び断面図。

【図7】半導体装置の一形態を示す断面図。

【図8】半導体装置の一形態を示す回路図及び断面図。

【図9】電子機器を示す図。

【図10】電子機器を示す図。

【図11】SIMS測定結果を示す図。

【図12】希フッ酸処理の有無と抵抗率の関係を示すグラフ。

【図13】試料A及び試料Bの電気的特性を示すグラフ。

20

【図14】試料C及び試料Dの電気的特性を示すグラフ。

【発明を実施するための形態】

【0024】

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。ただし、本明細書に開示する発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本明細書に開示する発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

30

【0025】

(実施の形態1)

本実施の形態では、半導体装置及び半導体装置の作製方法の一形態を、図1及び図2を用いて説明する。本実施の形態では、半導体装置の一例として酸化物半導体膜を有するトランジスタを示す。

【0026】

トランジスタはチャンネル形成領域が1つ形成されるシングルゲート構造でも、2つ形成されるダブルゲート構造もしくは3つ形成されるトリプルゲート構造であってもよい。また、チャンネル形成領域の上下にゲート絶縁膜を介して配置された2つのゲート電極層を有する、デュアルゲート型でもよい。

40

【0027】

図1に示すトランジスタ410は、ボトムゲート構造の一つであり逆スタガ型トランジスタともいうトランジスタの一例である。図1(A)はトランジスタ410の平面図であり、図1(B)は、図1(A)のA1-A2における断面図(チャンネル長方向の断面図)であり、図1(C)は、図1(A)のB1-B2における断面図(チャンネル幅方向の断面図)である。また、図1(A)において、Lは、チャンネル長を表し、Wは、チャンネル幅を表す。なお、図1(A)では、煩雑になることを避けるため、トランジスタ410の構成要素の一部(例えば、ゲート絶縁膜402など)を省略して図示している。

【0028】

図1に示すように、トランジスタ410を含む半導体装置は、絶縁表面を有する基板40

50

0上に、ゲート電極層401、ゲート絶縁膜402、酸化物半導体膜403、ソース電極層405a、ドレイン電極層405bを有する。また、トランジスタ410を覆う絶縁膜407、及び平坦化絶縁膜408が設けられている。

【0029】

図1に示すトランジスタ410において、酸化物半導体膜403と絶縁膜407との界面におけるハロゲン元素濃度（例えば、塩素濃度）は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下に低減されている。これにより、トランジスタのバックチャネルの低抵抗化（n型化）が抑制され、寄生チャネルが形成されることが抑制されたトランジスタ410とすることができる。よって、トランジスタ410の高信頼性化を図ることができる。

10

【0030】

また、図1(A)及び図1(C)に示すように、トランジスタ410において、ソース電極層405a及びドレイン電極層405bは、酸化物半導体膜403のチャネル幅W方向の端部を覆っている。このような構成とすることにより、ソース電極層405a及びドレイン電極層405bを形成する際に、酸化物半導体膜403の端部が、ハロゲン元素を含むエッチングガスを用いたプラズマに曝されることを防止することができる。

【0031】

なお、ソース電極層405a及びドレイン電極層405bを形成する際に、酸化物半導体膜403の一部が除去されることで、溝部（凹部）を有する酸化物半導体膜403となることがある。また、ソース電極層405a及びドレイン電極層405bを形成した後、不純物除去工程（後に詳述する）を行う際に、酸化物半導体膜403の一部が除去されることで、溝部（凹部）を有する酸化物半導体膜403となることがある。その場合には、図1(D)に示すように、溝部（凹部）を有する酸化物半導体膜403を含むトランジスタ420が形成される。なお、トランジスタ420におけるチャネル幅W方向の断面図（図1(A)のB1-B2における断面図）は、図1(C)と同様である。

20

【0032】

酸化物半導体膜403に用いる酸化物半導体としては、少なくともインジウム（In）を含む。特にInと亜鉛（Zn）を含むことが好ましい。また、該酸化物半導体膜を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）を有することが好ましい。また、スタビライザーとしてアルミニウム（Al）を有することが好ましい。また、スタビライザーとしてジルコニウム（Zr）を有することが好ましい。

30

【0033】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種あるいは複数種を有してもよい。

【0034】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物（IGZOとも表記する）、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系

40

50

酸化物を用いることができる。

【0035】

例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0036】

また、酸化物半導体として、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

10

【0037】

例えば、 $In : Ga : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ 、 $In : Ga : Zn = 2 : 2 : 1 (= 2/5 : 2/5 : 1/5)$ 、あるいは $In : Ga : Zn = 3 : 1 : 2 (= 1/2 : 1/6 : 1/3)$ の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ 、 $In : Sn : Zn = 2 : 1 : 3 (= 1/3 : 1/6 : 1/2)$ あるいは $In : Sn : Zn = 2 : 1 : 5 (= 1/4 : 1/8 : 5/8)$ の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0038】

しかし、インジウムを含む酸化物半導体は、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

20

【0039】

例えば、In-Sn-Zn系酸化物を用いたトランジスタでは比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物を用いたトランジスタでも、バルク内欠陥密度を低くすることにより移動度を上げることができる。

【0040】

なお、例えば、In、Ga、Znの原子数比が $In : Ga : Zn = a : b : c$ ($a + b + c = 1$)である酸化物の組成が、原子数比が $In : Ga : Zn = A : B : C$ ($A + B + C = 1$)の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 < r^2$ を満たすことをいい、 r は、例えば、0.05とすればよい。他の酸化物でも同様である。

30

【0041】

酸化物半導体膜403は、単結晶、多結晶(ポリクリスタルともいう。)または非晶質などの状態をとる。

【0042】

好ましくは、酸化物半導体膜403は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜とする。

【0043】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

40

【0044】

CAAC-OS膜に含まれる結晶部は、 c 軸がCAAC-OS膜の被形成面の法線ベクト

50

ルまたは表面の法線ベクトルに平行な方向に揃い、かつ a b 面に垂直な方向から見て三角形形状または六角形状の原子配列を有し、c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

【0045】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

10

【0046】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0047】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

20

【0048】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

【0049】

また、CAAC-OSのように結晶部を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

30

【0050】

なお、Raとは、JIS B 0601:2001 (ISO 4287:1997)で定義されている算術平均粗さを曲面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、以下の式にて定義される。

【0051】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

40

【0052】

ここで、指定面とは、粗さ計測の対象となる面であり、座標 $(x_1, y_1, f(x_1, y_1))$ 、 $(x_1, y_2, f(x_1, y_2))$ 、 $(x_2, y_1, f(x_2, y_1))$ 、 $(x_2, y_2, f(x_2, y_2))$ の4点で表される四角形の領域とし、指定面をxy平面に投影した長方形の面積を S_0 、基準面の高さ（指定面の平均の高さ）を Z_0 とする。Raは原子間力顕微鏡（AFM: Atomic Force Microscope）にて測定可能である。

【0053】

ただし、本実施の形態で説明するトランジスタ410は、ボトムゲート型であるため、酸化物半導体膜の下方には基板400とゲート電極層401とゲート絶縁膜402が存在し

50

ている。従って、上記平坦な表面を得るためにゲート電極層401及びゲート絶縁膜402を形成した後、CMP処理などの平坦化処理を行ってもよい。

【0054】

酸化物半導体膜403の膜厚は、1nm以上30nm以下（好ましくは5nm以上10nm以下）とし、スパッタリング法、MBE（Molecular Beam Epitaxy）法、CVD法、パルスレーザ堆積法、ALD（Atomic Layer Deposition）法等を適宜用いることができる。また、酸化物半導体膜403は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

【0055】

次に、図2（A）乃至（E）にトランジスタ410を有する半導体装置の作製方法の一例を示す。

【0056】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板400として用いてもよい。

【0057】

また、基板400として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上に酸化物半導体膜403を含むトランジスタ410を直接作製してもよいし、他の作製基板に酸化物半導体膜403を含むトランジスタ410を作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体膜を含むトランジスタ410との間に剥離層を設けるとよい。

【0058】

基板400上に下地膜として絶縁膜を設けてもよい。絶縁膜としては、プラズマCVD法又はスパッタリング法等により、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、酸化ガリウムなどの酸化物絶縁材料、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁材料、又はこれらの混合材料を用いて形成することができる。

【0059】

基板400（又は基板400及び絶縁膜）に加熱処理を行ってもよい。例えば、高温のガスを用いて加熱処理を行うGRTA（Gas Rapid Thermal Anneal）装置により、650℃、1分～5分間、加熱処理を行えばよい。なお、GRTAにおける高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。また、電気炉により、500℃、30分～1時間、加熱処理を行ってもよい。

【0060】

次に、基板400上に、ゲート電極層（これと同じ層で形成される配線を含む）となる導電膜を形成する。導電膜の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、導電膜としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。導電膜は、単層構造としてもよいし、積層構造としてもよい。

【0061】

また、導電膜の材料は、酸化インジウム酸化スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化

10

20

30

40

50

物、酸化チタンを含むインジウム錫酸化物、酸化インジウム酸化亜鉛、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

【0062】

また、ゲート絶縁膜402と接する導電膜として、窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜(InN、SnNなど)を用いることができる。これらの膜は5eV(電子ボルト)、好ましくは5.5eV(電子ボルト)以上の仕事関数を有し、ゲート電極層として用いた場合、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

10

【0063】

本実施の形態では、スパッタリング法により膜厚100nmのタンゲステン膜を形成する。

【0064】

次に、フォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってゲート電極層401を形成する。ゲート電極層401を形成した後、レジストマスクを除去する。導電膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0065】

また、ゲート電極層401形成後に、基板400、及びゲート電極層401に加熱処理を行ってもよい。例えば、GRTA装置により、650、1分~5分間、加熱処理を行えばよい。また、電気炉により、500、30分~1時間、加熱処理を行ってもよい。

20

【0066】

次いで、ゲート電極層401上にゲート絶縁膜402を形成する。

【0067】

なお、ゲート絶縁膜402の被覆性を向上させるために、ゲート電極層401表面に平坦化処理を行ってもよい。特に、ゲート絶縁膜402として膜厚の薄い絶縁膜を用いる場合、ゲート電極層401表面の平坦性が良好であることが好ましい。

【0068】

ゲート絶縁膜402の膜厚は、1nm以上20nm以下とし、スパッタリング法、MBE法、CVD法、PECVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。また、ゲート絶縁膜402は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

30

【0069】

ゲート絶縁膜402の材料としては、酸化シリコン、酸化ガリウム、酸化アルミニウム、窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム、または窒化酸化シリコンを用いて形成することができる。また、ゲート絶縁膜402の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート(HfSiO_xN_y ($x > 0$, $y > 0$))、ハフニウムアルミネート(HfAl_xO_y ($x > 0$, $y > 0$))、酸化ランタンなどのhigh-k材料を用いることでゲートリーク電流を低減できる。また、ゲート絶縁膜402は、上記の材料を用いて、単層構造または積層構造で形成される。

40

【0070】

ゲート絶縁膜402は、酸化物半導体膜403と接する部分において酸素を含むことが好ましい。特に、ゲート絶縁膜402は、膜中(バルク中)に少なくとも化学量論比を超える量の酸素が存在することが好ましく、例えば、ゲート絶縁膜402として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 +$ (ただし、 > 0)とする。

【0071】

酸素の供給源となる酸素を多く(過剰に)含むゲート絶縁膜402を酸化物半導体膜40

50

3と接して設けることによって、該ゲート絶縁膜402から酸化物半導体膜403へ酸素を供給することができる。酸化物半導体膜403及びゲート絶縁膜402を少なくとも一部が接した状態で加熱処理を行うことによって酸化物半導体膜403への酸素の供給を行ってもよい。

【0072】

酸化物半導体膜403へ酸素を供給することにより、膜中の酸素欠損を補填することができる。さらに、ゲート絶縁膜402は、作製するトランジスタのサイズやゲート絶縁膜402の段差被覆性を考慮して形成することが好ましい。

【0073】

本実施の形態では、高密度プラズマCVD法により膜厚200nmの酸化窒化シリコン膜を形成する。

【0074】

また、ゲート絶縁膜402形成後に、基板400、ゲート電極層401、及びゲート絶縁膜402に加熱処理を行ってもよい。例えば、GRTA装置により、650、1分～5分間、加熱処理を行えばよい。また、電気炉により、500、30分～1時間、加熱処理を行ってもよい。

【0075】

次に、ゲート絶縁膜402上に酸化物半導体膜403を形成する(図2(A)参照)。

【0076】

酸化物半導体膜403の形成工程において、酸化物半導体膜403に水素、又は水がなるべく含まれないようにするために、酸化物半導体膜403の成膜の前処理として、スパッタリング装置の予備加熱室でゲート絶縁膜402が形成された基板を予備加熱し、基板及びゲート絶縁膜402に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。

【0077】

ゲート絶縁膜402において酸化物半導体膜403が接して形成される領域に、平坦化処理を行ってもよい。平坦化処理としては、特に限定されないが、研磨処理(例えば、化学的機械研磨法(Chemical Mechanical Polishing: CMP))、ドライエッチング処理、プラズマ処理を用いることができる。

【0078】

プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。逆スパッタリングを行うと、ゲート絶縁膜402の表面に付着している粉状物質(パーティクル、ごみともいう)を除去することができる。

【0079】

平坦化処理として、研磨処理、ドライエッチング処理、プラズマ処理は複数回行ってもよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、ゲート絶縁膜402表面の凹凸状態に合わせて適宜設定すればよい。

【0080】

なお、酸化物半導体膜403は、成膜時に酸素が多く含まれるような条件(例えば、酸素100%の雰囲気下でスパッタリング法により成膜を行うなど)で成膜して、酸素を多く含む(好ましくは酸化物半導体が結晶状態における化学量論的組成に対し、酸素の含有量が過剰な領域が含まれている)膜とすることが好ましい。

【0081】

なお、本実施の形態において、酸化物半導体膜403として、AC電源装置を有するスパッタリング装置を用いたスパッタリング法を用い、膜厚35nmのIn-Ga-Zn系酸化物膜(IGZO膜)を成膜する。本実施の形態において、In:Ga:Zn=1:1:1(=1/3:1/3:1/3)の原子比のIn-Ga-Zn系酸化物ターゲットを用い

10

20

30

40

50

る。なお、成膜条件は、酸素及びアルゴン雰囲気下（酸素流量比率50%）、圧力0.6 Pa、電源電力5 kW、基板温度170 とする。この成膜条件での成膜速度は、16 nm/minである。

【0082】

酸化物半導体膜403を、成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0083】

減圧状態に保持された成膜室内に基板を保持する。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板400上に酸化物半導体膜403を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H₂O)など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体膜403に含まれる水素、水、水酸基又は水素化物などの不純物の濃度を低減できる。

【0084】

また、ゲート絶縁膜402を大気に解放せずにゲート絶縁膜402と酸化物半導体膜403を連続的に形成することが好ましい。ゲート絶縁膜402を大気に曝露せずにゲート絶縁膜402と酸化物半導体膜403を連続して形成すると、ゲート絶縁膜402表面に水素や水分などの不純物が吸着することを防止することができる。

【0085】

酸化物半導体膜403は、膜状の酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体膜に加工して形成することができる。

【0086】

また、島状の酸化物半導体膜403を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0087】

なお、酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜のウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO-07N（関東化学社製）を用いてもよい。また、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法によるドライエッチングによってエッチング加工してもよい。

【0088】

また、酸化物半導体膜403に、過剰な水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための加熱処理を行ってもよい。加熱処理の温度は、300 以上700 以下、または基板の歪み点未満とする。加熱処理は減圧下又は窒素雰囲気下などで行うことができる。

【0089】

また、酸化物半導体膜403として結晶性酸化物半導体膜を用いる場合、結晶化のための加熱処理を行ってもよい。

【0090】

本実施の形態では、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体膜403に対して窒素雰囲気下450 において1時間、さらに窒素及び酸素雰囲気下450 において1時間の加熱処理を行う。

【0091】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA（Gas R

10

20

30

40

50

apid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性ガスが用いられる。

【0092】

例えば、加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を不活性ガス中から出すGRTAを行ってもよい。

10

【0093】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.99999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0094】

また、加熱処理で酸化半導体膜403を加熱した後、同じ炉に高純度の酸素ガス、高純度の一酸化二窒素ガス、又は超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気)を導入してもよい。酸素ガスまたは一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガスまたは一酸化二窒素ガスの純度を、6N以上好ましくは7N以上(即ち、酸素ガスまたは一酸化二窒素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。酸素ガス又は一酸化二窒素ガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化半導体を構成する主成分材料である酸素を供給することによって、酸化半導体膜403を高純度化及びi型(真性)化することができる。

20

【0095】

なお、脱水化又は脱水素化のための加熱処理を行うタイミングは、膜状の酸化半導体膜の形成後でも、島状の酸化半導体膜403形成後でもよい。

30

【0096】

また、脱水化又は脱水素化のための加熱処理は、複数回行ってよく、他の加熱処理と兼ねてもよい。

【0097】

脱水化又は脱水素化のための加熱処理を、酸化半導体膜403として島状に加工される前、膜状の酸化半導体膜がゲート絶縁膜402を覆った状態で行うと、ゲート絶縁膜402に含まれる酸素が加熱処理によって放出されるのを防止することができるため好ましい。

40

【0098】

また、脱水化又は脱水素化処理を行った酸化半導体膜403に、酸素(少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む)を導入して膜中に酸素を供給してもよい。

【0099】

また、脱水化又は脱水素化処理によって、酸化半導体を構成する主成分材料である酸素が同時に脱離して減少してしまうおそれがある。酸化半導体膜において、酸素が脱離した箇所では酸素欠損が存在し、該酸素欠損に起因してトランジスタの電気的特性変動を招くドナー準位が生じてしまう。

【0100】

50

よって、脱水化又は脱水素化処理を行った酸化物半導体膜に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を供給することが好ましい。酸化物半導体膜へ酸素を供給することにより、膜中の酸素欠損を補填することができる。

【0101】

脱水化又は脱水素化処理を行った酸化物半導体膜403に、酸素を導入して膜中に酸素を供給することによって、酸化物半導体膜403を高純度化、及びi型（真性）化することができる。高純度化し、i型（真性）化した酸化物半導体膜403を有するトランジスタは、電気特性変動が抑制されており、電氣的に安定である。

【0102】

酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

10

【0103】

酸素の導入工程は、酸化物半導体膜403に酸素導入する場合、酸化物半導体膜403に直接導入してもよいし、後に形成される絶縁膜407など他の膜を通過して酸化物半導体膜403へ導入してもよい。酸素を他の膜を通過して導入する場合は、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いればよいが、酸素を露出された酸化物半導体膜403へ直接導入する場合は、プラズマ処理なども用いることができる。

【0104】

酸化物半導体膜403への酸素の導入は、脱水化又は脱水素化処理を行った後が好ましいが、特に限定されない。また、上記脱水化又は脱水素化処理を行った酸化物半導体膜403への酸素の導入は複数回行ってよい。

20

【0105】

好ましくはトランジスタに設けられる酸化物半導体膜は、酸化物半導体が結晶状態における化学量論比に対し、酸素の含有量が過剰な領域が含まれている膜とする。この場合、酸素の含有量は、酸化物半導体の化学量論比を超える程度とする。あるいは、酸素の含有量は、単結晶の場合の酸素の量を超える程度とする。酸化物半導体の格子間に酸素が存在する場合もある。

【0106】

水素若しくは水分を酸化物半導体から除去し、不純物が極力含まれないように高純度化し、酸素を供給して酸素欠損を補填することによりi型（真性）の酸化物半導体、又はi型（真性）に限りなく近い酸化物半導体とすることができる。そうすることにより、酸化物半導体のフェルミ準位（ E_f ）を真性フェルミ準位（ E_i ）と同じレベルにまですることができる。よって、該酸化物半導体膜をトランジスタに用いることで、酸素欠損に起因するトランジスタのしきい値電圧 V_{th} のばらつき、しきい値電圧のシフト V_{th} を低減することができる。

30

【0107】

次いで、ゲート電極層401、ゲート絶縁膜402、及び酸化物半導体膜403上に、ソース電極層及びドレイン電極層（これと同じ層で形成される配線を含む）となる導電膜445を形成する（図2（B）参照）。

40

【0108】

導電膜445は後の加熱処理に耐えられる材料を用いる。ソース電極層及びドレイン電極層に用いる導電膜445としては、例えば、アルミニウム（Al）、クロム（Cr）、銅（Cu）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）から選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）などを用いることができる。また、アルミニウム（Al）、銅（Cu）などの金属膜の下側又は上側の一方または双方にチタン（Ti）、モリブデン（Mo）、タングステン（W）などの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としても良い。また、ソース電極層及びドレイン電極層に用いる導電膜445としては

50

、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、酸化インジウム酸化スズ ($\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する)、酸化インジウム酸化亜鉛 ($\text{In}_2\text{O}_3 - \text{ZnO}$) またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0109】

フォトリソグラフィ工程により導電膜445上にレジストマスク448a及びレジストマスク448bを形成し、選択的にエッチングを行ってソース電極層405a及びドレイン電極層405bを形成する(図2(C)参照)。ソース電極層405a及びドレイン電極層405bを形成した後、レジストマスク448a、448bを除去する。

10

【0110】

レジストマスク448a、448b形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるとよい。酸化物半導体膜403上で隣り合うソース電極層405aの下端部とドレイン電極層405bの下端部との間隔幅によって後に形成されるトランジスタ410のチャンネル長Lが決定される。なお、チャンネル長 $L = 25\text{nm}$ 未満の露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いてレジストマスク448a、448b形成時の露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化できる。

20

【0111】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0112】

本実施の形態では、導電膜445のエッチングには、ハロゲン元素を含むガス447を用いる。ハロゲン元素を含むガス447としては、塩素を含むガス、例えば、塩素(Cl_2)、三塩化硼素(BCl_3)、四塩化珪素(SiCl_4)、四塩化炭素(CCl_4)などを含むガスを用いることができる。また、ハロゲン元素を含むガス447として、フッ素を含むガス、例えば、四弗化炭素(CF_4)、六弗化硫黄(SF_6)、三弗化窒素(NF_3)、トリフルオロメタン(CHF_3)などを含むガスを用いることができる。また、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

30

【0113】

エッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

40

【0114】

本実施の形態では、導電膜445としてスパッタリング法により膜厚100nmのチタン膜、膜厚400nmのアルミニウム膜、膜厚100nmのチタン膜の積層を用いる。導電膜445のエッチングは、ドライエッチング法により、チタン膜、アルミニウム膜、チタン膜の積層をエッチングして、ソース電極層405a及びドレイン電極層405bを形成する。

50

【0115】

本実施の形態では、第1のエッチング条件でチタン膜とアルミニウム膜の2層をエッチングした後、第2のエッチング条件で残りのチタン膜単層を除去する。なお、第1のエッチング条件として、エッチングガス($\text{BCl}_3 : \text{Cl}_2 = 750 \text{ sccm} : 150 \text{ sccm}$)を用い、バイアス電力を1500Wとし、ICP電源電力を0Wとし、圧力を2.0Paとする。第2のエッチング条件として、エッチングガス($\text{BCl}_3 : \text{Cl}_2 = 700 \text{ sccm} : 100 \text{ sccm}$)を用い、バイアス電力を750Wとし、ICP電源電力を0Wとし、圧力を2.0Paとする。

【0116】

なお、導電膜445のエッチング工程の際に、酸化物半導体膜403がエッチングされ、消失または分断されることのないよう、導電膜445のエッチング条件を最適化することが望まれる。しかしながら、導電膜445のみがエッチングされ、酸化物半導体膜403が全くエッチングされないという条件を得ることは難しいため、導電膜445のエッチングの際に酸化物半導体膜403の一部が除去されることで、溝部(凹部)を有する酸化物半導体膜403となることがある。

10

【0117】

ソース電極層405a及びドレイン電極層405bを形成するためのエッチング工程において、ハロゲン元素を含むエッチングガスを用いる場合、酸化物半導体膜403が該エッチングガスに曝されると、該エッチングガスに含まれるハロゲン元素(例えば、塩素、フッ素)によって、酸化物半導体膜403中の酸素が引き抜かれてしまい、酸化物半導体膜403の表面に酸素欠損が形成されるおそれがある。また、エッチング工程後に、酸化物半導体膜403表面及び該近傍に、該エッチングガスに含まれるハロゲン元素が残存することによって、酸化物半導体膜403に酸素欠損が形成されるおそれがある。このように、酸化物半導体膜403に酸素欠損が生じると、酸化物半導体膜403のバックチャネルが低抵抗化(n型化)してしまい、寄生チャネルが形成されるおそれがある。

20

【0118】

例えば、酸化物半導体膜403として、インジウムを含む酸化物半導体材料を用い、酸化物半導体膜に接して設けられるソース電極層及びドレイン電極層の加工に三塩化ホウ素(BCl_3)を含むエッチングガスを用いた場合、酸化物半導体膜中のIn-O-In結合と、エッチングガスに含まれるClが反応して、In-Cl結合と、酸素が脱離したIn元素とを含む膜となることがある。酸素が脱離したIn元素は、未結合手を有するため、酸化物半導体膜中において酸素が脱離した箇所では酸素欠損が存在する。

30

【0119】

また、ハロゲン元素を含むエッチングガスには、ハロゲン以外の元素(例えば、ボロン)も含まれるため、酸化物半導体膜のバックチャネルが低抵抗化(n型化)する要因の一つとなりうる。

【0120】

本実施の形態では、ソース電極層405a及びドレイン電極層405bを形成するエッチング工程に、ハロゲン元素を含むガス447を用いるので、生じる不純物はハロゲン(本実施の形態では塩素)系不純物(ハロゲン元素、又はハロゲン元素を含む化合物)となる。また、本実施の形態のようにハロゲン元素を含むガス447に、ボロンが含まれる場合は、生じる不純物としてはボロン、又はボロンを含む化合物も含まれる。

40

【0121】

そこで、ソース電極層405a及びドレイン電極層405bを形成後、酸化物半導体膜403表面及び該近傍に存在する不純物を除去する工程を行う(図2(D)参照)。不純物除去工程は、酸素、一酸化二窒素、もしくは希ガス(代表的にはアルゴン)を用いたプラズマ処理、または希フッ酸、水、現像液もしくはTMAH溶液を用いた溶液処理などを好適に用いることができる。また、希フッ酸として、例えば、 $1/10^3$ 希釈フッ酸(フッ酸:0.05%)で、IGZO膜を処理すると、1秒あたり1~3nm膜厚が減少し、 $2/10^5$ 希釈フッ酸(フッ酸:0.0025%)で、IGZO膜を処理すると、1秒あた

50

り0.1nm程度膜厚が減少する。酸化物半導体膜403に不純物除去処理を行うことにより、酸化物半導体膜403表面における塩素濃度を $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下に低減することができる。本実施の形態では、不純物除去工程として、一酸化二窒素を用いたプラズマ処理を行う例を示す。

【0122】

以上の工程で、本実施の形態に係るトランジスタ410が作製される(図2(E)参照)。

【0123】

本実施の形態では、ソース電極層405a及びドレイン電極層405b上に、酸化物半導体膜403と接して、保護絶縁膜となる絶縁膜407を形成する。

10

【0124】

絶縁膜407は、少なくとも1nm以上の膜厚とし、スパッタリング法など、絶縁膜407に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。絶縁膜407に水素が含まれると、その水素の酸化物半導体膜403への侵入、又は水素による酸化物半導体膜中の酸素の引き抜きが生じ酸化物半導体膜403のバックチャンネルが低抵抗化(n型化)してしまい、寄生チャンネルが形成されるおそれがある。よって、絶縁膜407はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【0125】

絶縁膜407としては、代表的には酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、又は酸化ガリウム、窒化シリコン、窒化アルミニウム、窒化酸化シリコン、窒化酸化アルミニウムなどの無機絶縁膜の単層構造又は積層構造を用いることができる。

20

【0126】

脱水化又は脱水素化処理として加熱工程を行った場合、酸化物半導体膜403に、酸素を供給することが好ましい。酸化物半導体膜403へ酸素を供給することにより、膜中の酸素欠損を補填することができる。

【0127】

本実施の形態では、酸化物半導体膜403への酸素の供給を、絶縁膜407を供給源として行うので、絶縁膜407は酸素を含む酸化物絶縁膜(例えば、酸化シリコン膜、酸化窒化シリコン膜)を用いる例を示す。絶縁膜407を酸素の供給源とする場合、絶縁膜407は酸素を多く(過剰)含む膜(好ましくは結晶状態における化学量論比に対し、酸素の含有量が過剰な領域が含まれている膜)とすると酸素の供給源として好適に機能させることができる。

30

【0128】

本実施の形態では、絶縁膜407として膜厚300nmの酸化シリコン膜を、スパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化シリコン膜のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタリング法により酸化シリコン膜を形成することができる。

40

【0129】

酸化物半導体膜403の成膜時と同様に、絶縁膜407の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ(クライオポンプなど)を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁膜407に含まれる不純物の濃度を低減できる。また、絶縁膜407の成膜室内の残留水分を除去するための排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。

【0130】

絶縁膜407を、成膜する際に用いるスパッタガスとしては、水素、水などの不純物が除

50

去された高純度ガスを用いることが好ましい。

【0131】

次に、酸化物半導体膜403に、一部(チャンネル形成領域)が絶縁膜407と接した状態で加熱工程を行う。

【0132】

加熱工程の温度は、250 以上700 以下、または400 以上700 以下、または基板の歪み点未満とする。例えば、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体膜に対して窒素雰囲気下250 において1時間の加熱工程を行う。

【0133】

この加熱工程は脱水化又は脱水素化処理を行う加熱工程と同様の加熱方法及び加熱装置を用いることができる。

10

【0134】

加熱工程は、減圧下、又は窒素、酸素、超乾燥エア(CRDS(キャピティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)、若しくは希ガス(アルゴン、ヘリウムなど)の雰囲気下で行えばよいが、上記窒素、酸素、超乾燥エア、または希ガス等の雰囲気に水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、酸素、または希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.99999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

20

【0135】

また、酸化物半導体膜403と酸素を含む絶縁膜407とを接した状態で加熱工程を行うため、不純物の排除工程によって同時に減少してしまう酸化物半導体膜403を構成する主成分材料の一つである酸素を、酸素を含む絶縁膜407より酸化物半導体膜403へ供給することができる。

【0136】

また、さらに絶縁膜407上に緻密性の高い無機絶縁膜を設けてもよい。例えば、絶縁膜407上にスパッタリング法により酸化アルミニウム膜を形成する。酸化アルミニウム膜を高密度(膜密度3.2g/cm³以上、好ましくは3.6g/cm³以上)とすることによって、トランジスタ410に安定な電気特性を付与することができる。膜密度はラザフォード後方散乱法(RBS:Rutherford Backscattering Spectrometry)や、X線反射率測定法(XRR:X-Ray Reflectometry)によって測定することができる。

30

【0137】

トランジスタ410上に設けられる保護絶縁膜として用いることのできる酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を通過させない遮断効果(ブロック効果)が高い。

【0138】

従って、酸化アルミニウム膜は、作製工程中及び作製後において、変動要因となる水素、水分などの不純物の酸化物半導体膜403への混入、及び酸化物半導体を構成する主成分材料である酸素の酸化物半導体膜403からの放出を防止する保護膜として機能する。

40

【0139】

また、トランジスタ410起因の表面凹凸を低減するために平坦化絶縁膜408を形成してもよい。平坦化絶縁膜408としては、ポリイミド系樹脂、アクリル系樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low-k材料)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜408を形成してもよい。

【0140】

例えば、平坦化絶縁膜408として、膜厚1500nmのアクリル樹脂膜を形成すればよい。アクリル樹脂膜は塗布法による塗布後、焼成(例えば窒素雰囲気下250 1時間)

50

して形成することができる。

【0141】

平坦化絶縁膜408を形成後、加熱処理を行ってもよい。例えば、窒素雰囲気下250で1時間加熱処理を行う。

【0142】

このように、トランジスタ410形成後、加熱処理を行ってもよい。また、加熱処理は複数回行ってもよい。

【0143】

以上の工程により、図1(B)及び(C)に示すトランジスタ410が作製される。

【0144】

なお、不純物除去工程の際に、酸化物半導体膜403がエッチングされ、分断又は消失することのないよう、不純物除去工程における条件を最適化することが望まれる。しかしながら、酸化物半導体膜403が全く除去されないという条件を得ることは難しいため、酸化物半導体膜403が露出している部分において一部が除去され、酸化物半導体膜403が溝部(凹部)を有することもある。その場合には、図1(D)に示すように、溝部(凹部)を有する酸化物半導体膜403を含むトランジスタ420を形成することができる。なお、トランジスタ420において、チャンネル幅W方向の断面図(図1(A)のB1-B2における断面図)は、図1(C)と同様である。

【0145】

なお、エッチング工程起因の不純物(代表的には、ハロゲン元素(例えば塩素、フッ素)、ハロゲン元素を含む化合物、ボロン、またはボロンを含む化合物)の濃度は、SIMS(Secondary Ion Mass Spectrometry)などの方法を用いて、見積もることができる。

【0146】

図11に、不純物除去工程を行わずに作製したトランジスタにおける酸化物半導体膜中の塩素濃度を測定した二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)の測定結果を示す。試料のトランジスタは、溶液処理を行わない他は本実施の形態のトランジスタ410と同様の構造であり、同様の材料及び方法で作製したトランジスタである。また、トランジスタ410上に、絶縁膜407が形成されている。なお、測定範囲は、深さ方向に保護絶縁膜である酸化窒化シリコン膜(膜厚400nm)、酸化物半導体膜であるIGZO膜、ゲート絶縁膜である酸化窒化シリコン膜が積層されている領域である。測定は、保護絶縁膜から深さ方向に行った。

【0147】

図11に示すように、酸化物半導体膜であるIGZO膜中の塩素濃度は 1×10^{19} atoms/cm³より高く、酸化物半導体膜に塩素を含むことがわかる。

【0148】

以上のように、不純物除去工程を行うことによって、酸化物半導体膜403表面及び該近傍に、エッチング工程起因の不純物(代表的には、ハロゲン元素(例えば塩素、フッ素)、ハロゲン元素を含む化合物、ボロン、またはボロンを含む化合物)が残存することを防止できる。また、酸化物半導体膜403表面におけるエッチング工程起因の不純物(例えば、塩素)の濃度を 5×10^{18} atoms/cm³以下(好ましくは 1×10^{18} atoms/cm³以下)とすることができる。

【0149】

従って、酸化物半導体膜403を用いた安定した電気特性を有するトランジスタ410を含む信頼性の高い半導体装置を提供することができる。また、信頼性の高い半導体装置を歩留まりよく作製し、高生産化を達成することができる。

【0150】

(実施の形態2)

本実施の形態では、半導体装置及び半導体装置の作製方法の他の一形態を、図3及び図4を用いて説明する。なお、上記実施の形態と同一部分又は同様な機能を有する部分、及び

10

20

30

40

50

工程は、上記実施の形態と同様に行うことができ、繰り返しの説明は省略する。また、同じ箇所の詳細な説明は省略する。

【0151】

図3に示すトランジスタ430は、ボトムゲート構造の一つであり逆スタガ型トランジスタともいうトランジスタの一例である。図3(A)はトランジスタ430の平面図であり、図3(B)は、図3(A)のC1-C2における断面図(チャンネル長方向の断面図)であり、図3(C)は、図3(A)のD1-D2における断面図(チャンネル幅方向の断面図)である。また、図3(A)において、Lは、チャンネル長を表し、Wは、チャンネル幅を表す。なお、図3(A)では、煩雑になることを避けるため、トランジスタ430の構成要素の一部(例えば、ゲート絶縁膜402など)を省略して図示している。

10

【0152】

図3に示すように、トランジスタ430を含む半導体装置は、絶縁表面を有する基板400上に、ゲート電極層401、ゲート絶縁膜402、酸化物半導体膜403、ソース電極層405a、ドレイン電極層405bを有する。また、トランジスタ430を覆う絶縁膜407が設けられている。

【0153】

図3に示すトランジスタ430においても、酸化物半導体膜403と絶縁膜407との界面におけるハロゲン元素濃度(例えば、塩素濃度)が、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下に低減されている。これにより、トランジスタのバックチャンネルの低抵抗化(n型化)が抑制され、寄生チャンネルが形成されることが抑制されたトランジスタ430とすることができる。よって、トランジスタ430の高信頼性を図ることができる。

20

【0154】

また、図3(A)乃至図3(C)に示すように、トランジスタ430において、ソース電極層405a及びドレイン電極層405bの幅は、酸化物半導体膜403のチャンネル幅Wよりも短いため、酸化物半導体膜403の端部は露出している。そのため、ソース電極層405a及びドレイン電極層405bを形成する際に、酸化物半導体膜403の一部が除去されることがある。また、ソース電極層405a及びドレイン電極層405bを形成した後、不純物除去工程を行う際に、酸化物半導体膜403の一部が除去されることがある。その場合には、図3(B)乃至図3(C)に示すように、酸化物半導体膜403の一部が除去されることにより、酸化物半導体膜403において、ソース電極層405a及びドレイン電極層405bと重畳する領域の膜厚は、ソース電極層405a及びドレイン電極層405bと重畳しない領域の膜厚よりも大きくなる。

30

【0155】

また、酸化物半導体膜403が除去されない場合には、図3(D)に示すようなトランジスタ440が形成される。なお、トランジスタ440におけるチャンネル長L方向の断面図(図3(A)のC1-C2における断面図)は、図1(B)に示すトランジスタ410と同様である。

【0156】

次に、図4(A)乃至(E)にトランジスタ430を有する半導体装置の作製方法の一例を示す。

40

【0157】

まず、基板400上に、ゲート電極層(これと同じ層で形成される配線を含む)となる導電膜を形成する。本実施の形態では、導電膜としてスパッタリング法により膜厚100nmのタンゲステン膜を形成する。

【0158】

次に、フォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってゲート電極層401を形成する。ゲート電極層401を形成した後、レジストマスクを除去する。

【0159】

50

次に、ゲート電極層401上にゲート絶縁膜402を形成する。本実施の形態では、高密度プラズマCVD法により膜厚200nmの酸化窒化シリコン膜を形成する。

【0160】

次に、ゲート絶縁膜402上に酸化物半導体膜403を形成する(図4(A)参照)。本実施の形態において、酸化物半導体膜403として、AC電源装置を有するスパッタリング装置を用いたスパッタリング法を用い、膜厚35nmのIn-Ga-Zn系酸化物膜(IGZO膜)を成膜する。本実施の形態において、In:Ga:Zn=1:1:1(=1/3:1/3:1/3)の原子比のIn-Ga-Zn系酸化物ターゲットを用いる。なお、成膜条件は、酸素及びアルゴン雰囲気下(酸素流量比率50%)、圧力0.6Pa、電源電力5kW、基板温度170とする。この成膜条件での成膜速度は、16nm/minである。

10

【0161】

酸化物半導体膜403に、過剰な水素(水や水酸基を含む)を除去(脱水化または脱水素化)するための加熱処理を行ってもよい。本実施の形態では、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体膜403に対して窒素雰囲気下450において1時間、さらに窒素及び酸素雰囲気下450において1時間の加熱処理を行う。

【0162】

次に、ゲート電極層401、ゲート絶縁膜402、酸化物半導体膜403上に、ソース電極層及びドレイン電極層(これと同じ層で形成される配線を含む)となる導電膜445を形成する(図4(B)参照)。本実施の形態では、スパッタリング法により膜厚100nmのチタン膜、膜厚400nmのアルミニウム膜、膜厚100nmのチタン膜の積層し、ドライエッチング法により、チタン膜、アルミニウム膜、チタン膜の積層をエッチングして、ソース電極層405a、ドレイン電極層405bを形成する。

20

【0163】

また、本実施の形態では、ソース電極層405a及びドレイン電極層405bは、酸化物半導体膜403のチャンネル幅Wよりも短いため、酸化物半導体膜403の端部は露出している。そのため、導電膜445のエッチング工程の際に、酸化物半導体膜403がエッチングされ、消失または分断されることのないよう、導電膜445のエッチング条件を最適化することが望まれる。しかしながら、導電膜445のみがエッチングされ、酸化物半導体膜403が全くエッチングされないという条件を得ることは難しいため、導電膜445のエッチングの際に酸化物半導体膜403の一部が除去されることがある。その場合には、酸化物半導体膜403の一部が除去されることにより、酸化物半導体膜403において、ソース電極層405a及びドレイン電極層405bと重畳する領域の膜厚は、ソース電極層405a及びドレイン電極層405bと重畳しない領域の膜厚よりも大きくなる。

30

【0164】

ソース電極層405a及びドレイン電極層405bを形成するエッチング工程において、ハロゲン元素を含むエッチングガスを用いる場合、酸化物半導体膜403が該エッチングガスに曝されると、該エッチングガスに含まれるハロゲン元素(例えば、塩素、フッ素)によって、酸化物半導体膜403中の酸素が引き抜かれてしまい、酸化物半導体膜403の表面に酸素欠損が形成されるおそれがある。酸化物半導体膜403に酸素欠損が生じると、酸化物半導体膜403のバックチャンネルが低抵抗化(n型化)してしまい、寄生チャンネルが形成されるおそれがある。

40

【0165】

また、ハロゲン元素を含むエッチングガスには、ハロゲン以外の元素(例えば、ボロン)も酸化物半導体膜403のバックチャンネルが低抵抗化する要因の一つとなりえる。

【0166】

本実施の形態では、ソース電極層405a及びドレイン電極層405bを形成するエッチング工程に、ハロゲン元素を含むガス447を用いるので、生じる不純物はハロゲン(本実施の形態で塩素)系不純物(ハロゲン元素、又はハロゲン化合物)となる。また、本実施の形態のようにハロゲン元素を含むガス447に、ボロンが含まれる場合は、生じる不

50

純物としては、ボロン、又はボロンを含む化合物も含まれる。

【0167】

よって、ソース電極層405a及びドレイン電極層405bを形成後、酸化物半導体膜403表面及び該近傍に存在する不純物を除去する工程を行う(図4(D)参照)。不純物除去工程は、酸素、一酸化二窒素、もしくは希ガス(代表的にはアルゴン)を用いたプラズマ処理、または希フッ酸、水、現像液もしくはTMAH溶液を用いた溶液処理などを好適に用いることができる。また、希フッ酸として、例えば、 $1/10^3$ 希釈フッ酸(フッ酸:0.05%)で、IGZO膜を処理すると、1秒あたり1~3nm膜厚が減少し、 $2/10^5$ 希釈フッ酸(フッ酸:0.0025%)で、IGZO膜を処理すると、1秒あたり0.1nm程度膜厚が減少する。酸化物半導体膜403に不純物除去処理を行うことにより、酸化物半導体膜403表面におけるハロゲン元素濃度(例えば、塩素濃度)を 5×10^{18} atoms/cm³以下、好ましくは 1×10^{18} atoms/cm³以下に低減することができる。本実施の形態では、不純物除去工程として、 $1/10^3$ 希釈フッ酸を用いて溶液処理を行う例について示す。

10

【0168】

なお、不純物除去工程の際に、酸化物半導体膜403がエッチングされ、分断又は消失することのないよう、不純物除去工程における条件を最適化することが望まれる。しかしながら、酸化物半導体膜403が全く除去されないという条件を得ることは難しいため、酸化物半導体膜403が露出している部分において一部が除去され、酸化物半導体膜403が溝部(凹部)を有することもある。図4(D)では、不純物除去工程の後、酸化物半導体膜403の一部が除去され、酸化物半導体膜403が溝部(凹部)を有する場合について示している。図4(D)に示すように、ソース電極層405a及びドレイン電極層405bと重畳する領域の膜厚は、ソース電極層405a及びドレイン電極層405bと重畳しない領域の膜厚よりも大きくなる。また、チャンネル幅W方向における断面図は、図3(C)の断面図を参照すればよい。

20

【0169】

以上の工程で、本実施の形態のトランジスタ430が作製される(図4(E)参照)。

【0170】

本実施の形態では、ソース電極層405a、ドレイン電極層405b上に、酸化物半導体膜403と接して、保護絶縁膜となる絶縁膜407を形成する。例えば、CVD法により形成した酸化窒化シリコン膜を400nm形成する。また、保護絶縁膜の形成後、加熱処理を行ってもよい。例えば、窒素雰囲気下300で1時間加熱処理を行う。

30

【0171】

また、トランジスタ430起因の表面凹凸を低減するために平坦化絶縁膜408を形成してもよい。

【0172】

例えば、保護絶縁膜上に平坦化絶縁膜408として、膜厚1500nmのアクリル樹脂膜を形成すればよい。アクリル樹脂膜は塗布法による塗布後、焼成(例えば窒素雰囲気下250 1時間)して形成することができる。

【0173】

平坦化絶縁膜を形成後、加熱処理を行ってもよい。例えば、窒素雰囲気下250で1時間加熱処理を行う。

40

【0174】

以上のように、不純物除去工程を行うことによって、酸化物半導体膜403の表面及び該近傍に不純物が残存することを防止することができる。よって、トランジスタ430は、酸化物半導体膜403表面におけるエッチング工程起因の不純物(代表的には、ハロゲン元素(例えば塩素、フッ素)、またはボロンもしくはボロンを含む化合物)の濃度が低減されている。また、酸化物半導体膜403と絶縁膜407との界面におけるエッチング工程起因の不純物(代表的には、ハロゲン元素(例えば塩素、フッ素)、ボロン、リン、アルミニウム、鉄、又は炭素)の濃度を 5×10^{18} atoms/cm³以下(好ましくは

50

1×10^{18} atoms/cm³以下)とすることができる。

【0175】

従って、酸化物半導体膜403を用いた安定した電気特性を有するトランジスタ430を含む信頼性の高い半導体装置を提供することができる。また、信頼性の高い半導体装置を歩留まりよく作製し、高生産化を達成することができる。

【0176】

(実施の形態3)

実施の形態1又は実施の形態2のいずれかに示したトランジスタを用いて表示機能を有する半導体装置(表示装置ともいう)を作製することができる。また、トランジスタを含む駆動回路の一部又は全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

10

【0177】

図5(A)において、第1の基板4001上に設けられた画素部4002を囲むようにして、シール材4005が設けられ、第2の基板4006によって封止されている。図5(A)においては、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された走査線駆動回路4004、信号線駆動回路4003が実装されている。また別途形成された信号線駆動回路4003と、走査線駆動回路4004又は画素部4002に与えられる各種信号及び電位は、FPC(Flexible printed circuit)4018a、4018bから供給されている。

20

【0178】

図5(B)、及び図5(C)において、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、表示素子と共に封止されている。図5(B)、及び図5(C)においては、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。図5(B)、及び図5(C)においては、別途形成された信号線駆動回路4003と、走査線駆動回路4004又は画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

30

【0179】

また図5(B)、及び図5(C)においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装してもよいし、信号線駆動回路の一部又は走査線駆動回路の一部のみを別途形成して実装してもよい。

【0180】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG(Chip On Glass)方法、ワイヤボンディング方法、或いはTAB(Tape Automated Bonding)方法などを用いることができる。図5(A)は、COG方法により信号線駆動回路4003、走査線駆動回路4004を実装する例であり、図5(B)は、COG方法により信号線駆動回路4003を実装する例であり、図5(C)は、TAB方法により信号線駆動回路4003を実装する例である。

40

【0181】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。

【0182】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPCもしくはTABテープもし

50

くはTCPが取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、又は表示素子にCOG方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0183】

また第1の基板の上に設けられた画素部及び走査線駆動回路は、トランジスタを複数有しており、実施の形態1又は実施の形態2に示したトランジスタを適用することができる。

【0184】

表示装置に設けられる表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）、を用いることができる。発光素子は、電流又は電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL（Electro Luminescence）、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0185】

また、半導体装置の一形態について、図5乃至図7を用いて説明する。図7は、図5（B）の一点鎖線M-Nにおける断面図に相当する。

【0186】

図5及び図7で示すように、半導体装置は接続端子電極4015及び端子電極4016を有しており、接続端子電極4015及び端子電極4016はFPC4018、4018bが有する端子と異方性導電膜4019を介して、電氣的に接続されている。

【0187】

接続端子電極4015は、第1の電極層4030と同じ導電膜から形成され、端子電極4016は、トランジスタ4010、4011のゲート電極層と同じ導電膜で形成されている。

【0188】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、トランジスタを複数有しており、図7では、画素部4002に含まれるトランジスタ4010と、走査線駆動回路4004に含まれるトランジスタ4011とを例示している。図7（A）では、トランジスタ4010、4011上には絶縁膜4020が設けられ、図7（B）では、さらに、絶縁膜4021が設けられている。

【0189】

トランジスタ4010、4011としては、実施の形態1又は実施の形態2で示したトランジスタを適用することができる。本実施の形態では、実施の形態1で示したトランジスタ410と同様な構造及び作製方法で得られるトランジスタを適用する例を示す。

【0190】

実施の形態1で示したトランジスタ410と同様な構造及び作製方法で得られるトランジスタ4010、4011は、ハロゲン元素を含むエッチングガスを用いたエッチング工程によりソース電極層及びドレイン電極層を形成後、酸化物半導体膜表面及び該近傍におけるエッチングガスに含まれる不純物を除去する工程を行う。不純物除去工程は、例えば希フッ酸処理、又は酸素や一酸化二窒素を用いたプラズマ処理などを好適に用いることができる。

【0191】

酸化物半導体膜表面及び該近傍がエッチングガスに含まれる不純物により汚染されるのを防止できるため、トランジスタ4010、4011は、酸化物半導体膜表面におけるハロゲン元素濃度を $5 \times 10^{18} \text{ atoms/cm}^3$ 以下（好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下）とすることができる。

【0192】

従って、図5及び図7で示す本実施の形態の酸化物半導体膜を用いた安定した電気特性を有するトランジスタ4010、4011を含む半導体装置として信頼性の高い半導体装置を提供することができる。また、そのような信頼性の高い半導体装置を歩留まりよく作製し、高生産化を達成することができる。

10

20

30

40

50

【 0 1 9 3 】

また、駆動回路用のトランジスタ4011の酸化物半導体膜のチャネル形成領域と重なる位置にさらに導電層を設けてもよい。導電層を酸化物半導体膜のチャネル形成領域と重なる位置に設けることによって、バイアス・熱ストレス試験（BT試験）前後におけるトランジスタ4011のしきい値電圧の変化量をさらに低減することができる。また、導電層は、電位がトランジスタ4011のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層の電位がGND、0V、或いはフローティング状態であってもよい。

【 0 1 9 4 】

また、該導電層は外部の電場を遮蔽する、すなわち外部の電場が内部（トランジスタを含む回路部）に作用しないようにする機能（特に静電気に対する静電遮蔽機能）も有する。導電層の遮蔽機能により、静電気などの外部の電場の影響によりトランジスタの電気的な特性が変動することを防止することができる。

10

【 0 1 9 5 】

画素部4002に設けられたトランジスタ4010は表示素子と電気的に接続し、表示パネルを構成する。表示素子は表示を行うことができれば特に限定されず、様々な表示素子を用いることができる。

【 0 1 9 6 】

図7（A）に表示素子として液晶素子を用いた液晶表示装置の例を示す。図7（A）において、表示素子である液晶素子4013は、第1の電極層4030、第2の電極層4031、及び液晶層4008を含む。なお、液晶層4008を挟持するように配向膜として機能する絶縁膜4032、4033が設けられている。第2の電極層4031は第2の基板4006側に設けられ、第1の電極層4030と第2の電極層4031とは液晶層4008を介して積層する構成となっている。

20

【 0 1 9 7 】

またスペーサ4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、液晶層4008の膜厚（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いてもよい。

【 0 1 9 8 】

表示素子として、液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料（液晶組成物）は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

30

【 0 1 9 9 】

また、液晶層4008に、配向膜を用いないブルー相を発現する液晶組成物を用いてもよい。この場合、液晶層4008と、第1の電極層4030及び第2の電極層4031とは接する構造となる。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は、液晶及びカイラル剤を混合させた液晶組成物を用いて発現させることができる。また、ブルー相が発現する温度範囲を広げるために、ブルー相を発現する液晶組成物に重合性モノマー及び重合開始剤などを添加し、高分子安定化させる処理を行って液晶層を形成することもできる。ブルー相を発現する液晶組成物は、応答速度が短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。酸化物半導体膜を用いるトランジスタは、静電気の影響によりトランジスタの電気的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって酸化物半導体膜を用いるトランジスタを有する液晶表示装置にブルー相を発現する液晶組成物を用いることはより効果的である。

40

【 0 2 0 0 】

50

また、液晶材料の固有抵抗は、 1×10^9 \cdot cm以上であり、好ましくは 1×10^{11} \cdot cm以上であり、さらに好ましくは 1×10^{12} \cdot cm以上である。なお、本明細書における固有抵抗の値は、20 で測定した値とする。

【0201】

液晶表示装置に設けられる保持容量の大きさは、画素部に配置されるトランジスタのリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定される。保持容量の大きさは、トランジスタのオフ電流等を考慮して設定すればよい。本明細書に開示する酸化物半導体膜を有するトランジスタを用いることにより、各画素における液晶容量に対して1/3以下、好ましくは1/5以下の容量の大きさを有する保持容量を設ければ充分である。

10

【0202】

本明細書に開示する酸化物半導体膜を用いたトランジスタは、オフ状態における電流値（オフ電流値）を低く制御することができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

【0203】

また、本明細書に開示する酸化物半導体膜を用いたトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを液晶表示装置に用いることで、画素部のスイッチングトランジスタと、駆動回路部に使用するドライバートランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウェハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。また、画素部においても、高速駆動が可能なトランジスタを用いることで、高画質な画像を提供することができる。

20

【0204】

液晶表示装置には、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

30

【0205】

また、ノーマリーブラック型の液晶表示装置、例えば垂直配向 (VA) モードを採用した透過型の液晶表示装置としてもよい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV (Advanced Super View) モードなどを用いることができる。また、VA型の液晶表示装置にも適用することができる。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。また、画素 (ピクセル) をいくつかの領域 (サブピクセル) に分け、それぞれ別の方向に分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いることができる。

40

【0206】

また、表示装置において、ブラックマトリクス (遮光層)、偏光部材、位相差部材、反射防止部材などの光学部材 (光学基板) などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0207】

また、画素部における表示方式は、プログレッシブ方式やインターレース方式等を用いる

50

ことができる。また、カラー表示する際に画素で制御する色要素としては、RGB（Rは赤、Gは緑、Bは青を表す）の三色に限定されない。例えば、RGBW（Wは白を表す）、又はRGBに、イエロー、シアン、マゼンタ等を一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、開示する発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

【0208】

また、表示装置に含まれる表示素子として、エレクトロルミネッセンスを利用する発光素子を適用することができる。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

10

【0209】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。本実施の形態では、発光素子として有機EL素子を用いる例を示す。

【0210】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

20

【0211】

発光素子は発光を取り出すために少なくとも一对の電極の一方が透光性であればよい。そして、基板上にトランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、どの射出構造の発光素子も適用することができる。

30

【0212】

図6（A）（B）及び図7（B）に表示素子として発光素子を用いた発光装置の例を示す。

【0213】

図6（A）は発光装置の平面図であり、図6（A）中の一点鎖線V1-W1、V2-W2、及びV3-W3で切断した断面が図6（B）に相当する。なお、図6（A）の平面図においては、電界発光層542及び第2の電極層543は省略してあり図示していない。

【0214】

図6に示す発光装置は、基板500上に、トランジスタ510、容量素子520、配線層交差部530を有しており、トランジスタ510は発光素子540と電気的に接続している。なお、図6は基板500を通過して発光素子540からの光を取り出す、下面射出型構造の発光装置である。

40

【0215】

トランジスタ510としては、実施の形態1又は実施の形態2で示したトランジスタを適用することができる。本実施の形態では、実施の形態1で示したトランジスタ410と同様な構造及び作製方法で得られるトランジスタを適用する例を示す。

【0216】

トランジスタ510はゲート電極層511a、511b、ゲート絶縁膜502、酸化物半

50

導体膜 5 1 2、ソース電極層又はドレイン電極層として機能する導電層 5 1 3 a、5 1 3 bを含む。

【0217】

実施の形態 1 で示したトランジスタ 4 1 0 と同様な構造及び作製方法で得られるトランジスタ 5 1 0 は、ハロゲン元素を含むエッチングガスを用いたエッチング工程によりソース電極層又はドレイン電極層として機能する導電層 5 1 3 a、5 1 3 b を形成後、酸化物半導体膜表面及び該近傍におけるエッチングガスに含まれる不純物を除去する工程を行う。不純物除去工程は、例えば希フッ酸処理、又は酸素や一酸化二窒素を用いたプラズマ処理などを好適に用いることができる。

【0218】

酸化物半導体膜表面及び該近傍がエッチングガスに含まれる不純物により汚染されるのを防止できるため、トランジスタ 5 1 0 は、酸化物半導体膜表面におけるハロゲン元素濃度を $5 \times 10^{18} \text{ atoms/cm}^3$ 以下（好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下）とすることができる。

【0219】

従って、図 6 で示す本実施の形態の酸化物半導体膜 5 1 2 を用いた安定した電気特性を有するトランジスタ 5 1 0 を含む半導体装置として信頼性の高い半導体装置を提供することができる。また、そのような信頼性の高い半導体装置を歩留まりよく作製し、高生産化を達成することができる。

【0220】

容量素子 5 2 0 は、導電層 5 2 1 a、5 2 1 b、ゲート絶縁膜 5 0 2、酸化物半導体膜 5 2 2、導電層 5 2 3 を含み、導電層 5 2 1 a、5 2 1 b と導電層 5 2 3 とで、ゲート絶縁膜 5 0 2 及び酸化物半導体膜 5 2 2 を挟む構成とすることで容量を形成する。

【0221】

配線層交差部 5 3 0 は、ゲート電極層 5 1 1 a、5 1 1 b と、導電層 5 3 3 との交差部であり、ゲート電極層 5 1 1 a、5 1 1 b と、導電層 5 3 3 とは、間にゲート絶縁膜 5 0 2 を介して交差する。

【0222】

本実施の形態においては、ゲート電極層 5 1 1 a 及び導電層 5 2 1 a として膜厚 3 0 n m のチタン膜を用い、ゲート電極層 5 1 1 b 及び導電層 5 2 1 b として膜厚 2 0 0 n m の銅薄膜を用いる。よって、ゲート電極層はチタン膜と銅薄膜との積層構造となる。

【0223】

酸化物半導体膜 5 1 2、5 2 2 としては膜厚 2 5 n m の I G Z O 膜を用いる。

【0224】

トランジスタ 5 1 0、容量素子 5 2 0、及び配線層交差部 5 3 0 上には層間絶縁膜 5 0 4 が形成され、層間絶縁膜 5 0 4 上において発光素子 5 4 0 と重畳する領域にカラーフィルタ層 5 0 5 が設けられている。層間絶縁膜 5 0 4 及びカラーフィルタ層 5 0 5 上には平坦化絶縁膜として機能する絶縁膜 5 0 6 が設けられている。

【0225】

絶縁膜 5 0 6 上に第 1 の電極層 5 4 1、電界発光層 5 4 2、第 2 の電極層 5 4 3 の順に積層した積層構造を含む発光素子 5 4 0 が設けられている。発光素子 5 4 0 とトランジスタ 5 1 0 とは、導電層 5 1 3 a に達する絶縁膜 5 0 6 及び層間絶縁膜 5 0 4 に形成された開口において、第 1 の電極層 5 4 1 及び導電層 5 1 3 a とは接することによって電氣的に接続されている。なお、第 1 の電極層 5 4 1 の一部及び該開口を覆うように隔壁 5 0 7 が設けられている。

【0226】

層間絶縁膜 5 0 4 には、プラズマ C V D 法による膜厚 2 0 0 n m 以上 6 0 0 n m 以下の酸化窒化シリコン膜を用いることができる。また、絶縁膜 5 0 6 には膜厚 1 5 0 0 n m の感光性のアクリル膜、隔壁 5 0 7 には膜厚 1 5 0 0 n m の感光性のポリイミド膜を用いることができる。

10

20

30

40

50

【0227】

カラーフィルタ層505としては、例えば有彩色の透光性樹脂を用いることができる。有彩色の透光性樹脂としては、感光性、非感光性の有機樹脂を用いることができるが、感光性の有機樹脂層を用いるとレジストマスク数を削減することができるため、工程が簡略化し好ましい。

【0228】

有彩色は、黒、灰、白などの無彩色を除く色であり、カラーフィルタ層は、着色された有彩色の光のみを透過する材料で形成される。有彩色としては、赤色、緑色、青色などを用いることができる。また、シアン、マゼンダ、イエロー（黄）などを用いてもよい。着色された有彩色の光のみを透過するとは、カラーフィルタ層における透過光は、その有彩色の光の波長にピークを有するということである。カラーフィルタ層は、含ませる着色材料の濃度と光の透過率の関係に考慮して、最適な膜厚を適宜制御するとよい。例えば、カラーフィルタ層505の膜厚は1500nm以上2000nm以下とすればよい。

10

【0229】

図7(B)に示す発光装置においては、表示素子である発光素子4513は、画素部4002に設けられたトランジスタ4010と電気的に接続している。なお発光素子4513の構成は、第1の電極層4030、電界発光層4511、第2の電極層4031の積層構造であるが、示した構成に限定されない。発光素子4513から取り出す光の方向などに合わせて、発光素子4513の構成は適宜変えることができる。

【0230】

隔壁4510、507は、有機絶縁材料、又は無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第1の電極層4030、541上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

20

【0231】

電界発光層4511、542は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでもよい。

【0232】

発光素子4513、540に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4031、543及び隔壁4510、507上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC膜等を形成することができる。

30

【0233】

また、発光素子4513、540に酸素、水素、水分、二酸化炭素等が侵入しないように、発光素子4513、540を覆う有機化合物を含む層を蒸着法により形成してもよい。

【0234】

また、第1の基板4001、第2の基板4006、及びシール材4005によって封止された空間には充填材4514が設けられ密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0235】

充填材4514としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂又は熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）又はEVA（エチレンビニルアセテート）を用いることができる。例えば充填材として窒素を用いればよい。

40

【0236】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ / 4板、 / 2板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0237】

50

また、表示装置として、電子インクを駆動させる電子ペーパーを提供することも可能である。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）とも呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0238】

電気泳動表示装置は、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒又は溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子又は第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

10

【0239】

このように、電気泳動表示装置は、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動の効果を利用したディスプレイである。

【0240】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0241】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、又はこれらの複合材料を用いればよい。

20

【0242】

また、電子ペーパーとして、ツイストボール表示方式を用いる表示装置も適用することができる。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を、表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

30

【0243】

なお、図5乃至図7において、第1の基板4001、基板500、第2の基板4006としては、ガラス基板の他、可撓性を有する基板も用いることができ、例えば透光性を有するプラスチック基板などを用いることができる。プラスチックとしては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、ポリエステルフィルム又はアクリル樹脂フィルムを用いることができる。また、透光性が必要でなければ、アルミニウムやステンレスなどの金属基板（金属フィルム）を用いてもよい。例えば、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0244】

本実施の形態では、絶縁膜4020として酸化アルミニウム膜を用いる。絶縁膜4020はスパッタリング法やプラズマCVD法によって形成することができる。

40

【0245】

酸化物半導体膜上に絶縁膜4020として設けられた酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を透過させない遮断効果（ブロック効果）が高い。

【0246】

従って、酸化アルミニウム膜は、作製工程中及び作製後において、変動要因となる水素、水分などの不純物の酸化物半導体膜への混入、及び酸化物半導体を構成する主成分材料である酸素の酸化物半導体膜からの放出を防止する保護膜として機能する。

50

【0247】

また、平坦化絶縁膜として機能する絶縁膜4021、506は、アクリル系樹脂、ポリイミド系樹脂、ベンゾシクロブテン系樹脂、ポリアミド系樹脂、エポキシ系樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（Low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁膜を形成してもよい。

【0248】

絶縁膜4021、506の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法等）、印刷法（スクリーン印刷、オフセット印刷等）などの方法や、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等の器具を用いることができる。

10

【0249】

表示装置は光源又は表示素子からの光を透過させて表示を行う。よって光が透過する画素部に設けられる基板、絶縁膜、導電膜などの薄膜はすべて可視光の波長領域の光に対して透光性とする。

【0250】

表示素子に電圧を印加する第1の電極層及び第2の電極層（画素電極層、共通電極層、対向電極層などともいう）においては、取り出す光の方向、電極層が設けられる場所、及び電極層のパターン構造によって透光性、反射性を選択すればよい。

20

【0251】

第1の電極層4030、541、第2の電極層4031、543は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物、グラフェンなどの透光性を有する導電性材料を用いることができる。

【0252】

また、第1の電極層4030、541、第2の電極層4031、543はタングステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、チタン（Ti）、白金（Pt）、アルミニウム（Al）、銅（Cu）、銀（Ag）等の金属、又はその合金、若しくはその金属窒化物から一つ、又は複数種を用いて形成することができる。

30

【0253】

本実施の形態においては、図6に示す発光装置は下面射出型なので、第1の電極層541は透光性、第2の電極層543は反射性を有する。よって、第1の電極層541に金属膜を用いる場合は透光性を保てる程度膜厚を薄く、第2の電極層543に透光性を有する導電膜を用いる場合は、反射性を有する導電膜を積層するとよい。

【0254】

また、第1の電極層4030、541、第2の電極層4031、543として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリン又はその誘導体、ポリピロール又はその誘導体、ポリチオフェン又はその誘導体、若しくはアニリン、ピロールおよびチオフェンの2種以上からなる共重合体若しくはその誘導体などがあげられる。

40

【0255】

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

【0256】

以上のように実施の形態1又は実施の形態2で示したトランジスタを適用することで、様

50

々な機能を有する半導体装置を提供することができる。

【0257】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0258】

(実施の形態4)

実施の形態1又は実施の形態2に示したトランジスタを用いて、対象物の情報を読み取るイメージセンサ機能を有する半導体装置を作製することができる。

【0259】

図8(A)に、イメージセンサ機能を有する半導体装置の一例を示す。図8(A)はフォトセンサの等価回路であり、図8(B)はフォトセンサの一部を示す断面図である。

10

【0260】

フォトダイオード602は、一方の電極がフォトダイオードリセット信号線658に、他方の電極がトランジスタ640のゲートに電氣的に接続されている。トランジスタ640は、ソース又はドレインの一方がフォトセンサ基準信号線672に、ソース又はドレインの他方がトランジスタ656のソース又はドレインの一方に電氣的に接続されている。トランジスタ656は、ゲートがゲート信号線659に、ソース又はドレインの他方がフォトセンサ出力信号線671に電氣的に接続されている。

【0261】

なお、本明細書における回路図において、酸化物半導体膜を用いるトランジスタと明確に判明できるように、酸化物半導体膜を用いるトランジスタの記号には「OS」と記載している。図8(A)において、トランジスタ640、トランジスタ656は実施の形態1又は実施の形態2に示したトランジスタが適用でき、酸化物半導体膜を用いるトランジスタである。本実施の形態では、実施の形態1で示したトランジスタ410と同様な構造及び作製方法で得られるトランジスタを適用する例を示す。

20

【0262】

図8(B)は、フォトセンサにおけるフォトダイオード602及びトランジスタ640に示す断面図であり、絶縁表面を有する基板601(TFT基板)上に、センサとして機能するフォトダイオード602及びトランジスタ640が設けられている。フォトダイオード602、トランジスタ640の上には接着層608を用いて基板613が設けられている。

30

【0263】

トランジスタ640上には絶縁膜631、層間絶縁膜633、層間絶縁膜634が設けられている。フォトダイオード602は、層間絶縁膜633上に設けられ、層間絶縁膜633上に形成した電極層641a、641bと、層間絶縁膜634上に設けられた電極層642との間に、層間絶縁膜633側から順に第1半導体膜606a、第2半導体膜606b、及び第3半導体膜606cを積層した構造を有している。

【0264】

電極層641bは、層間絶縁膜634に形成された導電層643と電氣的に接続し、電極層642は電極層641aを介して導電層645と電氣的に接続している。導電層645は、トランジスタ640のゲート電極層と電氣的に接続しており、フォトダイオード602はトランジスタ640と電氣的に接続している。

40

【0265】

ここでは、第1半導体膜606aとしてp型の導電型を有する半導体膜と、第2半導体膜606bとして高抵抗な半導体膜(I型半導体膜)、第3半導体膜606cとしてn型の導電型を有する半導体膜を積層するpin型のフォトダイオードを例示している。

【0266】

第1半導体膜606aはp型半導体膜であり、p型を付与する不純物元素を含むアモルファスシリコン膜により形成することができる。第1半導体膜606aの形成には13族の不純物元素(例えばボロン(B))を含む半導体材料ガスを用いて、プラズマCVD法に

50

より形成する。半導体材料ガスとしてはシラン (SiH_4) を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD法、気相成長法、又はスパッタリング法等を用いればよい。第1半導体膜606aの膜厚は10nm以上50nm以下となるよう形成することが好ましい。

【0267】

第2半導体膜606bは、I型半導体膜（真性半導体膜）であり、アモルファスシリコン膜により形成する。第2半導体膜606bの形成には、半導体材料ガスを用いて、アモルファスシリコン膜をプラズマCVD法により形成する。半導体材料ガスとしては、シラン (SiH_4) を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。第2半導体膜606bの形成は、LPCVD法、気相成長法、スパッタリング法等により行ってもよい。第2半導体膜606bの膜厚は200nm以上1000nm以下となるように形成することが好ましい。

【0268】

第3半導体膜606cは、n型半導体膜であり、n型を付与する不純物元素を含むアモルファスシリコン膜により形成する。第3半導体膜606cの形成には、15族の不純物元素（例えばリン（P））を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン (SiH_4) を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD法、気相成長法、又はスパッタリング法等を用いればよい。第3半導体膜606cの膜厚は20nm以上200nm以下となるよう形成することが好ましい。

【0269】

また、第1半導体膜606a、第2半導体膜606b、及び第3半導体膜606cは、アモルファス半導体ではなく、多結晶半導体を用いて形成してもよいし、微結晶（セミアモルファス（Semiamorphous Semiconductor：SAS））半導体を用いて形成してもよい。

【0270】

また、光電効果で発生した正孔の移動度は電子の移動度に比べて小さいため、pin型のフォトダイオードはp型の半導体膜側を受光面とする方がよい特性を示す。ここでは、pin型のフォトダイオードが形成されている基板601の面からフォトダイオード602が受ける光を電気信号に変換する例を示す。また、受光面とした半導体膜側とは逆の導電型を有する半導体膜側からの光は外乱光となるため、電極層は遮光性を有する導電膜を用いるとよい。また、n型の半導体膜側を受光面として用いることもできる。

【0271】

絶縁膜631、層間絶縁膜633、層間絶縁膜634としては、絶縁性材料を用いて、その材料に応じて、スパッタリング法、プラズマCVD法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法等）、印刷法（スクリーン印刷、オフセット印刷等）等を用いて形成することができる。

【0272】

絶縁膜631としては、無機絶縁材料としては、酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、又は酸化窒化アルミニウム層などの酸化物絶縁膜、窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などの窒化物絶縁膜の単層、又は積層を用いることができる。

10

20

30

40

50

【 0 2 7 3 】

本実施の形態では、絶縁膜 6 3 1 として酸化アルミニウム膜を用いる。絶縁膜 6 3 1 はスパッタリング法やプラズマ C V D 法によって形成することができる。

【 0 2 7 4 】

酸化物半導体膜上に絶縁膜 6 3 1 として設けられた酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を透過させない遮断効果（ブロック効果）が高い。

【 0 2 7 5 】

従って、酸化アルミニウム膜は、作製工程中及び作製後において、変動要因となる水素、水分などの不純物の酸化物半導体膜への混入、及び酸化物半導体を構成する主成分材料である酸素の酸化物半導体膜からの放出を防止する保護膜として機能する。

10

【 0 2 7 6 】

層間絶縁膜 6 3 3、6 3 4 としては、表面凹凸を低減するため平坦化絶縁膜として機能する絶縁膜が好ましい。層間絶縁膜 6 3 3、6 3 4 としては、例えばポリイミド、アクリル樹脂、ベンゾシクロブテン樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機絶縁材料を用いることができる。また上記有機絶縁材料の他に、低誘電率材料（low-k 材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等の単層、又は積層を用いることができる。

【 0 2 7 7 】

フォトダイオード 6 0 2 に入射する光 6 2 2 を検出することによって、被検出物の情報を読み取ることができる。なお、被検出物の情報を読み取る際にバックライトなどの光源を用いることができる。

20

【 0 2 7 8 】

実施の形態 1 で示したトランジスタ 4 1 0 と同様な構造及び作製方法で得られるトランジスタ 6 4 0 は、ハロゲン元素を含むエッチングガスを用いたエッチング工程によりソース電極層及びドレイン電極層を形成後、酸化物半導体膜表面及び該近傍におけるエッチングガスに含まれる不純物を除去する工程を行う。不純物除去工程は、例えば希フッ酸処理、又は酸素や一酸化二窒素を用いたプラズマ処理などを好適に用いることができる。

【 0 2 7 9 】

酸化物半導体膜表面及び該近傍がエッチングガスに含まれる不純物により汚染されるのを防止できるため、トランジスタ 6 4 0 は、酸化物半導体膜表面におけるハロゲン元素濃度を $5 \times 10^{18} \text{ atoms/cm}^3$ 以下（好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下）とすることができる。

30

【 0 2 8 0 】

従って、本実施の形態の酸化物半導体膜を用いた安定した電気特性を有するトランジスタ 6 4 0 を含む信頼性の高い半導体装置を提供することができる。また、信頼性の高い半導体装置を歩留まりよく作製し、高生産化を達成することができる。

【 0 2 8 1 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

40

【 0 2 8 2 】

（実施の形態 5）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、遊技機（パチンコ機、スロットマシン等）、ゲーム筐体が挙げられる。これらの電子機器の具体例を図 9 に示す。

【 0 2 8 3 】

図 9（A）は、表示部を有するテーブル 9 0 0 0 を示している。テーブル 9 0 0 0 は、筐

50

体 9 0 0 1 に表示部 9 0 0 3 が組み込まれており、表示部 9 0 0 3 により映像を表示することが可能である。なお、4本の脚部 9 0 0 2 により筐体 9 0 0 1 を支持した構成を示している。また、電力供給のための電源コード 9 0 0 5 を筐体 9 0 0 1 に有している。

【 0 2 8 4 】

実施の形態 1 乃至 4 のいずれかに示す半導体装置は、表示部 9 0 0 3 に用いることが可能であり、電子機器に高い信頼性を付与することができる。

【 0 2 8 5 】

表示部 9 0 0 3 は、タッチ入力機能を有しており、テーブル 9 0 0 0 の表示部 9 0 0 3 に表示された表示ボタン 9 0 0 4 を指などで触れることで、画面操作や、情報を入力することができ、また他の家電製品との通信を可能とする、又は制御を可能とすることで、画面操作により他の家電製品をコントロールする制御装置としてもよい。例えば、実施の形態 4 に示したイメージセンサ機能を有する半導体装置を用いれば、表示部 9 0 0 3 にタッチ入力機能を持たせることができる。

10

【 0 2 8 6 】

また、筐体 9 0 0 1 に設けられたヒンジによって、表示部 9 0 0 3 の画面を床に対して垂直に立てることもでき、テレビジョン装置としても利用できる。狭い部屋においては、大きな画面のテレビジョン装置は設置すると自由な空間が狭くなってしまうが、テーブルに表示部が内蔵されていれば、部屋の空間を有効に利用することができる。

【 0 2 8 7 】

図 9 (B) は、テレビジョン装置 9 1 0 0 を示している。テレビジョン装置 9 1 0 0 は、筐体 9 1 0 1 に表示部 9 1 0 3 が組み込まれており、表示部 9 1 0 3 により映像を表示することが可能である。なお、ここではスタンド 9 1 0 5 により筐体 9 1 0 1 を支持した構成を示している。

20

【 0 2 8 8 】

テレビジョン装置 9 1 0 0 の操作は、筐体 9 1 0 1 が備える操作スイッチや、別体のリモコン操作機 9 1 1 0 により行うことができる。リモコン操作機 9 1 1 0 が備える操作キー 9 1 0 9 により、チャンネルや音量の操作を行うことができ、表示部 9 1 0 3 に表示される映像を操作することができる。また、リモコン操作機 9 1 1 0 に、当該リモコン操作機 9 1 1 0 から出力する情報を表示する表示部 9 1 0 7 を設ける構成としてもよい。

【 0 2 8 9 】

図 9 (B) に示すテレビジョン装置 9 1 0 0 は、受信機やモデムなどを備えている。テレビジョン装置 9 1 0 0 は、受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

30

【 0 2 9 0 】

実施の形態 1 乃至 4 のいずれかに示す半導体装置は、表示部 9 1 0 3、9 1 0 7 に用いることが可能であり、テレビジョン装置、及びリモコン操作機に高い信頼性を付与することができる。

【 0 2 9 1 】

図 9 (C) はコンピュータであり、本体 9 2 0 1、筐体 9 2 0 2、表示部 9 2 0 3、キーボード 9 2 0 4、外部接続ポート 9 2 0 5、ポインティングデバイス 9 2 0 6 等を含む。

40

【 0 2 9 2 】

実施の形態 1 乃至 4 のいずれかに示す半導体装置は、表示部 9 2 0 3 に用いることが可能であり、信頼性の高いコンピュータとすることが可能となる。

【 0 2 9 3 】

図 1 0 (A) 及び図 1 0 (B) は 2 つ折り可能なタブレット型端末である。図 1 0 (A) は、開いた状態であり、タブレット型端末は、筐体 9 6 3 0、表示部 9 6 3 1 a、表示部 9 6 3 1 b、表示モード切り替えスイッチ 9 0 3 4、電源スイッチ 9 0 3 5、省電力モード切り替えスイッチ 9 0 3 6、留め具 9 0 3 3、操作スイッチ 9 0 3 8、を有する。

50

【0294】

実施の形態1乃至4のいずれかに示す半導体装置は、表示部9631a、表示部9631bに用いることが可能であり、信頼性の高いタブレット型端末とすることが可能となる。

【0295】

表示部9631aは、一部をタッチパネルの領域9632aとすることができ、表示された操作キー9638にふれることでデータ入力を行うことができる。なお、表示部9631aにおいては、一例として半分の領域が表示のみの機能を有する構成、もう半分の領域がタッチパネルの機能を有する構成を示しているが該構成に限定されない。表示部9631aの全ての領域がタッチパネルの機能を有する構成としても良い。例えば、表示部9631aの全面をキーボードボタン表示させてタッチパネルとし、表示部9631bを表示画面として用いることができる。

10

【0296】

また、表示部9631bにおいても表示部9631aと同様に、表示部9631bの一部をタッチパネルの領域9632bとすることができる。また、タッチパネルのキーボード表示切り替えボタン9639が表示されている位置に指やスタイラスなどでふれることで表示部9631bにキーボードボタン表示することができる。

【0297】

また、タッチパネルの領域9632aとタッチパネルの領域9632bに対して同時にタッチ入力することもできる。

【0298】

また、表示モード切り替えスイッチ9034は、縦表示又は横表示などの表示の向きを切り替え、白黒表示やカラー表示の切り替えなどを選択できる。省電力モード切り替えスイッチ9036は、タブレット型端末に内蔵している光センサで検出される使用時の外光の光量に応じて表示の輝度を最適なものとすることができる。タブレット型端末は光センサだけでなく、ジャイロ、加速度センサ等の傾きを検出するセンサなどの他の検出装置を内蔵させてもよい。

20

【0299】

また、図10(A)では表示部9631bと表示部9631aの表示面積が同じ例を示しているが特に限定されず、一方のサイズともう一方のサイズが異なってもよく、表示の品質も異なってもよい。例えば一方が他方よりも高精細な表示を行える表示パネルとしてもよい。

30

【0300】

図10(B)は、閉じた状態であり、タブレット型端末は、筐体9630、太陽電池9633、充放電制御回路9634、バッテリー9635、DCDCコンバータ9636を有する。なお、図10(B)では充放電制御回路9634の一例としてバッテリー9635、DCDCコンバータ9636を有する構成について示している。

【0301】

なお、タブレット型端末は2つ折り可能なため、未使用時に筐体9630を閉じた状態にすることができる。従って、表示部9631a、表示部9631bを保護できるため、耐久性に優れ、長期使用の観点からも信頼性の優れたタブレット型端末を提供できる。

40

【0302】

また、この他にも図10(A)及び図10(B)に示したタブレット型端末は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報をタッチ入力操作又は編集するタッチ入力機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。

【0303】

タブレット型端末の表面に装着された太陽電池9633によって、電力をタッチパネル、表示部、又は映像信号処理部等に供給することができる。なお、太陽電池9633は、筐体9630の片面又は両面に設けることができ、バッテリー9635の充電を効率的に行

50

う構成とすることができる。なおバッテリー 9635 としては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。

【0304】

また、図10(B)に示す充放電制御回路9634の構成、及び動作について図10(C)にブロック図を示し説明する。図10(C)には、太陽電池9633、バッテリー9635、DCDCコンバータ9636、コンバータ9637、スイッチSW1乃至SW3、表示部9631について示しており、バッテリー9635、DCDCコンバータ9636、コンバータ9637、スイッチSW1乃至SW3が、図10(B)に示す充放電制御回路9634に対応する箇所となる。

【0305】

まず外光により太陽電池9633により発電がされる場合の動作の例について説明する。太陽電池9633で発電した電力は、バッテリー9635を充電するための電圧となるようDCDCコンバータ9636で昇圧又は降圧がなされる。そして、表示部9631の動作に太陽電池9633からの電力が用いられる際にはスイッチSW1をオンにし、コンバータ9637で表示部9631に必要な電圧に昇圧又は降圧をすることとなる。また、表示部9631での表示を行わない際には、SW1をオフにし、SW2をオンにしてバッテリー9635の充電を行う構成とすればよい。

【0306】

なお太陽電池9633については、発電手段の一例として示したが、特に限定されず、圧電素子(ピエゾ素子)や熱電変換素子(ペルティエ素子)などの他の発電手段によるバッテリー9635の充電を行う構成であってもよい。例えば、無線(非接触)で電力を送受信して充電する無接点電力伝送モジュールや、また他の充電手段を組み合わせる構成としてもよい。

【0307】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【実施例1】

【0308】

本実施例では、酸化物半導体膜上に接して金属膜を形成し、その後の金属膜除去のドライエッチングの際に生じた不純物を除去する不純物除去処理の有無と、抵抗率との関係について以下に示す実験を行った。

【0309】

まず、比較例のサンプルとして、スパッタリング法を用いた成膜装置を用いて、ガラス基板上に膜厚95nmのIGZO膜を成膜し、抵抗率を測定した。その結果は $4.8 \times 10^9 \cdot \text{cm}$ であった。IGZO膜の抵抗率は、上面形状が蛇行している電極(膜厚100nmのチタン膜と、膜厚400nmのアルミニウム膜と、膜厚100nmのチタン膜の積層)を形成し、電圧-電流の2端子測定により抵抗を算出する。

【0310】

IGZO膜の成膜条件は、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子数比]の酸化物ターゲットを用い、酸素及びアルゴン雰囲気下(酸素流量比率50%)、圧力0.6Pa、AC電源電力5kW、基板温度170とする。

【0311】

スパッタリング法を用いた成膜装置は、真空ポンプなどの真空排気手段(クライオポンプ、ターボ分子ポンプなど)により減圧可能なスパッタチャンバーと、被処理基板を固定する基板フォルダと、スパッタリングターゲットを保持するターゲットフォルダと、ターゲットフォルダに保持されたスパッタリングターゲットに対応する電極と、その電極にスパッタリングのためのAC電圧(またはDC電圧)を印加する電力供給手段と、スパッタチャンバー内にガスを供給するガス供給手段とを有している。なお、サンプルを作製する際には、できるだけ不純物が混入しないようにスパッタチャンバー内を高真空とし、水分については露点-40以下、好ましくは露点-50以下の乾燥窒素雰囲気として成膜を

10

20

30

40

50

行う。

【0312】

また、サンプル1として、ガラス基板上に膜厚95nmのIGZO膜を成膜した後、第1のドライエッチング条件で180秒のエッチングを行った後、純水に浸し、電極を形成して、抵抗率を測定した。サンプル1の結果は $130 \cdot \text{cm}$ であった。また、サンプル2として、第1のドライエッチング条件後、希フッ酸(1/100希釈)に30秒浸した後、電極を形成して抵抗率を測定した。サンプル2の結果は、 $3.9 \times 10^9 \cdot \text{cm}$ となった。

【0313】

これらの結果から、ハロゲン元素を含むガスを用いたドライエッチングにより不純物が付着または混入することでIGZO膜の抵抗率が下がり、希フッ酸の表面処理を行うことで不純物が除去され、IGZO膜がドライエッチング前の状態に近づいていることが確認できる。

【0314】

また、サンプル3としてガラス基板上に膜厚95nmのIGZO膜を成膜した後、第2のドライエッチング条件で180秒のエッチングを行った後、純水に浸し、電極を形成して、抵抗率を測定した。また、サンプル4として、第2のドライエッチング条件後に、希フッ酸(1/100希釈)に30秒浸した後、電極を形成して抵抗率を測定した。

【0315】

また、サンプル5としてガラス基板上に膜厚95nmのIGZO膜を成膜した後、第3のドライエッチング条件で180秒のエッチングを行った後、純水に浸し、電極を形成して、抵抗率を測定した。また、サンプル6として、第3のドライエッチング条件後に、希フッ酸(1/100希釈)に30秒浸した後、電極を形成して抵抗率を測定した。

【0316】

また、サンプル7としてガラス基板上に膜厚95nmのIGZO膜を成膜した後、第4のドライエッチング条件で180秒のエッチングを行った後、純水に浸し、電極を形成して、抵抗率を測定した。また、サンプル8として、第4のドライエッチング条件後に、希フッ酸(1/100希釈)に30秒浸した後、電極を形成して抵抗率を測定した。

【0317】

第1のドライエッチング条件、第2のドライエッチング条件、第3のドライエッチング条件、及び第4のドライエッチング条件を表1に記す。なお、ドライエッチングを行う装置としてはICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング装置を用いた。

【0318】

【表1】

	ICP (W)	Bias (W)	Press (Pa)	Cl2 (sccm)	BCl3 (sccm)	SF6 (sccm)	O2 (sccm)	Time (sec)
第1エッチング条件	2000	200	2.0	—	—	900	100	180
第2エッチング条件	2000	1000	2.5	540	—	540	—	
第3エッチング条件	0	1500	2.0	150	750	—	—	
第4エッチング条件	2000	1000	2.5	—	380	700	—	

【0319】

また、図12は、抵抗率を縦軸とし、比較例の抵抗率(ref)と、サンプル1~8の抵抗率をそれぞれ示したグラフである。これらの結果から、ドライエッチングの条件を変えても、希フッ酸の表面処理を行うことでIGZO膜をドライエッチング前の状態に近づける、好ましくは同じ状態にできることが確認できた。

【0320】

以上の結果から、不純物除去処理を行うことにより、酸化物半導体膜の低抵抗化を引き起こしうる不純物を除去することができ、酸化物半導体膜の低抵抗化が抑制されたことが示された。

【実施例2】

【0321】

本実施例では、不純物除去処理の有無によるトランジスタの特性の比較を行った結果について説明する。

【0322】

以下、本実施例で用いた試料A乃至試料Dの作製方法について説明する。なお、本実施例で作製した試料A乃至試料Dが含むトランジスタの作製方法について、図4を参照して説明する。

10

【0323】

まず、試料Aの作製方法について説明する。図4(A)に示すように、基板400として、ガラス基板上に、下地絶縁膜として100nmの窒化シリコン膜と、150nmの酸化窒化シリコン膜を形成した。その後、スパッタリング法により、膜厚30nmの窒化タンタル膜、膜厚200nmの銅膜、膜厚30nmのタングステン膜を成膜し、フォトリソグラフィ工程により、タングステン膜上にレジストマスクを形成し、選択的にエッチングを行うことで、ゲート電極層401を形成した。なお、図4には、下地絶縁膜は図示していない。

20

【0324】

次に、ゲート電極層401上に、ゲート絶縁膜402として、プラズマCVD法により、膜厚50nmの窒化シリコン膜と、膜厚270nmの酸化窒化シリコン膜を成膜した。窒化シリコン膜の成膜条件は、 $\text{SiH}_4 / \text{N}_2 = 50 \text{ sccm} / 5000 \text{ sccm}$ 、成膜電力150W(RF)、成膜圧力40Pa、基板温度350として、酸化窒化シリコン膜の成膜条件として、 $\text{SiH}_4 / \text{N}_2\text{O} = 20 \text{ sccm} / 3000 \text{ sccm}$ 、電極面積が 6000 cm^2 のとき成膜電力100W(RF)、成膜圧力40Pa、基板温度350とした。

【0325】

次に、ゲート絶縁膜402上に、スパッタリング法により、酸化物半導体膜として、膜厚35nmのIGZO膜を成膜した。IGZO膜は、スパッタリングターゲットとして、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子数比]を用い、スパッタリングガスとして、100sccmのアルゴンと100sccmの酸素をスパッタリング装置の処理室内に供給し、処理室内の圧力を0.6Paに制御して、5kWの電力を供給して成膜した。なお、IGZO膜を成膜する際の基板温度は、170とした。

30

【0326】

次に、フォトリソグラフィ工程により、酸化物半導体膜上にレジストマスクを形成し、選択的にエッチングを行うことにより、島状の酸化物半導体膜403を形成した。

【0327】

次に、窒素雰囲気下にて、450で1時間、窒素と酸素の混合雰囲気下にて、450

40

で1時間、第1の加熱処理を行った。

【0328】

次に、図4(B)に示すように、島状の酸化物半導体膜403上に、導電膜445として、スパッタリング法により、膜厚50nmのタングステン膜と、膜厚100nmのアルミニウム膜と、100nmのチタン膜を成膜した。その後、図4(C)に示すように、フォトリソグラフィ工程により、チタン膜上にレジストマスクを形成し、選択的にエッチングを行うことにより、ソース電極層405a及びドレイン電極層405bを形成した。

【0329】

ここで、アルミニウム膜及びチタン膜のエッチング条件として、エッチングガス($\text{BCl}_3 : \text{Cl}_2 = 750 \text{ sccm} : 150 \text{ sccm}$)を用い、バイアス電力を1500Wとし

50

、ICP電源電力を0Wとし、圧力を2.0Paとした。タングステン膜のエッチング条件として、エッチングガス(SF₆:BCl₃=700sccm:380sccm)を用い、ICP電源電力を2000W、バイアス電力を1000Wとし、圧力を2.5Paとした。

【0330】

次に、窒素雰囲気下にて、300 で1時間、第2の加熱処理を行った。

【0331】

次に、図4(E)に示すように、酸化物半導体膜403、ソース電極層405a、及びドレイン電極層405b上に、層間絶縁膜として、400nmの酸化シリコン膜と、200nmの酸化窒化シリコン膜と、を成膜した。

10

【0332】

次に、窒素雰囲気下にて、300 で1時間、第3の加熱処理を行った。

【0333】

次に、層間絶縁膜として、1.5μmのポリイミドを成膜した。

【0334】

次に、窒素雰囲気下にて、300 で1時間、第4の加熱処理を行った。

【0335】

次に、層間絶縁膜に、ソース電極層405a及びドレイン電極層405bに達する開口を形成した。最後に、スパッタリング法により、膜厚100nmのチタン膜と、膜厚400nmのアルミニウム膜と、100nmのチタン膜を成膜した。その後、フォトリソグラフィ工程により、チタン膜上にレジストマスクを形成し、選択的にエッチングを行うことにより、電極層を形成した。

20

【0336】

以上の工程により、試料Aを作製した。

【0337】

次に、試料Bの作製方法について説明する。試料Bは、ソース電極層及びドレイン電極層を形成する工程までは、試料Aと同様に行った。

【0338】

図4(D)に示すように、ソース電極層405a及びドレイン電極層405bの形成後、酸化物半導体膜403に対して、酸素プラズマ処理を行った。酸素プラズマ処理は、ICP装置を用いて、ICP電源電力を0W、バイアス電力を500W、圧力を2.0Pa、基板温度80 とした。

30

【0339】

その後、第2の加熱処理から電極層形成工程まで、試料Aと同様に行うことによって、試料Bを作製した。

【0340】

次に、試料Cの作製方法について説明する。試料Cは、ソース電極層及びドレイン電極層を形成する工程までは、試料Aと同様に行った。

【0341】

図4(D)に示すように、ソース電極層405a及びドレイン電極層405bの形成後、酸化物半導体膜403に対して、酸素プラズマ処理を行った。酸素プラズマ処理は、ICP装置を用いて、ICP電源電力を0W、バイアス電力を500W、圧力を2.0Pa、基板温度80 とした。

40

【0342】

次に、酸化物半導体膜を、希フッ酸(1/500希釈)に、60sec浸した。

【0343】

その後、第2の加熱処理から電極層形成工程まで、試料Aと同様に行うことによって、試料Cを作製した。

【0344】

次に、試料Dの作製方法について説明する。試料Dは、酸化物半導体膜403を希フッ酸

50

に浸す時間が異なる以外は、試料 C と同様にして作製した。

【 0 3 4 5 】

試料 D において、酸化物半導体膜 4 0 3 は、希フッ酸 (1 / 5 0 0 希釈) に、 1 2 0 s e c 浸した。

【 0 3 4 6 】

次に、試料 A 乃至試料 D に対して電気的特性をそれぞれ評価した。

【 0 3 4 7 】

図 1 3 (A) に、試料 A の V g - I d 特性を測定した結果を示し、図 1 3 (B) に、試料 B の V g - I d 特性を測定した結果を示し、図 1 4 (A) に、試料 C の V g - I d 特性を測定した結果を示し、図 1 4 (B) に、試料 D の V g - I d 特性を測定した結果を示す。

10

【 0 3 4 8 】

図 1 3 及び図 1 4 の結果から、ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b の形成後に、不純物除去工程を行っていない試料 A は、電気的特性にばらつきがあることが確認された。これに対し、ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b の形成後に、酸素プラズマ処理を行った試料 B は、試料 A と比較して、電気的特性のばらつきが低減していることが確認された。また、酸素プラズマ処理に加えて、希フッ酸処理を行った試料 C 及び試料 D は、電気的特性のばらつきがさらに低減していることが確認された。

【 0 3 4 9 】

以上の結果から、ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b の形成後に、不純物除去工程を行うことにより、トランジスタの電気的特性のばらつきが改善されることが確認できた。

20

【 符号の説明 】

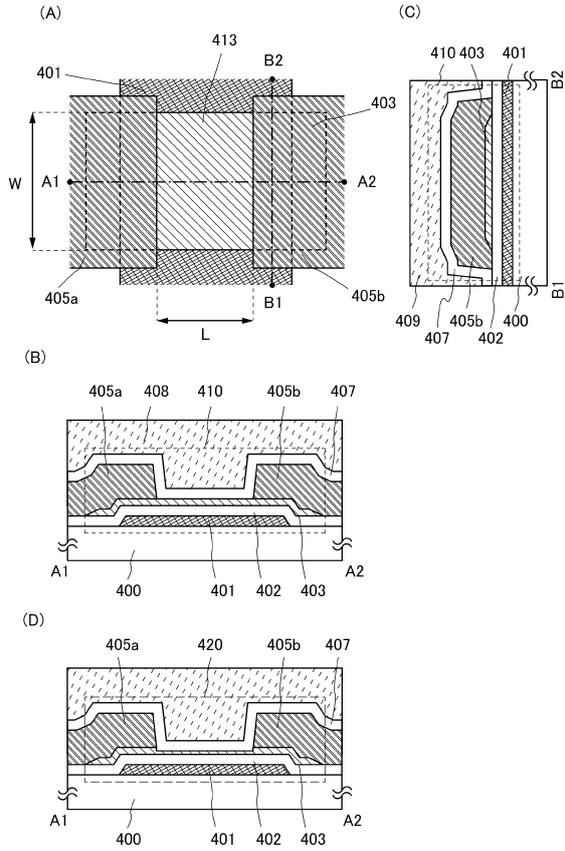
【 0 3 5 0 】

4 0 0	基板	
4 0 1	ゲート電極層	
4 0 2	ゲート絶縁膜	
4 0 3	酸化物半導体膜	
4 0 5 a	ソース電極層	
4 0 5 b	ドレイン電極層	
4 0 7	絶縁膜	30
4 0 8	平坦化絶縁膜	
4 1 0	トランジスタ	
4 2 0	トランジスタ	
4 3 0	トランジスタ	
4 4 0	トランジスタ	
4 4 5	導電膜	
4 4 7	ガス	
4 4 8 a	レジストマスク	
4 4 8 b	レジストマスク	
5 0 0	基板	40
5 0 2	ゲート絶縁膜	
5 0 4	層間絶縁膜	
5 0 5	カラーフィルタ層	
5 0 6	絶縁膜	
5 0 7	隔壁	
5 1 0	トランジスタ	
5 1 1 a	ゲート電極層	
5 1 1 b	ゲート電極層	
5 1 2	酸化物半導体膜	
5 1 3 a	導電層	50

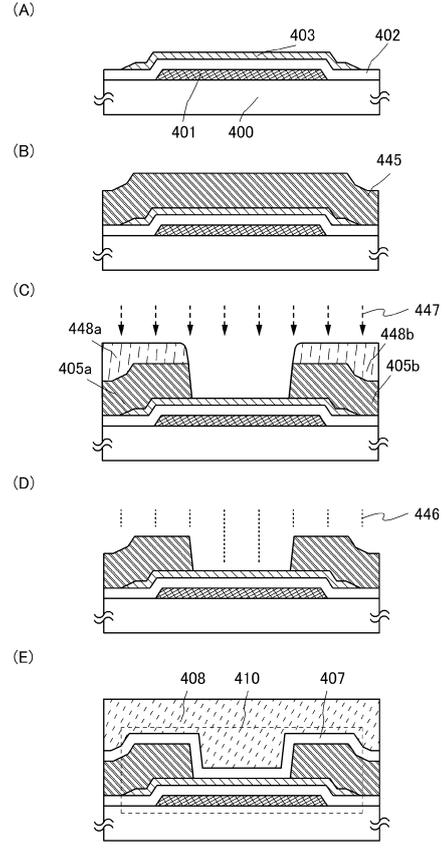
5 1 3 b	導電層	
5 2 0	容量素子	
5 2 1 a	導電層	
5 2 1 b	導電層	
5 2 2	酸化物半導体膜	
5 2 3	導電層	
5 3 0	配線層交差部	
5 3 3	導電層	
5 4 0	発光素子	
5 4 1	電極層	10
5 4 2	電界発光層	
5 4 3	電極層	
6 0 1	基板	
6 0 2	フォトダイオード	
6 0 6 a	半導体膜	
6 0 6 b	半導体膜	
6 0 6 c	半導体膜	
6 0 8	接着層	
6 1 3	基板	
6 3 1	絶縁膜	20
6 3 3	層間絶縁膜	
6 3 4	層間絶縁膜	
6 4 0	トランジスタ	
6 4 1 a	電極層	
6 4 1 b	電極層	
6 4 2	電極層	
6 4 3	導電層	
6 4 5	導電層	
6 5 6	トランジスタ	
6 5 8	フォトダイオードリセット信号線	30
6 5 9	ゲート信号線	
6 7 1	フォトセンサ出力信号線	
6 7 2	フォトセンサ基準信号線	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	40
4 0 1 0	トランジスタ	
4 0 1 1	トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁膜	
4 0 2 1	絶縁膜	
4 0 3 0	電極層	
4 0 3 1	電極層	50

4 0 3 2	絶縁膜	
4 0 3 3	絶縁膜	
4 0 3 5	スペーサ	
4 5 1 0	隔壁	
4 5 1 1	電界発光層	
4 5 1 3	発光素子	
4 5 1 4	充填材	
9 0 0 0	テーブル	
9 0 0 1	筐体	
9 0 0 2	脚部	10
9 0 0 3	表示部	
9 0 0 4	表示ボタン	
9 0 0 5	電源コード	
9 0 3 3	留め具	
9 0 3 4	スイッチ	
9 0 3 5	電源スイッチ	
9 0 3 6	スイッチ	
9 0 3 8	操作スイッチ	
9 1 0 0	テレビジョン装置	
9 1 0 1	筐体	20
9 1 0 3	表示部	
9 1 0 5	スタンド	
9 1 0 7	表示部	
9 1 0 9	操作キー	
9 1 1 0	リモコン操作機	
9 2 0 1	本体	
9 2 0 2	筐体	
9 2 0 3	表示部	
9 2 0 4	キーボード	
9 2 0 5	外部接続ポート	30
9 2 0 6	ポインティングデバイス	
9 6 3 0	筐体	
9 6 3 1	表示部	
9 6 3 1 a	表示部	
9 6 3 1 b	表示部	
9 6 3 2 a	領域	
9 6 3 2 b	領域	
9 6 3 3	太陽電池	
9 6 3 4	充放電制御回路	
9 6 3 5	バッテリー	40
9 6 3 6	D C D Cコンバータ	
9 6 3 7	コンバータ	
9 6 3 8	操作キー	
9 6 3 9	ボタン	

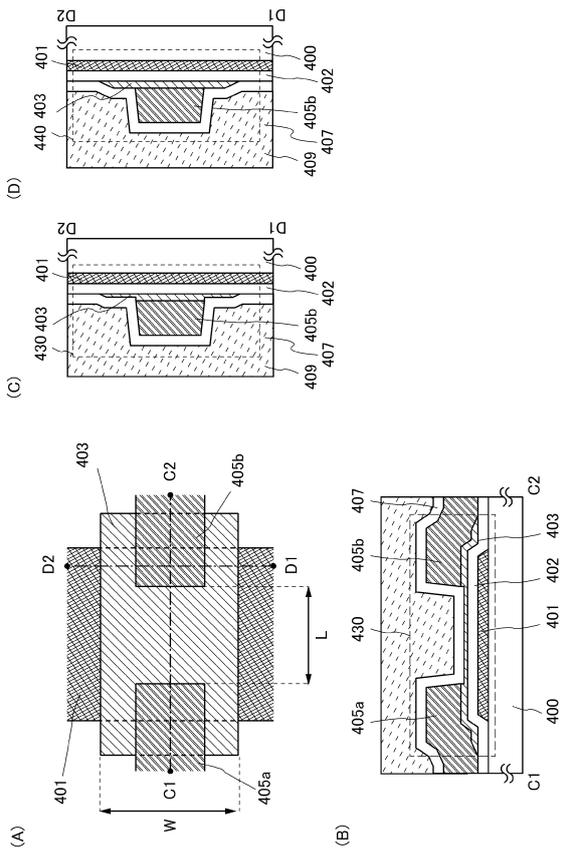
【図1】



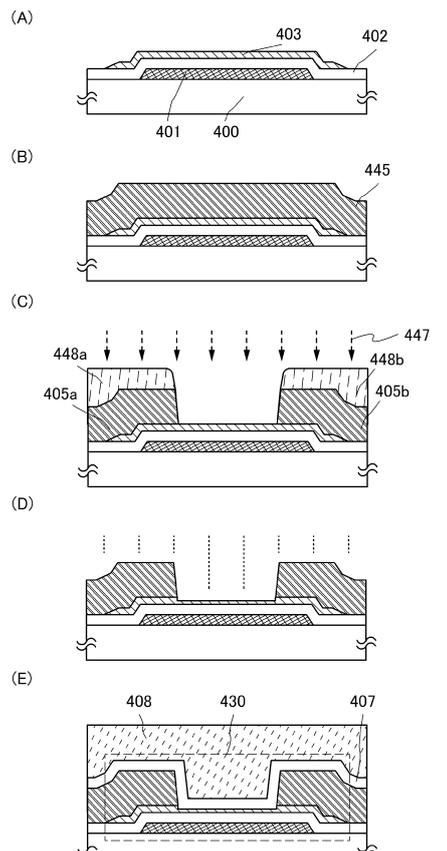
【図2】



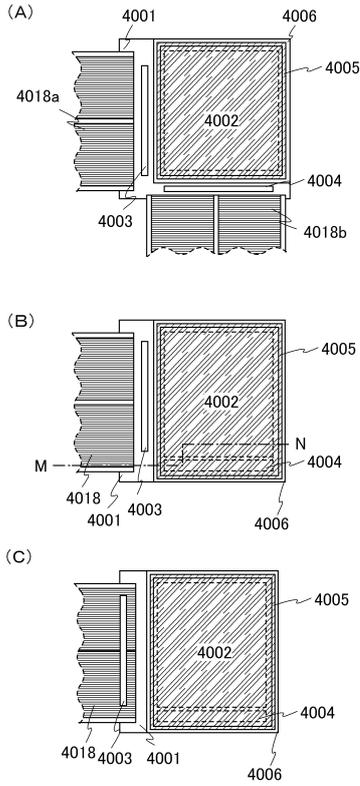
【図3】



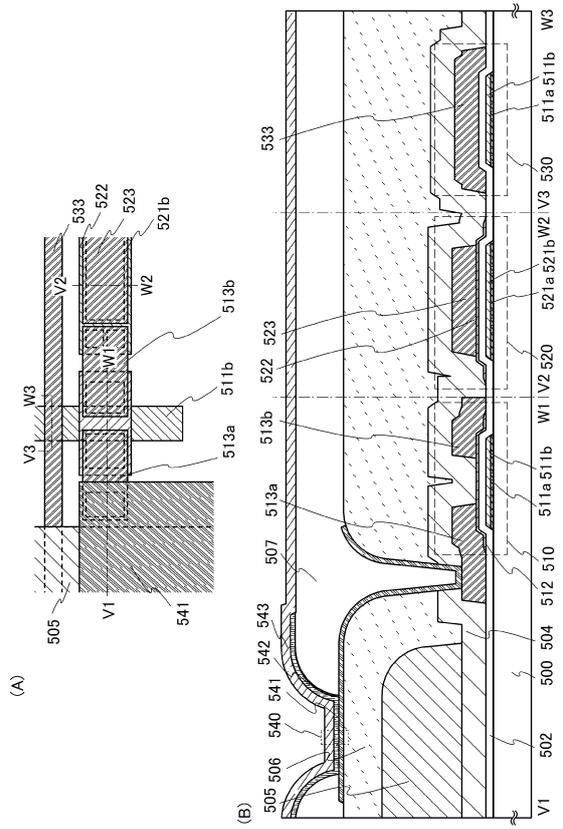
【図4】



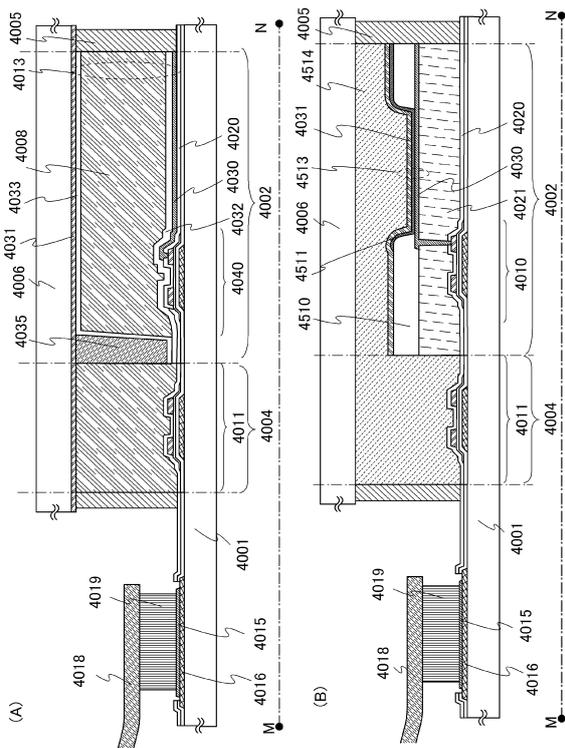
【図5】



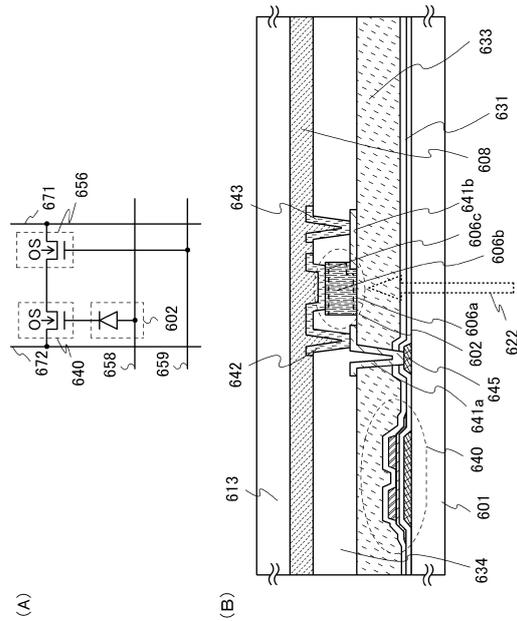
【図6】



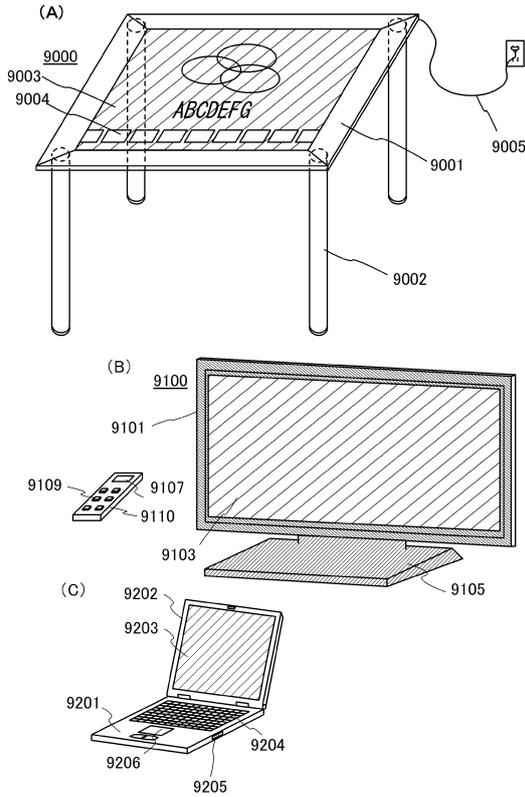
【図7】



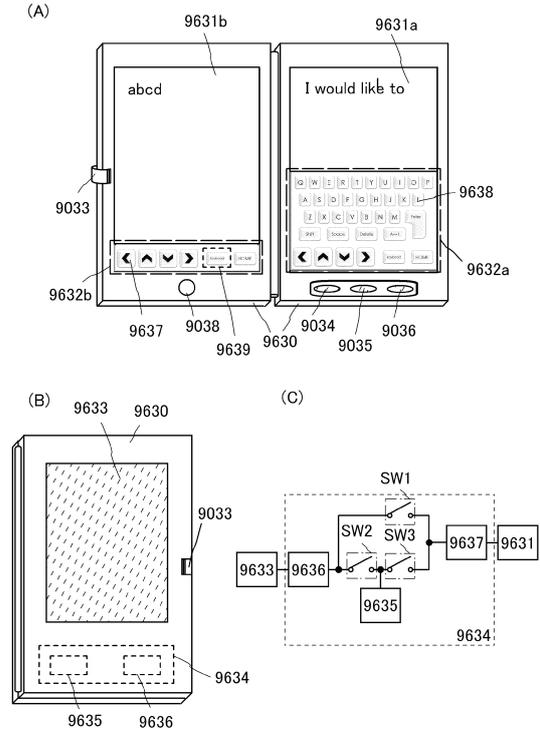
【図8】



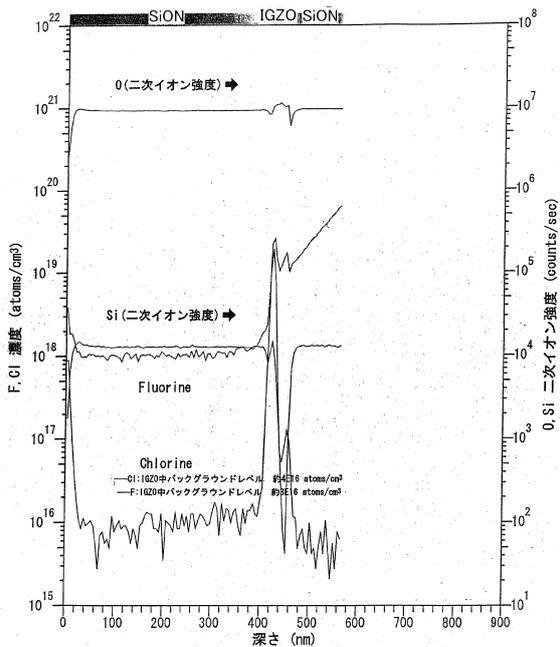
【図9】



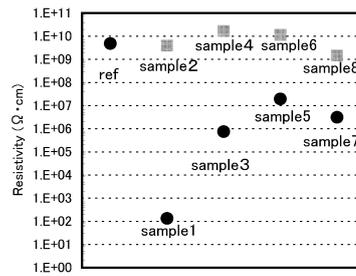
【図10】



【図11】

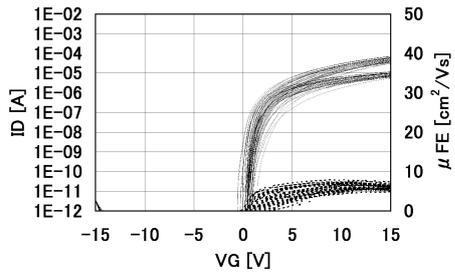


【図12】

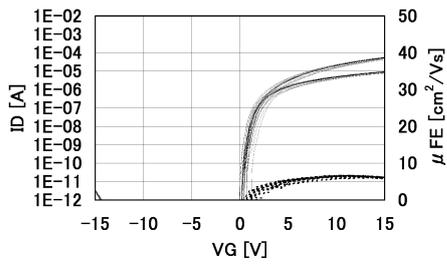


【 1 3 】

(A)

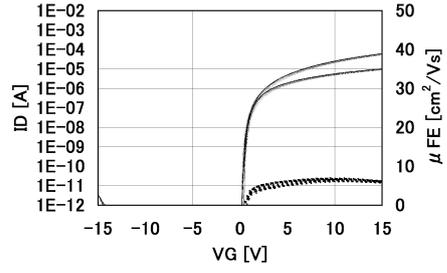


(B)

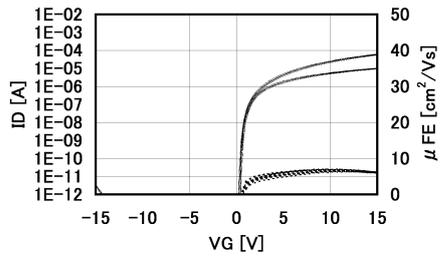


【 1 4 】

(A)



(B)



フロントページの続き

- (56)参考文献 特開2010-251732(JP,A)
特開2007-123861(JP,A)
特開2010-097212(JP,A)
特開2010-097204(JP,A)
特開2011-172214(JP,A)
特開2011-205078(JP,A)
特開2009-004787(JP,A)
特開2010-123923(JP,A)
国際公開第2013/183254(WO,A1)
特開2008-252050(JP,A)
特開平06-148683(JP,A)
特開2004-177946(JP,A)
特開2009-200528(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/28
H01L 21/336
H01L 29/786