

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01L 21/8242

(11) 공개번호 10-2005-0059697  
(43) 공개일자 2005년06월21일

(21) 출원번호 10-2003-0091411  
(22) 출원일자 2003년12월15일

(71) 출원인 주식회사 하이닉스반도체  
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이경원  
서울특별시성북구보문동5가257번지  
조성윤  
경기도안양시동안구비산1동488-16  
남기원  
경기도이천시부발읍아미리현대3차아파트302동603호

(74) 대리인 강성배

심사청구 : 없음

(54) 반도체 소자의 캐패시터 형성방법

요약

본 발명은 반도체 소자의 캐패시터 형성방법을 개시한다. 개시된 본 발명의 방법은, 플러그를 구비한 층간절연막이 형성된 실리콘 기판을 제공하는 단계와, 상기 층간절연막 상에 식각방지막과 캡산화막 및 희생질화막을 차례로 형성하는 단계와, 상기 플러그의 상부 부분의 질화막과 캡산화막 및 희생질화막을 차례로 식각하여 트렌치를 형성하는 단계와, 상기 트렌치 표면에 하부전극을 형성하는 단계와, 상기 하부전극과 희생질화막을 가로지르는 감광막 패턴을 형성하는 단계와, 상기 감광막 패턴이 노출시킨 희생질화막 부분을 제거하여 제거되지 않은 희생질화막을 이용하여 하부전극간의 쓰러짐을 방지할 수 있는 지지대를 형성하는 단계와, 상기 감광막 패턴을 제거하는 단계와, 상기 캡산화막을 딥아웃을 통하여 제거하는 단계와, 상기 지지대를 제거하는 단계 및 상기 하부전극 상에 유전체막 및 상부전극을 차례로 형성하는 단계를 포함한다. 본 발명에 따르면, 캐패시터 하부 전극을 형성시에 전극간에 질화막 지지대를 임의로 형성하여 캡산화막 제거 및 세정 공정에서 발생하는 전극의 쓰러짐 현상을 방지할 수 있다.

대표도

도 2d

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 본 발명에 따른 캐패시터 형성방법을 설명하기 위한 공정 단면도.

도 2a 내지 도 2e는 본 발명에 따른 캐패시터 형성방법을 설명하기 위한 또 다른 공정 단면도.

\*도면의 주요 부분에 대한 부호의 설명\*

21: 기판 22: 층간절연막

23: 플러그 24: 식각방지막

25: 캡산화막 26: 희생질화막

26a: 지지대 27: 트렌치

28: 하부전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 형성방법에 관한 것으로, 상세하게는, 공정 변화를 이용하여 충전용량(Capacitance)을 증가시키는 방법에 관한 것이다.

디램(DRAM)은 저장된 데이터가 전원과 직접적으로 연결되지 않은 상태로 유지되기 때문에, 일정시간마다 리프레쉬(Refresh)를 필요로 한다. 또한, 저장된 데이터가 오랜기간 동안 유지되어야 하기 때문에, 캐패시터의 충전용량이 많을수록 유리하다.

그런데, 반도체 소자의 고집적화가 진행되면서 셀 크기가 감소되고 있고, 상기 셀 크기의 감소는 캐패시터 면적 감소를 수반하며, 또한, 상기 캐패시터 면적 감소는 충전용량의 감소로 이어지므로, 기존의 캐패시터 구조로는 소자 동작 특성을 일정하게 유지하는데 필요한 충전용량 확보에 어려움을 겪고 있다.

이에, 현재 양산 중인 고집적 소자는 셀 동작에 필요한 일정량 이상의 충전용량의 확보를 위해 전하 저장 전극을 다양한 3차원 구조로 형성하거나, 유전체막의 재료로 고유전율 물질을 이용하거나, 또는, 유전체막을 최대한 얇은 두께로 형성하고 있다.

이것은 캐패시터의 충전용량이 전극 표면적 및 유전체막의 유전율에 비례하고, 상,하부전극들간의 간격, 즉, 유전체막의 두께에 반비례하는 것에 근거한 것이다.

상기의 내용을 보다 자세히 설명하면, 첫째, 충전용량을 확보하기 위해 유전체막의 두께를 줄여 상부전극과 하부전극의 간격을 줄이는 방법이 있다. 그 예로, 박막의 ONO막(산화막/질화막/산화막)은 유전체막의 두께 감소를 통한 충전용량의 증대를 꾀한 것이다. 그러나, 이 방법은 유전체가 30Å 이하에서는 직접 터널링 현상이 발생되어 소자의 특성을 크게 열화시킬 수 있으므로 고집적화에 따른 두께의 감소에는 한계가 있다.

둘째, 유전상수가 높은 물질을 유전체막으로 사용하여 용량을 늘리는 방법이 있는데, 예컨대, Ta<sub>2</sub>O<sub>5</sub>, TaON, 및, Al<sub>2</sub>O<sub>3</sub> 등의 유전체막은 고유전율 물질을 이용한 충전용량의 증대를 꾀한 것이다. 그런데, 이 방법 또한 디바이스 특성, 신뢰성, 제품 동작 특성 까지도 확인을 해야 하기 때문에 적용하기에는 너무 많은 시간과 비용이 들어간다.

셋째, 하부전극의 표면적을 증가시키는 방법이 있는데, 예컨대, 실린더(Cylinder), 오목(Concave) 및 핀(Pin) 구조 등 3차원 구조의 하부전극은 전극 표면적의 확대를 통한 충전용량의 증대를 꾀한 것이다.

도 1a 내지 도 1d는 종래의 기술에 따른 캐패시터 형성방법을 설명하기 위한 공정 단면도로서, 이를 설명하면 다음과 같다.

도 1a를 참조하면, 공지의 공정에 따라 반도체 기판(11) 상에 플러그(13)를 구비한 층간절연막(12)을 형성한다. 그런다음, 상기 층간절연막(12) 상에 질화막 재질의 식각방지막(14)을 증착한다. 그런다음, 상기 식각방지막 상에 캡산화막(15)을 형성하고, 이어서, 상기 캡산화막(15) 및 식각방지막(14)의 소정부분을 선택적으로 제거하여 플러그(13)의 상면을 노출시키는 트렌치(16)를 형성한다.

도 1b를 참조하면, 상기 트렌치(16) 표면 및 캡산화막 상에 하부전극용 물질을 형성한다.

다음으로, 상기 트렌치를 매립하도록 감광막을 형성하고, 이를 캡산화막이 노출되도록 CMP 및 에치 백(etch back)하여 캐패시터의 하부전극(17)을 형성한다.

이어서, 상기 감광막을 스트립 공정을 통해 제거한다.

도 1c를 참조하면, 상기 캡산화막(15)을 습식식각으로 제거하여 실린더의 안과 밖 모두 하부전극(17)으로 사용할 수 있게 한다. 이어서, 초순수를 이용하여 세정을 실시한다.

다음으로, 도시하지는 않았지만, 상기 하부전극(17) 상에 유전체막(도시안됨)을 형성한다. 다음으로, 상기 유전체막(도시안됨) 상에 상부전극(도시안됨)을 형성하여 본 발명에 따른 반도체 소자의 캐패시터를 형성한다.

발명이 이루고자 하는 기술적 과제

그러나, 종래의 기술에 따른 캐패시터 형성방법은, 캡산화막을 습식식각으로 제거하고, 초순수(D.I. water)를 이용하여 세척하는 공정에서, 전극 사이의 초순수가 빠져 나오면서 액체의 표면 장력이 이웃하는 두 전극을 잡아 당겨 전극간에 당기는 힘이 발생한다.

이때, 전극의 하부층과의 접착력이 약할 경우 상기한 전극 간의 인력에 의해 형성된 전극 기울어짐 혹은 쓰러짐이 현상이 발생할 수 있고, 심한 경우 전극의 뿔힘 현상이 발생하기도 한다. 또한, 상기한 전극의 쓰러짐은 두 전극간의 전기적 단선을 유발하는 문제점을 가져온다.

따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출된 것으로서, 캡산화막 제거시 전극의 쓰러짐을 억제할 수 있는 반도체 소자의 캐패시터 형성방법을 제공한다.

**발명의 구성 및 작용**

상기와 같은 목적을 달성하기 위하여, 본 발명은, 플러그를 구비한 층간절연막이 형성된 실리콘 기판을 제공하는 단계; 상기 층간절연막 상에 식각방지막과 캡산화막 및 희생질화막을 차례로 형성하는 단계; 상기 플러그의 상부 부분의 질화막과 캡산화막 및 희생질화막을 차례로 식각하여 트렌치를 형성하는 단계; 상기 트렌치 표면에 하부전극을 형성하는 단계; 상기 하부전극과 희생질화막을 가로지르는 감광막 패턴을 형성하는 단계; 상기 감광막 패턴이 노출시킨 희생질화막 부분을 제거하여 제거되지 않은 희생질화막을 이용하여 하부전극간의 쓰러짐을 방지할 수 있는 지지대를 형성하는 단계; 상기 감광막 패턴을 제거하는 단계; 상기 캡산화막을 딥 아웃을 통하여 제거하는 단계; 상기 지지대를 제거하는 단계; 및 상기 하부전극 상에 유전체막 및 상부전극을 차례로 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법을 제공한다.

여기서, 상기 지지대의 제거는 산소 가스를 전체 반응가스의 10%이상이 되도록 하여 하부전극에 대한 식각 선택비를 얻는다.

(실시예)

이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

도 2a 내지 도 2d는 본 발명에 따른 캐패시터 형성방법을 설명하기 위한 공정 단면도로서, 이를 설명하면 다음과 같다.

도 2a 내지 도 2d는 본 발명에 따른 캐패시터 형성방법을 설명하기 위한 공정 단면도로서, 이를 설명하면 다음과 같다.

도 2a를 참조하면, 반도체 기판(21) 상에 층간절연막(22)을 형성한다. 그런다음, 상기 층간절연막(22)의 소정부분을 식각하여 트렌치를 형성하고 이를 도전물질로 매립하여 플러그(23)를 형성한다.

다음으로, 상기 플러그(23)가 형성된 층간절연막(22) 상에 식각방지막(24) 물질로서 질화막을 형성한다. 이어서, 상기 식각방지막(24) 상에 캡산화막(25) 및 희생질화막(26)을 차례로 형성한다.

도 2b를 참조하면, 상기 희생질화막(26)과 캡산화막(25) 및 식각방지막(24)의 일정 부분을 선택적으로 제거하여 하부의 플러그(23)를 노출시키는 트렌치(27)를 형성한다.

그런 다음, 상기 기판 결과물에 대해 세정을 실시한다. 이때, 캡산화막(25)이 미소하게 등방 식각되며, 희생질화막(26)과 캡산화막의 계면으로 침투하는 산화막이 형성된다.

상기 트렌치(27) 표면 및 희생질화막(26) 상에 하부전극용 물질을 매립하고, 그런다음, 상기 트렌치(27)를 매립하도록 감광막을 도포한다. 이어서, 상기 기판 결과물을 CMP 및 에치백하여 희생질화막(26)을 노출시켜 하부전극(28)을 형성한다.

그런다음, 상기 잔류된 감광막을 스트립을 통해 제거한다.

도 2c를 참조하면, 상기 기판 결과물에 감광막을 도포하고, 이를 노광 및 식각하여, 하부전극(28)과 희생질화막(26)을 가로지르는 라인 형상의 감광막 패턴(도시안됨)을 형성한다. 이때, 하부전극의 내부는 감광막 패턴에 의해 매립된다.

다음으로, 상기 감광막 패턴에 의해 가려지지 않은 부분의 희생질화막을 제거하고, 그 남은 부분으로 후속의 딥아웃 및 세정에서 하부전극간의 쓰러짐을 방지하기 위한 지지대(26a)를 형성한다. 그런다음, 상기 감광막 패턴을 제거한다.

이어서, 상기 캡산화막(25)을 딥 아웃을 통한 습식식각으로 제거하여 실린더의 안과 밖 모두 하부전극으로 사용할 수 있게 한다. 그런다음, 초순수를 이용하여 세정을 실시한다.

이때, 기존의 공정에서는 캡산화막을 제거하고, 초순수를 이용하여 이를 세척하는 공정에서, 전극 사이의 초순수가 빠져나오면서 액체의 표면 장력이 이웃하는 두 전극을 잡아 당겨 전극간에 당기는 힘이 발생하여 전극이 쓰러지는 현상이 발생하였다. 그러나, 본 발명에서는 희생질화막을 이용한 지지대(26a)가 전극간의 쓰러짐 현상을 방지하는 지지대 역할을 한다.

도 2d를 참조하면, 상기 지지대를 건식식각을 통해 제거한다.

이때, 산소 가스를 전체 반응가스의 10%이상이 되도록하여 하부전극에 대한 질화막의 식각 선택비를 얻는다.

다음으로, 도시하지는 않았지만, 상기 하부전극(28) 상에 유전체막(도시안됨)을 형성한다. 다음으로, 상기 유전체막(도시안됨) 상에 상부전극(도시안됨)을 형성하여 본 발명에 따른 반도체 소자의 캐패시터를 형성한다.

### 발명의 효과

이상에서와 같이, 본 발명에 따르면, 캐패시터 하부 전극을 형성시에 전극간에 질화막을 이용한 지지대를 임의로 형성하여 캡산화막 제거 및 세정공정에서 발생하는 전극의 쓰러짐 현상을 방지할 수 있다.

따라서, 반도체 소자 공정의 신뢰성을 확보할 수 있을 뿐만 아니라 소자 자체의 신뢰성을 확보할 수 있다.

기타, 본 발명은 그 요지가 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

플러그를 구비한 층간절연막이 형성된 실리콘 기판을 제공하는 단계;

상기 층간절연막 상에 식각방지막과 캡산화막 및 희생질화막을 차례로 형성하는 단계;

상기 플러그의 상부 부분의 질화막과 캡산화막 및 희생질화막을 차례로 식각하여 트렌치를 형성하는 단계;

상기 트렌치 표면에 하부전극을 형성하는 단계;

상기 하부전극과 희생질화막을 가로지르는 감광막 패턴을 형성하는 단계;

상기 감광막 패턴이 노출시킨 희생질화막 부분을 제거하여 제거되지 않은 희생질화막을 이용하여 하부전극간의 쓰러짐을 방지할 수 있는 지지대를 형성하는 단계;

상기 감광막 패턴을 제거하는 단계;

상기 캡산화막을 딥 아웃을 통하여 제거하는 단계;

상기 지지대를 제거하는 단계; 및

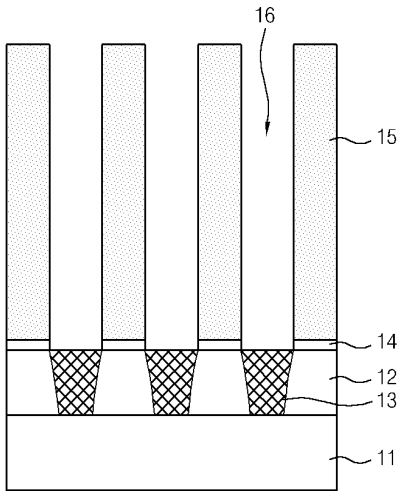
상기 하부전극 상에 유전체막 및 상부전극을 차례로 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

#### 청구항 2.

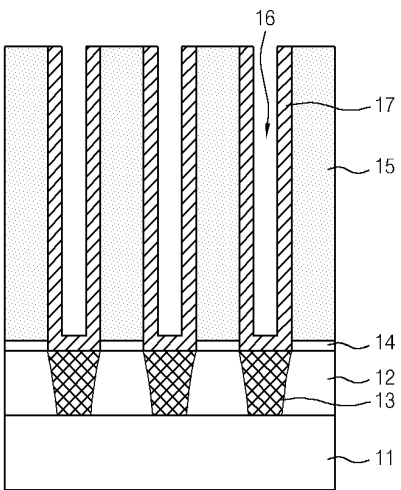
제 1 항에 의하여, 상기 지지대의 제거는 산소 가스를 전체 반응가스의 10%이상이 되도록 하여 하부전극에 대한 식각 선택비를 얻는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

### 도면

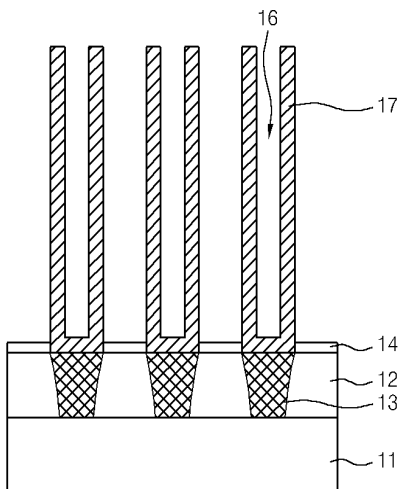
도면1a



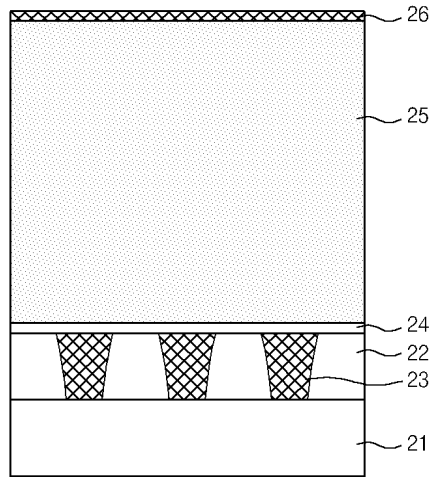
도면1b



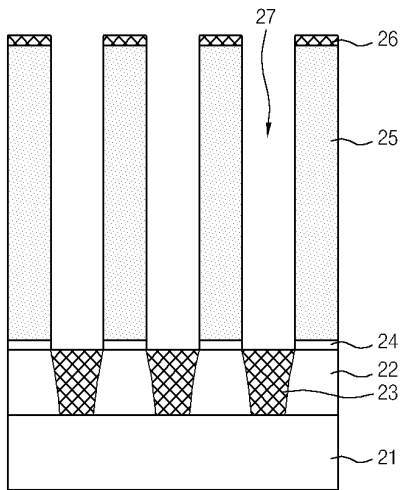
도면1c



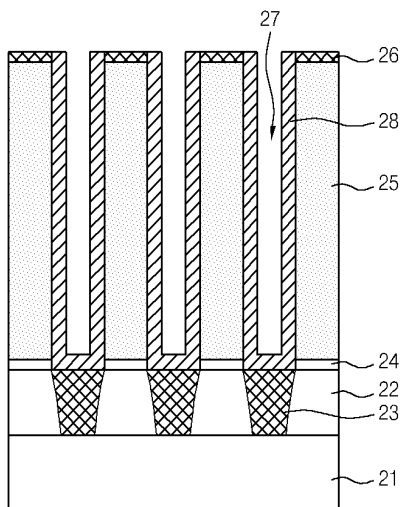
도면2a



도면2b



도면2c



도면2d

