

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-148541  
(P2018-148541A)

(43) 公開日 平成30年9月20日 (2018.9.20)

(51) Int.Cl.	F I	テーマコード (参考)
<b>HO4N 5/378 (2011.01)</b>	HO4N 5/378	5C024
<b>HO3M 1/56 (2006.01)</b>	HO3M 1/56	5J022

審査請求 未請求 請求項の数 20 O L (全 54 頁)

(21) 出願番号 特願2017-117453 (P2017-117453)  
 (22) 出願日 平成29年6月15日 (2017.6.15)  
 (31) 優先権主張番号 特願2017-39337 (P2017-39337)  
 (32) 優先日 平成29年3月2日 (2017.3.2)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 316005926  
 ソニーセミコンダクタソリューションズ株式会社  
 神奈川県厚木市旭町四丁目14番1号  
 (74) 代理人 100121131  
 弁理士 西川 孝  
 (74) 代理人 100082131  
 弁理士 稲本 義雄  
 (72) 発明者 丹羽 篤親  
 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内

最終頁に続く

(54) 【発明の名称】 撮像素子、撮像素子の制御方法、及び、電子機器

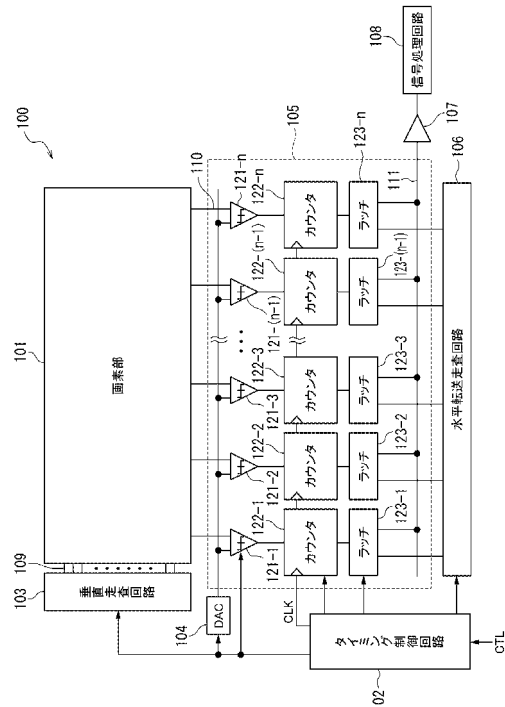
(57) 【要約】

【課題】 消費電力を下げる。

【解決手段】 撮像素子は、複数の画素が配置されている画素部と、前記画素の画素信号及び前記画素信号と逆方向に線形に変化する参照信号を容量を介して加算した信号による第1の電圧と基準となる第2の電圧とを比較した結果に基づいて、前記画素信号のAD(アナログ-デジタル)変換を行うAD変換部とを備える。本技術は、例えば、CMOSイメージセンサに適用できる。

【選択図】 図1

Fig. 1



## 【特許請求の範囲】

## 【請求項 1】

複数の画素が配置されている画素部と、  
前記画素の画素信号及び前記画素信号と逆方向に線形に変化する参照信号を容量を介して加算した信号による第 1 の電圧と基準となる第 2 の電圧とを比較した結果に基づいて、前記画素信号の A D (アナログ - デジタル) 変換を行う A D 変換部と  
を備える撮像素子。

## 【請求項 2】

前記 A D 変換部は、  
前記第 1 の電圧と前記第 2 の電圧とを比較し、比較結果を示す出力信号を出力する比較器を  
備える請求項 1 に記載の撮像素子。

## 【請求項 3】

前記比較器は、  
前記第 1 の電圧が第 1 の入力に入力され、前記出力信号を出力する第 1 のアンプを  
備える請求項 2 に記載の撮像素子。

## 【請求項 4】

第 1 の容量と、  
第 2 の容量と  
をさらに備え、  
前記画素信号は、前記第 1 の容量を介して前記第 1 の入力に入力され、  
前記参照信号は、前記第 2 の容量を介して前記第 1 の入力に入力される  
請求項 3 に記載の撮像素子。

## 【請求項 5】

前記第 1 の容量及び前記第 2 の容量のうち少なくとも 1 つが可変である  
請求項 4 に記載の撮像素子。

## 【請求項 6】

前記第 1 の容量に用いるキャパシタの組合せ、及び、前記第 2 の容量に用いるキャパシタの組合せのうち少なくとも 1 つが可変である  
請求項 5 に記載の撮像素子。

## 【請求項 7】

前記 A D 変換部は、前記画素部の画素列毎に設けられ、  
各前記 A D 変換部が A D 変換を行う場合に、前記画素列の途中で、前記第 1 の容量に用いるキャパシタの組合せ、及び、前記第 2 の容量に用いるキャパシタの組合せのうち少なくとも 1 つを 1 回以上変更する制御部を  
さらに備える請求項 6 に記載の撮像素子。

## 【請求項 8】

複数の前記画素列で複数の前記 A D 変換部を共有し、  
前記制御部は、前記画素列の途中で、前記画素列と前記 A D 変換部との組合せを 1 回以上変更する  
請求項 7 に記載の撮像素子。

## 【請求項 9】

前記第 1 のアンプは差動アンプであり、前記第 2 の電圧が第 2 の入力に入力される  
請求項 3 に記載の撮像素子。

## 【請求項 10】

前記第 2 の入力と電源又はグラウンドとの間に接続されているキャパシタを  
さらに備える請求項 9 に記載の撮像素子。

## 【請求項 11】

前記第 1 のアンプは、シングル型のアンプである  
請求項 3 に記載の撮像素子。

10

20

30

40

50

- 【請求項 1 2】  
前記第 1 のアンプは、ソース接地型のアンプである  
請求項 1 1 に記載の撮像素子。
- 【請求項 1 3】  
前記第 2 の電圧は、前記第 1 のアンプの前記第 1 の入力と出力を短絡したときの前記第 1 の入力の電圧に設定される  
請求項 1 2 に記載の撮像素子。
- 【請求項 1 4】  
前記第 1 のアンプの出力に接続されているクランプ回路を  
さらに備える請求項 1 2 に記載の撮像素子。 10
- 【請求項 1 5】  
前記第 1 のアンプの電流源を構成するトランジスタと、  
前記トランジスタのゲートに印加するバイアス電圧を保持するサンプルホールド回路と  
をさらに備える請求項 1 2 に記載の撮像素子。
- 【請求項 1 6】  
前記第 1 のアンプの出力を増幅する第 2 のアンプを  
さらに備える請求項 3 に記載の撮像素子。
- 【請求項 1 7】  
前記 A D 変換部は、  
前記第 1 の電圧と前記第 2 の電圧との比較を開始してから前記出力信号が反転するま  
でのカウント値を求めるカウンタを  
さらに備える請求項 2 に記載の撮像素子。 20
- 【請求項 1 8】  
前記 A D 変換部は、前記画素部の画素列毎に設けられている  
請求項 1 に記載の撮像素子。
- 【請求項 1 9】  
画素信号及び前記画素信号と逆方向に線形に変化する参照信号を容量を介して加算した  
信号による第 1 の電圧と基準となる第 2 の電圧とを比較した結果に基づいて、前記画素信  
号の A D (アナログ - デジタル) 変換を行う  
撮像素子の制御方法。 30
- 【請求項 2 0】  
撮像素子と、  
前記撮像素子から出力される信号を処理する信号処理部と  
を備え、  
前記撮像素子は、  
複数の画素が配置されている画素部と、  
前記画素の画素信号及び前記画素信号と逆方向に線形に変化する参照信号を容量を介  
して加算した信号による第 1 の電圧と基準となる第 2 の電圧とを比較した結果に基づいて  
、前記画素信号の A D (アナログ - デジタル) 変換を行う A D 変換部と  
を備える電子機器。 40
- 【発明の詳細な説明】
- 【技術分野】
- 【0 0 0 1】  
本技術は、撮像素子、撮像素子の制御方法、及び、電子機器に関し、特に、消費電力を  
下げるようにした撮像素子、撮像素子の制御方法、及び、電子機器に関する。
- 【背景技術】
- 【0 0 0 2】  
従来、アナログの画素信号と、線形に減少するランプ波形の参照信号とを比較器により  
比較し、参照信号が画素信号を下回るまでの時間をカウントすることにより、画素信号を  
A D (アナログ - デジタル) 変換する C M O S イメージセンサがある (例えば、特許文献 50

1 参照)。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-124513号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ここで、例えば、CMOSイメージセンサの消費電力を下げるために比較器の電源電圧を下げるのが考えられる。しかしながら、比較器の電源電圧を下げると、画素信号が比較器の入力ダイナミックレンジを超えてしまい、AD変換の線形性、すなわち、アナログの画素信号に対するデジタル値の線形性を確保できないおそれがある。

10

【0005】

本技術は、このような状況に鑑みてなされたものであり、消費電力を下げるようにするものである。

【課題を解決するための手段】

【0006】

本技術の第1の側面の撮像素子は、複数の画素が配置されている画素部と、前記画素の画素信号及び前記画素信号と逆方向に線形に変化する参照信号を容量を介して加算した信号による第1の電圧と基準となる第2の電圧とを比較した結果に基づいて、前記画素信号のAD(アナログ-デジタル)変換を行うAD変換部とを備える。

20

【0007】

前記AD変換部には、前記第1の電圧と前記第2の電圧とを比較し、比較結果を示す出力信号を出力する比較器を設けることができる。

【0008】

前記比較器には、前記第1の電圧が第1の入力に入力され、前記出力信号を出力する第1のアンプを設けることができる。

【0009】

第1の容量と、第2の容量とをさらに設け、前記画素信号を、前記第1の容量を介して前記第1の入力に入力させ、前記参照信号を、前記第2の容量を介して前記第1の入力に入力させることができる。

30

【0010】

前記第1の容量及び前記第2の容量のうち少なくとも1つを可変とすることができる。

【0011】

前記第1の容量に用いるキャパシタの組合せ、及び、前記第2の容量に用いるキャパシタの組合せのうち少なくとも1つを可変とすることができる。

【0012】

前記AD変換部を、前記画素部の画素列毎に設け、各前記AD変換部がAD変換を行う場合に、前記画素列の途中で、前記第1の容量に用いるキャパシタの組合せ、及び、前記第2の容量に用いるキャパシタの組合せのうち少なくとも1つを1回以上変更する制御部をさらに設けることができる。

40

【0013】

複数の前記画素列で複数の前記AD変換部を共有させ、前記制御部には、前記画素列の途中で、前記画素列と前記AD変換部との組合せを1回以上変更させることができる。

【0014】

前記第1のアンプを差動アンプとし、前記第2の電圧を第2の入力に入力させることができる。

【0015】

前記第2の入力と電源又はグラウンドとの間に接続されているキャパシタをさらに設けることができる。

50

- 【0016】  
前記第1のアンプを、シングル型のアンプとすることができる。
- 【0017】  
前記第1のアンプを、ソース接地型のアンプとすることができる。
- 【0018】  
前記第2の電圧を、前記第1のアンプの前記第1の入力と出力を短絡したときの前記第1の入力の電圧に設定させることができる。
- 【0019】  
前記第1のアンプの出力に接続されているクランプ回路をさらに設けることができる。
- 【0020】  
前記第1のアンプの電流源を構成するトランジスタと、前記トランジスタのゲートに印加するバイアス電圧を保持するサンプルホールド回路とをさらに設けることができる。
- 【0021】  
前記第1のアンプの出力を増幅する第2のアンプをさらに設けることができる。
- 【0022】  
前記AD変換部には、前記第1の電圧と前記第2の電圧との比較を開始してから前記出力信号が反転するまでのカウント値を求めるカウンタをさらに設けることができる。
- 【0023】  
前記AD変換部を、前記画素部の画素列毎に設けることができる。
- 【0024】  
本技術の第2の側面の撮像素子の制御方法は、画素信号及び前記画素信号と逆方向に線形に変化する参照信号を容量を介して加算した信号による第1の電圧と基準となる第2の電圧とを比較した結果に基づいて、前記画素信号のAD（アナログ-デジタル）変換を行う。
- 【0025】  
本技術の第3の側面の電子機器は、撮像素子と、前記撮像素子から出力される信号を処理する信号処理部とを備え、前記撮像素子は、複数の画素が配置されている画素部と、前記画素の画素信号及び前記画素信号と逆方向に線形に変化する参照信号を容量を介して加算した信号による第1の電圧と基準となる第2の電圧とを比較した結果に基づいて、前記画素信号のAD（アナログ-デジタル）変換を行うAD変換部とを備える。
- 【0026】  
本技術の第1の側面又は第2の側面においては、画素の画素信号及び前記画素信号と逆方向に線形に変化する参照信号を容量を介して加算した信号による第1の電圧と基準となる第2の電圧とを比較した結果に基づいて、前記画素信号のAD（アナログ-デジタル）変換が行われる。
- 【0027】  
本技術の第3の側面においては、撮像素子から出力される信号が処理されるとともに、画素の画素信号及び前記画素信号と逆方向に線形に変化する参照信号を容量を介して加算した信号による第1の電圧と基準となる第2の電圧とを比較した結果に基づいて、前記画素信号のAD（アナログ-デジタル）変換が行われる。
- 【発明の効果】
- 【0028】  
本技術の第1の側面乃至第3の側面によれば、消費電力を下げることができる。
- 【0029】  
なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。
- 【図面の簡単な説明】
- 【0030】  
【図1】本技術を適用した撮像素子の一実施の形態を示すブロック図である。  
【図2】単位画素の構成例を示す回路図である。

10

20

30

40

50

- 【図 3】図 1 の比較器の第 1 の実施形態を示す回路図である。
- 【図 4】比較器の動作を説明するためのタイミングチャートである。
- 【図 5】従来の比較器の動作を説明するための図である。
- 【図 6】図 3 の比較器の効果を説明するための図である。
- 【図 7】図 3 の比較器の第 1 の変形例を示す回路図である。
- 【図 8】図 3 の比較器の第 2 の変形例を示す回路図である。
- 【図 9】図 3 の比較器の第 3 の変形例を示す回路図である。
- 【図 10】図 3 の比較器の第 4 の変形例を示す回路図である。
- 【図 11】図 10 の比較器の動作を説明するためのタイミングチャートである。
- 【図 12】図 3 の比較器の第 5 の変形例を示す回路図である。 10
- 【図 13】図 3 の比較器の第 6 の変形例を示す回路図である。
- 【図 14】図 3 の比較器の第 7 の変形例を示す回路図である。
- 【図 15】図 3 の比較器の第 8 の変形例を示す回路図である。
- 【図 16】入力容量の比率により差動アンプに入力される参照信号の変化を説明するための図である。
- 【図 17】図 15 の比較器の第 1 の具体例を示す回路図である。
- 【図 18】図 15 の比較器の第 2 の具体例を示す回路図である。
- 【図 19】図 3 の比較器の第 9 の変形例を示す回路図である。
- 【図 20】図 1 の比較器の第 2 の実施形態を示す回路図である。
- 【図 21】図 20 の比較器の動作を説明するためのタイミングチャートである。 20
- 【図 22】図 20 の比較器の第 1 の変形例を示す回路図である。
- 【図 23】図 20 の比較器の第 2 の変形例を示す回路図である。
- 【図 24】図 20 の比較器の第 3 の変形例を示す回路図である。
- 【図 25】図 20 の比較器の第 4 の変形例を示す回路図である。
- 【図 26】図 20 の比較器の第 5 の変形例を示す回路図である。
- 【図 27】図 20 の比較器の第 6 の変形例を示す回路図である。
- 【図 28】図 27 の比較器の動作を説明するためのタイミングチャートである。
- 【図 29】図 20 比較器の第 7 の変形例を示す回路図である。
- 【図 30】図 20 の比較器の第 8 の変形例を示す回路図である。
- 【図 31】図 30 の比較器の第 1 の具体例を示す回路図である。 30
- 【図 32】図 30 の比較器の第 2 の具体例を示す回路図である。
- 【図 33】図 1 の比較器の第 3 の実施形態を示す回路図である。
- 【図 34】図 33 の比較器の動作を説明するためのタイミングチャートである。
- 【図 35】図 1 の比較器の第 3 の実施形態の変形例を示す回路図である。
- 【図 36】図 35 の比較器の動作を説明するためのタイミングチャートである。
- 【図 37】図 35 の比較器の動作を説明するためのタイミングチャートである。
- 【図 38】図 35 の比較器の動作を説明するためのタイミングチャートである。
- 【図 39】撮像素子の使用例を示す図である。
- 【図 40】電子機器の構成例を示すブロック図である。
- 【図 41】車両制御システムの概略的な構成の一例を示すブロック図である。 40
- 【図 42】車外情報検出部及び撮像部の設置位置の一例を示す説明図である。
- 【図 43】本開示に係る技術を適用し得る積層型の固体撮像装置の構成例の概要を示す図である。
- 【図 44】積層型の固体撮像装置の第 1 の構成例を示す断面図である。
- 【図 45】積層型の固体撮像装置の第 2 の構成例を示す断面図である。
- 【図 46】積層型の固体撮像装置の第 3 の構成例を示す断面図である。
- 【図 47】本開示に係る技術を適用し得る積層型の固体撮像装置の他の構成例を示す断面図である。
- 【発明を実施するための形態】
- 【0031】 50

以下、発明を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。なお、説明は以下の順序で行う。

1. 第1の実施形態（比較器に差動型のアンプを用いた例）
2. 第1の実施形態の変形例
3. 第2の実施形態（比較器にシングル型のアンプを用いた例）
4. 第2の実施形態の変形例
5. 第3の実施形態
6. 第3の実施形態の変形例
7. その他の変形例
8. 撮像素子の適用例

10

#### 【0032】

<< 1. 第1の実施形態 >>

まず、図1乃至図6を参照して、本技術の第1の実施形態について説明する。

#### 【0033】

< 撮像素子の構成例 >

図1は、本技術を適用した撮像素子100の一実施の形態を示すブロック図である。

#### 【0034】

撮像素子100は、画素部101、タイミング制御回路102、垂直走査回路103、DAC（デジタル-アナログ変換装置）104、ADC（アナログ-デジタル変換装置）群105、水平転送走査回路106、アンプ回路107、及び、信号処理回路108を備える。

20

#### 【0035】

画素部101には、入射光をその光量に応じた電荷量に光電変換する光電変換素子を含む単位画素（以下、単に画素とも称する）が行列状に配置されている。単位画素の具体的な回路構成については、図2を参照して後述する。また、画素部101には、行列状の画素配列に対して、行毎に画素駆動線109が図の左右方向（画素行の画素配列方向/水平方向）に沿って配線され、列毎に垂直信号線110が図の上下方向（画素列の画素配列方向/垂直方向）に沿って配線されている。画素駆動線109の一端は、垂直走査回路103の各行に対応した出力端に接続されている。なお、図1では、画素駆動線109を画素行毎に1本ずつ示しているが、各画素行に画素駆動線109を2本以上設けてもよい。

30

#### 【0036】

タイミング制御回路102は、各種のタイミング信号を生成するタイミングジェネレータ（不図示）を備えている。タイミング制御回路102は、外部から与えられる制御信号等に基づいて、タイミングジェネレータで生成された各種のタイミング信号を基に垂直走査回路103、DAC104、ADC群105、及び、水平転送走査回路106等の駆動制御を行う。

#### 【0037】

垂直走査回路103は、シフトレジスタやアドレスデコーダなどによって構成されている。ここでは、具体的な構成については図示を省略するが、垂直走査回路103は、読出し走査系と掃出し走査系とを含んでいる。

40

#### 【0038】

読出し走査系は、信号を読み出す単位画素について行単位で順に選択走査を行う。一方、掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対し、その読出し走査よりもシャッタスピードの時間分だけ先行してその読出し行の単位画素の光電変換素子から不要な電荷を掃き出す（リセットする）掃出し走査を行う。この掃出し走査系による不要電荷の掃き出し（リセット）により、いわゆる電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作又は電子シャッタ動作以降に入射した光量に対応する。そして、直前の読出し動作による読出しタイミングまたは電子シャッタ動作に

50

よる掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、単位画素における光電荷の蓄積時間（露光時間）となる。

【0039】

垂直走査回路103によって選択走査された画素行の各単位画素から出力される画素信号VSLは、各列の垂直信号線110を介してADC群105に供給される。

【0040】

DAC104は、線形増加するランプ波形の信号である参照信号RAMPを生成し、ADC群105に供給する。

【0041】

ADC群105は、比較器（コンパレータ）121-1乃至比較器（コンパレータ）121-n、カウンタ122-1乃至カウンタ122-n、及び、ラッチ123-1乃至ラッチ123-nを備える。なお、以下、比較器121-1乃至比較器121-n、カウンタ122-1乃至カウンタ122-n、及び、ラッチ123-1乃至ラッチ123-nを個々に区別する必要がない場合、単に、比較器121、カウンタ122、及び、ラッチ123と称する。

10

【0042】

比較器121、カウンタ122、及び、ラッチ123は、それぞれ画素部101の列毎に1つずつ設けられ、ADCを構成する。すなわち、ADC群105には、画素部101の列毎にADCが設けられている。

【0043】

比較器121は、各画素から出力される画素信号VSLと参照信号RAMPを容量を介して加算した信号の電圧と、所定の基準電圧とを比較し、比較結果を示す出力信号をカウンタ122に供給する。

20

【0044】

カウンタ122は、比較器121の出力信号に基づいて、画素信号VSLと参照信号RAMPを容量を介して加算した信号が所定の基準電圧を上回るまでの時間をカウントすることにより、アナログの画素信号をカウント値により表されるデジタルの画素信号に変換する。カウンタ122は、カウント値をラッチ123に供給する。

【0045】

ラッチ123は、カウンタ122から供給されるカウント値を保持する。また、ラッチ123は、信号レベルの画素信号に対応するD相のカウント値と、リセットレベルの画素信号に対応するP相のカウント値との差分をとることにより、CDS（Correlated Double Sampling; 相関二重サンプリング）を行う。

30

【0046】

水平転送走査回路106は、シフトレジスタやアドレスデコーダなどによって構成され、ADC群105の画素列に対応した回路部分を順番に選択走査する。この水平転送走査回路106による選択走査により、ラッチ123に保持されているデジタルの画素信号が、水平転送線111を介して、順番にアンプ回路107に転送される。

【0047】

アンプ回路107は、ラッチ123から供給されるデジタルの画素信号を増幅し、信号処理回路108に供給する。

40

【0048】

信号処理回路108は、アンプ回路107から供給されるデジタルの画素信号に対して、所定の信号処理を行い、2次元の画像データを生成する。例えば、信号処理回路108は、縦線欠陥、点欠陥の補正、又は、信号のクランプを行ったり、パラレル-シリアル変換、圧縮、符号化、加算、平均、及び、間欠動作などデジタル信号処理を行ったりする。信号処理回路108は、生成した画像データを後段の装置に出力する。

【0049】

<画素の構成例>

図2は、画素部101に設けられる画素150の構成例を示す回路図である。

50



## 【 0 0 5 0 】

画素 1 5 0 は、光電変換素子としてたとえばフォトダイオード 1 5 1 を備え、フォトダイオード 1 5 1 に対して、転送トランジスタ 1 5 2、増幅トランジスタ 1 5 4、選択トランジスタ 1 5 5、リセットトランジスタ 1 5 6 の 4 つのトランジスタを能動素子として備える。

## 【 0 0 5 1 】

フォトダイオード 1 5 1 は、入射光をその光量に応じた量の電荷（ここでは電子）に光電変換する。

## 【 0 0 5 2 】

転送トランジスタ 1 5 2 は、フォトダイオード 1 5 1 と F D（フローティングディフュージョン） 1 5 3 との間に接続されている。転送トランジスタ 1 5 2 は、垂直走査回路 1 0 3 から供給される駆動信号 T X によりオン状態になったとき、フォトダイオード 1 5 1 に蓄積されている電荷を F D 1 5 3 に転送する。

## 【 0 0 5 3 】

F D 1 5 3 には、増幅トランジスタ 1 5 4 のゲートが接続されている。増幅トランジスタ 1 5 4 は、選択トランジスタ 1 5 5 を介して垂直信号線 1 1 0 に接続され、画素部 1 0 1 の外の定電流源 1 5 7 とソースフォロアを構成している。垂直走査回路 1 0 3 から供給される駆動信号 S E L により選択トランジスタ 1 5 5 がオンすると、増幅トランジスタ 1 5 4 は、F D 1 5 3 の電位を増幅し、その電位に応じた電圧を示す画素信号を垂直信号線 1 1 0 に出力する。そして、各画素 1 5 0 から出力された画素信号は、垂直信号線 1 1 0 を介して、A D C 群 1 0 5 の各比較器 1 2 1 に供給される。

## 【 0 0 5 4 】

リセットトランジスタ 1 5 6 は、電源 V D D と F D 1 5 3 との間に接続されている。リセットトランジスタ 1 5 6 が垂直走査回路 1 0 3 から供給される駆動信号 R S T によりオンしたとき、F D 1 5 3 の電位が電源 V D D の電位にリセットされる。

## 【 0 0 5 5 】

< 比較器の構成例 >

図 3 は、図 1 の比較器 1 2 1 に適用される比較器 2 0 0 の構成例を示す回路図である。

## 【 0 0 5 6 】

比較器 2 0 0 は、差動アンプ 2 0 1、キャパシタ C 1 1 乃至キャパシタ C 1 3、スイッチ S W 1 1、及び、スイッチ S W 1 2 を備える。差動アンプ 2 0 1 は、P M O S トランジスタ P T 1 1、P M O S トランジスタ P T 1 2、及び、N M O S トランジスタ N T 1 1 乃至 N M O S トランジスタ N T 1 3 を備える。

## 【 0 0 5 7 】

P M O S トランジスタ P T 1 1 のソース及び P M O S トランジスタ P T 1 2 のソースは、電源 V D D 1 に接続されている。P M O S トランジスタ P T 1 1 のドレインは、P M O S トランジスタ P T 1 1 のゲート、及び、N M O S トランジスタ N T 1 1 のドレインに接続されている。P M O S トランジスタ P T 1 2 のドレインは、N M O S トランジスタ N T 1 2 のドレイン、及び、出力信号 O U T 1 の出力端子 T 1 5 に接続されている。N M O S トランジスタ N T 1 1 のソースは、N M O S トランジスタ N T 1 2 のソース、及び、N M O S トランジスタ N T 1 3 のドレインに接続されている。N M O S トランジスタ N T 1 3 のソースはグラウンド G N D 1 に接続されている。

## 【 0 0 5 8 】

そして、P M O S トランジスタ P T 1 1 及び P M O S トランジスタ P T 1 2 によりカレントミラー回路が構成されている。また、N M O S トランジスタ N T 1 1 乃至 N M O S トランジスタ N T 1 3 により、差動の比較部が構成されている。すなわち、N M O S トランジスタ N T 1 3 が、入力端子 T 1 4 を介して外部から入力されるバイアス電圧 V G により電流源として動作し、N M O S トランジスタ N T 1 1 及び N M O S トランジスタ N T 1 2 が差動トランジスタとして動作する。

## 【 0 0 5 9 】

10

20

30

40

50

キャパシタC 1 1は、画素信号V S Lの入力端子T 1 1とN M O SトランジスタN T 1 1のゲートの間に接続されており、画素信号V S Lに対する入力容量となる。

【0060】

キャパシタC 1 2は、参照信号R A M Pの入力端子T 1 2とN M O SトランジスタN T 1 1のゲートの間に接続されており、参照信号R A M Pに対する入力容量となる。

【0061】

スイッチS W 1 1は、N M O SトランジスタN T 1 1のドレイン - ゲート間に接続されており、タイミング制御回路1 0 2から入力端子T 1 3を介して入力される駆動信号A Z S W 1によりオン又はオフする。

【0062】

スイッチS W 1 2は、N M O SトランジスタN T 1 2のドレイン - ゲート間に接続されており、タイミング制御回路1 0 2から入力端子T 1 3を介して入力される駆動信号A Z S W 1によりオン又はオフする。

【0063】

キャパシタC 1 3は、N M O SトランジスタN T 1 2のゲートとグラウンドG N D 1の間に接続されている。

【0064】

なお、以下、キャパシタC 1 1、キャパシタC 1 2、及び、スイッチS W 1 1の接続点をノードH i Zとする。また、以下、N M O SトランジスタN T 1 2のゲート、キャパシタC 1 3、及び、スイッチS W 1 2の接続点をノードV S Hとする。

【0065】

< 比較器の動作 >

次に、図4のタイミングチャートを参照して、比較器2 0 0の動作について説明する。図4は、駆動信号A Z S W 1、参照信号R A M P、画素信号V S L、ノードV S H、ノードH i Z、及び、出力信号O U T 1のタイミングチャートを示している。

【0066】

時刻t 1において、駆動信号A Z S W 1がハイレベルに設定される。そして、スイッチS W 1 1及びスイッチS W 1 2がオンし、N M O SトランジスタN T 1 1のドレインとゲート、及び、N M O SトランジスタN T 1 2のドレインとゲートが接続される。また、参照信号R A M Pが所定のリセットレベルに設定される。さらに、読み出し対象となる画素1 5 0のF D 1 5 3がリセットされ、画素信号V S Lがリセットレベルに設定される。

【0067】

これにより、差動アンプ2 0 1のオートゼロ動作が開始される。すなわち、N M O SトランジスタN T 1 1のドレイン及びゲート、並びに、N M O SトランジスタN T 1 2のドレイン及びゲートが、所定の同じ電圧（以下、基準電圧と称する）に収束する。これにより、ノードH i Z及びノードV S Hの電圧が基準電圧に設定される。

【0068】

次に、時刻t 2において、駆動信号A Z S W 1がローレベルに設定され、スイッチS W 1 1及びスイッチS W 1 2がオフする。これにより、差動アンプ2 0 1のオートゼロ動作が終了する。ノードH i Zの電圧は、画素信号V S L及び参照信号R A M Pが変化しないため、基準電圧のまま保持される。また、ノードV S Hの電圧は、キャパシタC 1 3に蓄積された電荷により基準電圧のまま保持される。

【0069】

時刻t 3において、参照信号R A M Pの電圧がリセットレベルから所定の値だけ下げられる。これにより、ノードH i Zの電圧が低下し、ノードV S Hの電圧（基準電圧）を下回り、差動アンプ2 0 1の出力信号O U T 1がローレベルとなる。

【0070】

時刻t 4において、参照信号R A M Pが線形増加を開始する。これに合わせて、ノードH i Zの電圧も線形増加する。また、カウンタ1 2 2が、カウントを開始する。

【0071】

10

20

30

40

50

その後、ノードH i Zの電圧がノードV S Hの電圧（基準電圧）を上回ったとき、差動アンプ201の出力信号O U T 1が反転し、ハイレベルとなる。そして、出力信号O U T 1がハイレベルに反転したときのカウンタ122のカウンタ値が、P相（リセットレベル）の画素信号V S Lの値としてラッチ123に保持される。

【0072】

時刻t5において、参照信号R A M Pの電圧がリセット電圧に設定される。また、画素150の転送トランジスタ152がオンされ、露光期間中にフォトダイオード151に蓄積された電荷がF D 153に転送され、画素信号V S Lが信号レベルに設定される。これにより、ノードH i Zの電圧が信号レベルに対応する値だけ低下し、ノードV S Hの電圧（基準電圧）を下回り、差動アンプ201の出力信号O U T 1がローレベルに反転する。

10

【0073】

時刻t6において、時刻t3と同様に、参照信号R A M Pの電圧がリセットレベルから所定の値だけ下げられる。これにより、ノードH i Zの電圧がさらに低下する。

【0074】

時刻t7において、時刻t4と同様に、参照信号R A M Pが線形増加を開始する。これに合わせて、ノードH i Zの電圧も線形増加する。また、カウンタ122が、カウントを開始する。

【0075】

その後、ノードH i Zの電圧がノードV S Hの電圧（基準電圧）を上回ったとき、差動アンプ201の出力信号O U T 1が反転し、ハイレベルとなる。そして、出力信号O U T 1がハイレベルに反転したときのカウンタ122のカウンタ値が、D相（信号レベル）の画素信号V S Lの値としてラッチ123に保持される。また、ラッチ123は、D相の画素信号V S Lと、時刻t4と時刻t5の間に読み出されたP相の画素信号V S Lとの差分をとることにより、C D Sを行う。このようにして、画素信号V S LのA D変換が行われる。

20

【0076】

その後、時刻t8以降において、時刻t1乃至時刻t7と同様の動作が繰り返される。

【0077】

これにより、電源V D D 1の電圧を下げることにより、A D C群105の消費電力を下げ、その結果、撮像素子100の消費電力を下げる事ができる。

30

【0078】

例えば、図5の上の図は、引用文献1等により用いられる比較器の構成を示している。

【0079】

図5の比較器では、差動アンプ201の一方の入力（N M O SトランジスタN T 11のゲート）には、キャパシタC 21を介して、線形減少するランプ波形の参照信号R A M Pが入力される。差動アンプ201の他方の入力（N M O SトランジスタN T 12のゲート）には、キャパシタC 22を介して、画素信号V S Lが入力される。

【0080】

そして、図5の下図に示されるように、参照信号R A M Pと画素信号V S Lが比較され、その比較結果が出力信号O U Tとして出力される。このとき、出力信号O U Tの反転時の差動アンプ201の入力電圧（参照信号R A M P及び画素信号V S Lの電圧）は、画素信号V S Lの電圧により変動する。従って、例えば、比較器の駆動用の電源V D Dの電圧を下げると、出力信号O U Tの反転時の差動アンプ201の入力電圧が、比較器の入力ダイナミックレンジを超え、A D変換の線形性を確保できなくなるおそれがある。

40

【0081】

一方、比較器200では、上述したように、画素信号V S Lと参照信号R A M Pを入力容量を介して加算した信号の電圧（ノードH i Zの電圧）と、ノードV S Hの電圧（基準電圧）との比較結果が、出力信号O U T 1として出力される。このとき、図6に示されるように、出力信号O U T 1の反転時の差動アンプ201の入力電圧（ノードH i Z及びノードV S Hの電圧）は、変動せず一定となる。

50

## 【0082】

また、撮像素子100では、参照信号RAMPが変化する方向が、図5の比較器の参照信号RAMPと逆であり、画素信号VSLと逆方向に線形に変化する。ここで、画素信号VSLと逆方向に変化すると、画素信号VSLが信号成分が大きくなるにつれて変化方向と逆方向に変化することをいう。例えば、この例では、画素信号VSLは、信号成分が大きくなるにつれて負の方向に変化するのに対し、参照信号RAMPはその逆の正の方向に変化している。従って、ノードHiZの電圧（差動アンプ201の入力電圧）は、画素信号VSLと図5の参照信号RAMPとの差分に対応する電圧となり、振幅が小さくなる。

## 【0083】

このように、出力信号OUT1の反転時の差動アンプ201の入力電圧が一定になるとともに、入力電圧の振幅が小さくなるため、差動アンプ201の入力ダイナミックレンジを狭くすることができる。

10

## 【0084】

従って、比較器200の駆動用の電源VDD1の電圧を、図5の比較器より下げることができ、その結果、ADC群105の消費電力を下げ、撮像素子100の消費電力を下げることができる。

## 【0085】

<<2. 第1の実施形態の変形例>>

次に、図7乃至図19を参照して、第1の実施形態の変形例、特に比較器200の変形例について説明する。

20

## 【0086】

<第1の変形例>

図7は、比較器200の第1の変形例である比較器200aの構成例を示す回路図である。なお、図中、図3の比較器200と対応する部分には同じ符号を付してあり、その説明は適宜省略する。

## 【0087】

比較器200aは、比較器200と比較して、差動アンプ201の代わりに差動アンプ211が設けられている点異なる。

## 【0088】

差動アンプ211は、PMOSトランジスタPT31乃至PMOSトランジスタPT33、NMOSトランジスタNT31、及び、NMOSトランジスタNT32を備える。

30

## 【0089】

NMOSトランジスタNT31のソース及びNMOSトランジスタNT32のソースは、グラウンドGND1に接続されている。NMOSトランジスタNT31のドレインは、NMOSトランジスタNT31のゲート、及び、PMOSトランジスタPT31のドレインに接続されている。NMOSトランジスタNT32のドレインは、PMOSトランジスタPT32のドレイン、及び、出力信号OUT1の出力端子T15に接続されている。PMOSトランジスタPT31のソースは、PMOSトランジスタPT32のソース、及び、PMOSトランジスタPT33のドレインに接続されている。PMOSトランジスタPT33のソースは電源VDD1に接続されている。

40

## 【0090】

そして、NMOSトランジスタNT31及びNMOSトランジスタNT32によりカレントミラー回路が構成されている。また、PMOSトランジスタPT31乃至PMOSトランジスタPT33により、差動の比較部が構成されている。すなわち、PMOSトランジスタPT33が、入力端子T14を介して外部から入力されるバイアス電圧VGにより電流源として動作し、PMOSトランジスタPT31及びPMOSトランジスタPT32が差動トランジスタとして動作する。

## 【0091】

キャパシタC11は、画素信号VSLの入力端子T11とPMOSトランジスタPT3

50

1のゲート間に接続されており、画素信号VSLに対する入力容量となる。

【0092】

キャパシタC12は、参照信号RAMPの入力端子T12とPMOSトランジスタPT31のゲート間に接続されており、参照信号RAMPに対する入力容量となる。

【0093】

スイッチSW11は、PMOSトランジスタPT31のドレイン-ゲート間に接続されており、タイミング制御回路102から入力端子T13を介して入力される駆動信号AZSW1によりオン又はオフする。

【0094】

スイッチSW12は、PMOSトランジスタPT32のドレイン-ゲート間に接続されており、タイミング制御回路102から入力端子T13を介して入力される駆動信号AZSW1によりオン又はオフする。

10

【0095】

キャパシタC13は、電源VDD1とPMOSトランジスタPT32のゲート間に接続されている。

【0096】

比較器200aは、比較器200のトランジスタの極性を逆にしたものであり、比較器200と同様の動作を行う。また、比較器200aを用いることにより、比較器200を用いた場合と同様に、電源VDD1の電圧を下げることができ、低消費電力化を実現することができる。

20

【0097】

<第2の変形例>

図8は、比較器200の第2の変形例である比較器200bの構成例を示す回路図である。なお、図中、図3の比較器200と対応する部分には同じ符号を付してあり、その説明は適宜省略する。

【0098】

比較器200bは、比較器200と比較して、スイッチSW11及びスイッチSW12に、個別に駆動信号が入力される点異なる。すなわち、スイッチSW11には、タイミング制御回路102から入力端子T13Aを介して駆動信号AZSW1Aが入力され、スイッチSW12には、タイミング制御回路102から入力端子T13Bを介して駆動信号AZSW1Bが入力される。これにより、スイッチSW11及びスイッチSW12が個別に制御され、例えば、オートゼロ動作時に、ノードHiZの電圧とノードVSHの電圧を個別に制御することができる。

30

【0099】

<第3の変形例>

図9は、比較器200の第3の変形例である比較器200cの構成例を示す回路図である。なお、図中、図7の比較器200aと対応する部分には同じ符号を付してあり、その説明は適宜省略する。

【0100】

比較器200cは、比較器200aと比較して、図8の比較器200bと同様に、スイッチSW11及びスイッチSW12に、個別に駆動信号が入力される点異なる。すなわち、スイッチSW11には、タイミング制御回路102から入力端子T13Aを介して駆動信号AZSW1Aが入力され、スイッチSW12には、タイミング制御回路102から入力端子T13Bを介して駆動信号AZSW1Bが入力される。これにより、スイッチSW11及びスイッチSW12が個別に制御され、例えば、オートゼロ動作時に、ノードHiZの電圧とノードVSHの電圧を個別に制御することができる。

40

【0101】

<第4の変形例>

図10は、比較器200の第4の変形例である比較器200dの構成例を示す回路図である。なお、図中、図3の比較器200と対応する部分には同じ符号を付してあり、その

50

説明は適宜省略する。

【0102】

比較器200dは、比較器200に、出力アンプ221及びキャパシタC42を追加したものである。

【0103】

出力アンプ221は、差動アンプ201の出力信号OUT1を、後段の回路に適切なレベルで出力するためにバッファリングするバッファとして機能する。すなわち、出力アンプ221は、差動アンプ201の出力信号OUT1を所定のゲインで増幅し、その結果得られる出力信号OUT2を、出力端子T42から出力する。

【0104】

出力アンプ221は、PMOSトランジスタPT41、NMOSトランジスタNT41、キャパシタC41、及び、スイッチSW41を備える。

【0105】

PMOSトランジスタPT41のソースは、電源VDD1に接続され、ゲートは差動アンプ201の出力に接続され、ドレインは、PMOSトランジスタPT41のドレイン、及び、出力端子T42に接続されている。NMOSトランジスタNT41のソースは、グラウンドGND1に接続され、ゲートは、キャパシタC41を介してグラウンドGND1に接続されている。スイッチSW41は、NMOSトランジスタNT41のドレイン-ゲート間に接続され、タイミング制御回路102から入力端子T41を介して入力される駆動信号AZSW2によりオン又はオフする。

【0106】

キャパシタC42は、電源VDD1とPMOSトランジスタPT12のドレイン(差動アンプ201の出力)との間に接続されている。このキャパシタC42により、差動アンプ201の出力信号OUT1の高周波成分が除去される。

【0107】

次に、図11のタイミングチャートを参照して、比較器200dの動作について説明する。図11は、駆動信号AZSW1、駆動信号AZSW2、参照信号RAMP、画素信号VSL、ノードVSH、ノードHiZ、出力信号OUT1、及び、出力信号OUT2のタイミングチャートを示している。

【0108】

時刻t1において、図4の時刻t1と同様に、駆動信号AZSW1がハイレベルに設定され、参照信号RAMPがリセットレベルに設定され、読み出し対象となる画素150のFD153がリセットされる。これにより、上述した差動アンプ201のオートゼロ動作が行われる。

【0109】

また、駆動信号AZSW2がハイレベルに設定される。そして、スイッチSW41がオンし、PMOSトランジスタPT41のドレインとゲートが接続される。

【0110】

これにより、出力アンプ221のオートゼロ動作が開始される。すなわち、キャパシタC41の電圧が、PMOSトランジスタPT41のドレイン電圧と等しくなり、キャパシタC41に電荷が蓄積される。

【0111】

時刻t2において、駆動信号AZSW2がローレベルに設定される。そして、スイッチSW41がオフし、出力アンプ221のオートゼロ動作が終了する。なお、スイッチSW41がオフされた後も、キャパシタC41の電圧はそのまま保持され、NMOSトランジスタNT41のゲートに印加される。従って、NMOSトランジスタNT41は、スイッチSW41がオンしているときとほぼ同じ電流を流す電流源として機能する。

【0112】

そして、時刻t3乃至時刻t8において、図4の時刻t2乃至時刻t7と同様の動作が行われる。このとき、差動アンプ201の出力信号OUT1がハイレベルになったとき、

10

20

30

40

50

出力アンプ 2 2 1 の P M O S トランジスタ P T 4 1 がオフし、出力信号 O U T 2 はローレベルになる。一方、差動アンプ 2 0 1 の出力信号 O U T 1 がローレベルになったとき、出力アンプ 2 2 1 の P M O S トランジスタ P T 4 1 がオンし、出力信号 O U T 2 はハイレベルになる。すなわち、出力アンプ 2 2 1 は、差動アンプ 2 0 1 の出力信号 O U T 1 のレベルを反転して出力する。

【 0 1 1 3 】

その後、時刻  $t_9$  以降において、時刻  $t_1$  乃至時刻  $t_8$  と同様の動作が繰り返される。

【 0 1 1 4 】

< 第 5 の変形例 >

図 1 2 は、比較器 2 0 0 の第 5 の変形例である比較器 2 0 0 e の構成例を示す回路図である。なお、図中、図 7 の比較器 2 0 0 a 及び図 1 0 の比較器 2 0 0 d と対応する部分には同じ符号を付してあり、その説明は適宜省略する。

10

【 0 1 1 5 】

比較器 2 0 0 e は、比較器 2 0 0 a に、出力アンプ 2 3 1 及びキャパシタ C 4 2 を追加したものである。

【 0 1 1 6 】

出力アンプ 2 3 1 は、P M O S トランジスタ P T 5 1、N M O S トランジスタ N T 5 1、キャパシタ C 5 1、及び、スイッチ S W 5 1 を備える。

【 0 1 1 7 】

N M O S トランジスタ N T 5 1 のソースは、グラウンド G N D 1 に接続され、ゲートは差動アンプ 2 1 1 の出力に接続され、ドレインは、P M O S トランジスタ P T 5 1 のドレイン、及び、出力端子 T 4 2 に接続されている。P M O S トランジスタ P T 4 1 のソースは、電源 V D D 1 に接続され、ゲートは、キャパシタ C 5 1 を介して電源 V D D 1 に接続されている。スイッチ S W 5 1 は、P M O S トランジスタ P T 5 1 のドレイン - ゲート間に接続され、タイミング制御回路 1 0 2 から入力端子 T 4 1 を介して入力される駆動信号 A Z S W 2 によりオン又はオフする。

20

【 0 1 1 8 】

出力アンプ 2 3 1 は、図 1 0 の出力アンプ 2 2 1 のトランジスタの極性を逆にしたものであり、出力アンプ 2 2 1 と同様に、差動アンプ 2 1 1 の出力信号 O U T 1 を所定のゲインで増幅し、その結果得られる出力信号 O U T 2 を、出力端子 T 4 2 から出力する。

30

【 0 1 1 9 】

< 第 6 の変形例 >

図 1 3 は、比較器 2 0 0 の第 6 の変形例である比較器 2 0 0 f の構成例を示す回路図である。なお、図中、図 1 0 の比較器 2 0 0 d と対応する部分には同じ符号を付してあり、その説明は適宜省略する。

【 0 1 2 0 】

比較器 2 0 0 f は、比較器 2 0 0 d と比較して、差動アンプ 2 0 1 と出力アンプ 2 2 1 の電源が分かれている点異なる。

【 0 1 2 1 】

具体的には、出力アンプ 2 2 1 の P M O S トランジスタ P T 4 1 のソースが、電源 V D D 1 と異なる電源 V D D 2 に接続されている。また、出力アンプ 2 2 1 の N M O S トランジスタ N T 4 1 のソース、並びに、キャパシタ C 4 1 の一端が、グラウンド G N D 1 と異なるグラウンド G N D 2 に接続されている。

40

【 0 1 2 2 】

これにより、例えば、差動アンプ 2 0 1 の駆動電圧と出力アンプ 2 2 1 の駆動電圧を異なる値に設定することが可能である。

【 0 1 2 3 】

なお、キャパシタ C 4 2 の一端を、電源 V D D 1 ではなく、電源 V D D 2 に接続することも可能である。

【 0 1 2 4 】

50

## &lt; 第 7 の変形例 &gt;

図 1 4 は、比較器 2 0 0 の第 7 の変形例である比較器 2 0 0 g の構成例を示す回路図である。なお、図中、図 1 2 の比較器 2 0 0 e と対応する部分には同じ符号を付してあり、その説明は適宜省略する。

## 【 0 1 2 5 】

比較器 2 0 0 g は、比較器 2 0 0 e と比較して、差動アンプ 2 1 1 と出力アンプ 2 3 1 の電源が分かれている点異なる。

## 【 0 1 2 6 】

具体的には、出力アンプ 2 3 1 の P M O S トランジスタ P T 5 1 のソース、並びに、キャパシタ C 5 1 の一端が、電源 V D D 1 と異なる電源 V D D 2 に接続されている。また、出力アンプ 2 3 1 の N M O S トランジスタ N T 5 1 のソースが、グラウンド G N D 1 と異なるグラウンド G N D 2 に接続されている。

10

## 【 0 1 2 7 】

これにより、例えば、差動アンプ 2 0 1 の駆動電圧と出力アンプ 2 3 1 の駆動電圧を異なる値に設定することが可能である。

## 【 0 1 2 8 】

なお、キャパシタ C 4 2 の一端を、グラウンド G N D 1 ではなく、グラウンド G N D 2 に接続することも可能である。

## 【 0 1 2 9 】

## &lt; 第 8 の変形例 &gt;

図 1 5 は、比較器 2 0 0 の第 8 の変形例である比較器 2 0 0 h の構成例を示す回路図である。なお、図中、図 3 の比較器 2 0 0 と対応する部分には同じ符号を付してあり、その説明は適宜省略する。

20

## 【 0 1 3 0 】

比較器 2 0 0 h は、比較器 2 0 0 d と比較して、キャパシタ C 1 1 及びキャパシタ C 1 2 の代わりに、容量が可変の可変キャパシタ C 6 1 及び可変キャパシタ C 6 2 が設けられている点異なる。すなわち、画素信号 V S L が、可変キャパシタ C 6 1 を介して差動アンプ 2 0 1 の N M O S トランジスタ N T 1 1 のゲートに入力され、参照信号 R A M P が、可変キャパシタ C 6 2 を介して差動アンプ 2 0 1 の N M O S トランジスタ N T 1 1 のゲートに入力される。

30

## 【 0 1 3 1 】

例えば、可変キャパシタ C 6 1 の容量を C 6 1、可変キャパシタの容量を C 6 2 とすると、画素信号 V S L の電圧の振幅  $V_{SL}$  は、ノード H i Z において、 $V_{SL} \times C_{61} / (C_{61} + C_{62})$  となる。従って、例えば、容量 C 6 1 = 容量 C 6 2 とすると、差動アンプ 2 0 1 に入力される画素信号 V S L は、約 1 / 2 に減衰する。その結果、入力換算ノイズが増大する。これに対して、容量 C 6 2 (参照信号 R A M P の入力容量) に対する容量 C 6 1 (画素信号 V S L の入力容量) の比率を高めることにより、差動アンプ 2 0 1 に入力される画素信号 V S L の減衰を抑制し、入力換算ノイズを抑制することができる。

## 【 0 1 3 2 】

ただし、参照信号 R A M P の入力容量に対する画素信号 V S L の入力容量の比率を高くすると、差動アンプ 2 0 1 に入力される参照信号 R A M P の減衰量は、逆に増大する。

40

## 【 0 1 3 3 】

図 1 6 は、参照信号 R A M P の入力容量に対する画素信号 V S L の入力容量の比率を高くした場合と低くした場合に、差動アンプ 2 0 1 に入力される参照信号 R A M P を比較した図である。図 1 6 の点線で示される波形は、当該比率を高くした場合の差動アンプ 2 0 1 に入力される参照信号 R A M P の波形を示し、実線で示される波形は、当該比率を低くした場合の差動アンプ 2 0 1 に入力される参照信号 R A M P の波形を示している。

## 【 0 1 3 4 】

このように、参照信号 R A M P の入力容量に対する画素信号 V S L の入力容量の比率を高くすると、差動アンプ 2 0 1 に入力される参照信号 R A M P の振幅が小さくなる。その

50



結果、ADCのダイナミックレンジが低下する。

【0135】

これに対して、例えば、DAC104から出力する参照信号RAMPの振幅を大きくすることにより、差動アンプ201に入力される参照信号RAMPの振幅を大きくし、ADCのダイナミックレンジの低下を抑制することが考えられる。

【0136】

ただし、参照信号RAMPの振幅の最大値は、DAC104の仕様等により制限される。例えば、高ゲインモードでは、参照信号RAMPの振幅が小さく設定されているため、参照信号RAMPの振幅を大きくすることが可能である。一方、低ゲインモードでは、参照信号RAMPの振幅が予め大きく設定されているため、参照信号RAMPの振幅をさらに大きくすることが困難な場合がある。

10

【0137】

従って、例えば、高ゲインモードでは、参照信号RAMPの入力容量に対する画素信号VSLの入力容量の比率を可能な範囲で高くするとともに、参照信号RAMPの振幅を大きくすることが考えられる。これにより、ノイズの影響を受けやすい高ゲインモードにおいて、差動アンプ201に入力される画素信号VSLの減衰を抑制し、ノイズの影響を抑制することができる。

【0138】

一方、例えば、低ゲインモードでは、参照信号RAMPの入力容量と画素信号VSLの入力容量を近い値に設定することが考えられる。

20

【0139】

次に、図17を参照して、可変キャパシタC61及び可変キャパシタC62の具体的な構成例について説明する。

【0140】

図17は、比較器200haの構成例を示す回路図である。

【0141】

比較器200haにおいて、図15の可変キャパシタC61及び可変キャパシタC62は、キャパシタC71乃至キャパシタC73、並びに、スイッチSW71及びスイッチSW72により構成される。

【0142】

キャパシタC72の一端は、スイッチSW71を介して、入力端子T11及びキャパシタC71の一端に接続され、スイッチSW72を介して、入力端子T12及びキャパシタC73の一端に接続されている。キャパシタC71乃至キャパシタC73の他端は、NMOSトランジスタNT11のゲートに接続されている。

30

【0143】

例えば、キャパシタC71乃至キャパシタC73の容量は、同じ値に設定される。そして、スイッチSW71及びスイッチSW72の状態が制御されることにより、画素信号VSLの入力容量と参照信号RAMPの入力容量の比が制御される。

【0144】

具体的には、スイッチSW71とスイッチSW72は、少なくとも1つがオフするように制御される。そして、スイッチSW71がオンし、スイッチSW72がオフしている場合、画素信号VSLの入力容量と参照信号RAMPの入力容量の比は2:1となり、差動アンプ201に入力される画素信号VSLは、約2/3に減衰される。スイッチSW71がオフし、スイッチSW72がオンしている場合、画素信号VSLの入力容量と参照信号RAMPの入力容量の比は1:2となり、差動アンプ201に入力される画素信号VSLは、約1/3に減衰される。スイッチSW71及びスイッチSW72が共にオフしている場合、画素信号VSLの入力容量と参照信号RAMPの入力容量の比は1:1となり、差動アンプ201に入力される画素信号VSLは、約1/2に減衰される。

40

【0145】

なお、キャパシタの並列数は、任意に設定することが可能である。

50

## 【0146】

例えば、図18の比較器200hbのように、5つのキャパシタC71乃至キャパシタC75を並列に接続するようにしてもよい。

## 【0147】

具体的には、キャパシタC72の一端は、スイッチSW71を介して、入力端子T11及びキャパシタC71の一端に接続され、スイッチSW72を介して、キャパシタC73の一端に接続されている。キャパシタC74の一端は、スイッチSW73を介して、キャパシタC73の一端に接続され、スイッチSW74を介して、入力端子T12及びキャパシタC75の一端に接続されている。キャパシタC71乃至キャパシタC75の他端は、NMOSトランジスタNT11のゲートに接続されている。

10

## 【0148】

例えば、キャパシタC71乃至キャパシタC75は、同じ容量のキャパシタとされる。そして、スイッチSW71乃至スイッチSW74の状態が制御されることにより、画素信号VSLの入力容量と参照信号RAMPの入力容量の比が制御される。なお、スイッチSW71乃至スイッチSW74は、少なくとも1つがオフするように制御される。

## 【0149】

なお、他の比較器においても、同様の方法により、画素信号VSLの入力容量、及び、参照信号RAMPの入力容量を可変にすることが可能である。

## 【0150】

また、画素信号VSLの入力容量、及び、参照信号RAMPの入力容量の一方を固定にし、他方を可変にすることにより、画素信号VSLの入力容量と参照信号RAMPの入力容量の比率を調整するようにしてもよい。

20

## 【0151】

<第9の変形例>

図19は、比較器200の第9の変形例である比較器200iの構成例を示す回路図である。なお、図中、図17の比較器200haと対応する部分には同じ符号を付してあり、その説明は適宜省略する。

## 【0152】

比較器200iは、比較器200haからキャパシタC13及びスイッチSW12を削除し、NMOSトランジスタNT12のゲートを入力端子T81に接続したものである。従って、比較器200iでは、入力端子T81を介して外部から入力されるバイアス電圧により基準電圧が設定される。

30

## 【0153】

なお、他の比較器においても、同様の方法により、外部から入力されるバイアス電圧により基準電圧を設定してもよい。

## 【0154】

<<3.第2の実施形態>>

次に、図20及び図21を参照して、本技術の第2の実施形態について説明する。

## 【0155】

第2の実施形態は、第1の実施形態と比較して、比較器の構成が異なる。具体的には、第1の実施形態では、比較器に差動型のアンプ(差動アンプ201又は差動アンプ211)が用いられるのに対し、第2の実施形態では、比較器121にシングル型のアンプが用いられる。

40

## 【0156】

<比較器の構成例>

図20は、本技術の第2の実施形態において、図1の撮像素子100の比較器121に適用される比較器300の構成例を示す回路図である。

## 【0157】

比較器300は、シングル型のアンプ301、キャパシタC101、キャパシタC102、及び、スイッチSW101を備える。アンプ301は、PMOSトランジスタPT1

50

01、PMOSトランジスタPT102、NMOSトランジスタNT101、及び、NMOSトランジスタNT102を備える。

【0158】

PMOSトランジスタPT101のソースは、電源VDD1に接続され、ドレインは、PMOSトランジスタPT102のソースに接続されている。PMOSトランジスタPT102のドレインは、NMOSトランジスタNT101のドレイン、及び、出力信号OUT1の出力端子T104に接続されている。NMOSトランジスタNT102のドレインは、NMOSトランジスタNT101のソースに接続され、ソースはグラウンドGND1に接続されている。

【0159】

PMOSトランジスタPT101及びPMOSトランジスタPT102は、電流源を構成する。

【0160】

また、PMOSトランジスタPT102及びNMOSトランジスタNT101は、比較器300の出力から入力へのキックバックを防止するためのカスコードデバイスとなる。このカスコードデバイスにより、キックバックの影響が参照信号RAMPの配線を介して他のADCに及び、ストリーキングが発生することが防止される。なお、性能の低下が許容される場合、PMOSトランジスタPT102及びNMOSトランジスタNT101を削除することも可能である。

【0161】

キャパシタC101は、画素信号VSLの入力端子T101とNMOSトランジスタNT102のゲート間に接続されており、画素信号VSLに対する入力容量となる。

【0162】

キャパシタC102は、参照信号RAMPの入力端子T102とNMOSトランジスタNT102のゲート間に接続されており、参照信号RAMPに対する入力容量となる。

【0163】

スイッチSW101は、NMOSトランジスタNT101のドレインとNMOSトランジスタNT102のゲート間に接続されており、タイミング制御回路102から入力端子T103を介して入力される駆動信号AZSW1によりオン又はオフする。

【0164】

なお、以下、キャパシタC11、キャパシタC12、及び、スイッチSW101の接続点をノードHiZとする。

【0165】

< 比較器の動作 >

次に、図21のタイミングチャートを参照して、比較器300の動作について説明する。図21は、駆動信号AZSW1、画素信号VSL、参照信号RAMP、ノードHiZ、及び、出力信号OUT1のタイミングチャートを示している。

【0166】

時刻t1において、読み出し対象となる画素150のFD153がリセットされ、画素信号VSLがリセットレベルに設定される。このとき、参照信号RAMPは、所定のリセットレベルに設定されている。

【0167】

時刻t2において、駆動信号AZSW1がハイレベルに設定され、アンプ301のオートゼロ動作が行われる。具体的には、スイッチSW101がオンし、ノードHiZと出力端子T104の間が接続され、アンプ301の入出力間が短絡される。これにより、ノードHiZの電圧及び出力信号OUT1の電圧が、出力信号OUT1のハイレベルとローレベルの中間に近い電圧に収束する。この収束した電圧が基準電圧となる。すなわち、スイッチSW101がオフされた後、ノードHiZの電圧(アンプ301の入力電圧)が基準電圧より上がると、出力信号OUT1の電圧が下がり、ローレベルとなる。一方、ノードHiZの電圧(アンプ301の入力電圧)が基準電圧より下がると、出力信号OUT1の

10

20

30

40

50

電圧が上がり、ハイレベルとなる。

【0168】

時刻  $t_3$  において、駆動信号  $AZSW1$  がローレベルに設定され、スイッチ  $SW101$  がオフし、アンプ  $301$  のオートゼロ動作が終了する。ノード  $HiZ$  の電圧及び出力信号  $OUT1$  の電圧は、基準電圧のまま保持される。

【0169】

時刻  $t_4$  において、参照信号  $RAMP$  の電圧が、リセットレベルから所定の値だけ下げられる。これにより、ノード  $HiZ$  の電圧が基準電圧より下がり、出力信号  $OUT1$  がハイレベルとなる。

【0170】

時刻  $t_5$  において、参照信号  $RAMP$  が線形増加を開始する。これに合わせて、ノード  $HiZ$  の電圧も線形増加する。また、カウンタ  $122$  が、カウントを開始する。

【0171】

その後、ノード  $HiZ$  の電圧が基準電圧を上回ったとき、出力信号  $OUT1$  の電圧がローレベルに反転する。そして、出力信号  $OUT1$  がローレベルに反転したときのカウンタ  $122$  のカウント値が、 $P$ 相（リセットレベル）の画素信号  $VSL$  の値としてラッチ  $123$  に保持される。

【0172】

時刻  $t_6$  において、参照信号  $RAMP$  の電圧がリセット電圧に設定される。これにより、ノード  $HiZ$  の電圧が基準電圧に戻り、出力信号  $OUT1$  が基準電圧とほぼ等しくなる。

【0173】

時刻  $t_7$  において、画素  $150$  の転送トランジスタ  $152$  がオンされ、露光期間中にフォトダイオード  $151$  に蓄積された電荷が  $FD153$  に転送される。これにより、画素信号  $VSL$  が信号レベルに設定され、ノード  $HiZ$  の電圧が信号レベルに対応する値だけ基準電圧から下がる。その結果、出力信号  $OUT1$  がハイレベルとなる。ただし、画素信号  $VSL$  の信号レベルが小さい場合、出力信号  $OUT1$  がほぼ基準電圧に近い値で保持されるときがある。

【0174】

時刻  $t_8$  において、時刻  $t_4$  と同様に、参照信号  $RAMP$  の電圧が、リセットレベルから所定の値だけ下げられる。これにより、ノード  $HiZ$  の電圧がさらに低下する。

【0175】

時刻  $t_9$  において、時刻  $t_5$  と同様に、参照信号  $RAMP$  が線形増加を開始する。これに合わせて、ノード  $HiZ$  の電圧も線形増加する。また、カウンタ  $122$  が、カウントを開始する。

【0176】

その後、ノード  $HiZ$  の電圧が基準電圧を上回ったとき、出力信号  $OUT1$  がローレベルに反転する。そして、出力信号  $OUT1$  がローレベルに反転したときのカウンタ  $122$  のカウント値が、 $D$ 相（信号レベル）の画素信号  $VSL$  の値としてラッチ  $123$  に保持される。また、ラッチ  $123$  は、 $D$ 相の画素信号  $VSL$  と、時刻  $t_5$  と時刻  $t_6$  の間に読み出された  $P$ 相の画素信号  $VSL$  との差分をとることにより、 $CDS$  を行う。このようにして、画素信号  $VSL$  の  $AD$  変換が行われる。

【0177】

時刻  $t_{10}$  において、時刻  $t_6$  と同様に、参照信号  $RAMP$  の電圧がリセット電圧に設定される。これにより、ノード  $HiZ$  の電圧が基準電圧に戻り、出力信号  $OUT1$  が基準電圧にほぼ等しくなる。

【0178】

その後、時刻  $t_{11}$  以降において、時刻  $t_1$  乃至時刻  $t_{10}$  と同様の動作が繰り返される。

【0179】

10

20

30

40

50

比較器 300 では、シングル型のアンプ 301 を用いることにより、差動型のアンプを用いる場合と比較して、消費電流をほぼ半減することができ、消費電力を下げることができる。

【0180】

また、アンプ 301 は、ソース接地型であり、バイアス電流が一定であるため、インバータ型のアンプを用いる場合と比較して、電流変動が少なく、ストリーキングの発生が抑制される。

【0181】

さらに、比較器 300 では、図 3 の比較器 200 と同様に、アンプ 301 の入力電圧が、画素信号 VSL と図 5 の参照信号 RAMP との差分に対応する電圧となり、振幅が小さくなる。これにより、アンプ 301 の入力ダイナミックレンジを狭くすることができる。従って、比較器 300 の駆動用の電源 VDD1 の電圧を下げることができ、その結果、ADC 群 105 の消費電力を下げ、撮像素子 100 の消費電力を下げることができる。

10

【0182】

<< 4 . 第 2 の実施形態の変形例 >>

次に、図 22 乃至図 32 を参照して、第 2 の実施形態の変形例、特に比較器 300 の変形例について説明する。

【0183】

< 第 1 の変形例 >

図 22 は、比較器 300 の第 1 の変形例である比較器 300 a の構成例を示す回路図である。なお、図中、図 20 の比較器 300 と対応する部分には同じ符号を付してあり、その説明は適宜省略する。

20

【0184】

比較器 300 a は、比較器 300 と比較して、アンプ 301 の入力位置が異なる。具体的には、キャパシタ C101 は、入力端子 T101 と PMOS トランジスタ PT101 のゲート間に接続されている。キャパシタ C102 は、入力端子 T102 と PMOS トランジスタ PT101 のゲート間に接続されている。スイッチ SW101 は、PMOS トランジスタ PT101 のゲートと PMOS トランジスタ PT102 のドレイン間に接続されている。

【0185】

比較器 300 a は、アンプ 301 の入力位置が異なるだけであり、比較器 300 と同様の動作を行う。

30

【0186】

なお、比較器 300 a では、NMOS トランジスタ NT101 及び NMOS トランジスタ NT102 が、アンプ 301 の電流源を構成する。

【0187】

< 第 2 の変形例 >

図 23 は、比較器 300 の第 2 の変形例である比較器 300 b の構成例を示す回路図である。なお、図中、図 20 の比較器 300 と対応する部分には同じ符号を付してあり、その説明は適宜省略する。

40

【0188】

比較器 300 b は、比較器 300 に、PMOS トランジスタ PT111 からなるクランプ回路を追加したものである。具体的には、PMOS トランジスタ PT111 のソースが、出力端子 T104 に接続され、ドレインがグラウンド GND2 に接続されている。

【0189】

例えば、電流源である PMOS トランジスタ PT101 及び PMOS トランジスタ PT102 のドレイン電圧が上昇し、所定の閾値を超えると、PMOS トランジスタ PT111 がオンし、電流源のドレイン電圧の上昇が抑制される。これにより、電流源の電流が変化し、ストリーキングが発生することが抑制される。

【0190】

50

なお、グラウンド GND 1 とグラウンド GND 2 を共通化してもよい。

【0191】

< 第3の変形例 >

図24は、比較器300の第3の変形例である比較器300cの構成例を示す回路図である。なお、図中、図21の比較器300aと対応する部分には同じ符号を付してあり、その説明は適宜省略する。

【0192】

比較器300cは、比較器300aに、NMOSトランジスタNT111からなるクランプ回路を追加したものである。具体的には、NMOSトランジスタNT111のソースが、出力端子T104に接続され、ドレインが電源VDD2に接続されている。

10

【0193】

例えば、電流源であるNMOSトランジスタNT101及びNMOSトランジスタNT102のドレイン電圧が下降し、所定の閾値を下回ると、NMOSトランジスタNT111がオンし、電流源のドレイン電圧の下降が抑制される。これにより、電流源の電流が変化し、ストリーキングが発生することが抑制される。

【0194】

なお、電源VDD1と電源VDD2を共通化してもよい。

【0195】

< 第4の変形例 >

図25は、比較器300の第4の変形例である比較器300dの構成例を示す回路図である。なお、図中、図23の比較器300bと対応する部分には同じ符号を付してあり、その説明は適宜省略する。

20

【0196】

比較器300dは、比較器300bに、キャパシタC121及びスイッチSW121からなるサンプルホールド回路、並びに、キャパシタC122からなる帯域制限容量を追加したものである。

【0197】

具体的には、電源VDD1とPMOSトランジスタPT101のゲート間にキャパシタC121が接続されている。スイッチSW121は、入力端子T121とPMOSトランジスタPT101のゲート間に接続されている。スイッチSW121は、タイミング制御回路102から入力端子T122を介して入力される駆動信号SHSWによりオン又はオフされる。

30

【0198】

入力端子T121からスイッチSW121を介して入力されるバイアス電圧(PMOSトランジスタPT101のゲート電圧)は、スイッチSW121をオフした後も、キャパシタC121により保持される。これにより、PMOSトランジスタPT101のゲートが、他の比較器300dと切り離され、ストリーキングや横引きノイズの発生が抑制される。

【0199】

キャパシタC122は、電源VDD1と出力端子T104の間に接続されている。このキャパシタC122により、出力信号OUT1の高周波成分が除去される。

40

【0200】

< 第5の変形例 >

図26は、比較器300の第5の変形例である比較器300eの構成例を示す回路図である。なお、図中、図24の比較器300c及び図25の比較器300dと対応する部分には同じ符号を付してあり、その説明は適宜省略する。

【0201】

比較器300eは、図25の比較器300dと同様に、図24の比較器300cに、キャパシタC121及びスイッチSW121からなるサンプルホールド回路、並びに、キャパシタC122からなる帯域制限容量を追加したものである。

50

## 【0202】

具体的には、NMOSトランジスタNT102のゲートとグラウンドGND2の間にキャパシタC121が接続されている。スイッチSW121は、入力端子T121とNMOSトランジスタNT102のゲートの間に接続されている。スイッチSW121は、タイミング制御回路102から入力端子T122を介して入力される駆動信号SHSWによりオン又はオフされる。

## 【0203】

入力端子T121からスイッチSW121を介して入力されるバイアス電圧(NMOSトランジスタNT102のゲート電圧)は、スイッチSW121をオフした後も、キャパシタC121により保持される。これにより、NMOSトランジスタNT102のゲートが、他の比較器300eと切り離され、ストリーキングや横引きノイズの発生が抑制される。

10

## 【0204】

なお、グラウンドGND1とグラウンドGND2を共通化してもよい。

## 【0205】

<第6の変形例>

図27は、比較器300の第6の変形例である比較器300fの構成例を示す回路図である。なお、図中、図25の比較器300dと対応する部分には同じ符号を付してあり、その説明は適宜省略する。

## 【0206】

比較器300fは、比較器300dに、出力アンプ311を追加したものである。出力アンプ311は、図10の出力アンプ221と同様の回路構成を有しており、出力アンプ221と同様の機能を果たす。

20

## 【0207】

具体的には、出力アンプ311は、PMOSトランジスタPT131、NMOSトランジスタNT131、キャパシタC131、及び、スイッチSW131を備える。

## 【0208】

PMOSトランジスタPT131のソースは、電源VDD2に接続され、ゲートはアンプ301の出力に接続され、ドレインは、NMOSトランジスタNT131のドレイン、及び、出力端子T132に接続されている。NMOSトランジスタNT131のソースは、グラウンドGND2に接続され、ゲートは、キャパシタC131を介してグラウンドGND2に接続されている。スイッチSW131は、NMOSトランジスタNT131のドレイン-ゲート間に接続され、タイミング制御回路102から入力端子T131を介して入力される駆動信号AZSW2によりオン又はオフする。

30

## 【0209】

また、キャパシタC122は、電源VDD2とPMOSトランジスタPT131のゲートの間に接続されている。

## 【0210】

次に、図28のタイミングチャートを参照して、比較器300fの動作について説明する。図28のタイミングチャートは、駆動信号SHSW、駆動信号AZSW1、駆動信号AZSW2、画素信号VSL、参照信号RAMP、ノードHiZ、出力信号OUT1、及び、出力信号OUT2のタイミングチャートを示している。

40

## 【0211】

時刻t1において、図21の時刻t1と同様に、読み出し対象となる画素150のFD153がリセットされる。

## 【0212】

時刻t2において、駆動信号SHSW、駆動信号AZSW1、及び、駆動信号AZSW2がハイレベルに設定される。

## 【0213】

これにより、入力端子T122からPMOSトランジスタPT101のゲートにバイア

50

ス電圧が入力されるとともに、キャパシタC 1 2 1にバイアス電圧に相当する電荷が蓄積される。

【0214】

また、図21の時刻t2と同様に、アンプ301のオートゼロ動作が行われる。

【0215】

さらに、図11の時刻t1と同様に、出力アンプ311のオートゼロ動作が行われる。

【0216】

時刻t3において、駆動信号SHSWがローレベルに設定される。これにより、入力端子T122からのバイアス電圧の入力が停止し、キャパシタC121に蓄積された電荷によりPMOSTランジスタPT101のゲートにバイアス電圧が入力される。

【0217】

時刻t4において、駆動信号AZSW2がローレベルに設定され、出力アンプ311のオートゼロ動作が終了する。

【0218】

その後、時刻t5乃至時刻t12において、図21の時刻t3乃至時刻t10と同様の動作が行われる。このとき、出力アンプ311の出力端子T132から出力される出力信号OUT2は、アンプ301の出力信号OUT1を反転し、増幅した信号となる。

【0219】

その後、時刻t13において、時刻t1乃至時刻t12と同様の動作が繰り返される。

【0220】

なお、電源VDD1と電源VDD2を共通化してもよい。また、グラウンドGND1とグラウンドGND2を共通化してもよい。

【0221】

<第7の変形例>

図29は、比較器300の第7の変形例である比較器300gの構成例を示す回路図である。なお、図中、図26の比較器300e及び図27の比較器300fと対応する部分には同じ符号を付してあり、その説明は適宜省略する。

【0222】

比較器300gは、図27の比較器300fと同様に、図26の比較器300eに出力アンプ311を追加したものである。

【0223】

具体的には、アンプ301の出力が、出力アンプ311のPMOSTランジスタPT131のゲートに接続されている。キャパシタC122が、電源VDD2とPMOSTランジスタPT131のゲートの間に接続されている。

【0224】

なお、電源VDD1と電源VDD2を共通化してもよい。また、グラウンドGND1とグラウンドGND2を共通化してもよい。

【0225】

<第8の変形例>

図30は、比較器300の第8の変形例である比較器300hの構成例を示す回路図である。なお、図中、図20の比較器300と対応する部分には同じ符号を付してあり、その説明は適宜省略する。

【0226】

比較器300hは、図15の比較器200hと同様に、画素信号VSLの入力容量及び参照信号RAMPの入力容量を可変にしたものである。具体的には、入力端子T101とNMOSTランジスタNT102のゲートの間に、可変キャパシタC141が接続されている。入力端子T102とNMOSTランジスタNT102のゲートの間に、可変キャパシタC142が接続されている。

【0227】

これにより、図15の比較器200hと同様に、画素信号VSLの入力容量及び参照信

10

20

30

40

50



号 RAMP の入力容量を調整することにより、入力換算ノイズが抑制される。

【0228】

図31及び図32は、図30の可変キャパシタC141及び可変キャパシタC142の具体的な構成例を示している。

【0229】

具体的には、図31の比較器300haにおいては、可変キャパシタC141及び可変キャパシタC142が、図17の比較器200haと同様の回路により構成されている。

【0230】

すなわち、キャパシタC152の一端は、スイッチSW151を介して、入力端子T101及びキャパシタC151の一端に接続され、スイッチSW152を介して、入力端子T102及びキャパシタC153の一端に接続されている。キャパシタC151乃至キャパシタC153の他端は、NMOSトランジスタNT102のゲートに接続されている。

10

【0231】

図32の比較器300hbにおいては、可変キャパシタC141及び可変キャパシタC142が、図18の比較器200hbと同様の回路により構成されている。

【0232】

すなわち、キャパシタC152の一端は、スイッチSW151を介して、入力端子T101及びキャパシタC151の一端に接続され、スイッチSW152を介して、キャパシタC153の一端に接続されている。キャパシタC154の一端は、スイッチSW153を介して、キャパシタC153の一端に接続され、スイッチSW154を介して、入力端子T102及びキャパシタC155の一端に接続されている。キャパシタC151乃至キャパシタC155の他端は、NMOSトランジスタNT102のゲートに接続されている。

20

【0233】

なお、第2の実施の形態の他の比較器においても、同様の方法により、画素信号VSLの入力容量、及び、参照信号RAMPの入力容量を可変にすることが可能である。

【0234】

<<5. 第3の実施形態>>

図1の撮像素子100においては、画素部101の画素列毎にADCが設けられている。すなわち、同じ画素列の画素150の画素信号VSLは、同じADCによりAD変換され、異なる画素列の画素150の画素信号VSLは、異なるADCによりAD変換される。従って、各画素列のADCを構成する比較器121の画素信号VSLの入力容量（例えば、図3のキャパシタC11）、及び、参照信号RAMPの入力容量（例えば、図3のキャパシタC12）にミスマッチ（バラツキ）があると、各画素列のADCのゲイン（以下、AD変換ゲインと称する）にミスマッチ（バラツキ）が生じる。そして、この画素列間のAD変換ゲインのミスマッチにより、画像データに縦筋が発生するおそれがある。

30

【0235】

例えば、図17の比較器200haを含むADCのAD変換ゲインは、比較器200haのスイッチSW71がオンし、スイッチSW72がオフしている場合、次式(1)により表される。

40

【0236】

【数1】

$$\begin{aligned} \text{AD変換ゲイン} &= \frac{C71(1+\Delta C71) + C72(1+\Delta C72)}{C73(1+\Delta C73)} \\ &\approx \frac{C71 + C72}{C73} (1+\Delta C71 + \Delta C72 - \Delta C73) \quad \dots (1) \end{aligned}$$

【0237】

式(1)のC71乃至C73は、それぞれキャパシタC71乃至キャパシタC73の容量の設計値（理想的な容量）を表す。C71乃至C73は、それぞれキャパシタC7

50

1乃至キャパシタC73の容量の設計値に対する誤差を表す。従って、キャパシタC71の実際の容量は $C71 + C71$ となり、キャパシタC72の実際の容量は $C72 + C72$ となり、キャパシタC73の実際の容量は $C73 + C73$ となる。

【0238】

ここで、画素列間で誤差C71乃至誤差C73がばらつき、キャパシタC71乃至キャパシタC73の容量にミスマッチが生じると、各画素列のADC間でAD変換ゲインのミスマッチが生じる。この画素列間のAD変換ゲインのミスマッチにより、画像データに縦筋が発生するおそれがある。

【0239】

この第3の実施形態は、この画像データの縦筋の発生を抑制するものである。

10

【0240】

<比較器の構成例>

図33は、本技術の第3の実施形態において、図1の撮像素子100の比較器121に適用される比較器400の構成例を示す回路図である。

【0241】

比較器400は、比較回路401、キャパシタC201乃至キャパシタC203、及び、スイッチSW201乃至スイッチSW203を備える。

【0242】

比較回路401は、図示を簡略しているが、上述した比較器200乃至比較器200i、及び、比較器300乃至比較器300hbのいずれかのノードHiZ以降の回路により構成される。

20

【0243】

スイッチSW201の端子1は入力端子T201に接続され、端子3は入力端子T202に接続されている。スイッチSW202の端子1は入力端子T201に接続され、端子3は入力端子T202に接続されている。スイッチSW203の端子1は入力端子T201に接続され、端子3は入力端子T202に接続されている。

【0244】

なお、スイッチSW201乃至スイッチSW203の状態は、例えば、タイミング制御回路102により制御される。

【0245】

キャパシタC201は、スイッチSW201の端子0とノードHiZの間に接続されている。キャパシタC202は、スイッチSW202の端子0とノードHiZの間に接続されている。キャパシタC203は、スイッチSW203の端子0とノードHiZの間に接続されている。

30

【0246】

なお、キャパシタC201乃至キャパシタC203の容量は、理想的には同じ値に設定されるが、現実には容量誤差によりバラツキが生じる。具体的には、キャパシタC201の容量は $C201 + C201$ となり、キャパシタC202の容量は $C202 + C202$ となり、キャパシタC203の容量は $C203 + C203$ となる。C201乃至C203は、それぞれキャパシタC201乃至キャパシタC203の容量の設計値を表し、 $C201 = C202 = C203$ となる。C201乃至C203は、それぞれキャパシタC201乃至キャパシタC203の誤差を表し、キャパシタ間でバラツキが生じる。

40

【0247】

そして、比較器400では、図17の比較器200ha及び図31の比較器300haと同様に、スイッチSW201乃至スイッチSW203の状態が制御されることにより、画素信号VSLの入力容量と参照信号RAMPの入力容量の比が制御される。

【0248】

また、例えば、図34に示されるように、スイッチSW201乃至スイッチSW203の状態が制御されることにより、画像データの縦筋の発生が抑制される。

【0249】

50

例えば、画素部 101 の  $3n - 2$  行目 (1 行目、4 行目、7 行目・・・) の画素 150 の画素信号 VSL の AD 変換を行う場合、スイッチ SW201 乃至スイッチ SW203 の状態が、図 34A に示されるように設定される。すなわち、キャパシタ C201 がスイッチ SW201 を介して端子 T201 に接続され、キャパシタ C202 がスイッチ SW202 を介して端子 T201 に接続され、キャパシタ C203 がスイッチ SW203 を介して端子 T202 に接続される。

【0250】

これにより、画素信号 VSL の入力容量がキャパシタ C201 とキャパシタ C202 により構成され、参照信号 RAMP の入力容量がキャパシタ C203 により構成される。このときの比較器 400 を含む ADC の AD 変換ゲインは、次式 (2) により表される。

【0251】

【数 2】

$$\begin{aligned} \text{AD変換ゲイン} &\approx \frac{C201 + C202}{C203} (1 + \Delta C201 + \Delta C202 - \Delta C203) \\ &= 2(1 + \Delta C201 + \Delta C202 - \Delta C203) \quad \dots (2) \end{aligned}$$

【0252】

画素部 101 の  $3n - 1$  行目 (2 行目、5 行目、8 行目・・・) の画素 150 の画素信号 VSL の AD 変換を行う場合、スイッチ SW201 乃至スイッチ SW203 の状態が、図 34B に示されるように設定される。すなわち、キャパシタ C201 がスイッチ SW201 を介して端子 T201 に接続され、キャパシタ C202 がスイッチ SW202 を介して端子 T202 に接続され、キャパシタ C203 がスイッチ SW203 を介して端子 T201 に接続される。

【0253】

これにより、画素信号 VSL の入力容量がキャパシタ C201 とキャパシタ C203 により構成され、参照信号 RAMP の入力容量がキャパシタ C202 により構成される。このときの比較器 400 を含む ADC の AD 変換ゲインは、次式 (3) により表される。

【0254】

【数 3】

$$\begin{aligned} \text{AD変換ゲイン} &\approx \frac{C201 + C203}{C202} (1 + \Delta C201 - \Delta C202 + \Delta C203) \\ &= 2(1 + \Delta C201 - \Delta C202 + \Delta C203) \quad \dots (3) \end{aligned}$$

【0255】

画素部 101 の  $3n$  行目 (3 行目、6 行目、9 行目・・・) の画素 150 の画素信号 VSL の AD 変換を行う場合、スイッチ SW201 乃至スイッチ SW203 の状態が、図 34C に示されるように設定される。すなわち、キャパシタ C201 がスイッチ SW201 を介して端子 T202 に接続され、キャパシタ C202 がスイッチ SW202 を介して端子 T201 に接続され、キャパシタ C203 がスイッチ SW203 を介して端子 T201 に接続される。

【0256】

これにより、画素信号 VSL の入力容量がキャパシタ C202 とキャパシタ C203 により構成され、参照信号 RAMP の入力容量がキャパシタ C201 により構成される。このときの比較器 400 を含む ADC の AD 変換ゲインは、次式 (4) により表される。

【0257】

【数 4】

$$\begin{aligned} \text{AD変換ゲイン} &\approx \frac{C202 + C203}{C201} (1 - \Delta C201 + \Delta C202 + \Delta C203) \\ &= 2(1 - \Delta C201 + \Delta C202 + \Delta C203) \quad \dots (4) \end{aligned}$$

10

20

30

40

50

## 【0258】

このように、画素信号VSLのAD変換を行う対象となる画素部101の画素行が切り替わる毎に、画素信号VSLの入力容量に用いるキャパシタ（以下、画素信号用キャパシタと称する）の組合せ、及び、参照信号RAMPの入力容量に用いるキャパシタ（以下、参照信号用キャパシタと称する）の組合せが変更される。このとき、画素信号用キャパシタの数と参照信号用キャパシタの数との比が一定に保たれるため、AD変換ゲインはほぼ一定に保たれる。

## 【0259】

一方、画素信号用キャパシタの組合せ、及び、参照信号用キャパシタの組合せが画素行毎に変更されることにより、キャパシタC201乃至キャパシタC203の容量の誤差に伴うAD変換ゲインの画素列間のミスマッチが、画素行毎に変化する。これにより、画素列間のAD変換ゲインのミスマッチが分散し、一様ではなくなるため、画像データの縦筋の発生が抑制される。

10

## 【0260】

なお、従来 of 撮像素子において、AD変換ゲインのミスマッチにより生じる画像データの縦筋の発生を抑制するために、画素信号VSLの入力容量及び参照信号RAMPの入力容量を大きくする対策が取られる場合がある。しかし、容量素子は、集積回路上でプロセス微細化の恩恵を受けにくく、面積効率が悪いいため、撮像素子のサイズの増大を招くおそれがある。

## 【0261】

これに対して、比較器400では、画素信号VSLの入力容量及び参照信号RAMPの入力容量を大きくする必要がないため、撮像素子100のサイズの増大を抑制することができる。

20

## 【0262】

なお、比較器400のキャパシタの並列数は、3つに限定されるものではなく、例えば、2つ、又は、4つ以上に設定することが可能である。

## 【0263】

また、比較器400の各キャパシタの容量の設計値は、必ずしも全て等しくする必要はない。なお、各キャパシタの容量の設計値が一定でない場合においても、画素信号VSLの入力容量と参照信号RAMPの入力容量との比がほぼ一定に保たれるように、画素信号用キャパシタの組合せ、及び、参照信号用キャパシタの組合せの変更が行われる。

30

## 【0264】

さらに、以上の説明では、画素信号用キャパシタの組合せ、及び、参照信号用キャパシタの組合せを画素列毎に変更する例を示したが、画素列の途中で少なくとも1回以上変更することにより、画像データの縦筋の発生の抑制効果を得ることができる。例えば、画素信号用キャパシタの組合せ、及び、参照信号用キャパシタの組合せを2以上の複数の画素列毎に変更するようにしてもよい。ただし、画素信号用キャパシタの組合せ、及び、参照信号用キャパシタの組合せの変更回数が多くなるほど、画素列間のAD変換ゲインのミスマッチの分散がより大きくなるため、画像データの縦筋の発生が、より抑制されるようになる。

40

## 【0265】

また、例えば、画素信号用キャパシタの組合せ、及び、参照信号用キャパシタの組合せのうち一方のみを変更し、他方を固定にするようにしてもよい。例えば、画素信号用キャパシタの組合せを、3個のキャパシタの中から2個のキャパシタを順に選択することにより変更するとともに、参照信号用キャパシタに用いるキャパシタを固定するようにしてもよい。

## 【0266】

<<6. 第3の実施形態の変形例>>

次に、図35乃至図38を参照して、第3の実施形態の変形例について説明する。

## 【0267】

50

この変形例では、図35に示されるように、隣接する2つの画素列で、比較器400-1(を含むADC)及び比較器400-2(を含むADC)が共用されている。

【0268】

具体的には、比較器400-1及び比較器400-2は、図33の比較器400と同様の構成を有している。なお、図内において、比較器400-1の各部の符号の末尾には、“-1”又は“1”が付され、比較器400-2の各部の符号の末尾には、“-2”又は“2”が付されている。

【0269】

また、図33の構成と比較して、スイッチSW211-1及びスイッチSW211-2が追加されている。

【0270】

スイッチSW211-1の端子0は、スイッチSW201-1乃至スイッチSW203-1の端子1に接続され、端子1は端子T201-1に接続され、端子3は端子T201-2に接続されている。

【0271】

スイッチSW211-2の端子0は、スイッチSW201-2乃至スイッチSW203-2の端子1に接続され、端子1は端子T201-1に接続され、端子3は端子T201-2に接続されている。

【0272】

なお、スイッチSW211-1及びスイッチSW211-2の状態は、例えば、タイミング制御回路102により制御される。

【0273】

端子T202は、スイッチSW201-1乃至スイッチSW203-1の端子3、及び、スイッチSW201-2乃至スイッチSW203-2の端子3に接続されている。

【0274】

端子T201-1には、例えば、画素部101の1列目の各画素150の画素信号VSL1が入力され、端子T201-2には、例えば、画素部101の2列目の各画素150の画素信号VSL2が入力される。

【0275】

そして、図33の比較器400と同様に、スイッチSW201-1乃至スイッチSW203-1及びスイッチSW201-2乃至スイッチSW203-2の状態が制御されることにより、画素信号VSL1の入力容量と参照信号RAMPの入力容量との比、及び、画素信号VSL2の入力容量と参照信号RAMPの入力容量との比が制御される。

【0276】

また、例えば、図36乃至図38に示されるように、スイッチSW201-1乃至スイッチSW203-1、スイッチSW201-2乃至スイッチSW203-2、スイッチSW211-1、及び、スイッチSW211-2の状態が制御されることにより、画像データの縦筋の発生が抑制される。

【0277】

例えば、画素部101の6n-5行目(1行目、7行目、13行目・・・)の画素信号VSL1及び画素信号VSL2のAD変換を行う場合、各スイッチの状態が、図36Aに示されるように設定される。

【0278】

すなわち、キャパシタC201-1が、スイッチSW201-1を介して、端子T202に接続される。キャパシタC202-1が、スイッチSW202-1及びスイッチSW211-1を介して、端子T201-2に接続される。キャパシタC203-1が、スイッチSW203-1及びスイッチSW211-1を介して、端子T201-2に接続される。これにより、画素信号VSL2の入力容量がキャパシタC202-1とキャパシタC203-1により構成され、参照信号RAMPの入力容量がキャパシタC201-1により構成される。

10

20

30

40

50

## 【0279】

また、キャパシタC201-2が、スイッチSW201-2を介して、端子T202に接続される。キャパシタC202-2が、スイッチSW202-2及びスイッチSW211-2を介して、端子T201-1に接続される。キャパシタC203-2が、スイッチSW203-2及びスイッチSW211-2を介して、端子T201-1に接続される。これにより、画素信号VSL1の入力容量がキャパシタC202-2とキャパシタC203-2により構成され、参照信号RAMPの入力容量がキャパシタC201-2により構成される。

## 【0280】

画素部101の6n-4行目(2行目、8行目、14行目・・・)の画素信号VSL1及び画素信号VSL2のAD変換を行う場合、各スイッチの状態が、図36Bに示されるように設定される。

10

## 【0281】

すなわち、キャパシタC201-1が、スイッチSW201-1及びスイッチSW211-1を介して、端子T201-2に接続される。キャパシタC202-1が、スイッチSW202-1を介して、端子T202に接続される。キャパシタC203-1が、スイッチSW203-1及びスイッチSW211-1を介して、端子T201-2に接続される。これにより、画素信号VSL2の入力容量がキャパシタC201-1とキャパシタC203-1により構成され、参照信号RAMPの入力容量がキャパシタC202-1により構成される。

20

## 【0282】

また、キャパシタC201-2が、スイッチSW201-2及びスイッチSW211-2を介して、端子T201-1に接続される。キャパシタC202-2が、スイッチSW202-2を介して、端子T202に接続される。キャパシタC203-2が、スイッチSW203-2及びスイッチSW211-2を介して、端子T201-1に接続される。これにより、画素信号VSL1の入力容量がキャパシタC201-2とキャパシタC203-2により構成され、参照信号RAMPの入力容量がキャパシタC202-2により構成される。

## 【0283】

画素部101の6n-3行目(3行目、9行目、15行目・・・)の画素信号VSL1及び画素信号VSL2のAD変換を行う場合、各スイッチの状態が、図37Cに示されるように設定される。

30

## 【0284】

すなわち、キャパシタC201-1が、スイッチSW201-1及びスイッチSW211-1を介して、端子T201-2に接続される。キャパシタC202-1が、スイッチSW202-1及びスイッチSW211-1を介して、端子T201-2に接続される。キャパシタC203-1が、スイッチSW203-1を介して、端子T202に接続される。これにより、画素信号VSL2の入力容量がキャパシタC201-1とキャパシタC202-1により構成され、参照信号RAMPの入力容量がキャパシタC203-1により構成される。

40

## 【0285】

また、キャパシタC201-2が、スイッチSW201-2及びスイッチSW211-2を介して、端子T201-1に接続される。キャパシタC202-2が、スイッチSW202-2及びスイッチSW211-2を介して、端子T201-1に接続される。キャパシタC203-2が、スイッチSW203-2を介して、端子T202に接続される。これにより、画素信号VSL1の入力容量がキャパシタC201-2とキャパシタC202-2により構成され、参照信号RAMPの入力容量がキャパシタC203-2により構成される。

## 【0286】

画素部101の6n-2行目(4行目、10行目、16行目・・・)の画素信号VSL

50

1 及び画素信号 V S L 2 の A D 変換を行う場合、各スイッチの状態が、図 3 7 D に示されるように設定される。

【 0 2 8 7 】

すなわち、キャパシタ C 2 0 1 - 1 が、スイッチ S W 2 0 1 - 1 を介して、端子 T 2 0 2 に接続される。キャパシタ C 2 0 2 - 1 が、スイッチ S W 2 0 2 - 1 及びスイッチ S W 2 1 1 - 1 を介して、端子 T 2 0 1 - 1 に接続される。キャパシタ C 2 0 3 - 1 が、スイッチ S W 2 0 3 - 1 及びスイッチ S W 2 1 1 - 1 を介して、端子 T 2 0 1 - 1 に接続される。これにより、画素信号 V S L 1 の入力容量がキャパシタ C 2 0 2 - 1 とキャパシタ C 2 0 3 - 1 により構成され、参照信号 R A M P の入力容量がキャパシタ C 2 0 1 - 1 により構成される。

10

【 0 2 8 8 】

また、キャパシタ C 2 0 1 - 2 が、スイッチ S W 2 0 1 - 2 を介して、端子 T 2 0 2 に接続される。キャパシタ C 2 0 2 - 2 が、スイッチ S W 2 0 2 - 2 及びスイッチ S W 2 1 1 - 2 を介して、端子 T 2 0 1 - 2 に接続される。キャパシタ C 2 0 3 - 2 が、スイッチ S W 2 0 3 - 2 及びスイッチ S W 2 1 1 - 2 を介して、端子 T 2 0 1 - 2 に接続される。これにより、画素信号 V S L 2 の入力容量がキャパシタ C 2 0 2 - 2 とキャパシタ C 2 0 3 - 2 により構成され、参照信号 R A M P の入力容量がキャパシタ C 2 0 1 - 2 により構成される。

【 0 2 8 9 】

画素部 1 0 1 の 6 n - 1 行目 ( 5 行目、 1 1 行目、 1 7 行目 . . . ) の画素信号 V S L 1 及び画素信号 V S L 2 の A D 変換を行う場合、各スイッチの状態が、図 3 8 E に示されるように設定される。

20

【 0 2 9 0 】

すなわち、キャパシタ C 2 0 1 - 1 が、スイッチ S W 2 0 1 - 1 及びスイッチ S W 2 1 1 - 1 を介して、端子 T 2 0 1 - 1 に接続される。キャパシタ C 2 0 2 - 1 が、スイッチ S W 2 0 2 - 1 を介して、端子 T 2 0 2 に接続される。キャパシタ C 2 0 3 - 1 が、スイッチ S W 2 0 3 - 1 及びスイッチ S W 2 1 1 - 1 を介して、端子 T 2 0 1 - 1 に接続される。これにより、画素信号 V S L 1 の入力容量がキャパシタ C 2 0 1 - 1 とキャパシタ C 2 0 3 - 1 により構成され、参照信号 R A M P の入力容量がキャパシタ C 2 0 2 - 1 により構成される。

30

【 0 2 9 1 】

また、キャパシタ C 2 0 1 - 2 が、スイッチ S W 2 0 1 - 2 及びスイッチ S W 2 1 1 - 2 を介して、端子 T 2 0 1 - 2 に接続される。キャパシタ C 2 0 2 - 2 が、スイッチ S W 2 0 2 - 2 を介して、端子 T 2 0 2 に接続される。キャパシタ C 2 0 3 - 2 が、スイッチ S W 2 0 3 - 2 及びスイッチ S W 2 1 1 - 2 を介して、端子 T 2 0 1 - 2 に接続される。これにより、画素信号 V S L 2 の入力容量がキャパシタ C 2 0 1 - 2 とキャパシタ C 2 0 3 - 2 により構成され、参照信号 R A M P の入力容量がキャパシタ C 2 0 2 - 2 により構成される。

【 0 2 9 2 】

画素部 1 0 1 の 6 n 行目 ( 6 行目、 1 2 行目、 1 8 行目 . . . ) の画素信号 V S L 1 及び画素信号 V S L 2 の A D 変換を行う場合、各スイッチの状態が、図 3 8 F に示されるように設定される。

40

【 0 2 9 3 】

すなわち、キャパシタ C 2 0 1 - 1 が、スイッチ S W 2 0 1 - 1 及びスイッチ S W 2 1 1 - 1 を介して、端子 T 2 0 1 - 1 に接続される。キャパシタ C 2 0 2 - 1 が、スイッチ S W 2 0 2 - 1 及びスイッチ S W 2 1 1 - 1 を介して、端子 T 2 0 1 - 1 に接続される。キャパシタ C 2 0 3 - 1 が、スイッチ S W 2 0 3 - 1 を介して、端子 T 2 0 2 に接続される。これにより、画素信号 V S L 1 の入力容量がキャパシタ C 2 0 1 - 1 とキャパシタ C 2 0 2 - 1 により構成され、参照信号 R A M P の入力容量がキャパシタ C 2 0 3 - 1 により構成される。

50

## 【0294】

また、キャパシタC201-2が、スイッチSW201-2及びスイッチSW211-2を介して、端子T201-2に接続される。キャパシタC202-2が、スイッチSW202-2及びスイッチSW211-2を介して、端子T201-2に接続される。キャパシタC203-2が、スイッチSW203-2を介して、端子T202に接続される。これにより、画素信号VSL2の入力容量がキャパシタC201-2とキャパシタC202-2により構成され、参照信号RAMPの入力容量がキャパシタC203-2により構成される。

## 【0295】

このように、2つの画素列間で2つのADC(比較器400)を共有し、画素列とADCの組合せを画素列の途中で切り替えることにより、画素信号用キャパシタの組合せ、及び、参照信号用キャパシタの組合せのパターンが増加する。その結果、画素列間のAD変換ゲインのミスマッチの分散がより大きくなり、画像データの縦筋の発生が、さらに抑制される。

10

## 【0296】

なお、3以上の画素列間で3以上のADC(比較器400)を共用するようにしてもよい。

## 【0297】

また、画素列とADCの組合せを、画素列の途中で少なくとも1回以上変更することにより、画像データの縦筋の発生の抑制効果を得ることができる。ただし、画素列とADCの組合せを変更する回数が増えるほど、画素列間のAD変換ゲインのミスマッチの分散がより大きくなるため、画像データの縦筋の発生が、より抑制されるようになる。

20

## 【0298】

さらに、例えば、比較器400内での画素信号用キャパシタの組合せ、及び、参照信号用キャパシタの組合せを変更せずに、画素列とADCの組合せのみを変更するようにしても、画像データの縦筋の発生の抑制効果を得ることができる。

## 【0299】

<<7. その他の変形例>>

以下、上述した本技術の実施形態の変形例について説明する。

## 【0300】

本技術は、上述した撮像素子以外にも、画素信号とランプ波形の参照信号とを用いて画素信号のAD変換を行う撮像素子全般に適用することができる。

30

## 【0301】

また、画素150の構成も図2に示した構成に限定されるものではなく、任意に変更することが可能である。

## 【0302】

さらに、以上の説明では、画素部101の画素列毎にADCを設ける例を示したが、ADCを設ける単位は任意に変更することが可能である。例えば、画素150毎にADCを設けたり、複数の画素列毎にADCを設けたり、画素部101の所定のエリアごとにADCを設けたりすることが可能である。

40

## 【0303】

<<8. 撮像素子の適用例>>

以下、本技術を適用した撮像素子の適用例について説明する。

## 【0304】

<撮像素子の使用例>

図39は、上述の撮像素子の使用例を示す図である。

## 【0305】

上述した撮像素子は、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

## 【0306】

50



・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

#### 【0307】

<撮像素子を電子機器に適用した例>

図40は、撮像素子を適用した電子機器500の構成例を示す図である。

#### 【0308】

電子機器500は、例えば、デジタルスチルカメラやビデオカメラ等の撮像装置や、スマートフォンやタブレット型端末等の携帯端末装置などの電子機器である。

#### 【0309】

図40において、電子機器500は、レンズ501、撮像素子502、DSP回路503、フレームメモリ504、表示部505、記録部506、操作部507、及び、電源部508を備える。また、電子機器500において、DSP回路503、フレームメモリ504、表示部505、記録部506、操作部507、及び、電源部508は、バスライン509を介して相互に接続されている。

#### 【0310】

そして、撮像素子502として、図1の撮像素子100を適用することができる。

#### 【0311】

DSP回路503は、撮像素子502から供給される信号を処理する信号処理回路である。DSP回路503は、撮像素子502からの信号を処理して得られる画像データを出力する。フレームメモリ504は、DSP回路503により処理された画像データを、フレーム単位で一時的に保持する。

#### 【0312】

表示部505は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、撮像素子502で撮像された動画又は静止画を表示する。記録部506は、撮像素子502で撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。

#### 【0313】

操作部507は、ユーザによる操作に従い、電子機器500が有する各種の機能についての操作指令を出力する。電源部508は、DSP回路503、フレームメモリ504、表示部505、記録部506、及び、操作部507の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

#### 【0314】

<移動体への応用例>

また、例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

10

20

30

40

50

## 【0315】

図41は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

## 【0316】

車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図41に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

10

## 【0317】

駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

## 【0318】

ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

20

## 【0319】

車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

30

## 【0320】

撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

## 【0321】

車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

40

## 【0322】

マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝

50

突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

【0323】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0324】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

10

【0325】

音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図41の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

20

【0326】

図42は、撮像部12031の設置位置の例を示す図である。

【0327】

図42では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

【0328】

撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

30

【0329】

なお、図42には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

40

【0330】

撮像部12101ないし12104の少なくとも一つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも一つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

50

## 【0331】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化(車両12100に対する相対速度)を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度(例えば、0km/h以上)で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御(追従停止制御も含む)や自動加速制御(追従発進制御も含む)等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

10

## 【0332】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

20

## 【0333】

撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

30

## 【0334】

以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部12031に適用され得る。具体的には、図1の撮像素子100は、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、例えば、撮像部12031の消費電力を下げることができ、その結果、車両の消費電力を下げることができる。

## 【0335】

<本開示に係る技術を適用し得る積層型の固体撮像装置の構成例>

図43は、本開示に係る技術を適用し得る積層型の固体撮像装置の構成例の概要を示す図である。

40

## 【0336】

図43のAは、非積層型の固体撮像装置の概略構成例を示している。固体撮像装置23010は、図43のAに示すように、1枚のダイ(半導体基板)23011を有する。このダイ23011には、画素がアレイ状に配置された画素領域23012と、画素の駆動その他の各種の制御を行う制御回路23013と、信号処理するためのロジック回路23014とが搭載されている。

## 【0337】

50

図43のB及びCは、積層型の固体撮像装置の概略構成例を示している。固体撮像装置23020は、図43のB及びCに示すように、センサダイ23021とロジックダイ23024との2枚のダイが積層され、電氣的に接続されて、1つの半導体チップとして構成されている。

【0338】

図43のBでは、センサダイ23021には、画素領域23012と制御回路23013が搭載され、ロジックダイ23024には、信号処理を行う信号処理回路を含むロジック回路23014が搭載されている。

【0339】

図43のCでは、センサダイ23021には、画素領域23012が搭載され、ロジックダイ23024には、制御回路23013及びロジック回路23014が搭載されている。

10

【0340】

図44は、積層型の固体撮像装置23020の第1の構成例を示す断面図である。

【0341】

センサダイ23021には、画素領域23012となる画素を構成するPD（フォトダイオード）や、FD（フローティングディフュージョン）、Tr（MOS FET）、及び、制御回路23013となるTr等が形成される。さらに、センサダイ23021には、複数層、本例では3層の配線23110を有する配線層23101が形成される。なお、制御回路23013（となるTr）は、センサダイ23021ではなく、ロジックダイ23024に構成することができる。

20

【0342】

ロジックダイ23024には、ロジック回路23014を構成するTrが形成される。さらに、ロジックダイ23024には、複数層、本例では3層の配線23170を有する配線層23161が形成される。また、ロジックダイ23024には、内壁面に絶縁膜23172が形成された接続孔23171が形成され、接続孔23171内には、配線23170等と接続される接続導体23173が埋め込まれる。

【0343】

センサダイ23021とロジックダイ23024とは、互いの配線層23101及び23161が向き合うように貼り合わされ、これにより、センサダイ23021とロジックダイ23024とが積層された積層型の固体撮像装置23020が構成されている。センサダイ23021とロジックダイ23024とが貼り合わされる面には、保護膜等の膜23191が形成されている。

30

【0344】

センサダイ23021には、センサダイ23021の裏面側（PDに光が入射する側）（上側）からセンサダイ23021を貫通してロジックダイ23024の最上層の配線23170に達する接続孔23111が形成される。さらに、センサダイ23021には、接続孔23111に近接して、センサダイ23021の裏面側から1層目の配線23110に達する接続孔23121が形成される。接続孔23111の内壁面には、絶縁膜23112が形成され、接続孔23121の内壁面には、絶縁膜23122が形成される。そして、接続孔23111及び23121内には、接続導体23113及び23123がそれぞれ埋め込まれる。接続導体23113と接続導体23123とは、センサダイ23021の裏面側で電氣的に接続され、これにより、センサダイ23021とロジックダイ23024とが、配線層23101、接続孔23121、接続孔23111、及び、配線層23161を介して、電氣的に接続される。

40

【0345】

図45は、積層型の固体撮像装置23020の第2の構成例を示す断面図である。

【0346】

固体撮像装置23020の第2の構成例では、センサダイ23021に形成する1つの接続孔23211によって、センサダイ23021（の配線層23101（の配線231

50

10) )と、ロジックダイ23024 (の配線層23161 (の配線23170) )とが電氣的に接続される。

【0347】

すなわち、図45では、接続孔23211が、センサダイ23021の裏面側からセンサダイ23021を貫通してロジックダイ23024の最上層の配線23170に達し、且つ、センサダイ23021の最上層の配線23110に達するように形成される。接続孔23211の内壁面には、絶縁膜23212が形成され、接続孔23211内には、接続導体23213が埋め込まれる。上述の図44では、2つの接続孔23111及び23121によって、センサダイ23021とロジックダイ23024とが電氣的に接続されるが、図45では、1つの接続孔23211によって、センサダイ23021とロジックダイ23024とが電氣的に接続される。

10

【0348】

図46は、積層型の固体撮像装置23020の第3の構成例を示す断面図である。

【0349】

図46の固体撮像装置23020は、センサダイ23021とロジックダイ23024とが貼り合わされる面に、保護膜等の膜23191が形成されていない点で、センサダイ23021とロジックダイ23024とが貼り合わされる面に、保護膜等の膜23191が形成されている図44の場合と異なる。

【0350】

図46の固体撮像装置23020は、配線23110及び23170が直接接触するように、センサダイ23021とロジックダイ23024とを重ね合わせ、所要の加重をかけながら加熱し、配線23110及び23170を直接接合することで構成される。

20

【0351】

図47は、本開示に係る技術を適用し得る積層型の固体撮像装置の他の構成例を示す断面図である。

【0352】

図47では、固体撮像装置23401は、センサダイ23411と、ロジックダイ23412と、メモリダイ23413との3枚のダイが積層された3層の積層構造になっている。

【0353】

メモリダイ23413は、例えば、ロジックダイ23412で行われる信号処理において一時的に必要となるデータの記憶を行うメモリ回路を有する。

30

【0354】

図47では、センサダイ23411の下に、ロジックダイ23412及びメモリダイ23413が、その順番で積層されているが、ロジックダイ23412及びメモリダイ23413は、逆順、すなわち、メモリダイ23413及びロジックダイ23412の順番で、センサダイ23411の下に積層することができる。

【0355】

なお、図47では、センサダイ23411には、画素の光電変換部となるPDや、画素Trのソース/ドレイン領域が形成されている。

40

【0356】

PDの周囲にはゲート絶縁膜を介してゲート電極が形成され、ゲート電極と対のソース/ドレイン領域により画素Tr23421、画素Tr23422が形成されている。

【0357】

PDに隣接する画素Tr23421が転送Trであり、その画素Tr23421を構成する対のソース/ドレイン領域の一方がFDになっている。

【0358】

また、センサダイ23411には、層間絶縁膜が形成され、層間絶縁膜には、接続孔が形成される。接続孔には、画素Tr23421、及び、画素Tr23422に接続する接続導体23431が形成されている。

50

## 【0359】

さらに、センサダイ23411には、各接続導体23431に接続する複数層の配線23432を有する配線層23433が形成されている。

## 【0360】

また、センサダイ23411の配線層23433の最下層には、外部接続用の電極となるアルミパッド23434が形成されている。すなわち、センサダイ23411では、配線23432よりもロジックダイ23412との接着面23440に近い位置にアルミパッド23434が形成されている。アルミパッド23434は、外部との信号の入出力に係る配線の一端として用いられる。

## 【0361】

さらに、センサダイ23411には、ロジックダイ23412との電氣的接続に用いられるコンタクト23441が形成されている。コンタクト23441は、ロジックダイ23412のコンタクト23451に接続されるとともに、センサダイ23411のアルミパッド23442にも接続されている。

## 【0362】

そして、センサダイ23411には、センサダイ23411の裏面側（上側）からアルミパッド23442に達するようにパッド孔23443が形成されている。

## 【0363】

本開示に係る技術は、以上のような固体撮像装置に適用することができる。

## 【0364】

なお、本技術の実施形態は、上述した実施形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

## 【0365】

例えば、本技術は以下のような構成も取ることができる。

## 【0366】

## (1)

複数の画素が配置されている画素部と、

前記画素の画素信号及び前記画素信号と逆方向に線形に変化する参照信号を容量を介して加算した信号による第1の電圧と基準となる第2の電圧とを比較した結果に基づいて、前記画素信号のA/D（アナログ-デジタル）変換を行うA/D変換部と

を備える撮像素子。

## (2)

前記A/D変換部は、

前記第1の電圧と前記第2の電圧とを比較し、比較結果を示す出力信号を出力する比較器を

備える前記(1)に記載の撮像素子。

## (3)

前記比較器は、

前記第1の電圧が第1の入力に入力され、前記出力信号を出力する第1のアンプを備える前記(2)に記載の撮像素子。

## (4)

第1の容量と、

第2の容量と

をさらに備え、

前記画素信号は、前記第1の容量を介して前記第1の入力に入力され、

前記参照信号は、前記第2の容量を介して前記第1の入力に入力される

前記(3)に記載の撮像素子。

## (5)

前記第1の容量及び前記第2の容量のうち少なくとも1つが可変である

前記(4)に記載の撮像素子。

10

20

30

40

50

( 6 )

前記第 1 の容量に用いるキャパシタの組合せ、及び、前記第 2 の容量に用いるキャパシタの組合せのうち少なくとも 1 つが可変である

前記 ( 5 ) に記載の撮像素子。

( 7 )

前記 A D 変換部は、前記画素部の画素列毎に設けられ、

各前記 A D 変換部が A D 変換を行う場合に、前記画素列の途中で、前記第 1 の容量に用いるキャパシタの組合せ、及び、前記第 2 の容量に用いるキャパシタの組合せのうち少なくとも 1 つを 1 回以上変更する制御部を

さらに備える前記 ( 6 ) に記載の撮像素子。

10

( 8 )

複数の前記画素列で複数の前記 A D 変換部を共有し、

前記制御部は、前記画素列の途中で、前記画素列と前記 A D 変換部との組合せを 1 回以上変更する

前記 ( 7 ) に記載の撮像素子。

( 9 )

前記第 1 のアンプは差動アンプであり、前記第 2 の電圧が第 2 の入力に入力される

前記 ( 3 ) 乃至 ( 8 ) のいずれかに記載の撮像素子。

( 10 )

前記第 2 の入力と電源又はグラウンドとの間に接続されているキャパシタを

さらに備える前記 ( 9 ) に記載の撮像素子。

20

( 11 )

前記第 1 のアンプは、シングル型のアンプである

前記 ( 3 ) 乃至 ( 8 ) のいずれかに記載の撮像素子。

( 12 )

前記第 1 のアンプは、ソース接地型のアンプである

前記 ( 11 ) に記載の撮像素子。

( 13 )

前記第 2 の電圧は、前記第 1 のアンプの前記第 1 の入力と出力を短絡したときの前記第 1 の入力の電圧に設定される

前記 ( 12 ) に記載の撮像素子。

30

( 14 )

前記第 1 のアンプの出力に接続されているクランプ回路を

さらに備える前記 ( 12 ) 又は ( 13 ) に記載の撮像素子。

( 15 )

前記第 1 のアンプの電流源を構成するトランジスタと、

前記トランジスタのゲートに印加するバイアス電圧を保持するサンプルホールド回路とをさらに備える前記 ( 12 ) 乃至 ( 14 ) のいずれかに記載の撮像素子。

( 16 )

前記第 1 のアンプの出力を増幅する第 2 のアンプを

さらに備える前記 ( 3 ) 乃至 ( 15 ) のいずれかに記載の撮像素子。

40

( 17 )

前記 A D 変換部は、

前記第 1 の電圧と前記第 2 の電圧との比較を開始してから前記出力信号が反転するまでのカウント値を求めるカウンタを

さらに備える前記 ( 2 ) 乃至 ( 16 ) のいずれかに記載の撮像素子。

( 18 )

前記 A D 変換部は、前記画素部の画素列毎に設けられている

前記 ( 1 ) 乃至 ( 17 ) のいずれかに記載の撮像素子。

( 19 )

50



画素信号及び前記画素信号と逆方向に線形に変化する参照信号を容量を介して加算した信号による第1の電圧と基準となる第2の電圧とを比較した結果に基づいて、前記画素信号のAD(アナログ-デジタル)変換を行う

撮像素子の制御方法。

(20)

撮像素子と、

前記撮像素子から出力される信号を処理する信号処理部と

を備え、

前記撮像素子は、

複数の画素が配置されている画素部と、

前記画素の画素信号及び前記画素信号と逆方向に線形に変化する参照信号を容量を介して加算した信号による第1の電圧と基準となる第2の電圧とを比較した結果に基づいて、前記画素信号のAD(アナログ-デジタル)変換を行うAD変換部と

を備える電子機器。

10

【符号の説明】

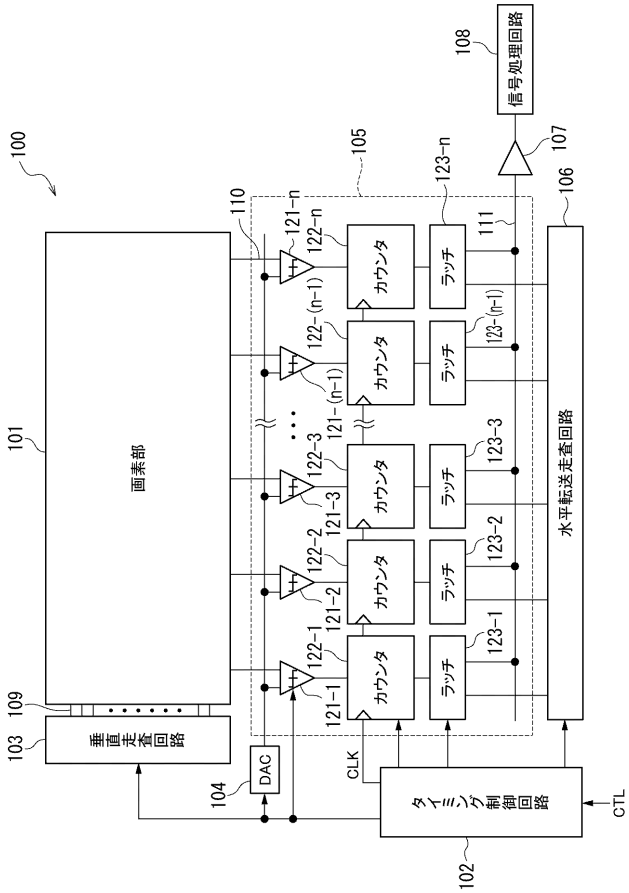
【0367】

100 撮像素子, 101 画素部, 102 タイミング制御回路, 103 垂直走査回路, 104 DAC, 105 ADC群, 106 水平転送走査回路, 121-1乃至121-n 比較器, 122-1乃至122-n カウンタ, 123-1乃至123-n ラッチ, 200乃至200i 比較器, 201, 211 差動アンプ, 221, 231 出力アンプ, 300乃至300hb 比較器, 301 アンプ, 311 出力アンプ, 400, 400-1, 400-2 比較器, 401, 401-1, 401-2 比較回路, C11乃至C51 キャパシタ, C61, C62 可変キャパシタ, C71乃至C131 キャパシタ, C141, C142 可変キャパシタ, C151乃至C203 キャパシタ, NT11乃至NT131 NMOSトランジスタ, PT11乃至PT131 PMOSTランジスタ, SW11乃至SW203 スイッチ

20

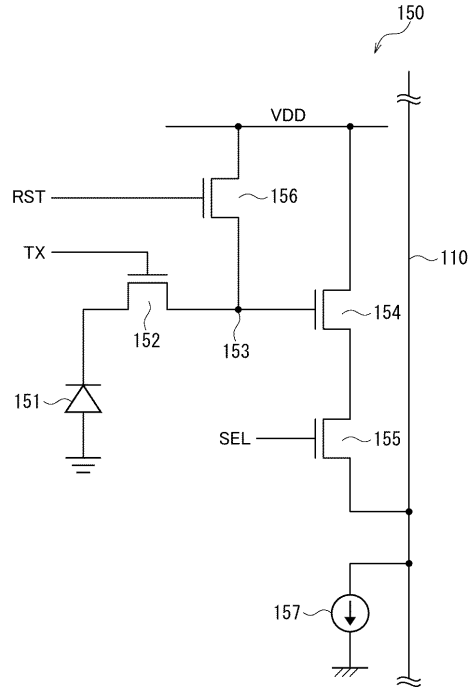
【図 1】

Fig. 1



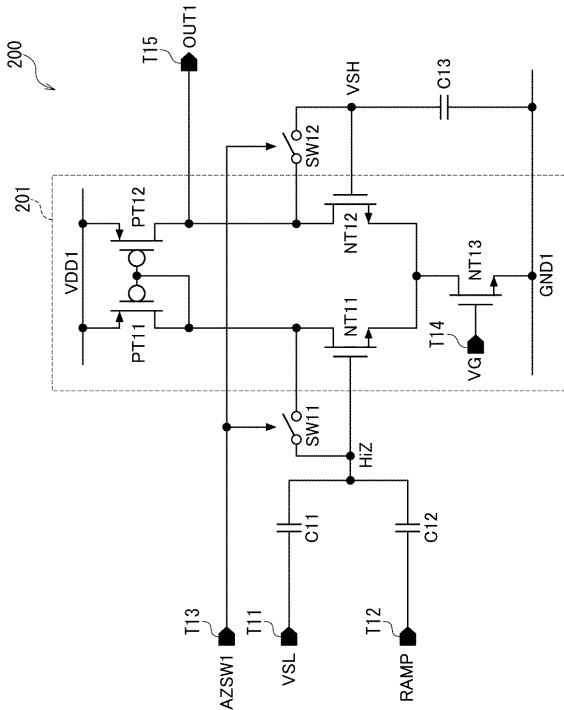
【図 2】

Fig. 2



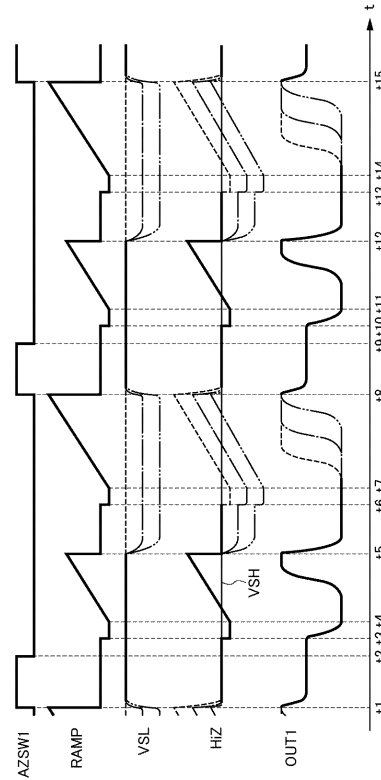
【図 3】

Fig. 3



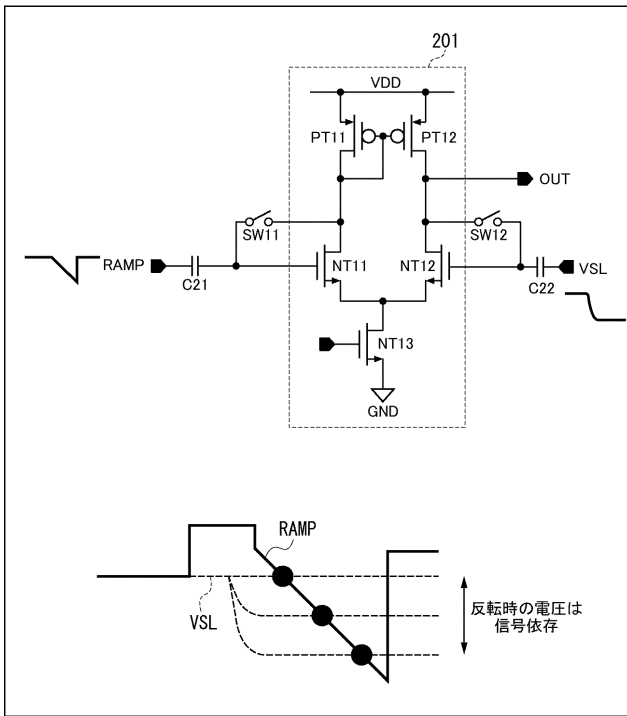
【図 4】

Fig. 4



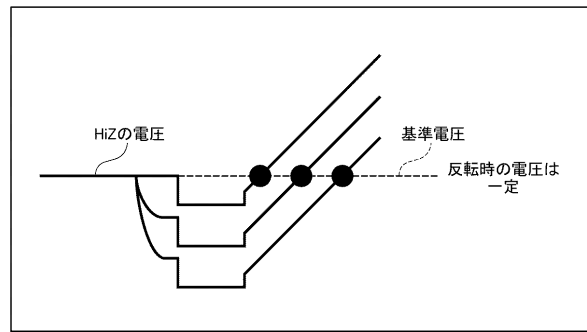
【 図 5 】

Fig. 5



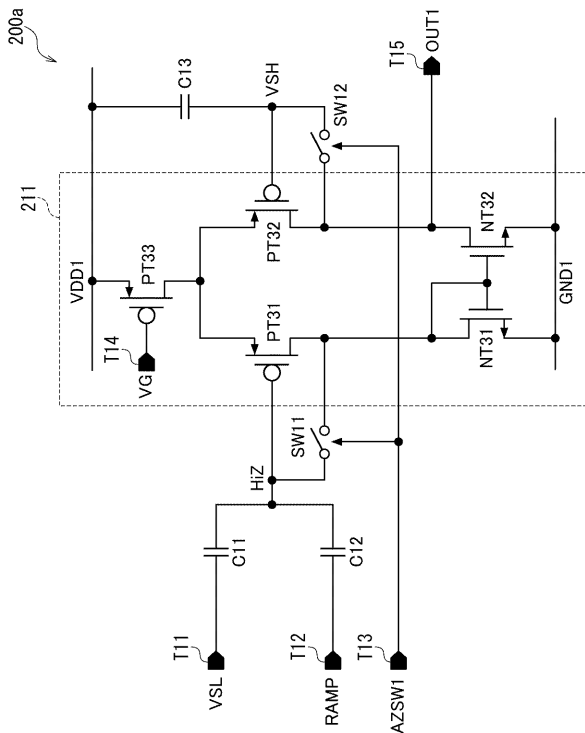
【 図 6 】

Fig. 6



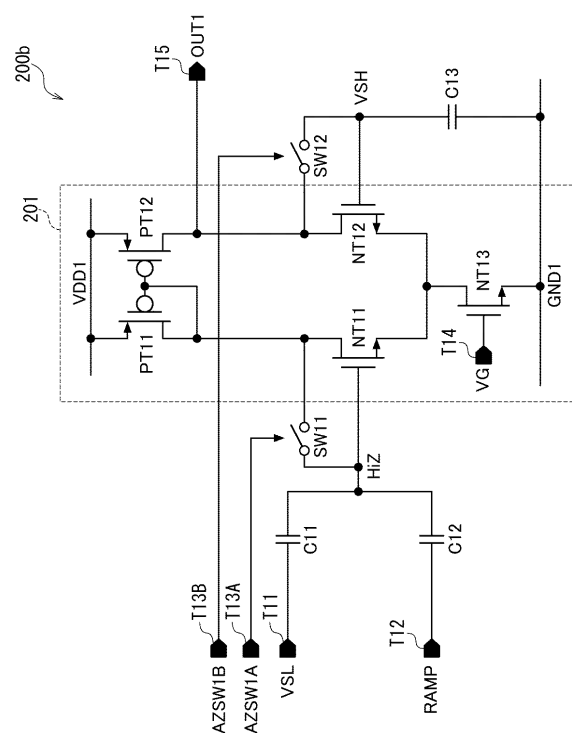
【 図 7 】

Fig. 7



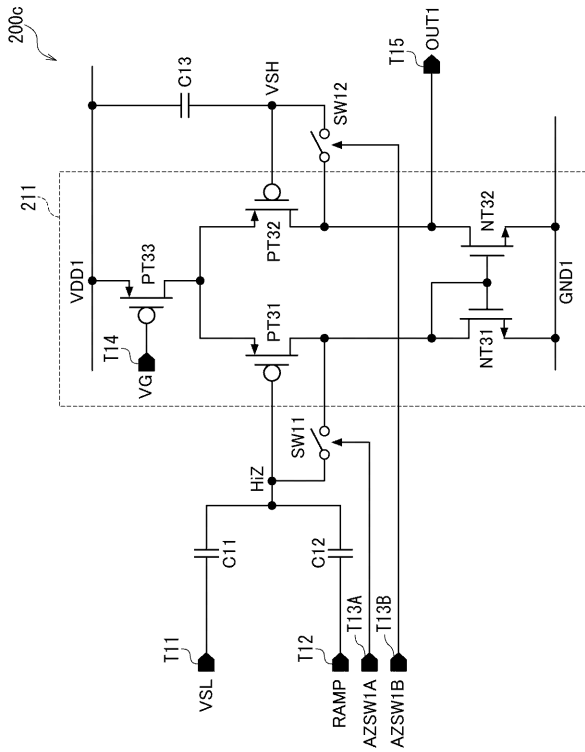
【 図 8 】

Fig. 8



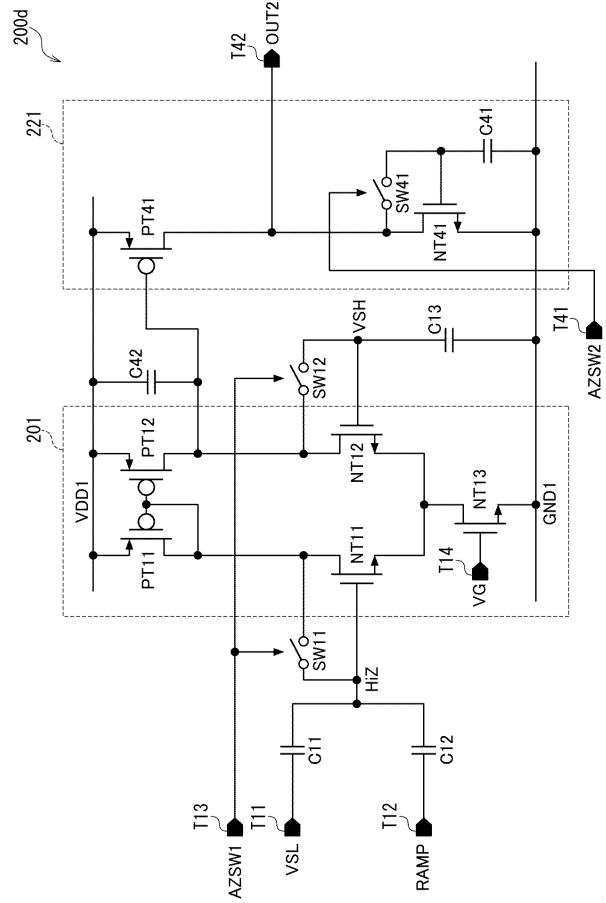
【 図 9 】

Fig. 9



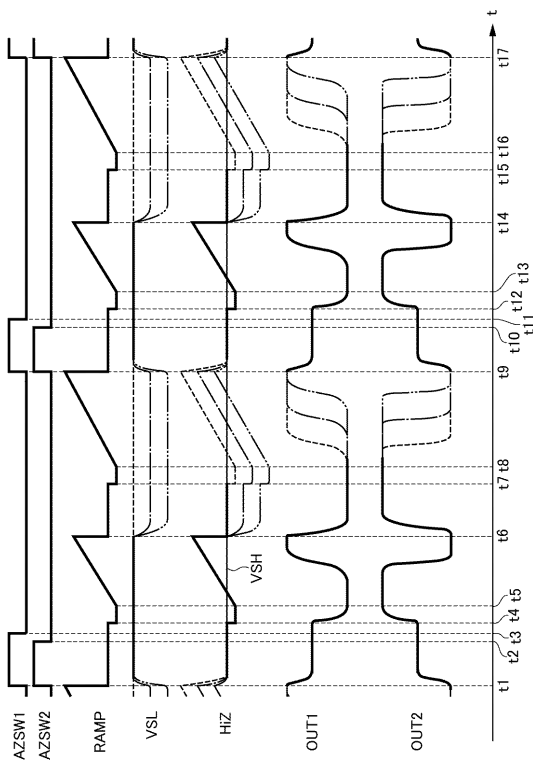
【 図 1 0 】

Fig. 10



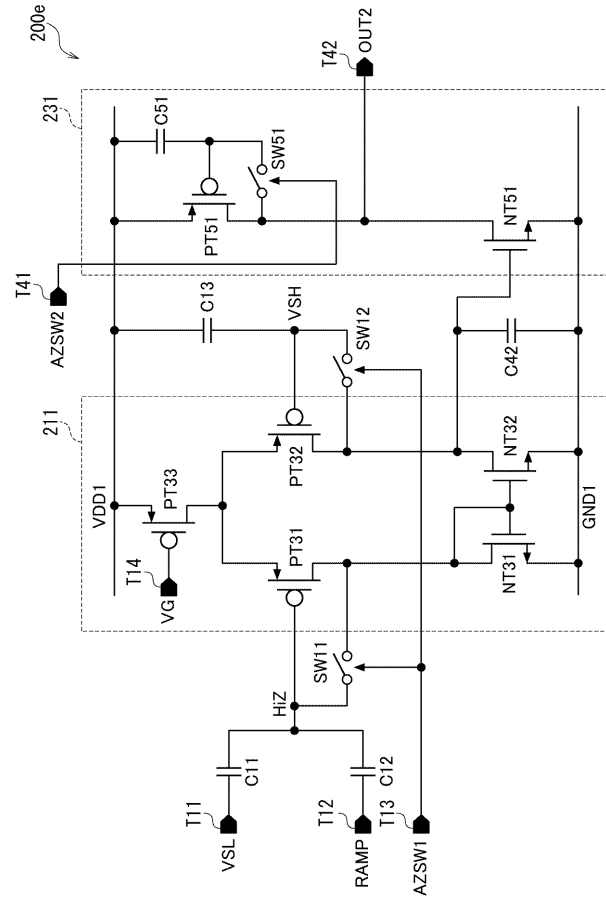
【 図 1 1 】

Fig. 11



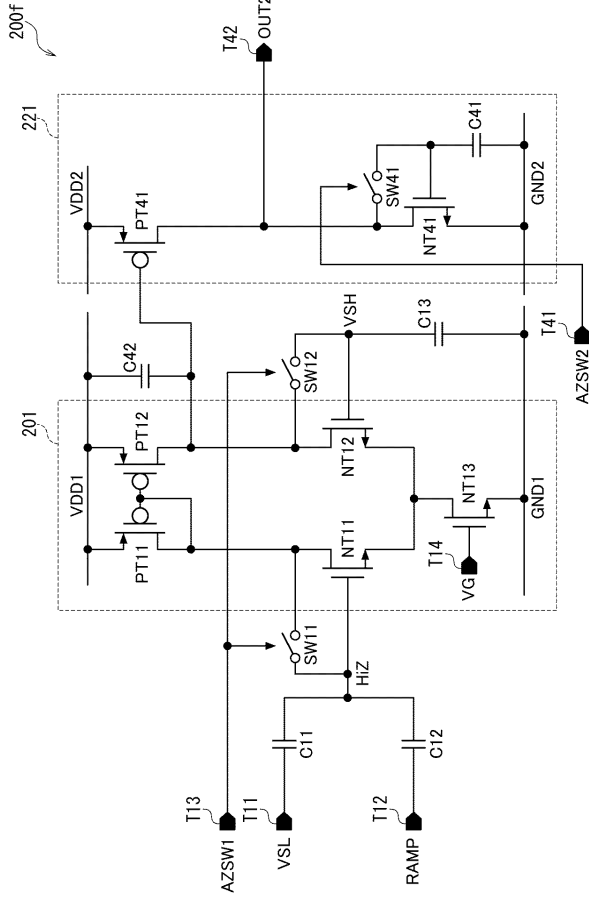
【 図 1 2 】

Fig. 12



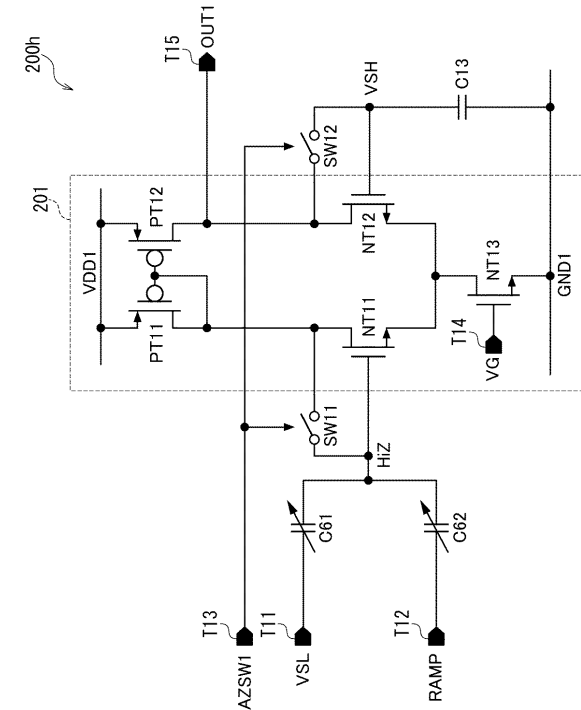
【 図 1 3 】

Fig. 13



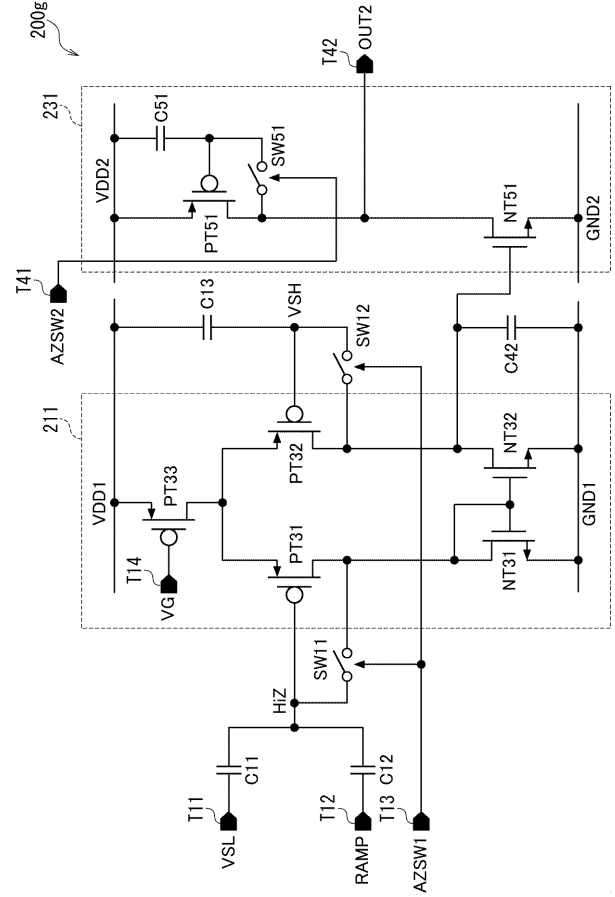
【 図 1 5 】

Fig. 15



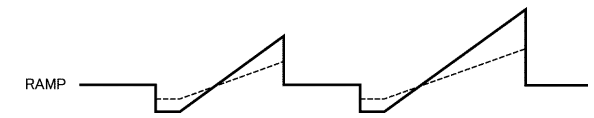
【 図 1 4 】

Fig. 14



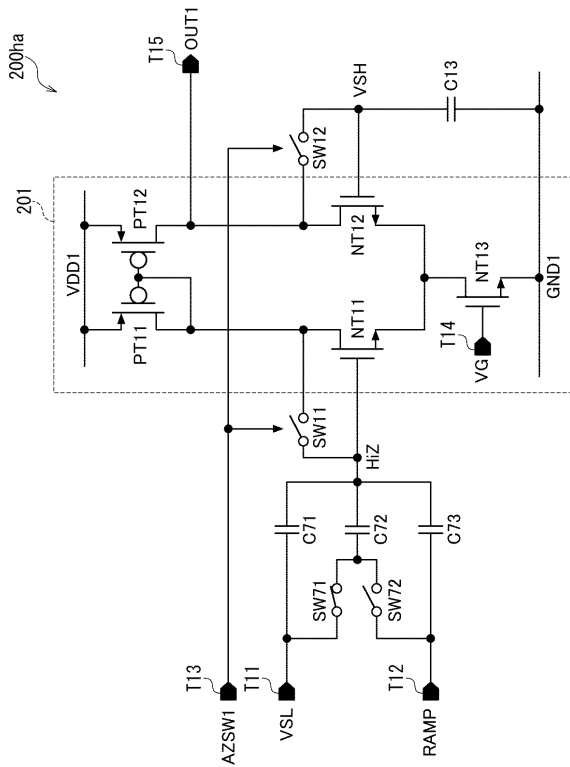
【 図 1 6 】

Fig. 16



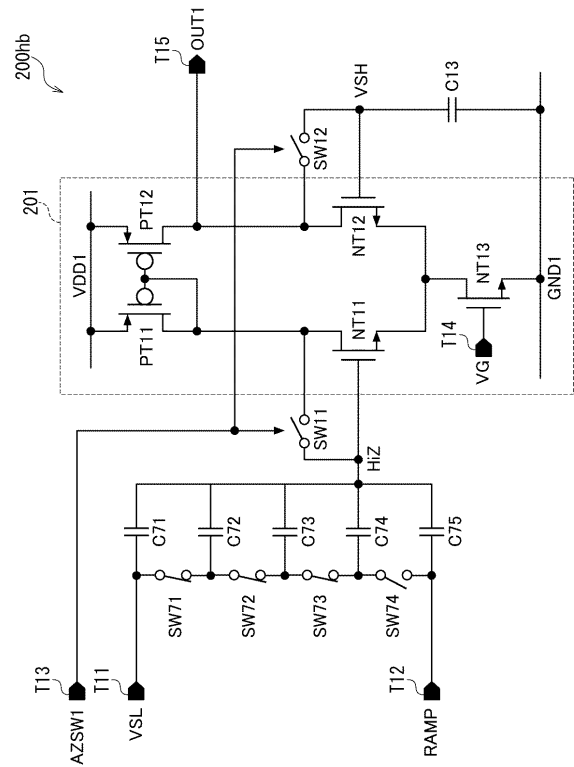
【 図 1 7 】

Fig. 17



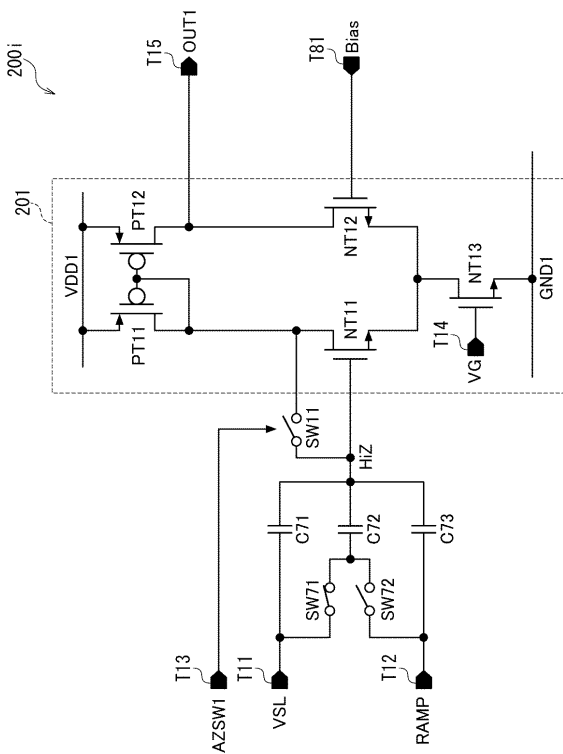
【 図 1 8 】

Fig. 18



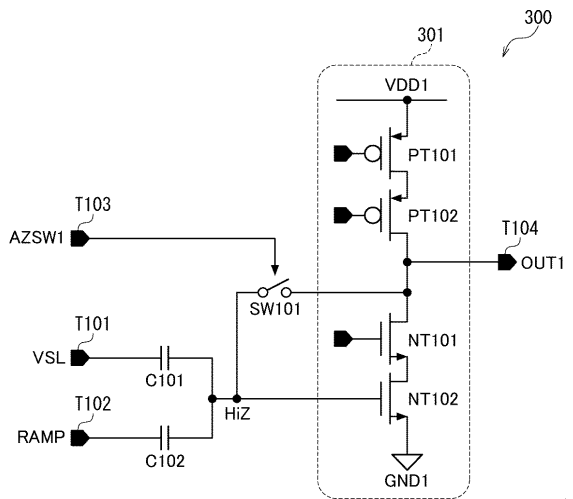
【 図 1 9 】

Fig. 19



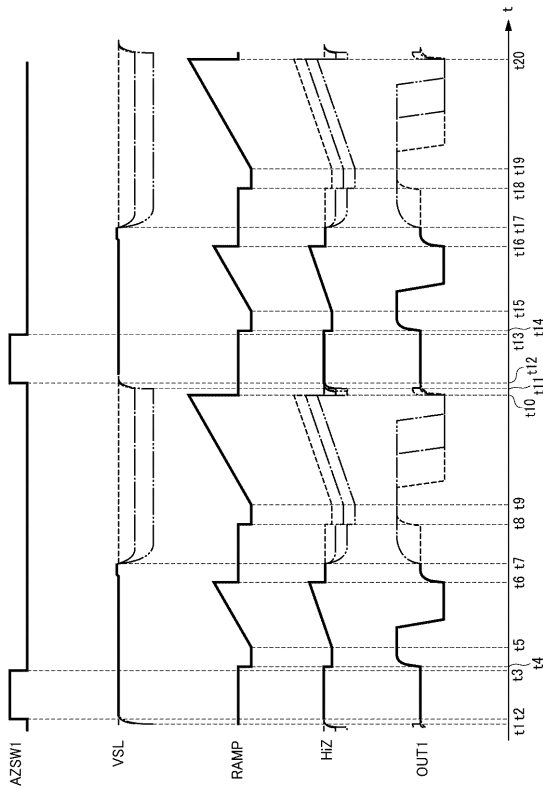
【 図 2 0 】

Fig. 20



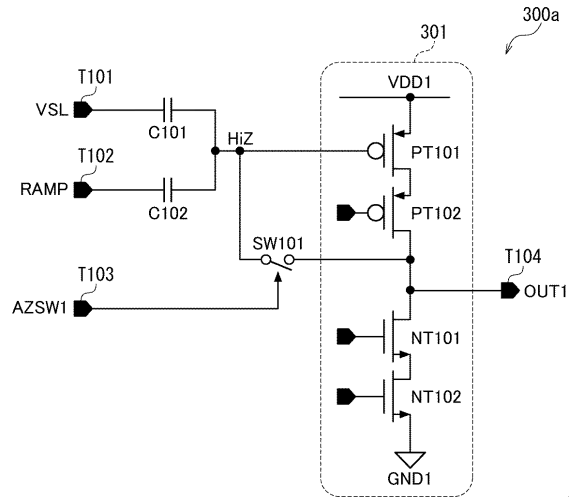
【 2 1 】

Fig. 21



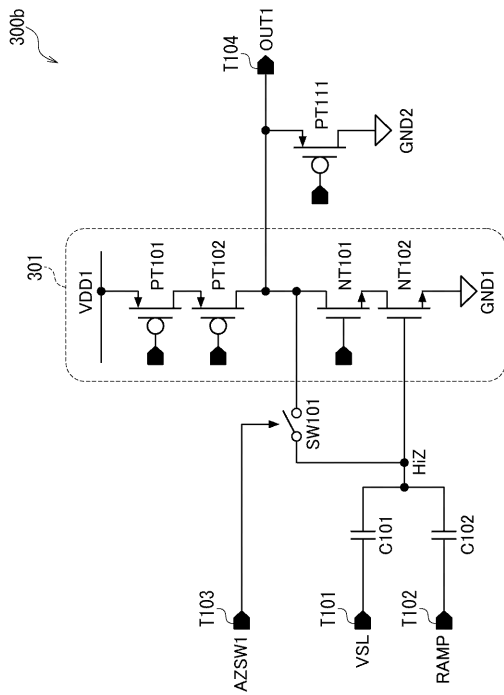
【 2 2 】

Fig. 22



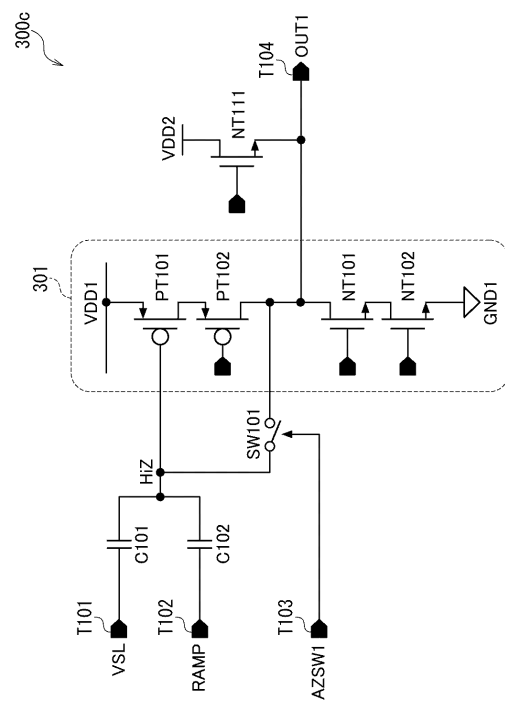
【 2 3 】

Fig. 23



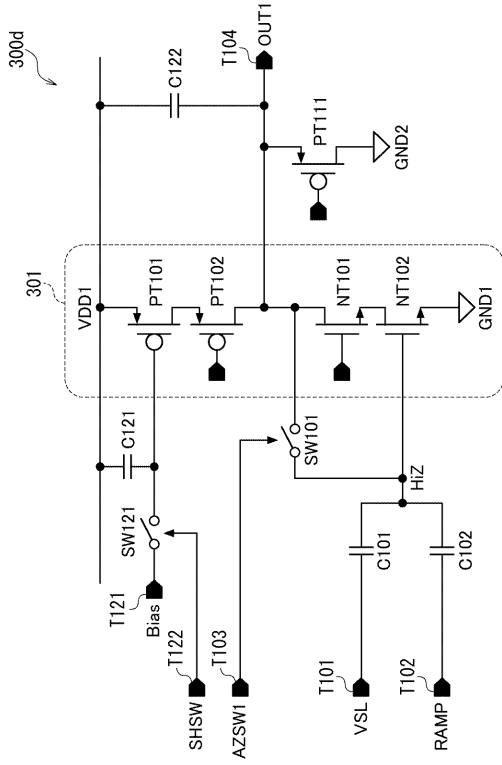
【 2 4 】

Fig. 24



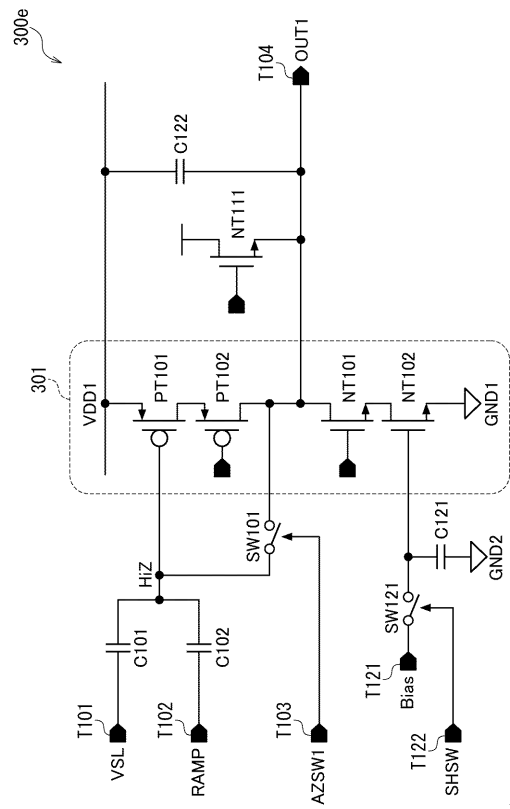
【 2 5 】

Fig. 25



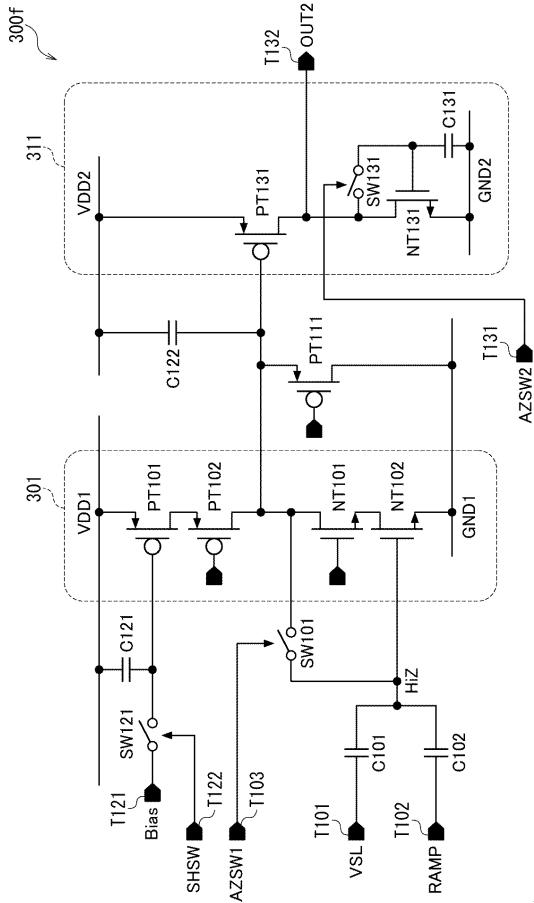
【 2 6 】

Fig. 26



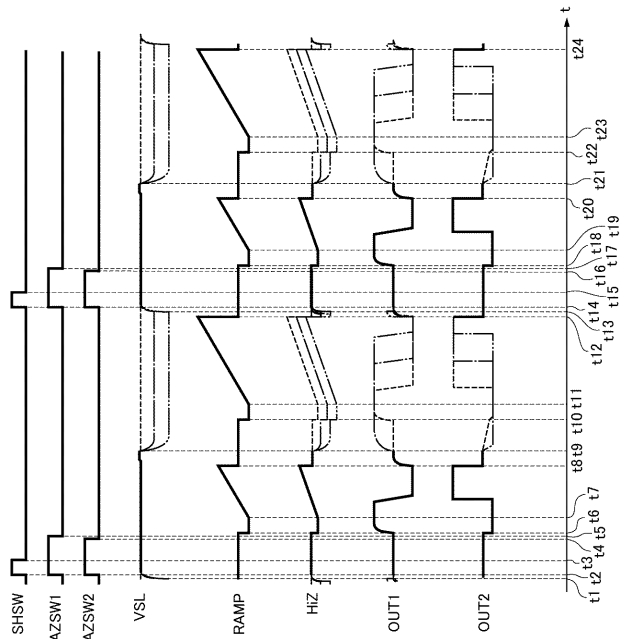
【 2 7 】

Fig. 27



【 2 8 】

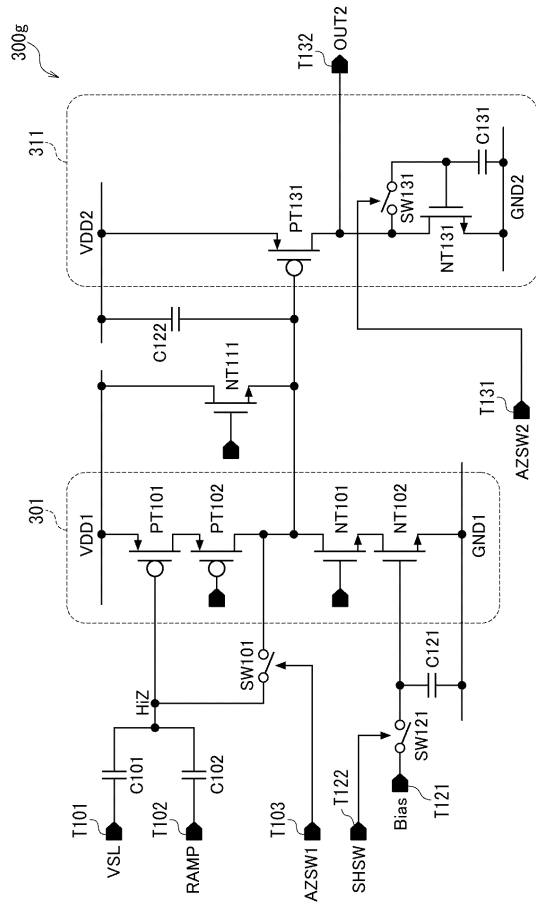
Fig. 28





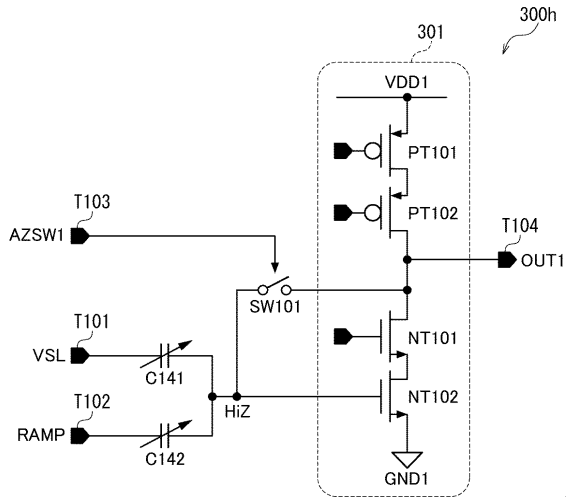
【 2 9 】

Fig. 29



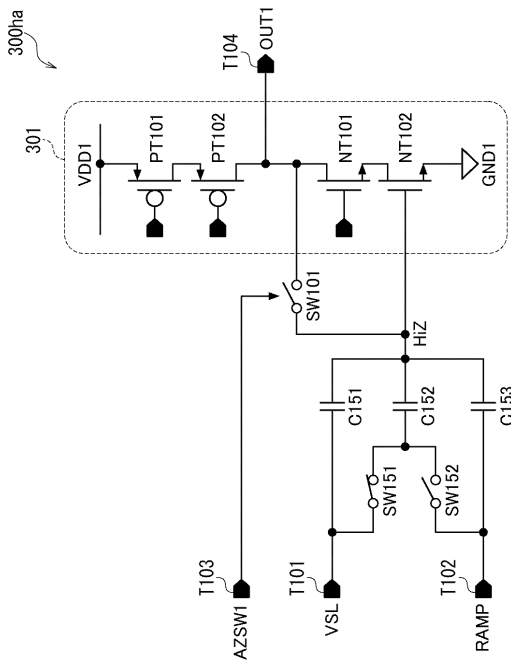
【 3 0 】

Fig. 30



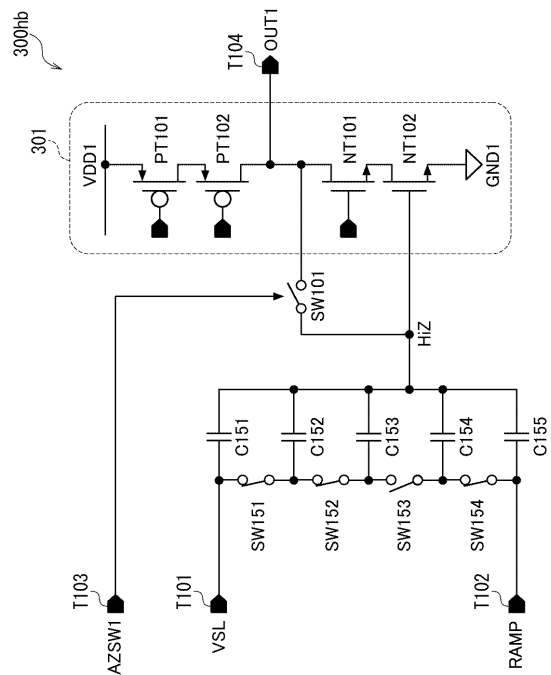
【 3 1 】

Fig. 31



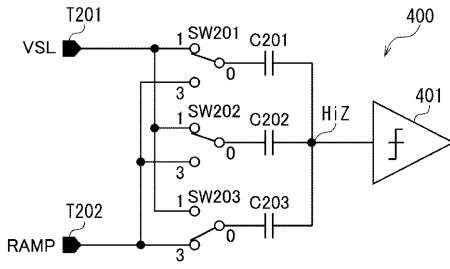
【 3 2 】

Fig. 32



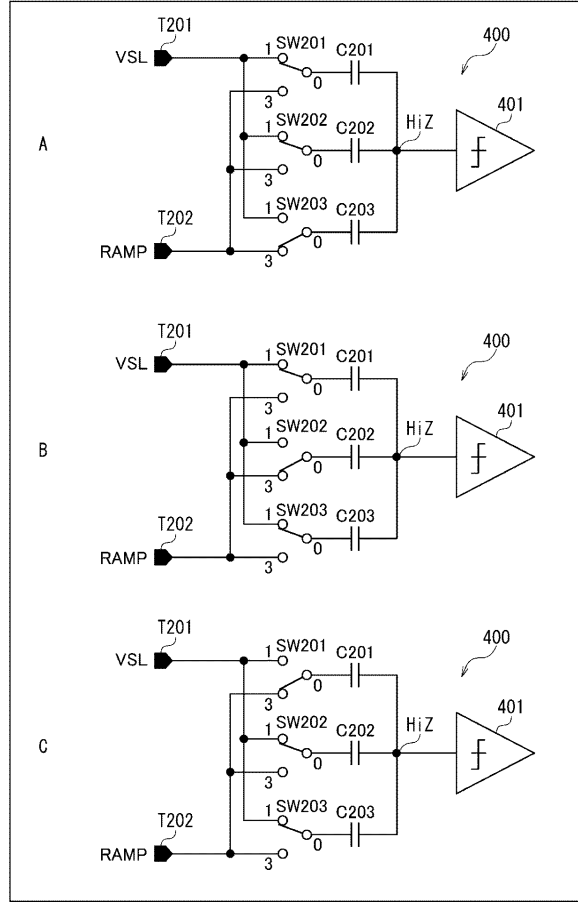
【 図 3 3 】

FIG. 33



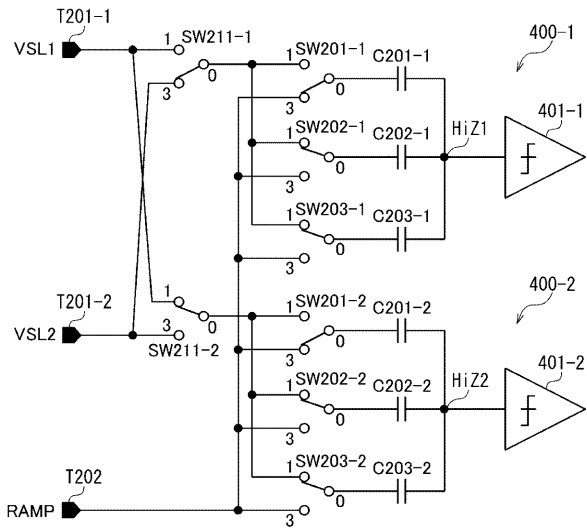
【 図 3 4 】

FIG. 34



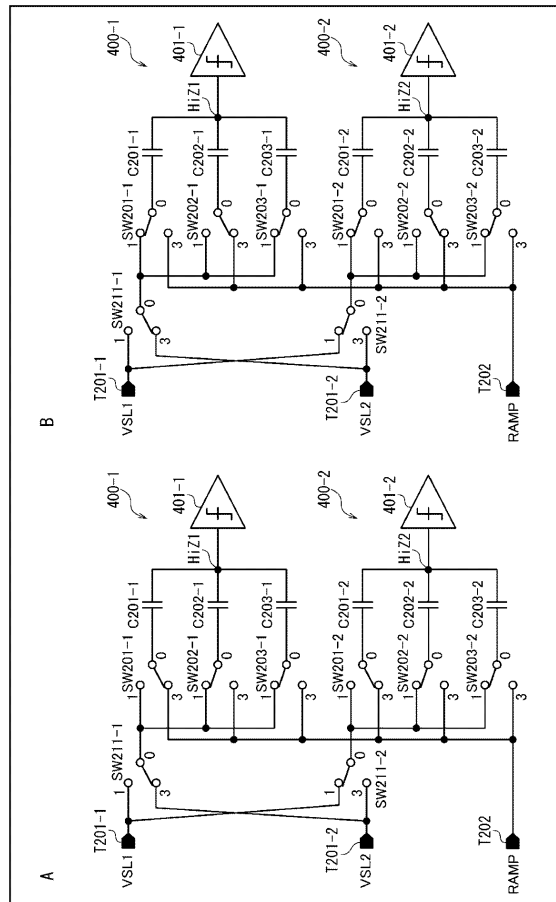
【 図 3 5 】

FIG. 35



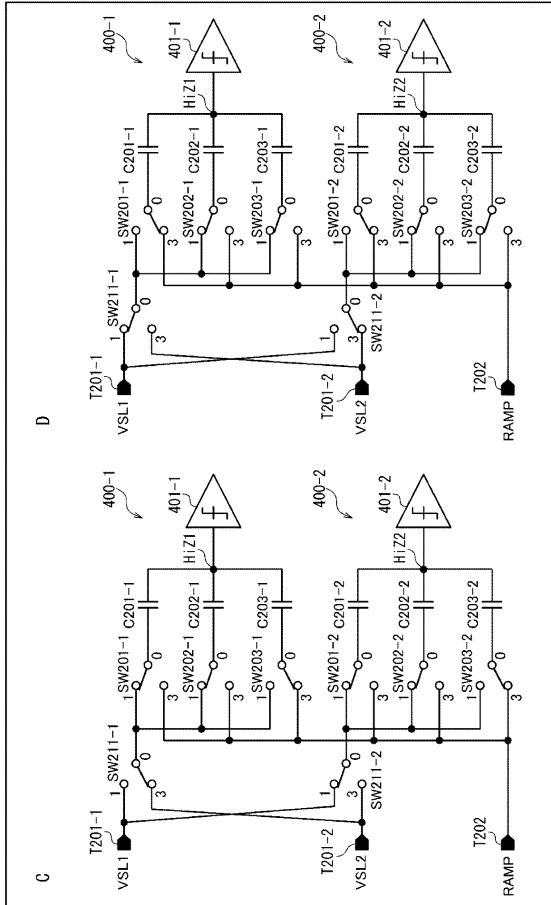
【 図 3 6 】

FIG. 36



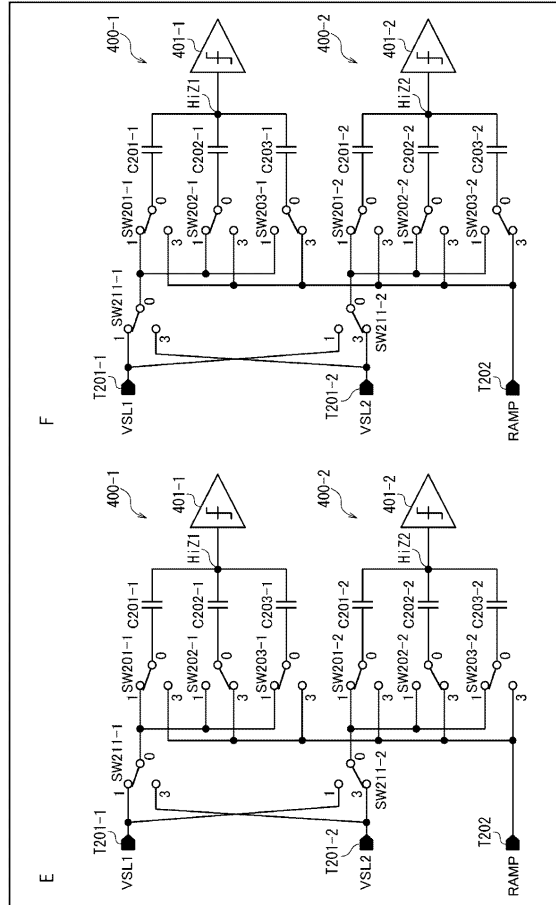
【 図 3 7 】

FIG. 37

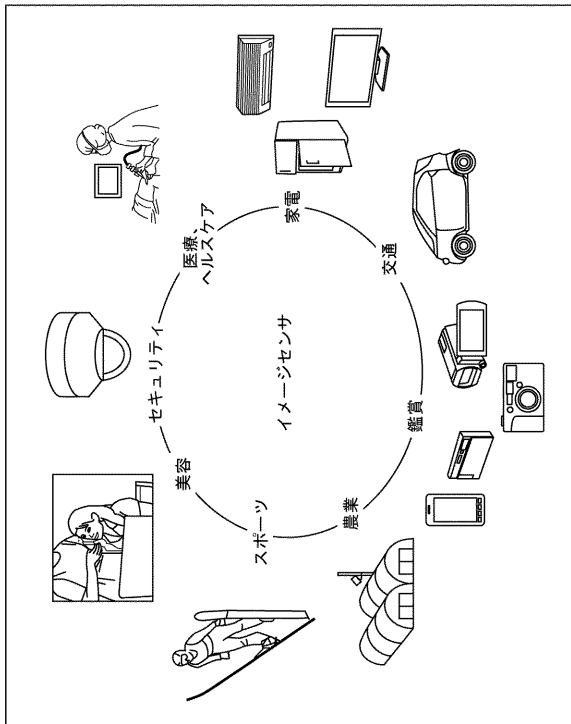


【 図 3 8 】

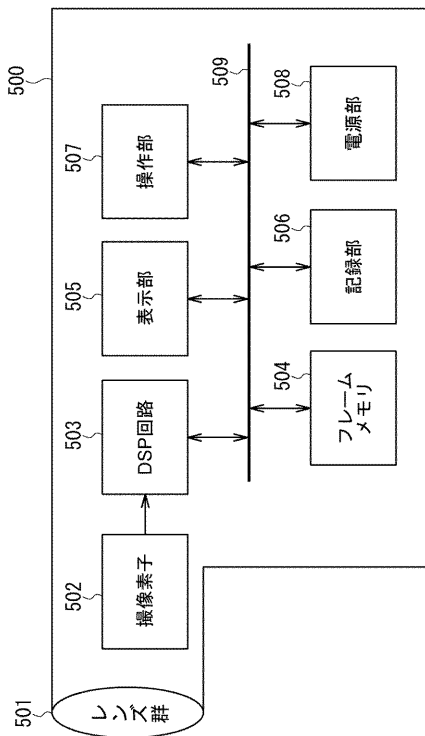
FIG. 38



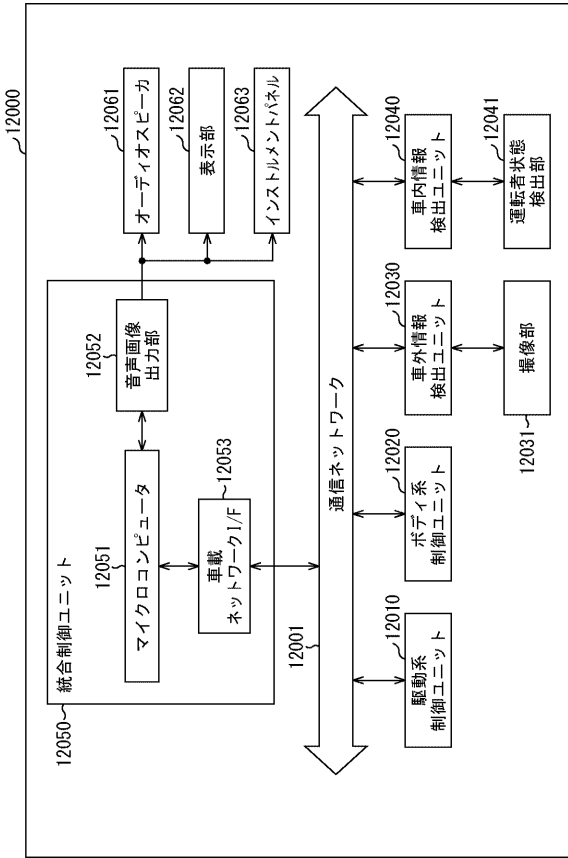
【 図 3 9 】



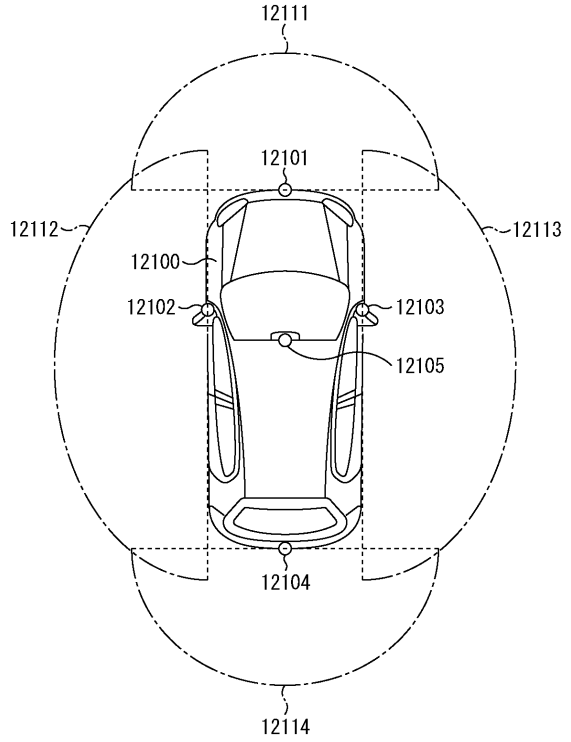
【 図 4 0 】



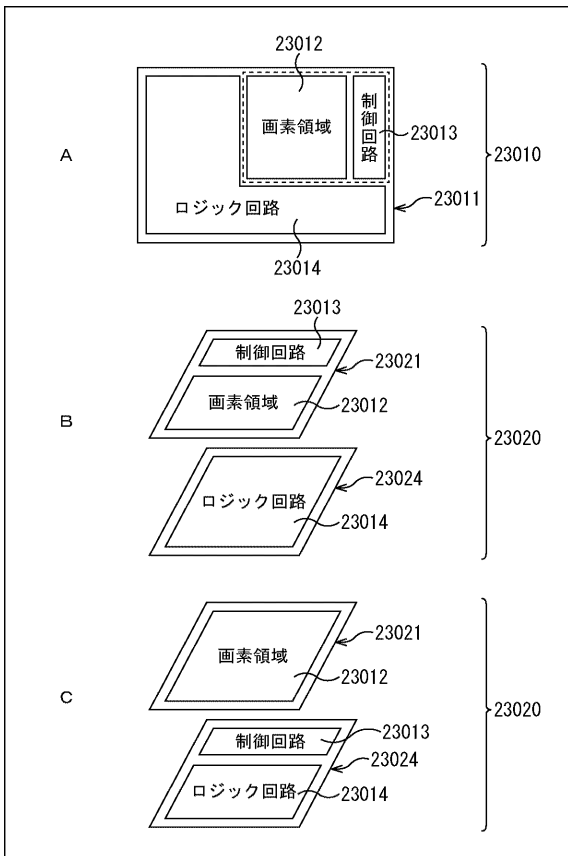
【図 4 1】



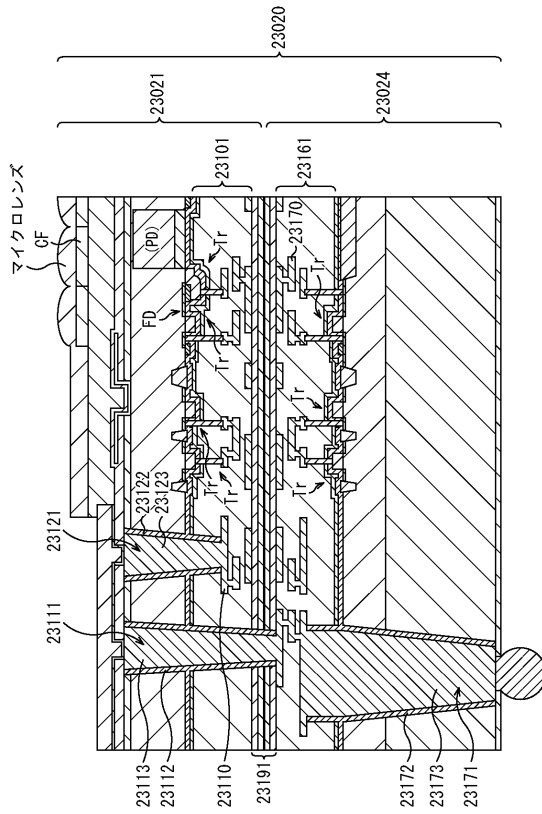
【図 4 2】



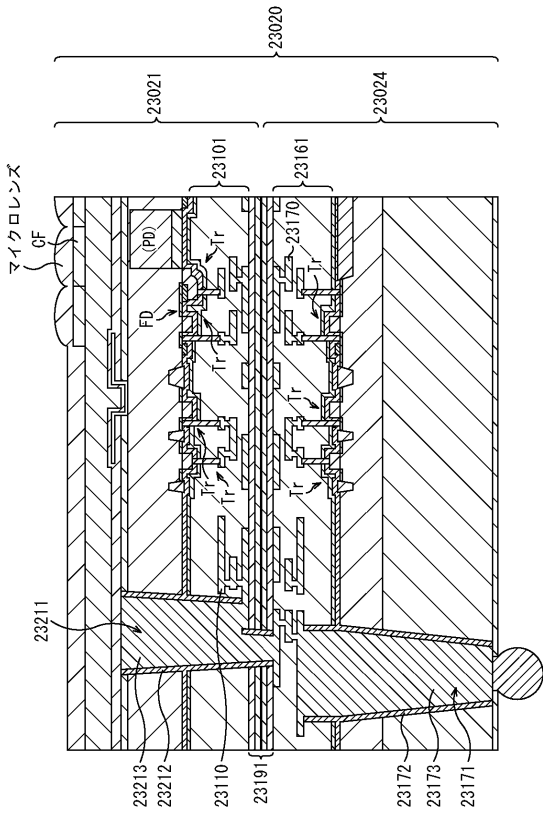
【図 4 3】



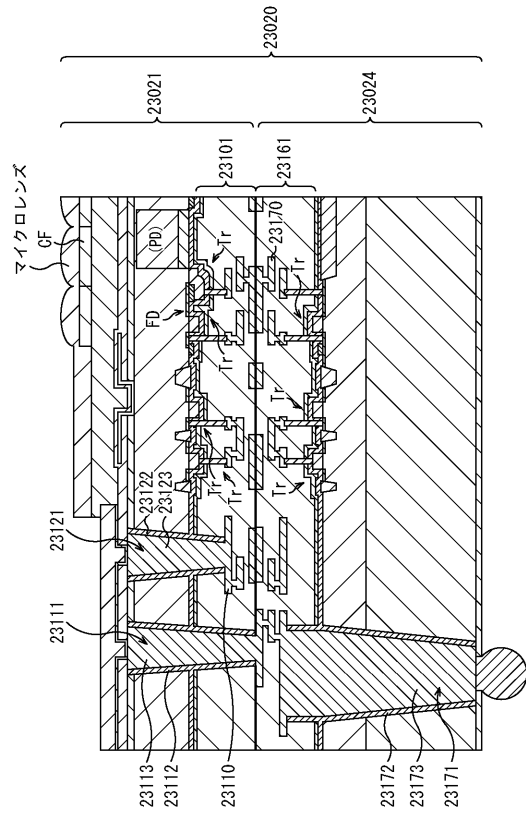
【図 4 4】



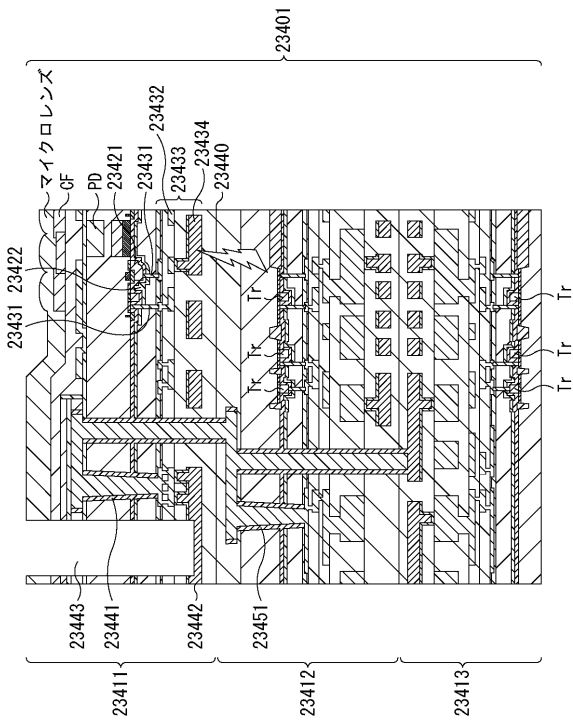
【 図 4 5 】



【 図 4 6 】



【 図 4 7 】



---

フロントページの続き

- (72)発明者 山下 知憲  
神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内
- (72)発明者 馬上 崇  
神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内
- (72)発明者 植野 洋介  
神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内
- Fターム(参考) 5C024 HX09 HX23 HX24 HX28 HX29 HX32 HX35 HX48  
5J022 AA09 AB01 BA06 CB08 CF01