

(此處由本局於收
文時黏貼條碼)

760576

發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95104224

※申請日期：95年02月08日

※IPC分類：H03L 7/08 (2006.01)

H01L 27/12 (2006.01)

H01L 29/786 (2006.01)

一、發明名稱：

(中) 半導體裝置和使用該半導體裝置的電子設備

(英) Semiconductor device and electronic apparatus using the same

二、申請人：(共 1 人)

1. 姓名：(中) 半導體能源研究所股份有限公司
(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平
(英) 1. YAMAZAKI, SHUNPEI

地址：(中) 日本國神奈川縣厚木市長谷三九八番地
(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 2 人)

1. 姓名：(中) 加藤清
(英) KATO, KIYOSHI

國籍：(中) 日本
(英) JAPAN

2. 姓名：(中) 長多剛
(英) OSADA, TAKESHI

國籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2005/02/28 ; 2005-055183 有主張優先權

五、中文發明摘要

發明之名稱：半導體裝置和使用該半導體裝置的電子設備

一種具有高功能、多功能、和高附加值的半導體裝置。該半導體裝置包含提供於基板上並輸出具有正確頻率的訊號的 PLL 電路。藉由在基板上提供這種 PLL 電路，可以獲得具有高功能、多功能、和高附加值的半導體裝置。

六、英文發明摘要

發明之名稱：

SEMICONDUCTOR DEVICE AND ELECTRONIC APPARATUS
USING THE SAME

A semiconductor device with high function, multifunction and high added value. The semiconductor device includes a PLL circuit that is provided over a substrate and outputs a signal with a correct frequency. By providing such a PLL circuit over the substrate, a semiconductor device with high function, multifunction and high added value can be achieved.

七、指定代表圖：

(一) 本案指定代表圖為：第(2)圖

(二) 本代表圖之元件符號簡單說明：

1：輸入端，2：輸入端，23：電阻器，25：電容器，
5：輸出端，6：輸出端，101：第三 P 型薄膜電晶體，
102~106：第二 P 型薄膜電晶體，11：相位比較器，
111：第三 N 型薄膜電晶體，
112~116：第二 N 型薄膜電晶體，12：環路濾波器，
120：電路，121：電路，122：電路，123：電路，
13：電壓控制振盪器，131~135：第一 P 型薄膜電晶體，
14：除法器，141~145：第一 N 型薄膜電晶體，
21：單元電路，22：電阻器，24：電容器，
26：單元電路，3：輸入端，4：輸入端

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

(1)

九、發明說明

【發明所屬之技術領域】

本發明係關於具有形成於基板上的薄膜電晶體的半導體裝置。

【先前技術】

近年來，已經開發出將各種電路整合在相同絕緣表面上的半導體裝置（例如專利文件1）。

[專利文件1]日本公開專利 No. 2004-247373。

【發明內容】

本發明提供了具有高功能、多功能、和高附加值的半導體裝置。

本發明提供了一種半導體裝置，其中在基板上提供輸出具有正確頻率的訊號的電路。例如使用鎖相環電路（下文中也稱為 PLL 電路）作為輸出具有正確頻率的訊號的電路。PLL 電路具有這樣的功能，即其輸出訊號的頻率為所提供的訊號的頻率的固定倍數。根據在基板上具有這種 PLL 電路的本發明，可以獲得具有高功能、多功能、和高附加值的半導體裝置。

本發明的半導體裝置包含低電位電源、高電位電源、以及基板上的電壓控制振盪器。該電壓控制振盪器電路包含：包含第一 N 型薄膜電晶體和第一 P 型薄膜電晶體的第一電路、包含第二 N 型薄膜電晶體的第二電路、包含

(2)

第二 P 型薄膜電晶體的第三電路、以及包含第三 N 型薄膜電晶體和第三 P 型薄膜電晶體的第四電路。

在具有前述結構的半導體裝置中，第一 N 型薄膜電晶體的源極和汲極之一連接到第一 P 型薄膜電晶體的源極和汲極之一，第一 N 型薄膜電晶體的源極和汲極中另一個連接到第二 N 型薄膜電晶體的源極和汲極之一，第一 P 型薄膜電晶體的源極和汲極中另一個連接到第二 P 型薄膜電晶體的源極和汲極之一，第三 N 型薄膜電晶體的源極和汲極之一連接到第三 P 型薄膜電晶體的源極和汲極之一。

在具有前述結構的半導體裝置中，第二 N 型薄膜電晶體的源極和汲極中另一個和第三 N 型薄膜電晶體的源極和汲極中另一個連接到低電位電源，第二 P 型薄膜電晶體的源極和汲極中另一個和第三 P 型薄膜電晶體的源極和汲極中另一個連接到高電位電源。也就是說，第二 N 型薄膜電晶體的源極和汲極中另一個以及第三 N 型薄膜電晶體的源極和汲極中另一個保持在固定的電位（低電位），而第二 P 型薄膜電晶體的源極和汲極中另一個以及第三 P 型薄膜電晶體的源極和汲極中另一個保持在固定電位（高電位）。

在具有前述結構的半導體裝置中，第二 N 型薄膜電晶體控制第一 N 型薄膜電晶體和低電位電源之間的導電，第二 P 型薄膜電晶體控制第一 P 型薄膜電晶體和高電位電源之間的導電。第二 N 型薄膜電晶體和第三 N 型薄膜

(3)

電晶體的臨界值電壓低於第一 N 型薄膜電晶體的臨界值電壓。當將第一訊號輸入到第二 N 型薄膜電晶體的閘極以及第三 N 型薄膜電晶體的閘極時，從第一 N 型薄膜電晶體連接到第一 P 型薄膜電晶體的節點輸出第二訊號。

在具有前述結構的半導體裝置中，每個第二 N 型薄膜電晶體和第三 N 型薄膜電晶體的通道長度短於每個第一 N 型薄膜電晶體的通道長度。每個第二 N 型薄膜電晶體和第三 N 型薄膜電晶體中包含的由半導體層形成的通道形成區內提供 N 型導電性的雜質元素濃度高於每個第一 N 型薄膜電晶體中包含的由半導體層形成的通道形成區中提供 N 型導電性的雜質元素濃度。每個第二 N 型薄膜電晶體和第三 N 型薄膜電晶體中包含的由半導體層形成的通道形成區內提供 P 型導電性的雜質元素濃度低於每個第一 N 型薄膜電晶體中包含的由半導體層形成的通道形成區中提供 P 型導電性的雜質元素濃度。

在具有前述結構的半導體裝置中，第一電路包含多個第一 N 型薄膜電晶體和多個第一 P 型薄膜電晶體，第二電路包含多個第二 N 型薄膜電晶體，第三電路包含多個第二 P 型薄膜電晶體。每個第一 N 型薄膜電晶體的源極和汲極之一連接到每個第一 P 型薄膜電晶體的源極和汲極之一，每個第一 N 型薄膜電晶體的源極和汲極中另一個連接到每個第二 N 型薄膜電晶體的源極和汲極之一，每個第一 P 型薄膜電晶體的源極和汲極中另一個連接到每個第二 P 型薄膜電晶體的源極和汲極之一，每個第二 N 型

(4)

薄膜電晶體的源極和汲極中另一個連接到低電位電源，每個第二 P 型薄膜電晶體的源極和汲極中另一個連接到高電位電源，每個第二 N 型薄膜電晶體的臨界值電壓低於每個第一 N 型薄膜電晶體的臨界值電壓，第三 N 型薄膜電晶體的臨界值電壓低於每個第一 N 型薄膜電晶體的臨界值電壓。

本發明的半導體裝置包含低電位電源、高電位電源、以及基板上的電壓控制振盪器。該電壓控制振盪器電路包含：包含第一 N 型薄膜電晶體和 P 型薄膜電晶體的第一電路，以及包含第二 N 型薄膜電晶體的第二電路。

在具有前述結構的半導體裝置中，第一 N 型薄膜電晶體的源極和汲極之一連接到 P 型薄膜電晶體的源極和汲極之一，第一 N 型薄膜電晶體的源極和汲極中另一個連接到第二 N 型薄膜電晶體的源極和汲極之一。

在具有前述結構的半導體裝置中，第二 N 型薄膜電晶體的源極和汲極中另一個連接到低電位電源，第二 P 型薄膜電晶體的源極和汲極中另一個連接到高電位電源。也就是說，第二 N 型薄膜電晶體的源極和汲極中另一個保持在固定的電位（低電位），而 P 型薄膜電晶體的源極和汲極中另一個保持在固定電位（高電位）。

在具有前述結構的半導體裝置中，第二 N 型薄膜電晶體控制第一 N 型薄膜電晶體和低電位電源之間的導電。第二 N 型薄膜電晶體的臨界值電壓低於第一 N 型薄膜電晶體的臨界值電壓。當將第一訊號輸入到第二 N 型薄

(5)

膜電晶體的閘極時，從第一 N 型薄膜電晶體連接到 P 型薄膜電晶體的節點輸出第二訊號。

在具有前述結構的半導體裝置中，第二 N 型薄膜電晶體的通道長度短於第一 N 型薄膜電晶體的通道長度。第二 N 型薄膜電晶體中包含的由半導體層形成的通道形成區內提供 N 型導電性的雜質元素濃度高於第一 N 型薄膜電晶體中包含的由半導體層形成的通道形成區中提供 N 型導電性的雜質元素濃度。第二 N 型薄膜電晶體中包含的由半導體層形成的通道形成區內提供 P 型導電性的雜質元素濃度低於第一 N 型薄膜電晶體中包含的由半導體層形成的通道形成區中提供 P 型導電性的雜質元素濃度。

在具有前述結構的半導體裝置中，第一電路包含多個第一 N 型薄膜電晶體和多個 P 型薄膜電晶體，第二電路包含多個第二 N 型薄膜電晶體。每個第一 N 型薄膜電晶體的源極和汲極之一連接到每個 P 型薄膜電晶體的源極和汲極之一，每個第一 N 型薄膜電晶體的源極和汲極中另一個連接到每個第二 N 型薄膜電晶體的源極和汲極之一，每個第二 N 型薄膜電晶體的源極和汲極中另一個連接到低電位電源，每個第二 P 型薄膜電晶體的源極和汲極中另一個連接到高電位電源，每個第二 N 型薄膜電晶體的臨界值電壓低於每個第一 N 型薄膜電晶體的臨界值電壓。

本發明的半導體裝置包含低電位電源、高電位電源、以及基板上的電壓控制振盪器。該電壓控制振盪器電路包

(6)

含：包含第一 N 型薄膜電晶體和第一 P 型薄膜電晶體的第一電路、包含第二 N 型薄膜電晶體的第二電路、包含第二 P 型薄膜電晶體的第三電路、以及包含第三 N 型薄膜電晶體和第三 P 型薄膜電晶體的第四電路。

在具有前述結構的半導體裝置中，其中第一 N 型薄膜電晶體的源極和汲極之一連接到第一 P 型薄膜電晶體的源極和汲極之一，第一 N 型薄膜電晶體的源極和汲極中另一個連接到第二 N 型薄膜電晶體的源極和汲極之一，第一 P 型薄膜電晶體的源極和汲極中另一個連接到第二 P 型薄膜電晶體的源極和汲極之一，第三 N 型薄膜電晶體的源極和汲極之一連接到第三 P 型薄膜電晶體的源極和汲極之一。

在具有前述結構的半導體裝置中，第二 N 型薄膜電晶體的源極和汲極中另一個以及第三 N 型薄膜電晶體的源極和汲極中另一個連接到低電位電源。第二 P 型薄膜電晶體的源極和汲極中另一個以及第三 P 型薄膜電晶體的源極和汲極中另一個連接到高電位電源。也就是說，第二 N 型薄膜電晶體的源極和汲極中另一個以及第三 N 型薄膜電晶體的源極和汲極中另一個保持在固定的電位（低電位），而第二 P 型薄膜電晶體的源極和汲極中另一個以及第三 P 型薄膜電晶體的源極和汲極中另一個保持在固定電位（高電位）。

在具有前述結構的半導體裝置中，第二 N 型薄膜電晶體控制第一 N 型薄膜電晶體和低電位電源之間的導電

(7)

，第二 P 型薄膜電晶體控制第一 P 型薄膜電晶體和高電位電源之間的導電。第二 P 型薄膜電晶體和第三 P 型薄膜電晶體的臨界值電壓高於第一 P 型薄膜電晶體的臨界值電壓。當將第一訊號輸入到第二 P 型薄膜電晶體的閘極以及第三 P 型薄膜電晶體的閘極時，從第一 N 型薄膜電晶體連接到第一 P 型薄膜電晶體的節點輸出第二訊號。

在具有前述結構的半導體裝置中，第二 P 型薄膜電晶體和第三 P 型薄膜電晶體的通道長度短於第一 P 型薄膜電晶體的通道長度。第二 P 型薄膜電晶體和第三 P 型薄膜電晶體中包含的由半導體層形成的通道形成區內提供 P 型導電性的雜質元素濃度高於第一 P 型薄膜電晶體中包含的由半導體層形成的通道形成區中提供 P 型導電性的雜質元素濃度。第二 P 型薄膜電晶體和第三 P 型薄膜電晶體中包含的由半導體層形成的通道形成區內提供 N 型導電性的雜質元素濃度低於第一 P 型薄膜電晶體中包含的由半導體層形成的通道形成區中提供 N 型導電性的雜質元素濃度。

在具有前述結構的半導體裝置中，第一電路包含多個第一 N 型薄膜電晶體和多個第一 P 型薄膜電晶體，第二電路包含多個第二 N 型薄膜電晶體，第三電路包含多個第二 P 型薄膜電晶體。每個第一 N 型薄膜電晶體的源極和汲極之一連接到每個第一 P 型薄膜電晶體的源極和汲極之一，每個第一 N 型薄膜電晶體的源極和汲極中另一個連接到每個第二 N 型薄膜電晶體的源極和汲極之一，每個第一 P 型薄膜電晶體的源極和汲極中另一個連接到每個

(8)

第二 P 型薄膜電晶體的源極和汲極之一，每個第二 N 型薄膜電晶體的源極和汲極中另一個連接到低電位電源，每個第二 P 型薄膜電晶體的源極和汲極中另一個連接到高電位電源，每個第二 P 型薄膜電晶體的臨界值電壓高於每個第一 P 型薄膜電晶體的臨界值電壓，第三 P 型薄膜電晶體的臨界值電壓高於每個第一 P 型薄膜電晶體的臨界值電壓。

本發明的半導體裝置包含低電位電源、高電位電源、以及基板上的電壓控制振盪器。該電壓控制振盪器電路包含：包含 N 型薄膜電晶體和第一 P 型薄膜電晶體的第一電路，以及包含第二 P 型薄膜電晶體的第二電路。

在具有前述結構的半導體裝置中，第一 P 型薄膜電晶體的源極和汲極之一連接到 N 型薄膜電晶體的源極和汲極之一，第一 P 型薄膜電晶體的源極和汲極中另一個連接到第二 P 型薄膜電晶體的源極和汲極之一。

在具有前述結構的半導體裝置中，第二 P 型薄膜電晶體的源極和汲極中另一個連接到高電位電源，N 型薄膜電晶體的源極和汲極中另一個連接到低電位電源。也就是說，第二 P 型薄膜電晶體的源極和汲極中另一個保持在固定的電位，而 N 型薄膜電晶體的源極和汲極中另一個保持在固定的電位。

在具有前述結構的半導體裝置中，第二 P 型薄膜電晶體控制第一 P 型薄膜電晶體和高電位電源之間的導電。第二 P 型薄膜電晶體的臨界值電壓高於第一 P 型薄膜電晶體

(9)

的臨界值電壓。當將第一訊號輸入到第二 P 型薄膜電晶體的閘極時，從第一 N 型薄膜電晶體連接到第一 P 型薄膜電晶體的節點輸出第二訊號。

在具有前述結構的半導體裝置中，第二 P 型薄膜電晶體的通道長度短於第一 P 型薄膜電晶體的通道長度。第二 P 型薄膜電晶體中包含的由半導體層形成的通道形成區內提供 P 型導電性的雜質元素濃度高於第一 P 型薄膜電晶體中包含的由半導體層形成的通道形成區中提供 P 型導電性的雜質元素濃度。第二 P 型薄膜電晶體中包含的由半導體層形成的通道形成區內提供 N 型導電性的雜質元素濃度低於第一 P 型薄膜電晶體中包含的由半導體層形成的通道形成區中提供 N 型導電性的雜質元素濃度。

在具有前述結構的半導體裝置中，第一電路包含多個 N 型薄膜電晶體和多個第一 P 型薄膜電晶體，第二電路包含多個第二 P 型薄膜電晶體。每個第一 P 型薄膜電晶體的源極和汲極之一連接到每個 N 型薄膜電晶體的源極和汲極之一，每個第一 P 型薄膜電晶體的源極和汲極中另一個連接到每個第二 P 型薄膜電晶體的源極和汲極之一，每個第二 P 型薄膜電晶體的源極和汲極中另一個連接到高電位電源，每個 N 型薄膜電晶體的源極和汲極中另一個連接到低電位電源，每個第二 P 型薄膜電晶體的臨界值電壓高於每個第一 P 型薄膜電晶體的臨界值電壓。

在前述結構中，本發明的半導體裝置中包含的基板由玻璃或塑膠製成。如果基板由玻璃製成，和使用單晶基板

(10)

的情形相比，可以更容易獲得批量生產和成本降低。如果基板由所料製成，由於其重量輕且可以彎曲，故可將其處理成漂亮的款式和彈性的形狀。

在本發明的半導體裝置所包含的基板上提供相位比較器、環路濾波器、和除法器。

在本發明的半導體裝置所包含的基板上提供天線。因此，藉由利用該天線，有可能提供發射、接收、或發射和接收電磁波的半導體裝置。

在本發明的半導體裝置所包含的基板上提供圖素部分。每個圖素部分含有液晶元件或者發光元件。因此，有可能提供具有顯示影像的功能的半導體裝置，該半導體裝置具有高功能，多功能、以及高附加值。

本發明還提供了使用具有任一前述結構的半導體裝置的電子設備。

根據在基板上具有 PLL 電路的本發明，其中該 PLL 電路具有保持輸出訊號的頻率不變且控制輸出訊號的頻率的功能，可以提供具有高功能，多功能、以及高附加值的半導體裝置。藉由利用 PLL 電路的這些功能，例如，可以提高輸入訊號的頻率，且將具有增大頻率的訊號提供給另一個電路時，該電路可以工作於更快的速度。該 PLL 電路還具有這樣的功能，即，即使輸入訊號頻率不正確，也可藉由使輸入訊號與平均頻率同步而輸出具有正確頻率的訊號。當使用該功能時，可以防止電路的工作誤差。

(11)

【實施方式】

[實施例模式]

儘管將藉由實施例模式和實施例並參考附圖說明本發明，應該瞭解到，各種改變和調整對本領域技術人員而言是顯而易見的。因此，除非這些改變和調整脫離本發明的範圍，否則應認為這些改變和調整落在本發明的範圍內。注意，在本發明的如下結構中，用相同的參考數字表示不同圖示中的相同部分。

參考圖1說明本發明的半導體裝置的結構。本發明的半導體裝置包含相位比較器11、環路濾波器12、電壓控制振盪器（也簡稱為VCO）13、以及除法器14。

相位比較器11將外部輸入的訊號 F_s 的相位與從除法器14輸入的訊號 F_o/N 的相位比較。環路濾波器12藉由除去從相位比較器11提供的訊號的交流分量而產生一訊號。電壓控制振盪器13基於從環路濾波器12輸入的訊號 V_{in} 而輸出訊號 F_o 。除法器14輸出訊號 F_o/N ，藉由將從電壓控制振盪器13輸入的訊號 F_o 除以 N 而獲得該訊號。

本發明的半導體裝置包含電壓控制振盪器13。根據應用而適當地提供相位比較器11、環路濾波器12、和除法器14。本發明的半導體裝置可具有其他元件，例如諸如晶體控制振盪器、預定標器、以及吞沒式計數器。

在相同的基板上提供相位比較器11、環路濾波器12、電壓控制振盪器13、以及除法器14。相位比較器11、電壓控制振盪器13、以及除法器14中的每一個均包含薄膜電晶

(12)

體、電容器、及電阻器中的至少一種或多種。環路濾波器 12 包含電阻器和電容器中的至少一種或包含二者。

基板由玻璃或塑膠製成。如果基板由玻璃製成，則和使用單晶基板的情形相比可以更加容易地實現大量生產和成本降低。這是因為，單晶基板為直徑不大於約 30cm 的圓形，比且玻璃基板等昂貴。如果基板由塑膠製成，則由於其厚度薄重量輕且可以彎曲，因此可以處理成好的設計和靈活的形狀。此外，塑膠基板抗衝擊力強，可以粘附或包含在各種產品中，使其可應用於各種領域。需要指出，塑膠為有機聚合物的通稱，其代表物為例如酚醛樹脂、三聚氰胺樹脂、聚乙烯、聚氯乙稀、聚醚醯胺、聚醚砜、丙烯酸樹脂、聚偏二氯乙烯等。

接著，參考圖 2 說明具有前述結構的半導體裝置的等效電路。相位比較器 11 包含單元電路 21。環路濾波器 12 包含電阻器 22 和 23 以及電容器 24 和 25。這裏所示的環路濾波器 12 為滯後超前濾波器 (lag-lead filter)；然而，本發明不限於這種結構，還可以使用例如諸如滯後濾波器的其他元件。除法器 14 包含三個單元電路 26，其為除以 8 的電路。注意，除法器 14 中包含的單元電路 26 的數目沒有具體限制。

滯後超前濾波器是由兩個電阻器和一個電容器組成的濾波器。滯後濾波器是由一個電阻器和一個電容器組成的濾波器。

電壓控制振盪器 13 包含電路 120 (也稱為第一電路)

(13)

、電路 121（也稱為第二電路）、電路 122（也稱為第三電路）、以及電路 123（也稱為第四電路），其中電路 120 包含相互串聯連接的多對第一 N 型薄膜電晶體和第一 P 型薄膜電晶體，電路 121 包含和第一 N 型薄膜電晶體串聯連接的多個第二 N 型薄膜電晶體，電路 122 包含和第一 P 型薄膜電晶體串聯連接的多個第二 P 型薄膜電晶體，電路 123 包含相互串聯連接的第三 N 型薄膜電晶體和第三 P 型薄膜電晶體。

在所示結構中，電路 120 包含相互串聯連接的第一 N 型薄膜電晶體 141 和第一 P 型薄膜電晶體 131、相互串聯連接的第一 N 型薄膜電晶體 142 和第一 P 型薄膜電晶體 132、相互串聯連接的第一 N 型薄膜電晶體 143 和第一 P 型薄膜電晶體 133、以及相互串聯連接的第一 N 型薄膜電晶體 145 和第一 P 型薄膜電晶體 135。

電路 121 包含多個第二 N 型薄膜電晶體 112 至 116，電路 122 包含多個第二 P 型薄膜電晶體 102 至 106。多個第二 N 型薄膜電晶體 112 至 116 分別控制第一 N 型薄膜電晶體 141 至 145 和低電位電源（VSS）之間的傳導。多個第二 P 型薄膜電晶體 102 至 106 分別控制第一 P 型薄膜電晶體 131 至 135 和高電位電源（VDD）之間的傳導。

電路 123 包含第三 P 型薄膜電晶體 101 和第三 N 型薄膜電晶體 111。電路 123 控制環路濾波器 12 和電路 121 及 122 之間的傳導。

如果假設一個級為串聯連接的四個電晶體：第二 P 型

(14)

薄膜電晶體 102、第一 P 型薄膜電晶體 131、第一 N 型薄膜電晶體 141、以及第二 N 型薄膜電晶體 112，則前述結構顯示五個級的情形。然而，本發明不限於這種結構。電壓控制振盪器 13 可以是具有三個或更多的奇數個級的結構。

第三 P 型薄膜電晶體 101 的閘極連接到其源極和汲極之一，第三 P 型薄膜電晶體 101 的源極和汲極中的另一個連接到高電位電源 (VDD)。第三 N 型薄膜電晶體 111 的閘極連接到環路濾波器 12，其源極和汲極之一連接到低電位電源 (VSS)。

在前述結構中，第二 N 型薄膜電晶體 112 至 116 中每個和第三 N 型薄膜電晶體 111 的臨界值電壓低於第一 N 型薄膜電晶體 141 至 145 中每一個以及其他電路中 N 型薄膜電晶體的臨界值電壓。其他電路中的 N 型薄膜電晶體是相位比較器 11 和除法器 14 中包含的 N 型薄膜電晶體。

爲了使第二 N 型薄膜電晶體 112 至 116 中的每一個以及第三 N 型薄膜電晶體 111 的臨界值電壓因此低於第一 N 型薄膜電晶體 141 至 145 中每一個以及其他電路中 N 型薄膜電晶體的臨界值電壓，對每個電晶體的通道長度進行恰當地設計。具體地，第二 N 型薄膜電晶體 112 至 116 中每一個和第三 N 型薄膜電晶體 111 的通道長度設計成短於第一 N 型薄膜電晶體 141 至 145 中每一個以及其他電路中 N 型薄膜電晶體的通道長度。

替代的，將第二 N 型薄膜電晶體 112 至 116 中每一個

(15)

和第三 N 型薄膜電晶體 111 中包含的半導體層的通道形成區內產生 N 型導電性的雜質元素的濃度設置成高於第一 N 型薄膜電晶體 141 至 145 中每一個和其他電路中 N 型薄膜電晶體中包含的通道形成區內的產生 N 型導電性的雜質元素的濃度。注意，產生 N 型導電性的雜質元素具體地對應於磷 (P) 或砷 (As)。

或者，將第二 N 型薄膜電晶體 112 至 116 中每一個和第三 N 型薄膜電晶體 111 中包含的半導體層的通道形成區內產生 P 型導電性的雜質元素的濃度設置成低於第一 N 型薄膜電晶體 141 至 145 中每一個和其他電路中 N 型薄膜電晶體中包含的通道形成區內的產生 P 型導電性的雜質元素的濃度。注意，產生 P 型導電性的雜質元素對應於硼 (B)。

根據具有前述結構的本發明，可以改善電壓控制振盪器 13 的性能。具體地，當將訊號 V_{in} 輸入第二 N 型薄膜電晶體 112 至 116 和第三 N 型薄膜電晶體 111 時，前述電壓控制振盪器 13 從第一 N 型薄膜電晶體 145 的源極和汲極之一以及第一 P 型薄膜電晶體 135 的源極和汲極之一輸出訊號 F_o 。此外，根據本發明，可以增大有效訊號 V_{in} 的範圍。下面參考圖 6A 和 6B 說明該效應，其中圖 6A 和 6B 分別顯示輸入到電壓控制振盪器 13 的訊號 V_{in} 和從電壓控制振盪器 13 輸出的訊號 F_o 之間的關係的曲線圖。

輸入到電壓控制振盪器 13 的訊號 V_{in} 從 0 變化到 V_{DD} (這裏 V_{DD} 為高電位電源的電位)。輸入到電壓控制振

(16)

盪器 13 的訊號 V_{in} 被輸入到第二 N 型薄膜電晶體 112 至 116 中每一個和第三 N 型薄膜電晶體 111 的閘極電極。因此，如果訊號 V_{in} 的電壓低於第二 N 型薄膜電晶體 112 至 116 中每一個和第三 N 型薄膜電晶體 111 的臨界值電壓 (V_{TH1})，在某些情況下則不輸出輸出訊號 (見圖 6B)。此外，在示出訊號 V_{in} 和訊號 F_o 之間關係的圖中，特徵曲線的一部分變得陡峭。當該特徵曲線的一部分變陡時，輸出訊號的頻率容易發生變化，這會阻礙正常的操作。

這種缺陷是由如下事實所致，即，電壓控制振盪器 13 由多個薄膜電晶體組成，而且它是用於處理類比訊號的電路。也就是說，儘管薄膜電晶體的特性 (臨界值電壓，遷移率等) 會改變，相位比較器 11 和除法器 14 不容易受薄膜電晶體特性變化的影響，因為它們受數位訊號控制。同時，電壓控制振盪器 13 由類比訊號控制，因此其容易受薄膜電晶體特性變化的影響。

因此，根據具有前述結構的本發明，第二 N 型薄膜電晶體 112 至 116 中每一個和第三 N 型薄膜電晶體 111 的臨界值電壓設成低於其他電晶體中每一個的臨界值電壓。換而言之，根據具有前述結構的本發明，第二 N 型薄膜電晶體 112 至 116 中每一個和第三 N 型薄膜電晶體 111 的臨界值電壓 (V_{TH2}) 低於訊號 V_{in} 的電壓，使得有效訊號 V_{in} 的範圍增大 (見圖 6A)。此外，特徵曲線不陡峭，輸出訊號的頻率不容易改變。因此可以產生電壓控制振盪器 13 的性能得到改善的有利效應。

(17)

參考圖 3 說明具有和前述結構不相同的結構的電壓控制振盪器 13。電壓控制振盪器 13 包含電路 120 (也稱為第一電路) 和電路 121 (也稱為第二電路)。和圖 2 所示結構不相同，並不提供第二 P 型薄膜電晶體 102 至 106，第三 P 型薄膜電晶體 101，以及第三 N 型薄膜電晶體 111。由於該結構所使用元件的數目更少，元件所佔據的面積的減小會導致尺寸和重量的減小，元件數目的減小會導致良品率的增大。

參考圖 4 說明具有和前述結構不相同的結構的電壓控制振盪器 13。電壓控制振盪器 13 包含電路 120 (也稱為第一電路)、電路 121 (也稱為第二電路)、和電路 123 (也稱為第三電路)。和圖 2 所示結構不相同，從環路濾波器 12 提供的訊號被輸入到第二 P 型薄膜電晶體 102 至 106 和第三 P 型薄膜電晶體 101，第三 N 型薄膜電晶體 111 的閘極電極和汲極電極相互連接。

參考圖 5 說明具有和前述結構不相同的結構的電壓控制振盪器 13。電壓控制振盪器 13 包含電路 120 (也稱為第一電路) 和電路 122 (也稱為第二電路)。和圖 4 所示結構不相同，並不提供第二 N 型薄膜電晶體 112 至 116，第三 N 型薄膜電晶體 111，以及第三 P 型薄膜電晶體 101。由於該結構所使用元件的數目更少，元件所佔據的面積的減小會導致尺寸和重量的減小，元件數目的減小會導致良品率的增大。

在圖 4 和圖 5 所示的前述結構中，第二 P 型薄膜電晶體

(18)

102至106中每一個和第三 P 型薄膜電晶體 101的臨界值電壓高於第一 P 型薄膜電晶體 131至135中每一個和其他電路中 P 型薄膜電晶體的臨界值電壓。其他電路中的 P 型薄膜電晶體指相位比較器 11和除法器 14中包含的 P 型薄膜電晶體。

為了使第二 P 型薄膜電晶體 102至106中每一個以及第三 P 型薄膜電晶體 101的臨界值電壓因此高於第一 P 型薄膜電晶體 131至135中每一個以及其他電路中 P 型薄膜電晶體的臨界值電壓，對每個電晶體的通道長度進行恰當地設計。具體地，第二 P 型薄膜電晶體 102至106中每一個和第三 P 型薄膜電晶體 101的通道長度設計成短於第一 P 型薄膜電晶體 131至135中每一個以及其他電路中 P 型薄膜電晶體的通道長度。

替代的，將第二 P 型薄膜電晶體 102至106中每一個和第三 P 型薄膜電晶體 101中包含的半導體層的通道形成區內雜質元素的濃度設置成高於第一 P 型薄膜電晶體 131至135中每一個和其他電路中 P 型薄膜電晶體中包含的通道形成區內雜質元素的濃度。注意，該雜質元素為產生 P 型導電性的元素，其具體地對應於硼（B）。

或者，將第二 P 型薄膜電晶體 102至106中每一個和第三 P 型薄膜電晶體 101中包含的半導體層的通道形成區域內雜質元素的濃度設置成低於第一 P 型薄膜電晶體 131至135中每一個和其他電路中 P 型薄膜電晶體中包含的通道形成區內雜質元素的濃度。注意，該雜質元素為產生 N

(19)

型導電的元素，其具體地對應於磷或砷。

電壓控制振盪器 13 中包含的電晶體連接到高電位電源 (VDD) 和低電位電源 (VSS)。該高電位電源和低電位電源可形成於和電壓控制振盪器 13 相同的基板上，或者可以形成於不同的基板上。

在本說明書中，當一個 N 型薄膜電晶體具有比另一個 N 型薄膜電晶體小的臨界值電壓時，其意思為該 N 型薄膜電晶體的臨界值電壓的絕對值小於另一個 N 型薄膜電晶體的臨界值電壓的絕對值。而且，當一個 P 型薄膜電晶體具有比另一個 P 型薄膜電晶體大的臨界值電壓時，其意思為該 P 型薄膜電晶體的臨界值電壓的絕對值小於另一個 P 型薄膜電晶體的臨界值電壓的絕對值。

[實施例 1]

下面參考圖 7 說明相位比較器 11 中所包含的單元電路 21 的結構。單元電路 21 包含 NOR 電路 221 和電晶體 222 至 227。單元電路 21 還包含兩個輸入端（在該圖中用 1 和 2 表示）和一個輸出端（在該圖中用 3 表示）。

當向輸入端 1 和輸入端 2 分別輸入相同的訊號時，單元電路 21 從輸出端 3 輸出 H 電位訊號。同時，當向輸入端 1 和輸入端 2 輸入不同訊號時，單元電路 21 從輸出端 3 輸出 L 電位訊號。

也就是說，單元電路 21 對輸入到輸入端 1 的訊號的相位和輸入到輸入端 2 的訊號的相位進行比較，並基於比較的結果從輸出端 3 輸出訊號。注意，單元電路 21 的結構不

(20)

限於此，還可以採用其他已知結構。

參考圖 8 說明除法器 14 中包含的單元電路 26 的結構。單元電路 26 包含反相器電路 200、NAND 電路 201 至 207、和反相器電路 208 及 209。單元電路 26 還包含四個輸入端（在該圖中用 1、2、3、4 表示）和兩個輸出端（在該圖中用 5、6 表示）。

單元電路 26 包含三個鎖存器：由 NAND 電路 202 和 203 組成的鎖存器、由 NAND 電路 204 和 205 組成的鎖存器、以及由 NAND 電路 206 和 207 組成的鎖存器。當從輸入端 1 輸入設置訊號，從輸入端 2 輸入資料訊號，從輸入端 3 輸入時鐘訊號，且從輸入端 4 輸入重置訊號時，則從輸出端 5 輸出一資料訊號且從輸出端 6 輸出一資料訊號。儘管前述結構顯示設置/重置類型的 D 觸發電路，本發明不限於此且還可以使用 JK 觸發電路或 T 觸發電路。

觸發器（也稱為前述的觸發電路）包含 RS 觸發器、D 觸發器、JK 觸發器、T 觸發器等。RS 觸發器包含為輸入端的 R 端子和 S 端子，以及為輸出端的 Q 端子。D 觸發器包含為輸入端的 D 端子和為輸出端的 Q 端子。JK 觸發器包含為輸入端的 J 端子和 K 端子，以及為輸出端的 Q 端子。T 觸發器包含為輸入端的 T 端子和為輸出端的 Q 端子。

[實施例 2]

參考附圖說明本發明的半導體裝置的製造方法。下面

(21)

說明的是包含記憶體元件、天線、以及組成電源控制振盪器的薄膜電晶體的半導體裝置的結構。

在基板 701 (也稱為基板) 的表面上形成分離層 702 (見圖 9A)。基板 701 具有絕緣表面並由玻璃或塑膠製成。如果基板 701 由玻璃製成，其面積和形狀沒有特別的限制。因此，例如當使用一邊長為一米或更長的矩形基板作為基板 701 時，可以顯著地改善生產率。和使用圓形單晶矽基板的情形相比，這是主要優勢。如果基板 701 由塑膠製成，由於其厚度薄、重量輕且可以彎曲，因此可以處理成良好的設計和靈活的形狀。當基板 701 由塑膠製成時，需要使用能承受製造步驟中處理溫度的耐熱塑膠。如下文所述，較佳地在由玻璃製成的基板 701 上形成薄膜電晶體，分離該薄膜電晶體，並在塑膠基板上提供該分離的薄膜電晶體。

儘管在前述步驟中分離層 702 形成於基板 701 的整個表面上，如果需要，可使用光微影方法圖形化形成於基板 701 整個表面上的分離層 702 從而選擇性地提供該分離層。此外，儘管分離層 702 製成與基板 701 接觸形成，但如果需要，可形成一絕緣層作為和基板 701 接觸的基板，且分離層 702 可製成與該絕緣層接觸。

為了獲得該分離層 702，採用已知方法（濺射，電漿 CVD 等）並使用從鎢（W）、鉬（Mo）、鈦（Ti）、鉭（Ta）、鈮（Nb）、鎳（Ni）、鈷（Co）、鋯（Zr）、鋅（Zn）、鈦（Ru）、銠（Rh）、鈀（Pd）、銱（Os）

(22)

、銱 (Ir)、和矽 (Si) 中選擇的元素或主要包含這些元素的合金材料或化合物材料形成單層或疊層。包含矽的層可以為非晶結構、微晶結構、和多晶結構中的任意一種。

製造絕緣層 703，作為覆蓋分離層 702 的基板。為了獲得絕緣層 703，採用已知方法（濺射、電漿 CVD 等）並使用矽的氧化物或矽的氮化物形成單層或疊層。矽的氧化物材料為含有矽 (Si) 和氧 (O) 的物質，其對應於氧化矽、氧氮化矽、氮氧化矽等。矽的氮化物材料為含有矽和氮 (N) 的物質，其對應於氮化矽、氧氮化矽、氮氧化矽等。作為基板的絕緣層 703 起著阻擋雜質從基板 701 進入的阻擋薄膜的作用。

在絕緣層 703 上形成非晶半導體層 704。由已知方法（濺射、LPCVD、電漿 CVD 等）形成非晶半導體層 704。隨後，使用已知的結晶方法（雷射結晶、使用 RTA 或退火爐的熱結晶、使用加速結晶的金屬元素的熱結晶、和使用加速結晶的金屬元素的熱結晶相結合的雷射結晶等）使非晶半導體層 704 結晶。所獲得的結晶半導體層被圖形化成預期形狀，由此形成結晶半導體層 706 至 710（見圖 9B）。

下面說明結晶半導體層 706 至 710 的製造步驟的示例。首先使用電漿 CVD 形成非晶半導體層。將包含鎳（其為加速結晶的金屬元素）的溶液保留在該非晶半導體層表面上之後，對該非晶半導體層進行脫氫處理（500°C，1 小時）和熱結晶（550°C，4 小時），由此形成結晶半導體層。接著，根據需要使用雷射輻照該結晶半導體層，並用光微

(23)

影進行圖形化以形成結晶半導體層706至710。如果使用雷射晶化形成結晶半導體層706至710，可以使用連續波氣體或固態雷射器或者脈衝氣體或固態雷射器。

當使用加速結晶的金屬元素使該非晶半導體層晶化時，可在低溫下短時間內執行該晶化且晶體沿相同方向排列。另一方面，由於金屬元素殘留在該結晶半導體層內，截止電流會增大，引起特性變化。因此，較佳地將當成吸氣位的非晶半導體層形成於該結晶半導體層上。作為吸氣位的該非晶半導體層需要含有諸如磷和氫的雜質元素，因此較佳的使用濺射方法形成該非晶半導體層從而包含高濃度的氫。隨後，藉由熱處理（例如使用RTA或退火爐的熱退火）將金屬元素擴散到該非晶半導體層內，且除去包含金屬元素的該非晶半導體層。其結果為，可以減少或除去該結晶半導體層中的金屬元素。

隨後，形成閘極絕緣層705以覆蓋結晶半導體層706至710。為了獲得閘極絕緣層705，使用含有矽的氧化物或矽的氮化物的層採用已知方法（電漿CVD、濺射等）製備單層或疊層。特別地，使用含有氧化矽的層、含有氧氮化矽的層、或者含有氮氧化矽的層製備單層或疊層。

第一導電層和第二導電層堆疊在閘極絕緣層705上。使用已知方法（電漿CVD、濺射等）製備該第一導電層，其厚度為20至100nm。使用已知方法製備該第二導電層，其厚度為100至400nm。

由從鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁

(24)

(Al)、銅(Cu)、鉻(Cr)、和鈮(Nb)中選擇的元素，或主要包含這些元素的合金材料或化合物材料製備該第一導電層和第二導電層。替代的，第一導電層和第二導電層由半導體材料製成，該半導體材料的典型例子為摻雜諸如磷的雜質元素的多晶矽。

該第一導電層和第二導電層可由例如氮化鈮(TaN，鈮(Ta)和氮(N)之間的組分比沒有限制)層和鎢(W)層、氮化鎢(WN，鎢(W)和氮(N)之間的組分比沒有限制)層和鎢(W)層、氮化鉬(MoN，鉬(Mo)和氮(N)之間的組分比沒有限制)層和鉬(Mo)層等製成。如果第一導電層和第二導電層由具有高的熱阻的氮化鎢或氮化鈮製成，則它們可承受熱活化的熱處理。如果採用三層結構而非兩層結構，可以堆疊鉬層、鋁層和鉬層。

使用光微影方法形成抗蝕劑掩模，並藉由用於形成閘極電極和閘極接線的蝕刻來形成當成閘極電極的導電層(也稱為閘極電極層) 716至725。

使用光微影方法形成抗蝕劑掩模，並藉由離子摻雜或離子注入將提供N型導電性的低濃度雜質元素添加到結晶半導體層706和708至710中，由此形成N型雜質區711和713至715和通道形成區780和782至784。提供N型導電性的雜質元素可以為屬於元素周期表的15族元素，例如可以使用磷(P)或砷(As)。

使用光微影方法形成抗蝕劑掩模，並將提供P型導電性的雜質元素添加到結晶半導體層707，由此形成P型雜

(25)

質區 712 和通道形成區 781。例如可以使用硼 (B) 作為提供 P 型導電性的雜質元素。

形成一絕緣層以覆蓋閘極絕緣層 705 和導電層 716 至 725。為了獲得該絕緣層，可使用含有諸如矽，矽的氧化物和矽的氮化物的無機材料的層，或者含有諸如有機樹脂的有機材料的層，採用已知方法（電漿 CVD、濺射等）製備單層或疊層。接著，藉由主要沿和基板表面垂直的方向的各向異性蝕刻選擇性地蝕刻該絕緣層，從而形成和導電層 716 至 725 的側面接觸的絕緣層（也稱為側壁）739 至 743（見圖 9C）。在形成絕緣層 739 至 743 時，藉由蝕刻絕緣層 795 而形成絕緣層 734 至 738。在隨後摻雜步驟中，使用絕緣層 739 至 743 作為用於形成 LDD（輕摻雜汲極）區的掩模。

使用由光微影方法形成的抗蝕劑掩模和絕緣層 739 至 743 為掩模，將提供 N 型導電的雜質元素添加到結晶半導體層 706 和 708 至 710，由此形成第一 N 型雜質區（也稱為 LDD 區）727、729、731、和 733，以及第二 N 型雜質區 726、728、730、和 732。第一 N 型雜質區 727、729、731、和 733 中包含的雜質元素的濃度低於第二 N 型雜質區 726、728、730、和 732 中的雜質元素的濃度。藉由前述步驟，完成 N 型薄膜電晶體 744 和 746 至 748 和 P 型薄膜電晶體 745 的製造。

可使用下述兩種方法中的一種形成 LDD 區：蝕刻或各向異性地蝕刻具有兩層或更多層堆疊結構的閘極電極且

(26)

使用該閘極電極的下層導電層作為掩模；或者使用側壁絕緣層作為掩模。當採用以側壁絕緣層為掩模的後一種方法時，可以容易地控制 LDD 區的寬度且確定地形成該 LDD 區。

隨後，由單層或疊層形成一絕緣層，從而覆蓋薄膜電晶體 744 至 748（見圖 10A）。為了獲得覆蓋薄膜電晶體 744 至 748 的絕緣層，使用諸如矽的氧化物和矽的氮化物的無機材料，諸如聚醯亞胺、聚醯胺、苯並環丁烯、丙烯、環氧樹脂、和矽氧烷的有機材料等，並採用已知方法（SOG，小滴釋放等）製備單層或疊層。矽氧烷對應於包含 Si-O-Si 鍵的樹脂。矽氧烷包含由矽（Si）和氧（O）鍵形成的骨架結構，其中可以使用至少包含氫的有機基團（例如烷基和芳（族）烴）作為取代基。或者，可以使用含氟基團作為取代基。另外可選擇地，可使用含氟基團和至少包含氫的有機基團作為取代基。

如果覆蓋薄膜電晶體 744 至 748 的該絕緣層為例如三層結構，可用含有氧化矽的層製成第一絕緣層 749，用含有樹脂的層製成第二層絕緣層 750，並用含有氮化矽的層製成第三層絕緣層 751。

在形成絕緣層 749 至 751 之前或在形成絕緣層 749 至 751 中的一個或多個之後，可進行熱處理，以恢復該半導體層的結晶度，活化添加到該半導體層中的雜質元素，並氫化該半導體層。該熱處理可採用熱退火方法、雷射退火、RTA 方法等。

(27)

接著，使用光微影方法蝕刻絕緣層 749 至 751，由此形成暴露第二 N 型雜質區 726、728、730、和 732 以及 P 型雜質區 785 的開口。隨後，形成導電層以填充所述開口，並圖形化這些導電層以形成當成源極接線或汲極接線的導電層 752 至 761。

爲了獲得導電層 752 至 761，使用已知方法（電漿 CVD、濺射等），並採用由從鈦（Ti）、鋁（Al）和釷（Nd）中選擇的元素，或者含有上述元素作爲主要成分的合金材料或化合物材料製備單層或疊層。主要包含鋁的合金材料對應於，例如，主要包含鋁並包含鎳的材料，或者主要包含鋁並包含鎳以及碳和矽兩者之一或二者的合金材料。導電層 752 至 761 可採用例如阻擋層、鋁矽（Al-Si）層、和阻擋層的疊層結構；或者採用阻擋層、鋁矽（Al-Si）薄膜、氮化鈦（TiN，鈦（Ti）和氮（N）的組分比沒有限制）層、和阻擋層的疊層。在此，鋁矽含有約 0.1 至 5 wt% 的矽。此外，阻擋層對應於由鈦、鈦的氮化物、鉬、或鉬的氮化物形成的薄膜。鋁和鋁矽電阻值低且不昂貴，因此是形成導電層 752 至 761 的合適材料。如果提供阻擋層作爲底層和頂層，可以防止產生鋁或鋁矽的小丘。此外，如果使用具有強還原能力的鈦形成阻擋層，可以還原可能形成在該結晶半導體層上的薄的天然氧化物層，且可以妥當地連接該阻擋層和該結晶半導體層。

接著，形成絕緣層 762 以覆蓋導電層 752 至 761（見圖 10B）。爲了獲得絕緣層 762，藉由已知方法（SOG、小滴

(28)

釋放方法等) 使用無機材料或有機材料形成單層或疊層。較佳的將絕緣層 762 製成厚度為 0.75 至 3 μm 。

使用光微影方法蝕刻絕緣層 762，由此形成暴露導電層 757、759、及 761 的開口。隨後，形成導電層以填充該開口。使用導電材料藉由已知方法 (電漿 CVD、濺射等) 形成該導電薄膜。隨後圖形化該導電層以形成導電層 763 至 765。

導電層 763 至 765 中的每一個對應於記憶體元件內包含的一對導電層中的一個。因此，較佳的將導電層 763 至 765 中的每一個形成為使用鈦、或含有鈦作為主要成分的合金材料或化合物材料的單層或多層。由於鈦的電阻值低，可減小該記憶體元件的尺寸，實現高度整合。此外，在形成導電層 763 至 765 的光微影步驟中，較佳的執行濕蝕刻以防止損傷底層上的薄膜電晶體 744 至 748，並使用氟化氫或過氧化氫混合物作為抗蝕劑。

形成絕緣層 766 以覆蓋導電層 763 至 765。為了獲得絕緣層 766，藉由已知方法 (SOG、小滴釋放方法等) 使用無機材料或有機材料製備單層或疊層。較佳的將絕緣層 766 製成厚度為 0.75 至 3 μm 。隨後使用光微影方法蝕刻絕緣層 766，由此形成暴露導電層 763 至 765 的開口 767 至 769。

形成當成天線並接觸導電層 765 的導電層 786 (見圖 11A)。使用導電材料藉由已知方法 (電漿 CVD、濺射、印刷、或小滴釋放方法等) 形成導電層 786。較佳地使用由從鋁 (Al)、鈦 (Ti)、銀 (Ag)、和銅 (Cu) 中選

(29)

擇的元素、或者含有這些元素作為主要成分的合金材料或者化合物材料的單層或疊層形成導電層 786。

具體地，使用含有銀的膠執行絲網印刷，並隨後在 50 至 350°C 的溫度下進行熱處理以形成導電層 786。或者，使用濺射形成鋁層並隨後對其圖形化，而形成導電層 786。較佳地藉由濕蝕刻並隨後在 200 至 300°C 的溫度下進行熱處理而圖形化該鋁層。

接著，形成接觸導電層 763 和 764 的含有機化合物的層 787（圖 11B）。藉由已知方法（小滴釋放、氣相沈積等）形成包含有機化合物的層 787。隨後，形成和包含有機化合物的層 787 接觸的導電層 771。藉由已知方法（濺射、氣相沈積等）形成該導電層 771。

藉由上述步驟，完成了由導電層 763、包含有機化合物的層 787、及導電層 771 堆疊成的記憶體元件 789 以及由導電層 764、包含有機化合物的層 787、及導電層 771 堆疊成的記憶體元件 790。

在上述製造步驟中，由於包含有機化合物的層 787 的熱阻不高，故在形成當成天線的導電層 786 的步驟之後，執行包含有機化合物的層 787 的形成步驟。

隨後，藉由已知方法（SOG、小滴釋放方法等）形成當成保護層的絕緣層 772，從而覆蓋記憶體元件 789 和 790 以及當成天線的導電層 786。絕緣層 772 由諸如 DLC（類金剛石碳）的含有碳的層、含有氮化矽的層、含有氮氧化矽的層、或有機材料製成，較佳的由環氧樹脂製成。

(30)

使用光微影方法蝕刻絕緣層 703、749、750、751、762、和 766 以暴露分離層 702，由此形成開口 773 和 774（見圖 12A）。

隨後，將蝕刻劑注入開口 773 和 774 以除去分離層 702（見圖 12B）。該蝕刻劑可以使用含有鹵素氟化物或鹵間化合物的氣體或液體。例如使用三氟化氯（ ClF_3 ）、三氟化氮（ NF_3 ）、三氟化溴（ BrF_3 ）、或氟化氫（ HF ）作為該蝕刻劑。注意，如果使用氟化氫作為蝕刻劑，則該分離層 702 由氧化矽製成。

藉由前述步驟，從基板 701 上剝離薄膜積體電路 791。薄膜積體電路 791 指薄膜電晶體 744 至 748、記憶體元件 789 和 790 的元件組、以及當成天線的導電層 786。換言之，如前所述地從基板上剝離的多個元件在某些情況下被稱為薄膜積體電路。

較佳的重復使用和薄膜積體電路 791 分離的基板 701 以降低成本。形成絕緣層 772 以防止薄膜積體電路 791 在除去分離層 702 之後散落。由於薄膜積體電路 791 小、薄、且輕，其容易散落，因為在除去分離層 702 之後其未牢固地粘附到基板 701。然而，藉由在薄膜積體電路 791 上形成絕緣層 772，薄膜積體電路 791 重量增大並因此可防止薄膜積體電路 791 從基板 701 散落。薄膜積體電路 791 自身既薄又輕，然而藉由形成絕緣層 772，薄膜積體電路 791 不會發生捲繞，並具有一定程度的強度。

隨後，薄膜積體電路 791 的一個表面粘附到第一基板

(31)

776且完全與基板701分離（見圖13）。接著，薄膜積體電路791的另一個表面粘附到第二基板775，藉由執行熱處理和壓力處理之一或兩者用第一基板776和第二基板775密封薄膜積體電路791。

第一基板776和第二基板775中的每一個對應於由聚丙烯、聚酯、乙烯樹脂、聚氟乙烯、聚氯乙烯、氯乙烯等製成的薄膜，由纖維材料製成的紙，由基膜（聚酯、聚醯胺、無機氣相沈積薄膜、紙等）和粘性合成樹脂薄膜（丙烯酸基合成樹脂、環氧基合成樹脂等）構成的疊層膜等。藉由熱處理和壓力處理而將該薄膜粘附到一物件。在執行該熱處理和壓力處理時，藉由施加壓力而粘附設於該薄膜的最外表面上的粘附層或設在該薄膜的最外表面上並藉由熱處理熔化的層（非粘附層）。

可在第一基板776或第二基板775的表面上提供或者不提供粘性層。各粘附層對應於含有諸如熱固化樹脂、紫外固化樹脂、乙酸乙烯樹脂基粘合劑、乙烯共聚物樹脂基粘合劑、環氧樹脂基粘合劑、聚氨酯樹脂基粘合劑、橡膠基粘合劑、和丙烯酸樹脂基粘合劑的粘合劑的層。

在前述結構中，記憶體元件789和790都是這樣的元件，即其中在一對導電層之間提供了包含有機化合物的層。當其這對導電層短路時，資料寫入到記憶體元件789和790。同時，藉由讀取其電阻值之差而從記憶體元件789和790讀出資料。該記憶體元件789和790的特徵在於其為非揮發性的，其資料不能被重寫，且如果尚未寫入資料則可以向

(32)

其寫入資料。此外，可以容易地製造記憶體元件 789 和 790，因為其均具有三層堆疊結構。此外，藉由減小堆疊部分的面積，該三層堆疊結構可容易地實現高的整合度。

[實施例 3]

參考圖 14A 和 14B 及圖 15 說明本發明的半導體裝置的製造方法。

在基板 701 上提供薄膜電晶體 744 至 748、記憶體元件 789 和 790、和當成天線的導電層 786（見圖 14A）。這些元件的製造步驟和圖 9A 至 11B 中所示步驟相同，不同之處為另外提供了電連接到薄膜電晶體 744 的源極或汲極的導電層 801 和 802，電連接到薄膜電晶體 745 的源極或汲極的導電層 803 和 804。因此省略了對其的說明。

形成絕緣層 805 以覆蓋該多個元件。接著，選擇性地除去絕緣層 805 以暴露部分導電層 802 和 804。使用光微影方法蝕刻絕緣層 703、749、750、751、762、766、和 805 以暴露分離層 702，由此形成開口 773 和 774（見圖 14B）。隨後將蝕刻劑注入開口 773 和 774 以除去分離層 702。

使用各向異性導電膠 806，將薄膜積體電路 791 粘附到其上形成了導電層 807 和 808 的基板 809。隨後，將薄膜積體電路 791 與基板 701（見圖 15）分離。

注意，當薄膜積體電路 791 粘附到基板 809 時，導電層 802 電連接到導電層 807，且導電層 804 電連接到導電層 808。基板 809 包含例如用於顯示影像的圖素部分或其他運算

(33)

電路，導電層 807 和 808 電連接到該圖素部分和該其他運算電路。

[實施例 4]

參考圖 16A、16B、17A、和 17B 說明本發明的半導體裝置的製造方法。

在基板 701 上提供薄膜電晶體 744 至 748、記憶體元件 789 和 790、和當成天線的導電層 786。這些元件的製造步驟和圖 9A 至 11B 中所示步驟相同，其不同之處為額外地提供了導電層 821 和 822，因此省略了對其的說明（見圖 16A）。導電層 821 連接到薄膜電晶體 744 的源極或汲極，且其接觸基板 701。導電層 822 連接到薄膜電晶體 745 的源極或汲極，且其接觸基板 701。

使用光微影方法蝕刻絕緣層 703、749、750、751、762、766、和 772 以暴露分離層 702，由此形成開口 773 和 774（見圖 16B）。隨後將蝕刻劑注入開口 773 和 774 以除去分離層 702。

基板 825 粘附到薄膜積體電路 791 的一個表面，將薄膜積體電路 791 與基板 701 分離（見圖 17A）。隨後，使用各向異性導電膠 806 將薄膜積體電路 791 的另一面粘附到包含導電層 807 和 808 的基板 809（見圖 17B）。基板 809 包含例如用於顯示影像的圖素部分或其他運算電路，導電層 807 和 808 電連接到該圖素部分和該其他運算電路。

(34)

[實施例 5]

參考圖 18A 至 18D 和圖 19A 及 19B 說明分別為本發明的半導體裝置的一個模式的 IC 卡和面板。

首先說明 IC 卡（見圖 18A）。在該 IC 卡中，薄膜積體電路 611 粘附到基板 610，其中在該基板上提供了當成天線的導電層 612。基板 610 上的導電層 612 和連接到組成薄膜積體電路 611 的薄膜電晶體 614 的導電層 615 藉由各向異性導電膠 616 而相互電連接（見圖 18C 和 18D）。基板 610 較佳地由塑膠製成。據此，基板 610 由於其厚度薄重量輕且可以彎曲，因此可以處理成漂亮的款式和靈活的形狀（見圖 18B）。此外，可以提供抗衝擊力強的 IC 卡。

薄膜積體電路 611 可包含下述電路中的一個或多個：運算電路、儲存電路、電源電路、解調電路、調制電路、以及前述實施例模式中說明的 PLL 電路。

該 IC 卡藉由當成天線的導電層 612 從讀寫器接收或向讀寫器發射電磁波。下面簡要地說明發射或接收電磁波的這個操作。

當讀寫器發射電磁波時，電磁波在當成天線的導電層 612 內被轉換成交流電訊號。電源電路使用該交流電訊號產生電源電壓，並將該電源電壓提供給各個電路。解調電路解調交流電訊號，並將解調的訊號提供給運算電路。運算電路基於輸入訊號執行各種運算，並向儲存電路等輸出控制訊號。調制電路基於從運算電路提供的訊號而調制當成天線的導電層 612 上的負載。讀寫器以電磁波的形式接

(35)

收天線上的調制負載。按照這個方式，IC卡從讀寫器接收電磁波，並基於所接收的電磁波而產生電源電壓。

接著說明一種面板（見圖19A和19B）。在該面板中，本發明的薄膜積體電路624和625被粘附到基板620上，其中在該基板上提供了具有顯示影像功能的圖素部分623。此外，薄膜積體電路628和629被粘附到連接薄膜626和627。

使用密封構件630將基板620粘附到基板621。圖素部分623電連接到薄膜積體電路624。具體地，使用各向異性導電膠640將連接到圖素部分623的導電層631和連接到薄膜積體電路624中所包含的薄膜電晶體655的導電層656相互電連接。

此外，基板620上的各種電路電連接到連接薄膜626的導電層635。具體地，使用各向異性導電膠657將基板620上的導電層634和連接薄膜626上的導電層635相互電連接。此外，連接薄膜626的導電層635被電連接到薄膜積體電路628。具體地，藉由各向異性導電膠653將連接薄膜626的導電層635和連接到薄膜積體電路628中所包含的薄膜電晶體651的導電層652相互電連接。

需要指出，本發明的半導體裝置的模式不限於前述IC卡和面板。本發明的半導體裝置可以應用於CPU、各種處理器。

[實施例6]

(36)

包含提供於基板上的天線的本發明的半導體裝置可使用該天線發射、接收、或者發射和接收電磁波。因此，半導體裝置51的應用範圍非常廣，可結合在紙、硬幣、有價證券、無記名債券、證書（駕駛執照、居住卡等，見圖20A）、包裝容器（包裝紙、瓶子等，見圖20B）、記錄媒體（DVD軟體、錄影帶等，見圖20C）、車輛（自行車等，見圖20D）、附件（袋子、眼鏡等，見圖20E）、食物用品、衣物、生活用品、電子設備等。電子設備包含液晶顯示裝置、電致發光顯示裝置、電視機（也稱為TV、TV接收器、或者電視接收器）、便攜終端機等。

藉由將半導體裝置粘附到產品的表面或者將其結合在該產品中，由此可將其固定到該產品。例如，半導體裝置被包含在書籍封面的紙板內或包裝紙的有機樹脂內。半導體裝置也可粘附到例如紙幣、硬幣、有價證券、無記名債券、或證書的表面上或者被包含在其內。當半導體裝置安裝在包裝容器、記錄媒體、個人物品、食物用品、衣物、生活用品、電子設備等前述產品上時，可以更加有效地實現檢查系統、租賃系統等。

將半導體裝置應用於產品管理或分配系統時，可以獲得高性能的系統。例如，包含顯示部分的便攜終端設有讀/寫器並且產品設有半導體裝置時，可以獲得這樣的系統，即當將該半導體裝置靠近讀寫器時，顯示部分將諸如成分、原產地、分配過程的記錄的產品資料顯示在顯示部分上。因此，可以獲得具有多功能和高附加值的系統。另一

(37)

個例子為，半導體裝置可安裝在一產品上，而在傳送帶旁邊提供讀寫器。這種情況下，可以容易地檢查該產品且可以獲得具有多功能的系統。本實施例可以和其他實施例模式及實施例自由地組合。

[實施例 7]

本發明的半導體裝置，其中在基板上形成具有多個圖素的圖素部分，可以使用該顯示部分顯示影像。因此，該半導體裝置較佳的可應用於電子設備，下面說明其示例。

行動電話包含機殼 2700 和 2706、面板 2701、機殼 2702、印刷線路板 2703、操作按鈕 2704、和電池 2705（見圖 21）。面板 2701 含有圖素部分 2709 和功能電路部分 2710，其中多個圖素在圖素部分 2709 內排列成矩陣。使用一對基板密封這些電路。面板 2701 以可拆卸的方式併入機殼 2702 內，機殼 2702 安裝到印刷線路板 2703 中。根據包含面板 2701 的電子設備而適當地改變機殼 2702 的形狀和尺寸。將多個 IC 晶片安裝到印刷線路板 2703 上，該 IC 晶片對應於中央處理器（CPU）、控制器電路、電源電路、緩衝放大器、源極驅動器、和閘極驅動器中的一個或多個。模組是指印刷線路板 2703 安裝在面板上的狀態。

功能電路部分 2710 包含在前述實施例模式中說明的 PLL 電路以及用於控制圖素部分 2709 的驅動電路。該 PLL 電路具有使輸出訊號的頻率保持恒定以及控制輸出訊號的頻率的功能。例如，當該 PLL 電路增加訊號的頻率且頻

(38)

率增大的該訊號被提供給驅動電路時，該驅動電路可以工作於更高的速度。該 PLL 電路還具有這樣的功能，即，即使輸入訊號的頻率不正確時，藉由使輸入訊號與平均頻率同步而輸出具有正確頻率的訊號。因此，即使當輸入訊號的頻率不正確時，也可向圖素部分 2709 和驅動電路提供具有正確頻率的訊號，由此可在圖素部分 2709 內顯示預期影像。因此，可以獲得具有強大功能、多功能、和高附加值的半導體裝置。

面板 2701 藉由連接薄膜 2708 連接到印刷線路板 2703。面板 2701、機殼 2702、和印刷線路板 2703 連同操作按鈕 2704 及電池 2705 一起存放在機殼 2700 和 2706 內。面板 2701 內包含的圖素部分 2709 被排列成使得可以從機殼 2700 內提供的開口看到該圖素部分。

需要指出，機殼 2700 和 2706 顯示行動電話的外形的示例，根據本實施例的電子設備可以具有和功能及用法相關的各種模式。因此在下文中參考圖 22A 至 22F 說明這些電子設備的模式示例。

作為便攜終端的行動電話包含圖素部分 9102 等（見圖 22A）。作為便攜終端的便攜遊戲機包含圖素部分 9801 等（見圖 22B）。數位攝影機包含圖素部分 9701 和 9702 等（見圖 22C）。作為便攜資訊終端的 PDA（個人數位助理）包含圖素部分 9201 等（見圖 22D）。電視機包含圖素部分 9301 等（見圖 22E）。顯示器裝置包含圖素部分 9401 等（見圖 22F）。

(39)

本發明可以應用於各種電子設備，例如均為便攜終端的行動電話（也稱為行動電話裝置或簡稱行動電話）、PDA、電子筆記本、和便攜遊戲機，還可應用於例如電視機（也稱為 TV 或者電視接收器）、顯示器（也稱為顯示器裝置）、數位相機、數位攝影機、諸如汽車音響設備的音頻再生裝置、家庭遊戲機等。本實施例可以和其他實施例模式及實施例自由地組合。

儘管薄膜電晶體在上文中被示成組成電壓控制振盪器的元件，在本發明中組成電壓控制振盪器的元件並不限於薄膜電晶體，還可以使用諸如 MOS 電晶體的電晶體等等。

【圖式簡單說明】

圖 1 為顯示本發明的半導體裝置的結構的圖示。

圖 2 為顯示本發明的半導體裝置的結構的圖示。

圖 3 為顯示本發明的半導體裝置的結構的圖示。

圖 4 為顯示本發明的半導體裝置的結構的圖示。

圖 5 為顯示本發明的半導體裝置的結構的圖示。

圖 6A 和 6B 為分別顯示本發明的半導體裝置的結構的圖示。

圖 7 為顯示本發明的半導體裝置的結構的圖示。

圖 8 為顯示本發明的半導體裝置的結構的圖示。

圖 9A 至 9C 為分別顯示本發明的半導體裝置的製造步驟的圖示。

(40)

圖 10A 和 10B 為分別顯示本發明的半導體裝置的製造步驟的圖示。

圖 11A 和 11B 為分別顯示本發明的半導體裝置的製造步驟的圖示。

圖 12A 和 12B 為分別顯示本發明的半導體裝置的製造步驟的圖示。

圖 13 為顯示本發明的半導體裝置的製造步驟的圖示。

圖 14A 和 14B 為分別顯示本發明的半導體裝置的製造步驟的圖示。

圖 15 為顯示本發明的半導體裝置的製造步驟的圖示。

圖 16A 和 16B 為分別顯示本發明的半導體裝置的製造步驟的圖示。

圖 17A 和 17B 為分別顯示本發明的半導體裝置的製造步驟的圖示。

圖 18A 至 18D 為分別顯示本發明的半導體裝置的結構的圖示。

圖 19A 和 19B 為分別顯示本發明的半導體裝置的結構的圖示。

圖 20A 至 20E 為分別顯示本發明的半導體裝置的結構的圖示。

圖 21 為顯示本發明的半導體裝置的結構的圖示。

圖 22A 至 22F 為分別顯示本發明的半導體裝置的結構的圖示。

(41)

【主要元件符號說明】

- 101：第三 P 型薄膜電晶體
- 102：第二 P 型薄膜電晶體
- 11：相位比較器
- 111：第三 N 型薄膜電晶體
- 112：第二 N 型薄膜電晶體
- 12：環路濾波器
- 120：電路
- 121：電路
- 122：電路
- 123：電路
- 13：電壓控制振盪器
- 131：第一 P 型薄膜電晶體
- 132：第一 P 型薄膜電晶體
- 133：第一 P 型薄膜電晶體
- 135：第一 P 型薄膜電晶體
- 14：除法器
- 141：第一 N 型薄膜電晶體
- 142：第一 N 型薄膜電晶體
- 143：第一 N 型薄膜電晶體
- 145：第一 N 型薄膜電晶體
- 200：反相器電路
- 201：NAND 電路
- 202：NAND 電路

(42)

- 204 : NAND 電路
- 206 : NAND 電路
- 208 : 反相器電路
- 21 : 單元電路
- 22 : 電阻器
- 221 : NOR 電路
- 222 : 電晶體
- 24 : 電容器
- 26 : 單元電路
- 2700 : 機殼
- 2701 : 面板
- 2702 : 機殼
- 2703 : 印刷線路板
- 2704 : 操作按鈕
- 2705 : 電池
- 2708 : 連接薄膜
- 2709 : 圖素部份
- 2710 : 功能電路部份
- 3 : 輸入端
- 4 : 輸入端
- 51 : 半導體裝置
- 6n : 輸出端
- 610 : 基板
- 611 : 薄膜積體電路

(43)

- 612 : 導電層
- 614 : 薄膜電晶體
- 615 : 導電層
- 616 : 各向異性導電膠
- 620 : 基板
- 621 : 基板
- 623 : 圖素部份
- 624 : 薄膜積體電路
- 626 : 連接薄膜
- 628 : 薄膜積體電路
- 630 : 密封構件
- 631 : 導電層
- 634 : 導電層
- 635 : 導電層
- 640 : 各向異性導電膠
- 651 : 薄膜電晶體
- 652 : 導電層
- 653 : 各向異性導電膠
- 655 : 薄膜電晶體
- 656 : 導電層
- 657 : 各向異性導電膠
- 701 : 基板
- 702 : 分離層
- 703 : 絕緣層



(44)

- 704 : 非晶半導體層
- 705 : 閘極絕緣層
- 706 : 結晶半導體層
- 707 : 結晶半導體層
- 711 : N型雜質區
- 712 : P型雜質區
- 716 : 導電層
- 726 : 第二N型雜質區
- 727 : 雜質區
- 734 : 絕緣層
- 739 : 絕緣層
- 46 , 744 , 748 : 薄膜電晶體
- 745 : P型薄膜電晶體
- 749 : 絕緣層
- 750 : 第二層絕緣層
- 751 : 第三層絕緣層
- 752 : 導電層
- 757 : 導電層
- 759 : 導電層
- 762 : 絕緣層
- 763 : 導電層
- 764 : 導電層
- 765 : 導電層
- 766 : 絕緣層

(45)

- 767 : 開口
- 771 : 導電層
- 772 : 絕緣層
- 773 : 開口
- 775 : 第二基板
- 776 : 第一基板
- 780 : 通道形成區
- 781 : 通道形成區
- 785 : P 型雜質區
- 786 : 導電層
- 787 : 層
- 789 : 記憶元件
- 790 : 記憶元件
- 791 : 薄膜積體電路
- 801 : 導電層
- 802 : 導電層
- 803 : 導電層
- 804 : 導電層
- 805 : 絕緣層
- 806 : 各向異性導電膠
- 807 : 導電層
- 808 : 導電層
- 809 : 基板
- 821 : 導電層

(46)

822 : 導電層

825 : 基板

9102 : 圖素部份

9201 : 圖素部份

9301 : 圖素部份

9401 : 圖素部份

9701 : 圖素部份

9801 : 圖素部份



十、申請專利範圍

102年3月4日	修正頁(本)
----------	--------

1. 一種半導體裝置，包含：

低電位電源；

高電位電源；和

電壓控制振盪器，該電壓控制振盪器包含：

第一電路，包含第一 N 型電晶體和一 P 型電晶體；

第二電路，包含第二 N 型電晶體，

其中該第一 N 型電晶體的源極和汲極之一電連接到該 P 型電晶體的源極和汲極之一，

其中該第一 N 型電晶體的該源極和該汲極中另一個電連接到該第二 N 型電晶體的源極和汲極之一，

其中該第二 N 型電晶體的該源極和該汲極中另一個電連接到該低電位電源，

其中該 P 型電晶體的該源極和該汲極中另一個電連接到該高電位電源，

其中該第二 N 型電晶體的通道長度短於該第一 N 型電晶體的通道長度，

其中第一訊號輸入到該第二 N 型電晶體的閘極，和

其中從該第一 N 型電晶體的該源極和該汲極之該一者和該 P 型電晶體的該源極和該汲極之該一者輸出第二訊號。

2. 如申請專利範圍第 1 項的半導體裝置，

其中該第二 N 型電晶體的臨界值電壓低於該第一 N 型電晶體的臨界值電壓。

3.如申請專利範圍第1項的半導體裝置，

其中該第一 N 型電晶體包含含有第一通道形成區的第一半導體層，

其中該第二 N 型電晶體包含含有第二通道形成區的第二半導體層，和

其中在該第二通道形成區中之 N 型導電性的雜質元素的濃度高於在該第一通道形成區中之 N 型導電性的雜質元素的濃度。

4.如申請專利範圍第1項的半導體裝置，

其中該第一 N 型電晶體包含含有第一通道形成區的第一半導體層，

其中該第二 N 型電晶體包含含有第二通道形成區的第二半導體層，和

其中在該第二通道形成區中之 P 型導電性的雜質元素的濃度低於在該第一通道形成區中之 P 型導電性的雜質元素的濃度。

5.一種半導體裝置，包含：

低電位電源；

高電位電源；和

電壓控制振盪器，該電壓控制振盪器包含：

第一電路，包含第一 N 型電晶體和第一 P 型電晶體；

第二電路，包含第二 N 型電晶體；

第三電路，包含第二 P 型電晶體；和

第四電路，包含第三 N 型電晶體和第三 P 型電晶體，

其中該第一 N 型電晶體的源極和汲極之一電連接到該第一 P 型電晶體的源極和汲極之一，

其中該第一 N 型電晶體的該源極和該汲極中另一個電連接到該第二 N 型電晶體的源極和汲極之一，

其中該第一 P 型電晶體的該源極和該汲極中另一個電連接到該第二 P 型電晶體的源極和汲極之一，

其中該第三 N 型電晶體的源極和汲極之一電連接到該第三 P 型電晶體的源極和汲極之一，

其中該第二 N 型電晶體的該源極和該汲極中另一個和該第三 N 型電晶體的該源極和該汲極中另一個電連接到該低電位電源，

其中該第二 P 型電晶體的該源極和該汲極中另一個和該第三 P 型電晶體的該源極和該汲極中另一個電連接到該高電位電源，

其中第一訊號輸入到該第二 P 型電晶體的閘極和該第三 P 型電晶體的閘極，和

其中從該第一 N 型電晶體的該源極和該汲極之該一者和該第一 P 型電晶體的該源極和該汲極之該一者輸出第二訊號。

6. 如申請專利範圍第 5 項的半導體裝置，

其中該第二 P 型電晶體的臨界值電壓高於該第一 P 型電晶體的臨界值電壓，和

其中該第三 P 型電晶體的臨界值電壓高於該第一 P 型電晶體的臨界值電壓。

7.如申請專利範圍第 5 項的半導體裝置，

其中該第二 P 型電晶體的通道長度短於該第一 P 型電晶體的通道長度，和

其中該第三 P 型電晶體的通道長度短於該第一 P 型電晶體的通道長度。

8.如申請專利範圍第 5 項的半導體裝置，

其中該第一 P 型電晶體包含含有第一通道形成區的第一半導體層，

其中該第二 P 型電晶體包含含有第二通道形成區的第二半導體層，

其中該第三 P 型電晶體包含含有第三通道形成區的第三半導體層，

其中在該第二通道形成區中之 P 型導電性的雜質元素的濃度高於在該第一通道形成區中之 P 型導電性的雜質元素的濃度，和

其中在該第三通道形成區中之 P 型導電性的雜質元素的濃度高於在該第一通道形成區中之 P 型導電性的雜質元素的濃度。

9.如申請專利範圍第 5 項的半導體裝置，

其中該第一 P 型電晶體包含含有第一通道形成區的第一半導體層，

其中該第二 P 型電晶體包含含有第二通道形成區的第二半導體層，

其中該第三 P 型電晶體包含含有第三通道形成區的第三

三半導體層，

其中在該第二通道形成區中之 N 型導電性的雜質元素的濃度低於在該第一通道形成區中之 N 型導電性的雜質元素的濃度，和

其中在該第三通道形成區中之 N 型導電性的雜質元素的濃度低於在該第一通道形成區中之 N 型導電性的雜質元素的濃度。

10. 一種半導體裝置，包含：

低電位電源；

高電位電源；和

電壓控制振盪器，該電壓控制振盪器包含：

第一電路，包含 N 型電晶體和第一 P 型電晶體；和

第二電路，包含第二 P 型電晶體，

其中該第一 P 型電晶體的源極和汲極之一電連接到該 N 型電晶體的源極和汲極之一，

其中該第一 P 型電晶體的該源極和該汲極中另一個電連接到該第二 P 型電晶體的源極和汲極之一，

其中該第二 P 型電晶體的該源極和該汲極中另一個電連接到高電位電源，

其中該 N 型電晶體的該源極和該汲極中另一個電連接到該低電位電源，

其中該第二 P 型電晶體的通道長度短於該第一 P 型電晶體的通道長度，

其中第一訊號輸入到該第二 P 型電晶體的閘極，和

其中從該 N 型電晶體的該源極和該汲極之該一者和該第一 P 型電晶體的該源極和該汲極之該一者輸出第二訊號。

11. 如申請專利範圍第 10 項的半導體裝置，

其中該第二 P 型電晶體的臨界值電壓高於該第一 P 型電晶體的臨界值電壓。

12. 如申請專利範圍第 10 項的半導體裝置，

其中該第一 P 型電晶體包含含有第一通道形成區的第一半導體層，

其中該第二 P 型電晶體包含含有第二通道形成區的第二半導體層，和

其中在該第二通道形成區中之 P 型導電性的雜質元素的濃度高於在該第一通道形成區中之 P 型導電性的雜質元素的濃度。

13. 如申請專利範圍第 10 項的半導體裝置，

其中該第一 P 型電晶體包含含有第一通道形成區的第一半導體層，

其中該第二 P 型電晶體包含含有第二通道形成區的第二半導體層，和

其中在該第二通道形成區中之 N 型導電性的雜質元素的濃度低於在該第一通道形成區中之 N 型導電性的雜質元素的濃度。

14. 一種半導體裝置，包含：

低電位電源；

高電位電源；和

電壓控制振盪器，該電壓控制振盪器包含：

第一電路，包含第一 N 型電晶體和第一 P 型電晶體；

第二電路，包含第二 N 型電晶體；

第三電路，包含第二 P 型電晶體；和

第四電路，包含第三 N 型電晶體和第三 P 型電晶體，

其中該第一 N 型電晶體的源極和汲極之一電連接到該第一 P 型電晶體的源極和汲極之一，

其中該第一 N 型電晶體的該源極和該汲極中另一個電連接到該第二 N 型電晶體的源極和汲極之一，

其中該第一 P 型電晶體的該源極和該汲極中另一個電連接到該第二 P 型電晶體的源極和汲極之一，

其中該第三 N 型電晶體的源極和汲極之一電連接到第三 P 型電晶體的源極和汲極之一，

其中該第二 N 型電晶體的該源極和該汲極中另一個和該第三 N 型電晶體的該源極和該汲極中另一個電連接到該低電位電源，

其中該第二 P 型電晶體的該源極和該汲極中另一個和該第三 P 型電晶體的該源極和該汲極中另一個電連接到該高電位電源，

其中第一訊號輸入到該第二 N 型電晶體的閘極和該第三 N 型電晶體的閘極，和

其中從該第一 N 型電晶體的該源極和該汲極之該一者和該第一 P 型電晶體的該源極和該汲極之該一者輸出第

二訊號。

15.如申請專利範圍第14項的半導體裝置，

其中該第二 N 型電晶體的臨界值電壓低於該第一 N 型電晶體的臨界值電壓，和

其中該第三 N 型電晶體的臨界值電壓低於該第一 N 型電晶體的臨界值電壓。

16.如申請專利範圍第14項的半導體裝置，

其中該第二 N 型電晶體的通道長度短於該第一 N 型電晶體的通道長度，和

其中該第三 N 型電晶體的通道長度短於該第一 N 型電晶體的通道長度。

17.如申請專利範圍第14項的半導體裝置，

其中該第一 N 型電晶體包含含有第一通道形成區的第一半導體層，

其中該第二 N 型電晶體包含含有第二通道形成區的第二半導體層，

其中該第三 N 型電晶體包含含有第三通道形成區的第三半導體層，

其中在該第二通道形成區中之 N 型導電性的雜質元素的濃度高於在該第一通道形成區中之 N 型導電性的雜質元素的濃度，和

其中在該第三通道形成區中之 N 型導電性的雜質元素的濃度高於在該第一通道形成區中之 N 型導電性的雜質元素的濃度。

18.如申請專利範圍第 14 項的半導體裝置，

其中該第一 N 型電晶體包含含有第一通道形成區的第一半導體層，

其中該第二 N 型電晶體包含含有第二通道形成區的第二半導體層，

其中該第三 N 型電晶體包含含有第三通道形成區的第三半導體層，

其中在該第二通道形成區中之 P 型導電性的雜質元素的濃度低於在該第一通道形成區中之 P 型導電性的雜質元素的濃度，和

其中在該第三通道形成區中之 P 型導電性的雜質元素的濃度低於在該第一通道形成區中之 P 型導電性的雜質元素的濃度。

19.如申請專利範圍第 1、5、10 及 14 項中任一項的半導體裝置更包含相位比較器、環路濾波器、和除法器。

20.如申請專利範圍第 1、5、10 及 14 項中任一項的半導體裝置更包含相位比較器、環路濾波器、和除法器，

其中在該環路濾波器產生該第一訊號，且將該第二訊號提供給該除法器。

21.如申請專利範圍第 1、5、10 及 14 項中任一項的半導體裝置更包含天線。

22.如申請專利範圍第 1、5、10 及 14 項中任一項的半導體裝置更包含包含多個圖素的圖素部分，

其中該多個圖素中每一個均包含液晶元件或者發光元

件。

23. 如申請專利範圍第 1、5、10 及 14 項中任一項的半導體裝置，其中該半導體裝置結合到選自由行動電話、PDA、電子筆記本、便攜遊戲機、電視機、顯示器、數位相機、數位攝影機、汽車音響設備、家庭遊戲機、和 IC 卡所組成的群組的電子設備中。

圖1

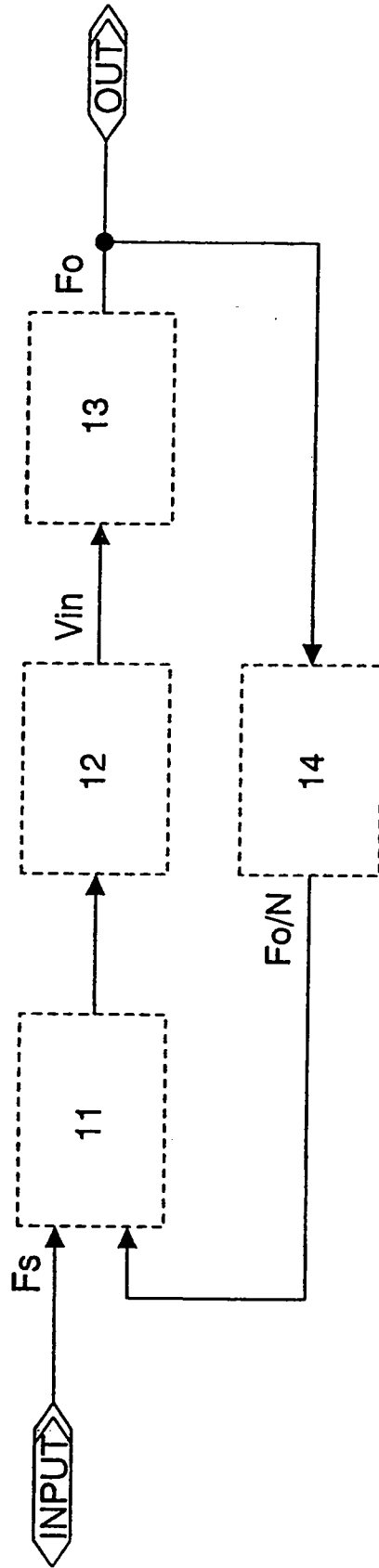


圖2

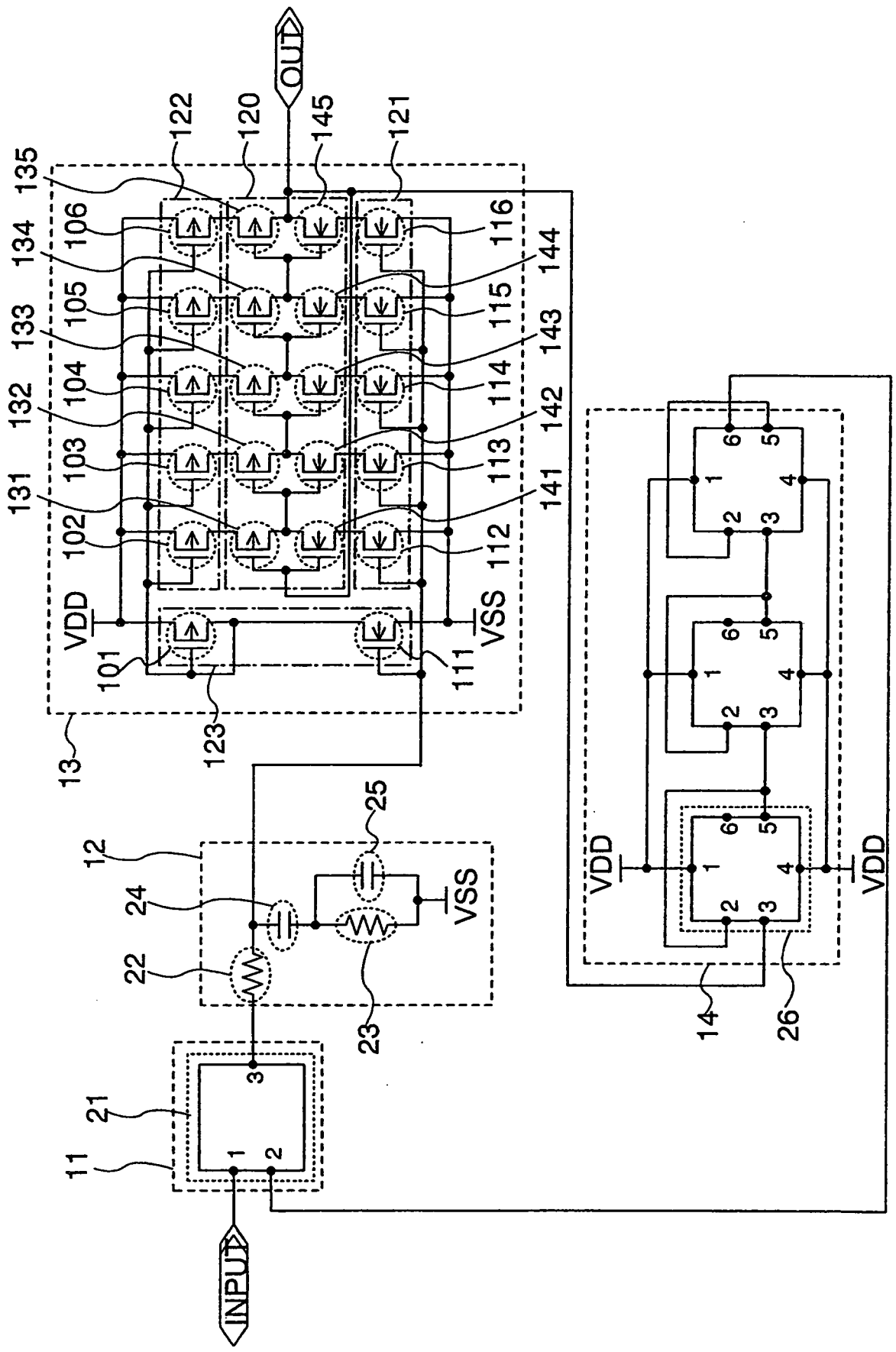


圖3

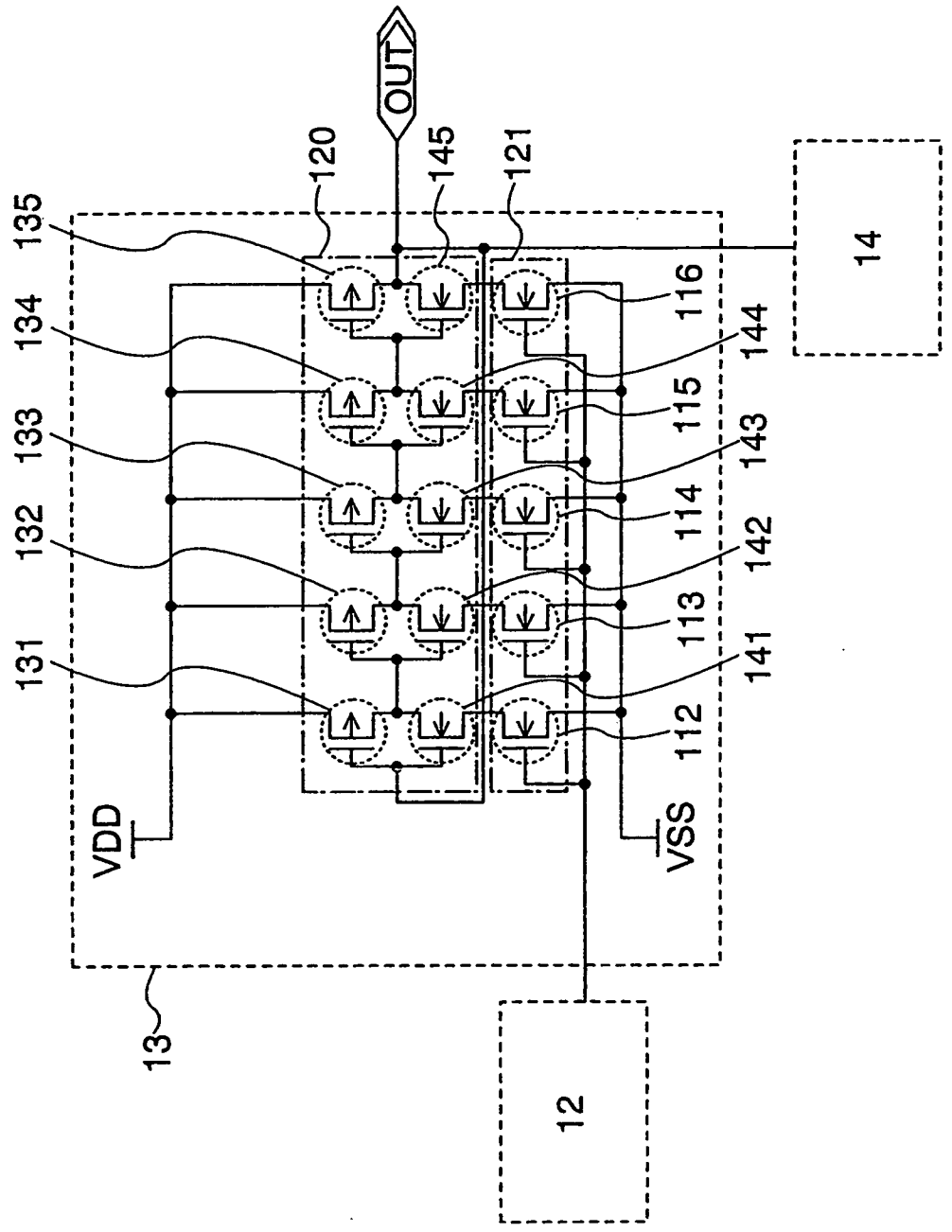


圖4

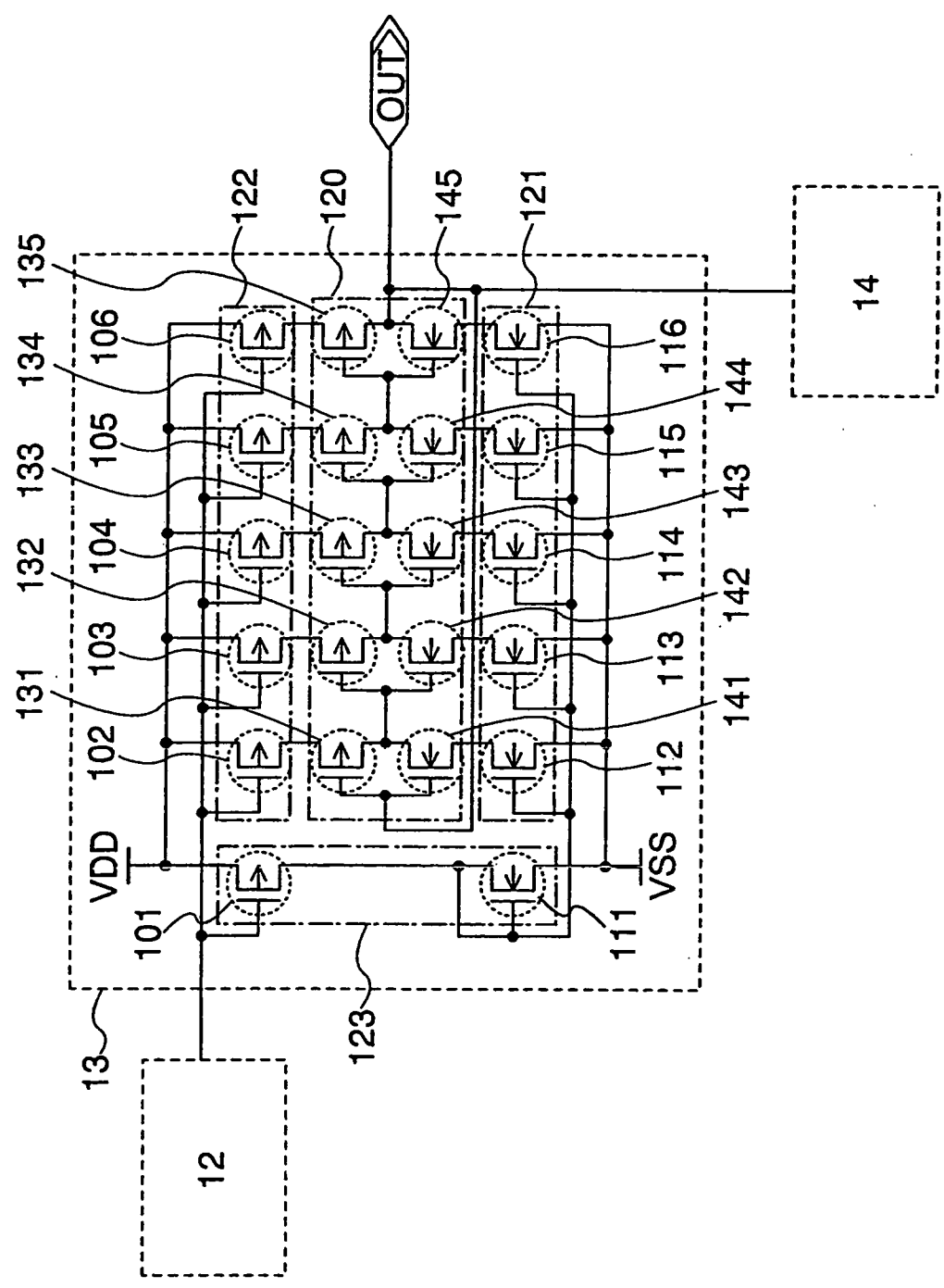


圖5

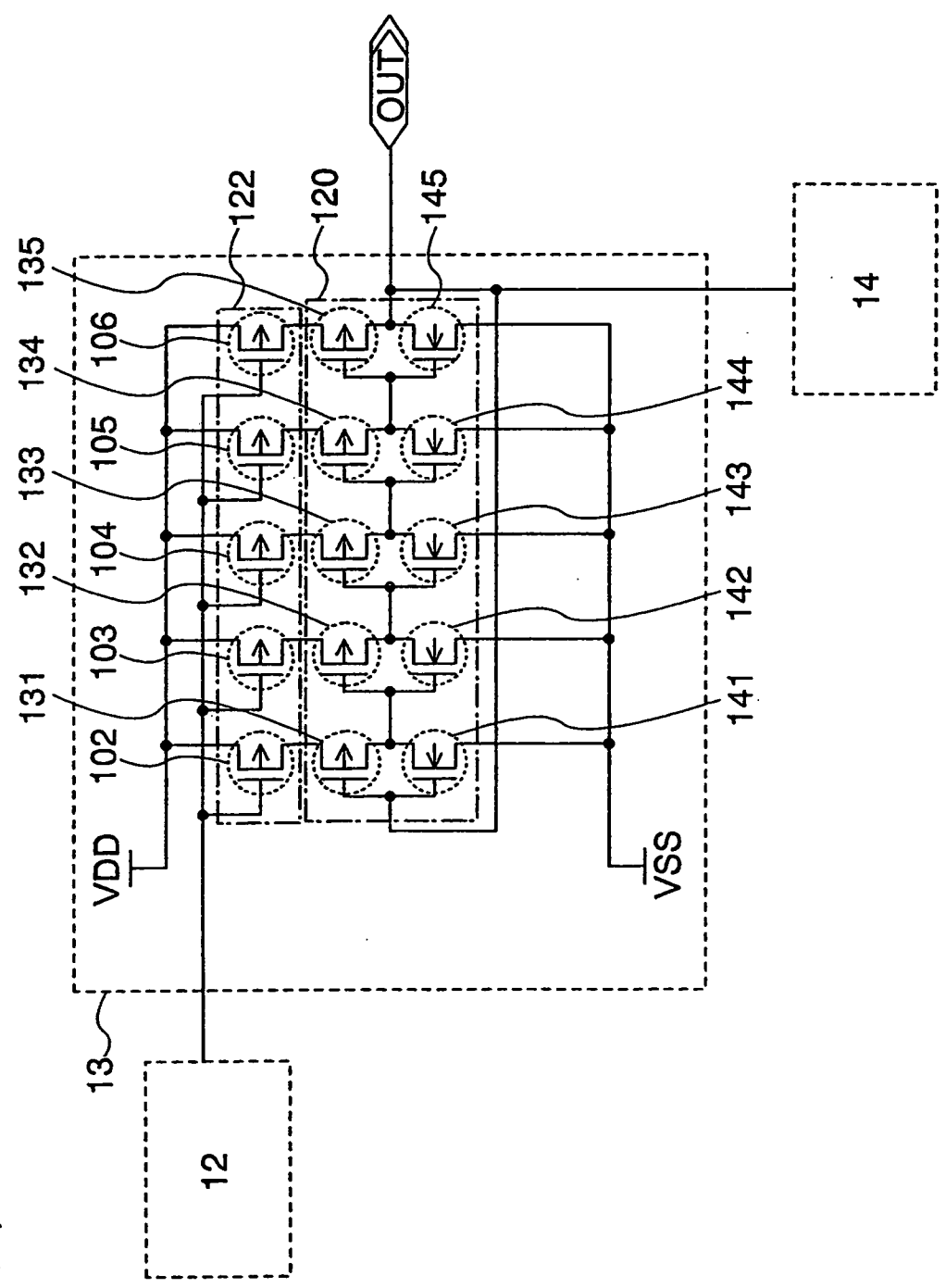


圖6A

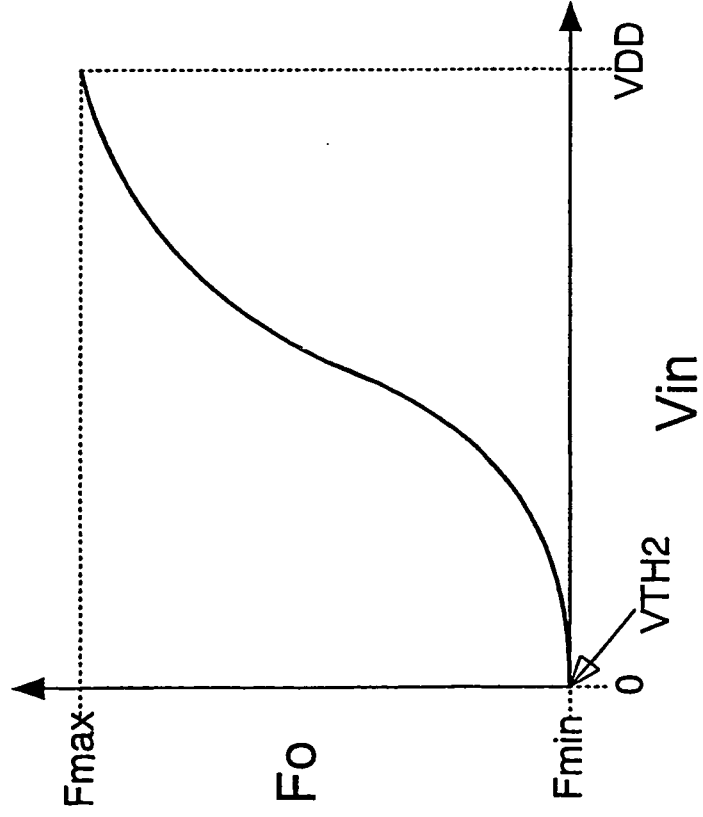


圖6B

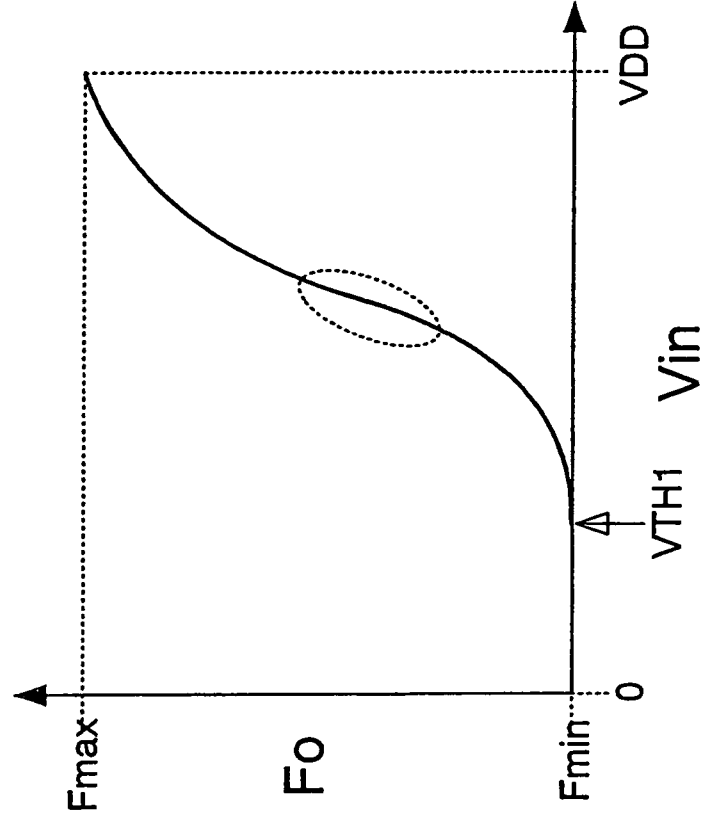


圖7

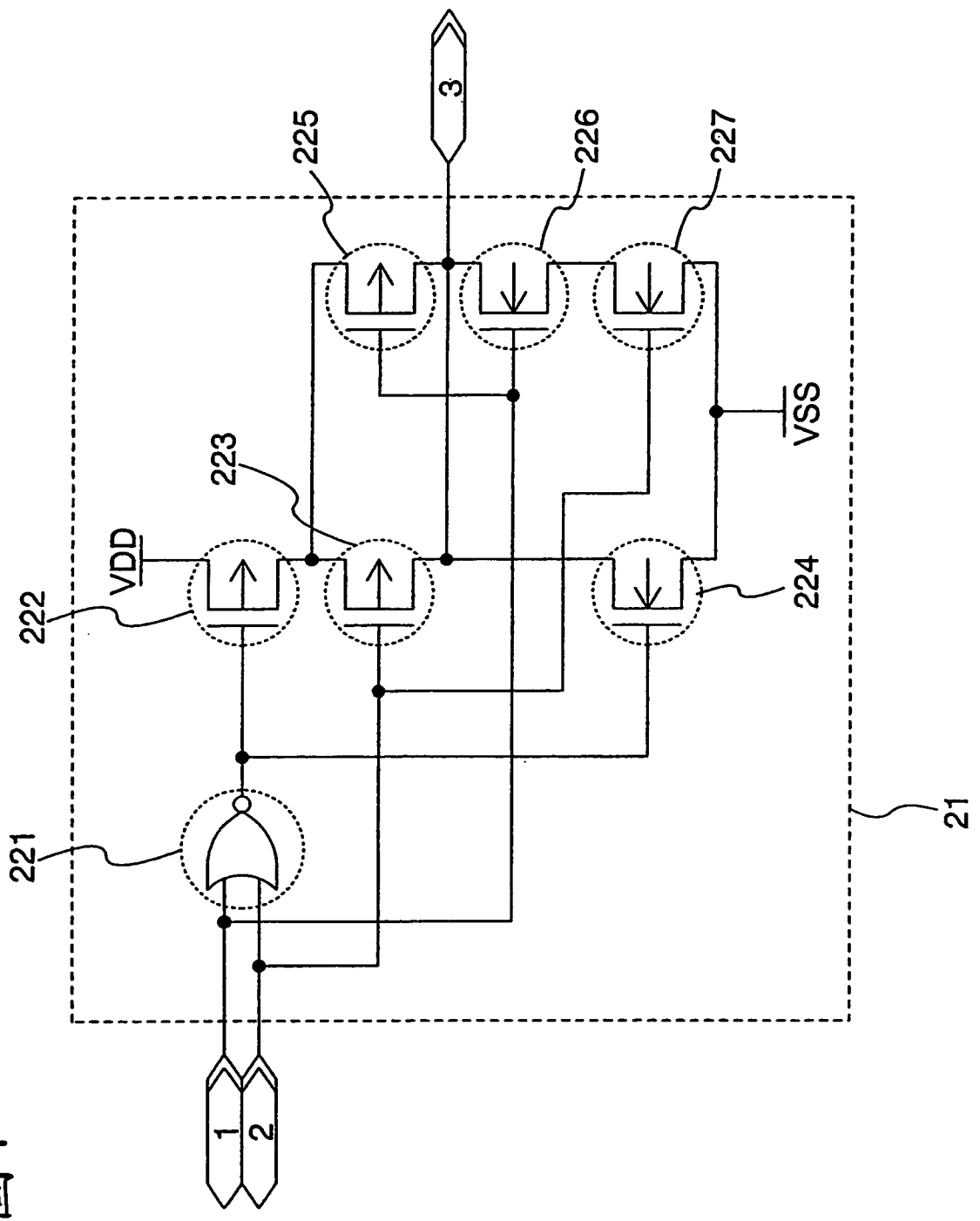


圖8

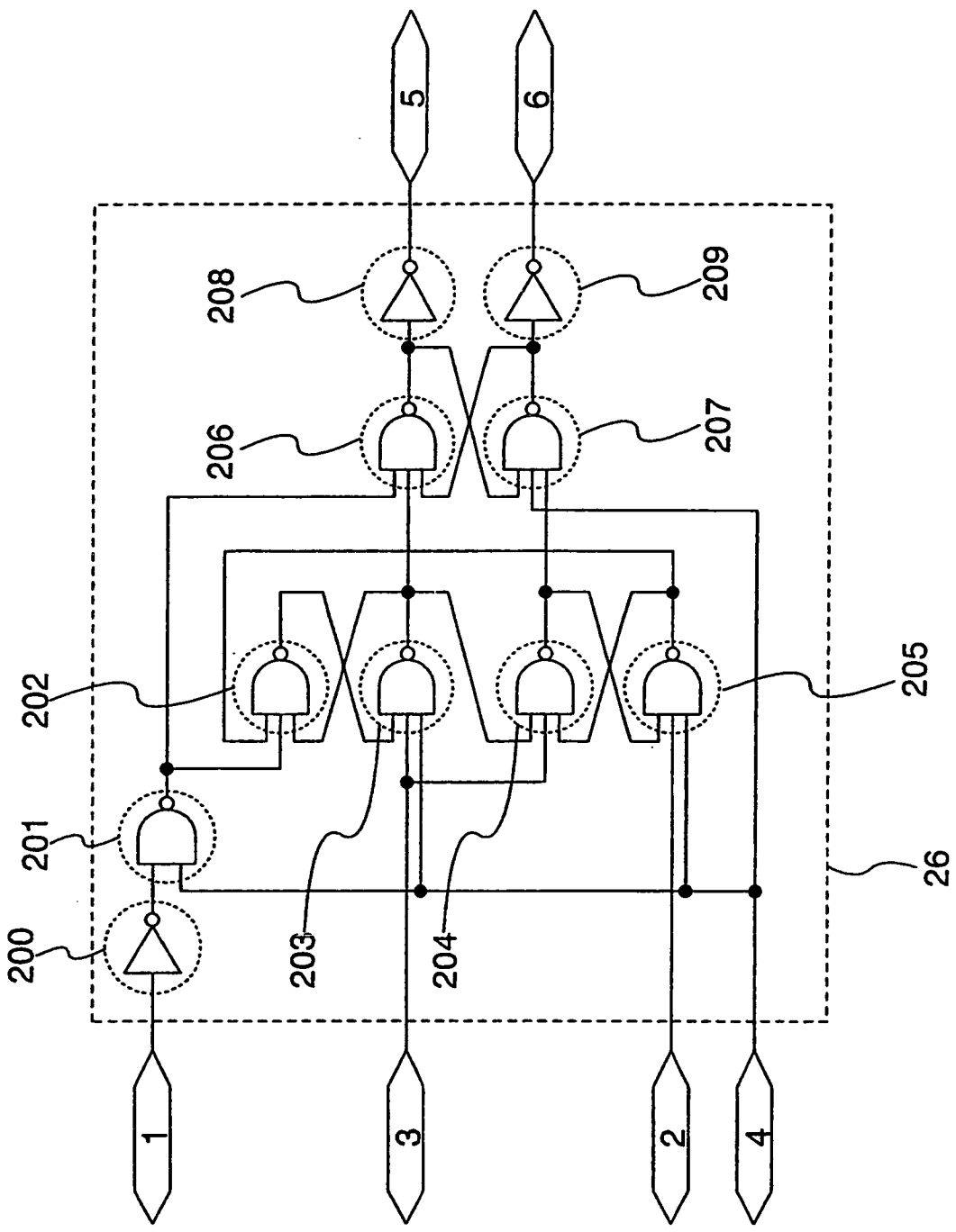


圖9A

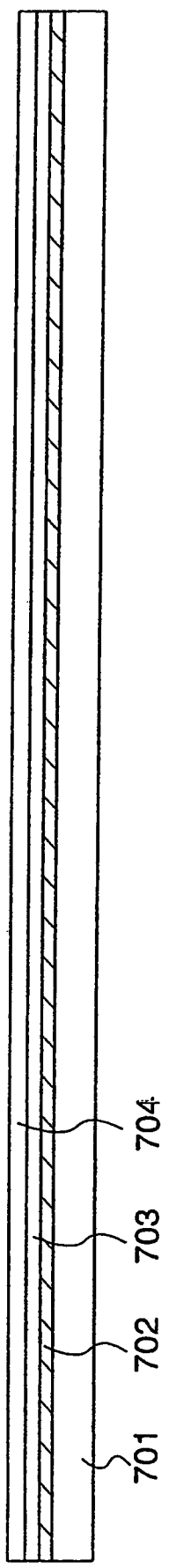


圖9B

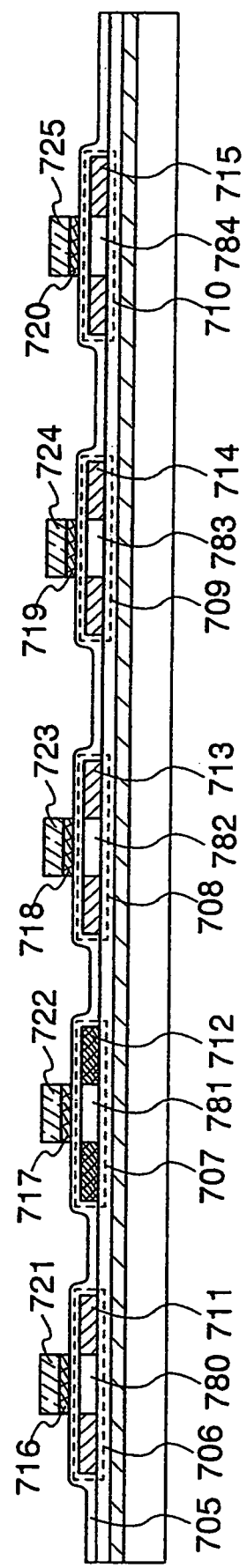


圖9C

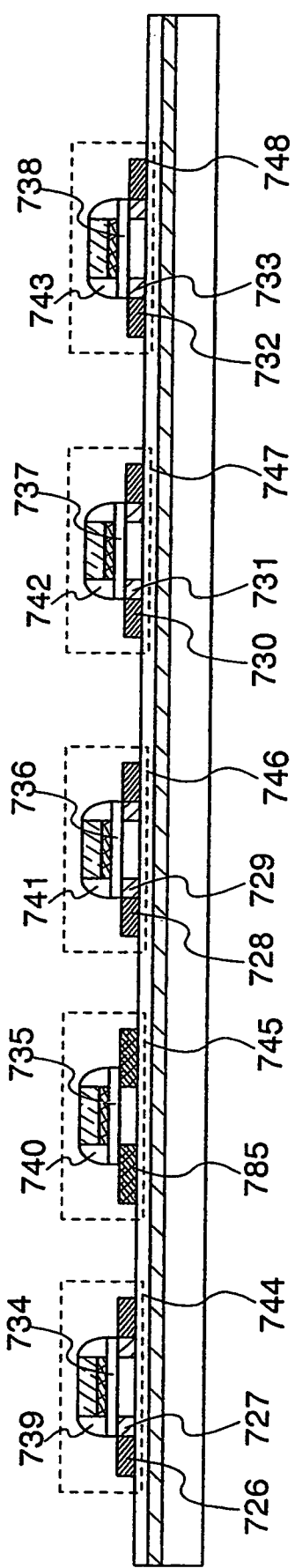


圖10A

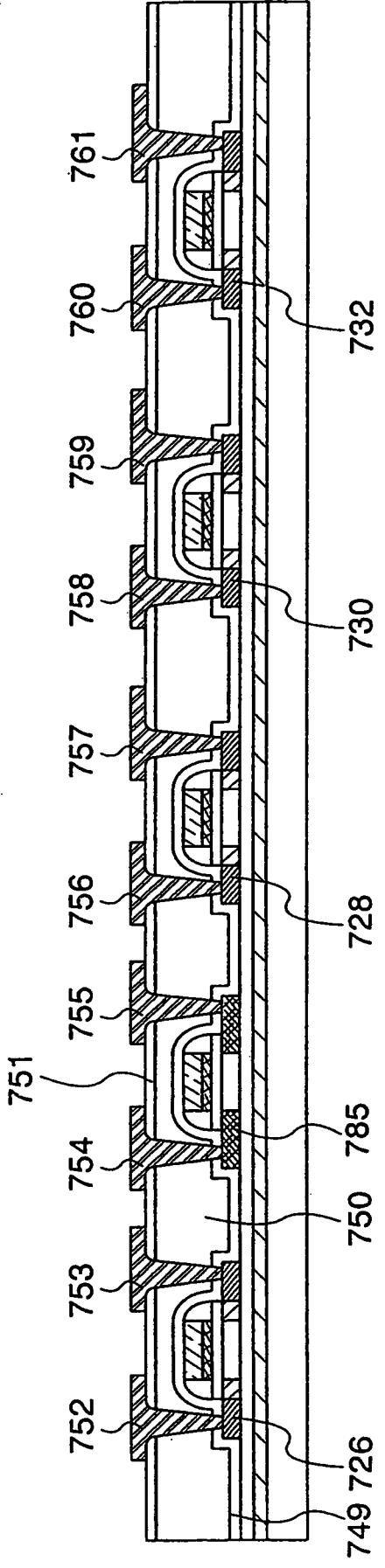


圖10B

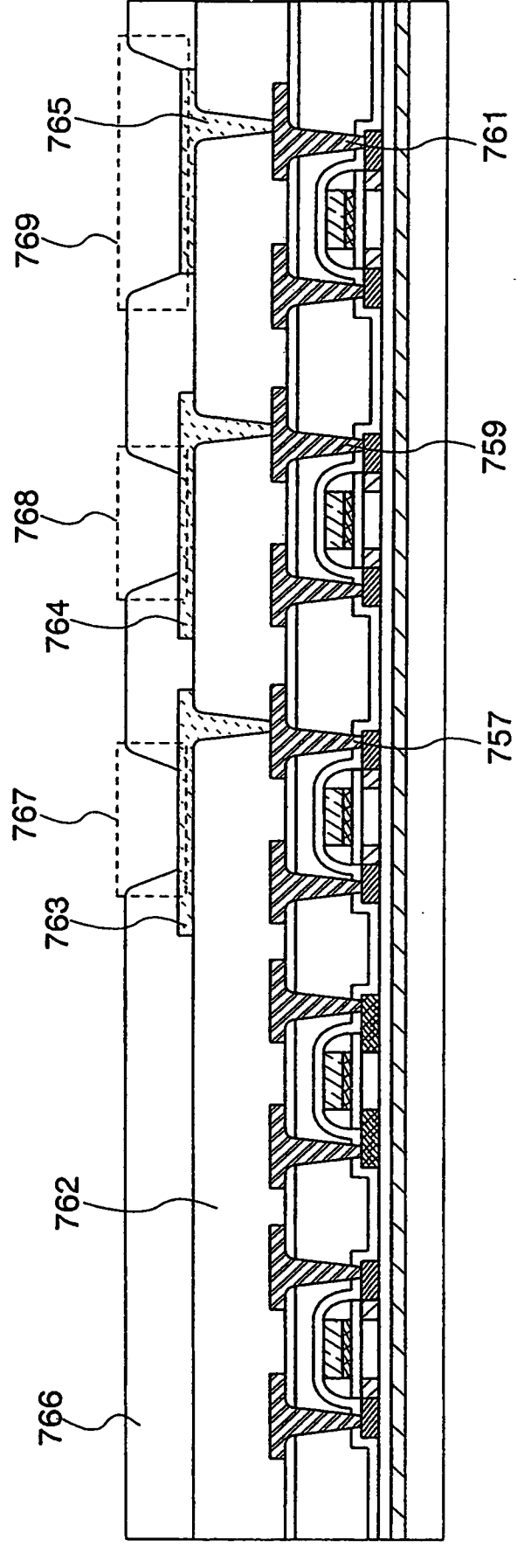


圖11A

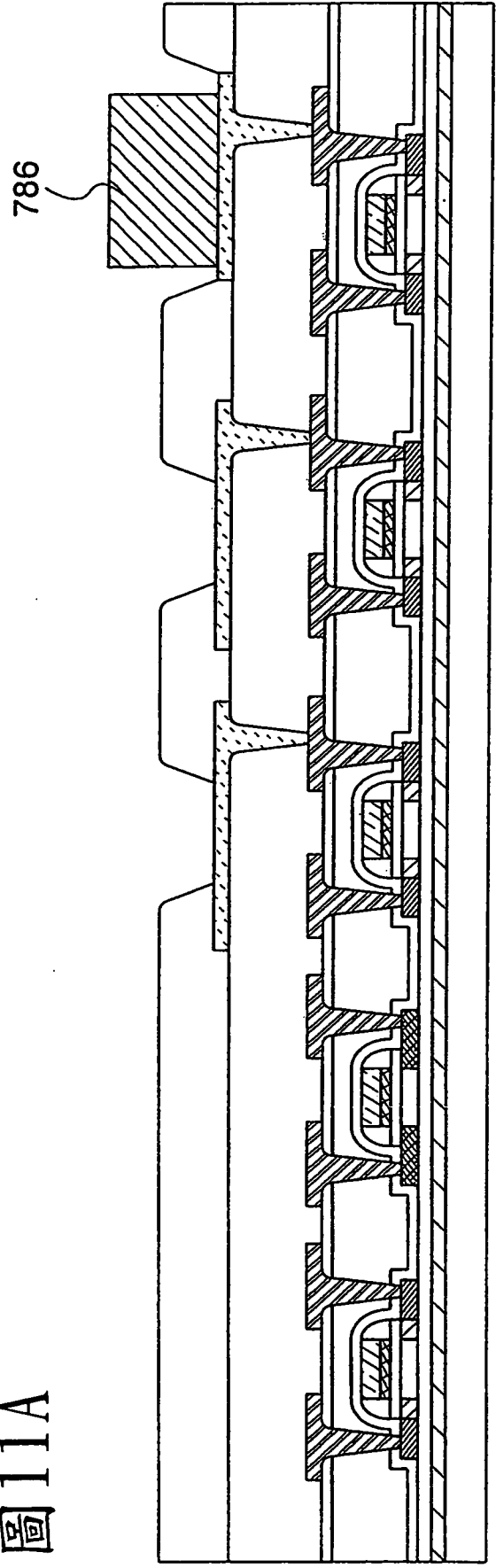


圖11B

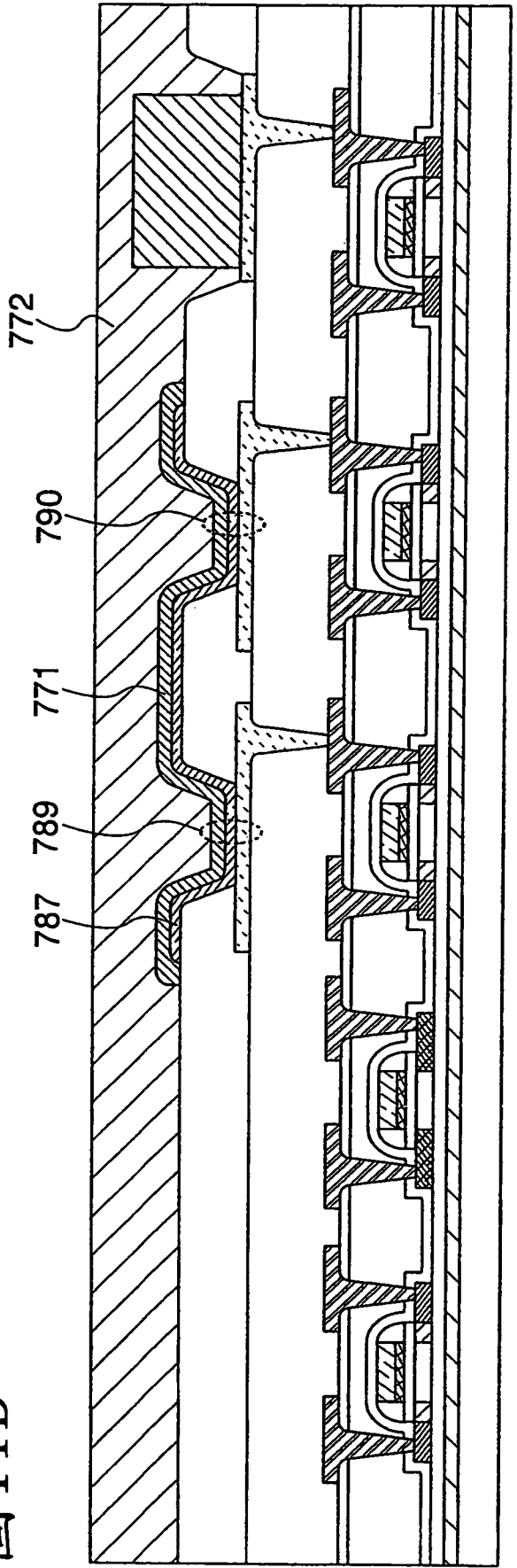


圖 12A

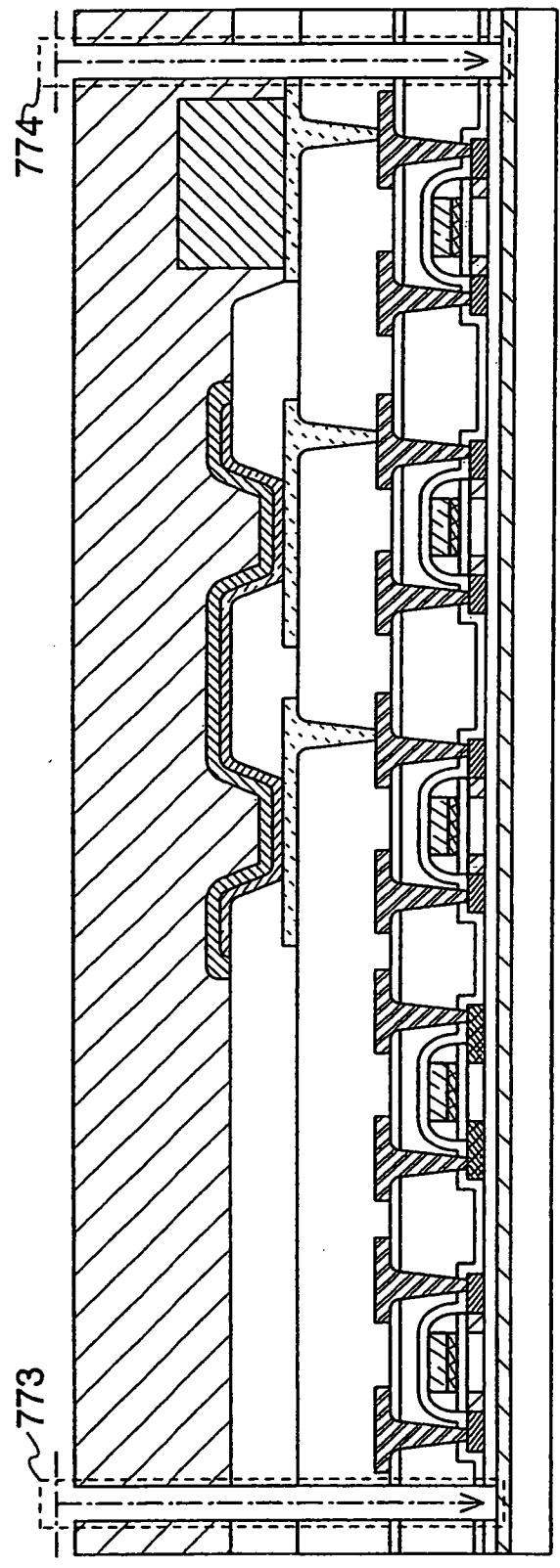


圖 12B

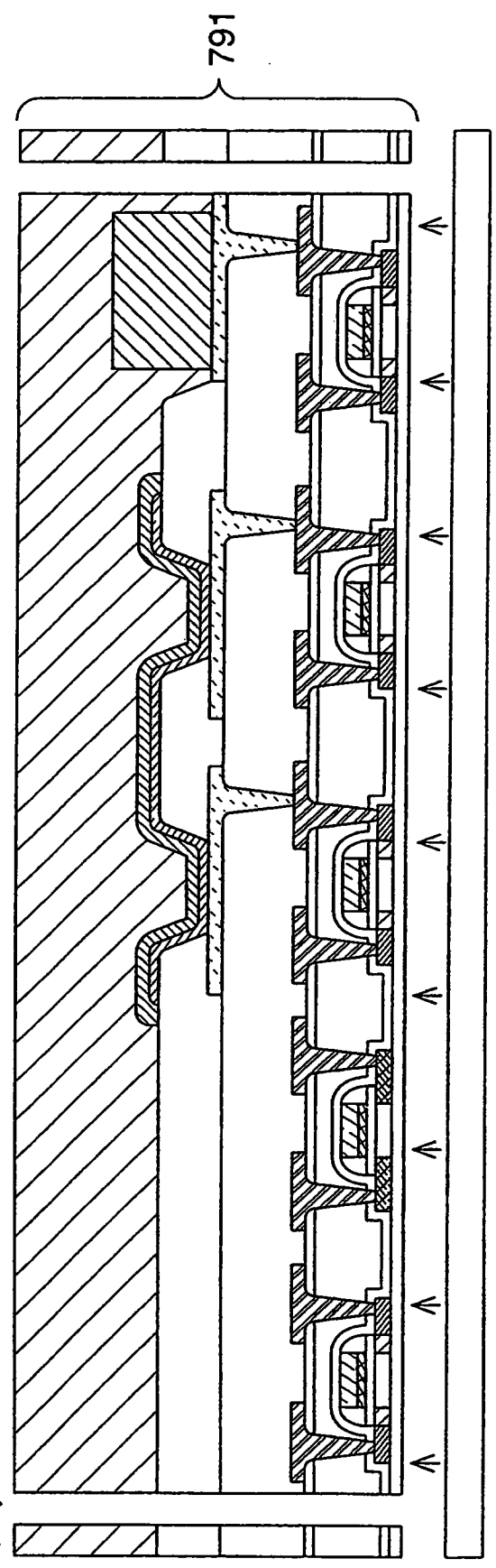


圖13

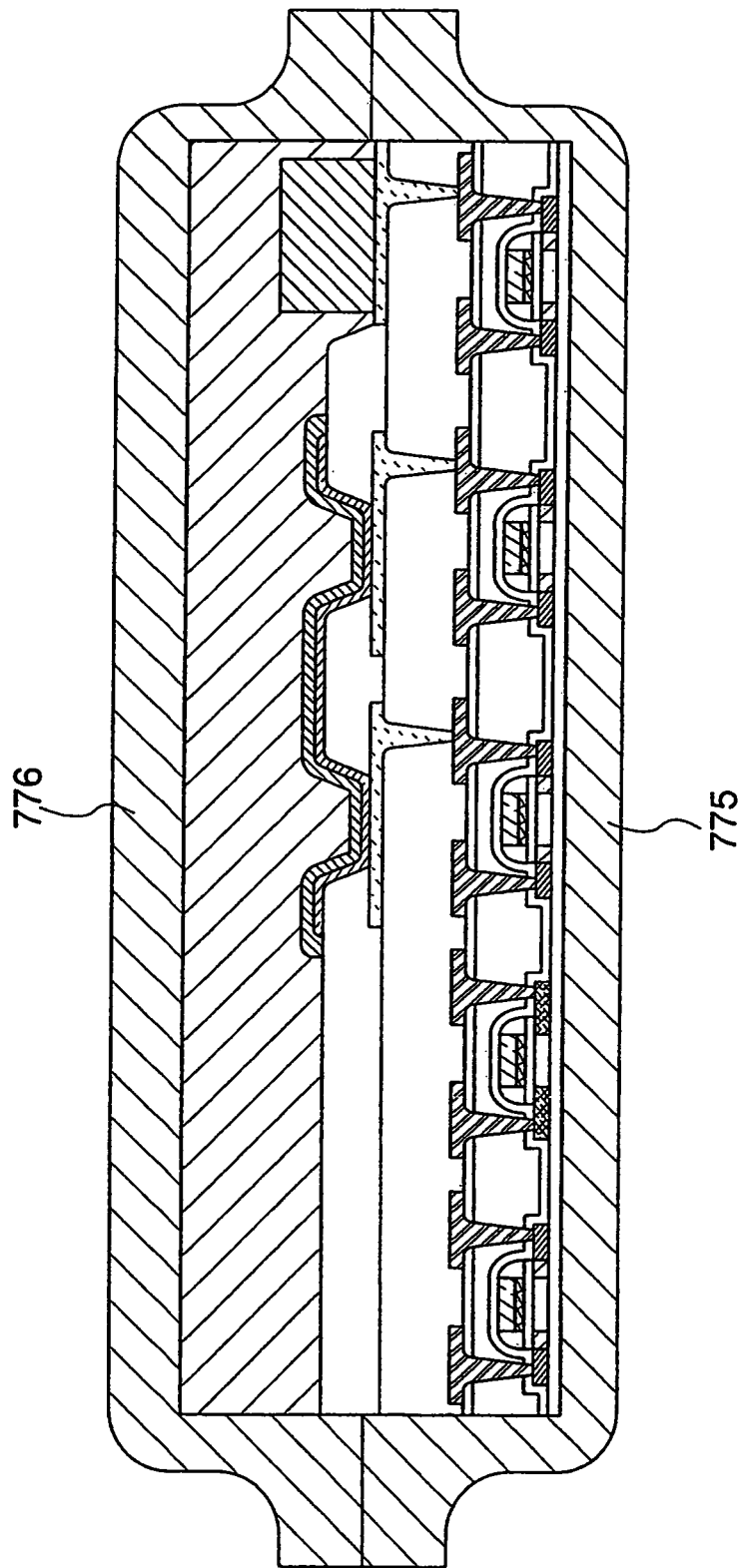


圖14A

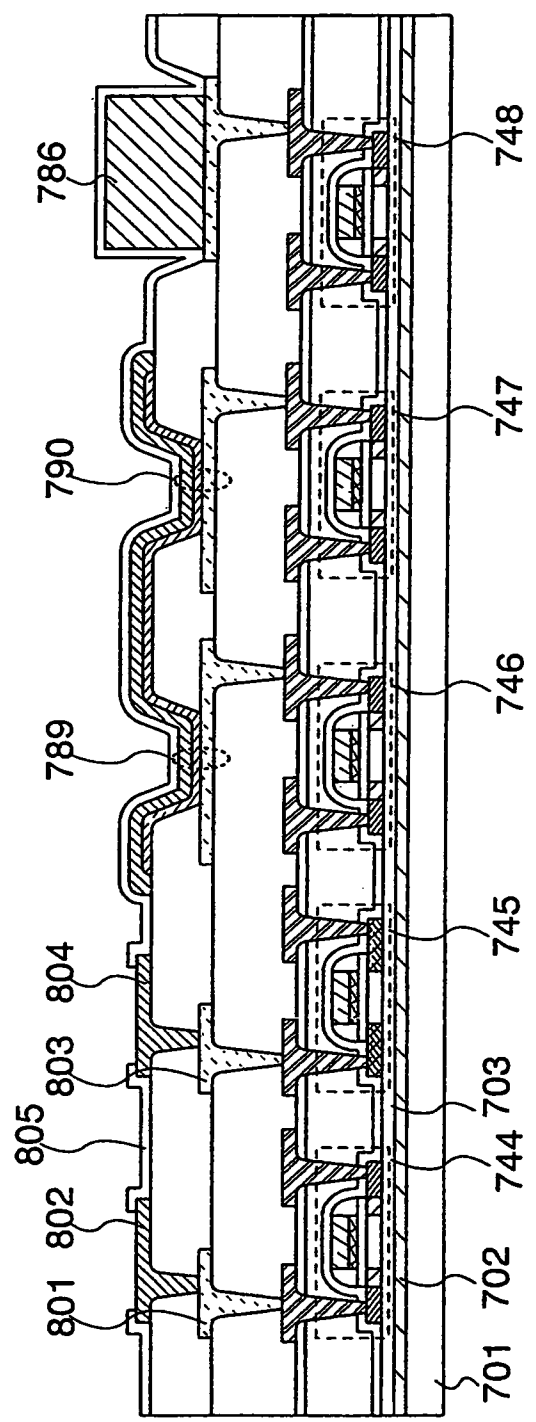


圖14B

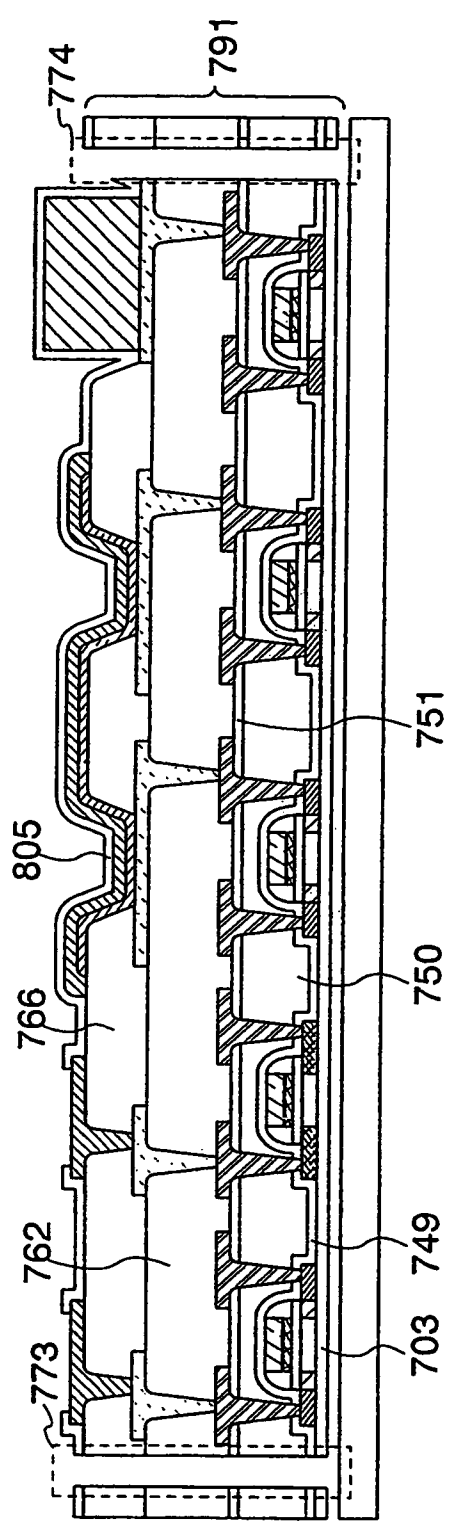


圖15

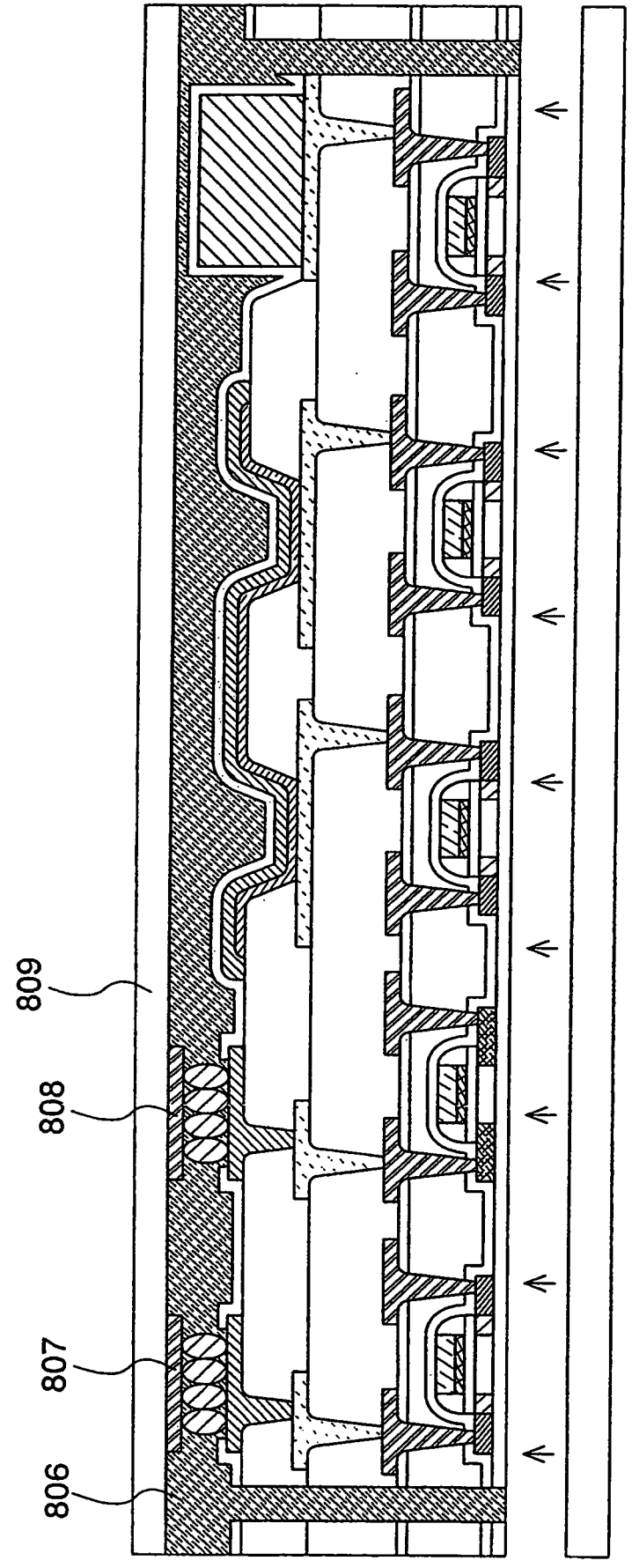


圖16A

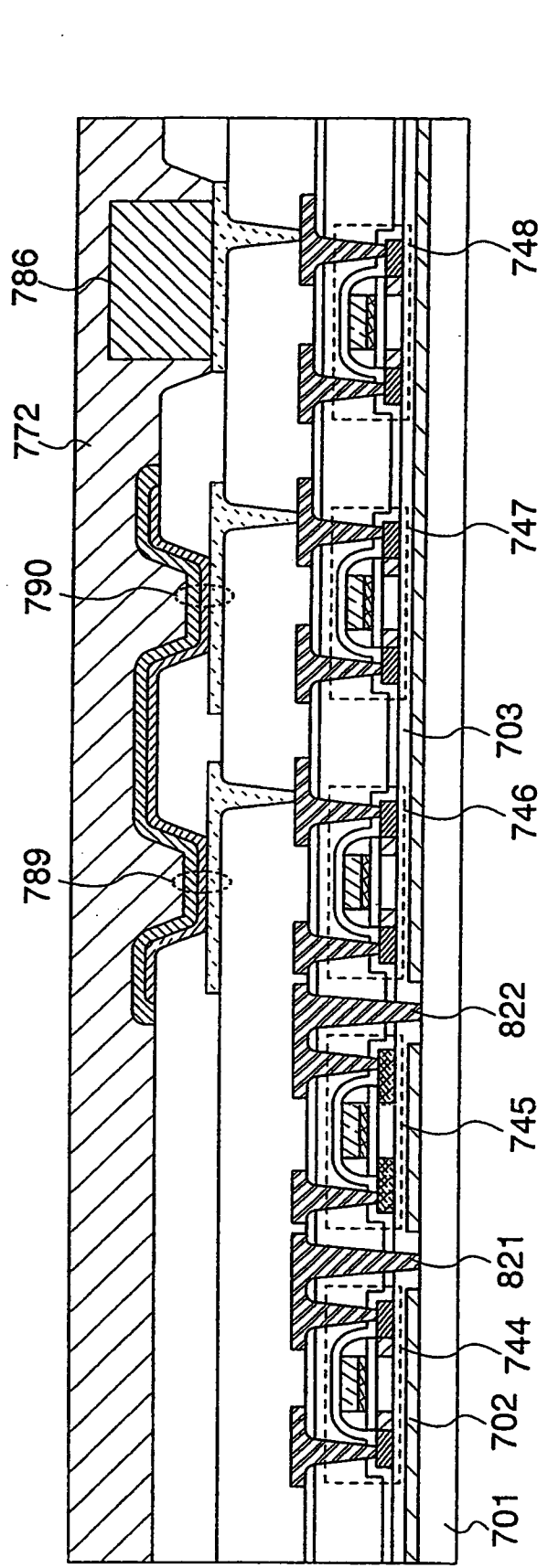


圖16B

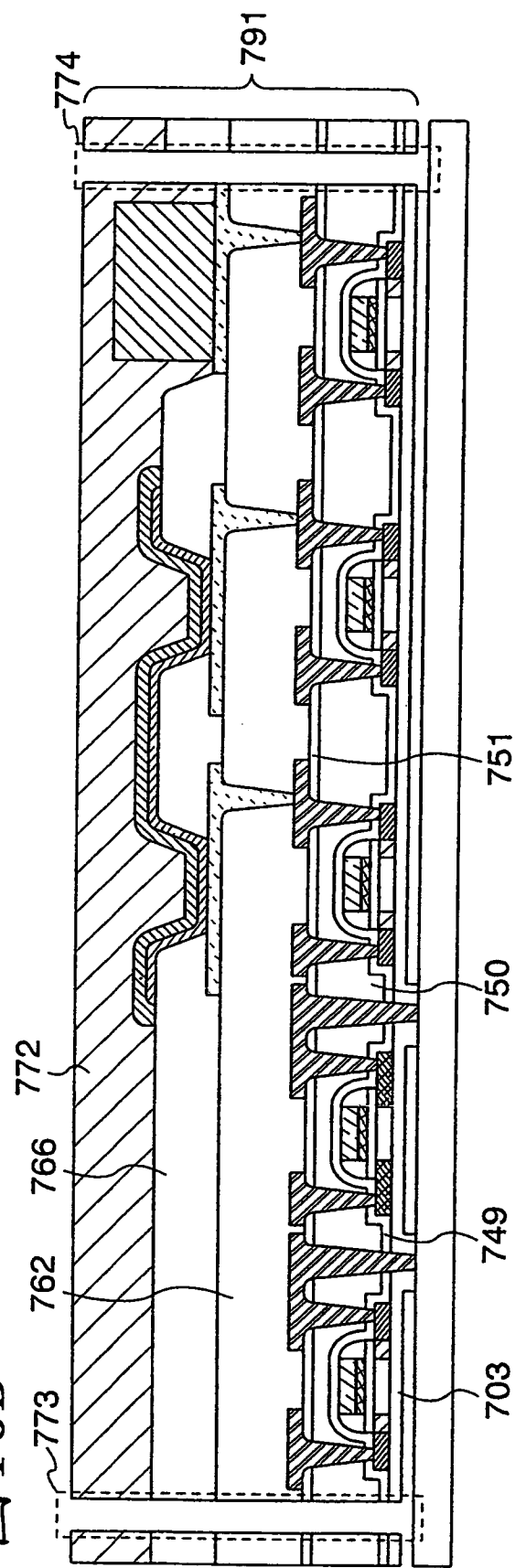


圖17A

825

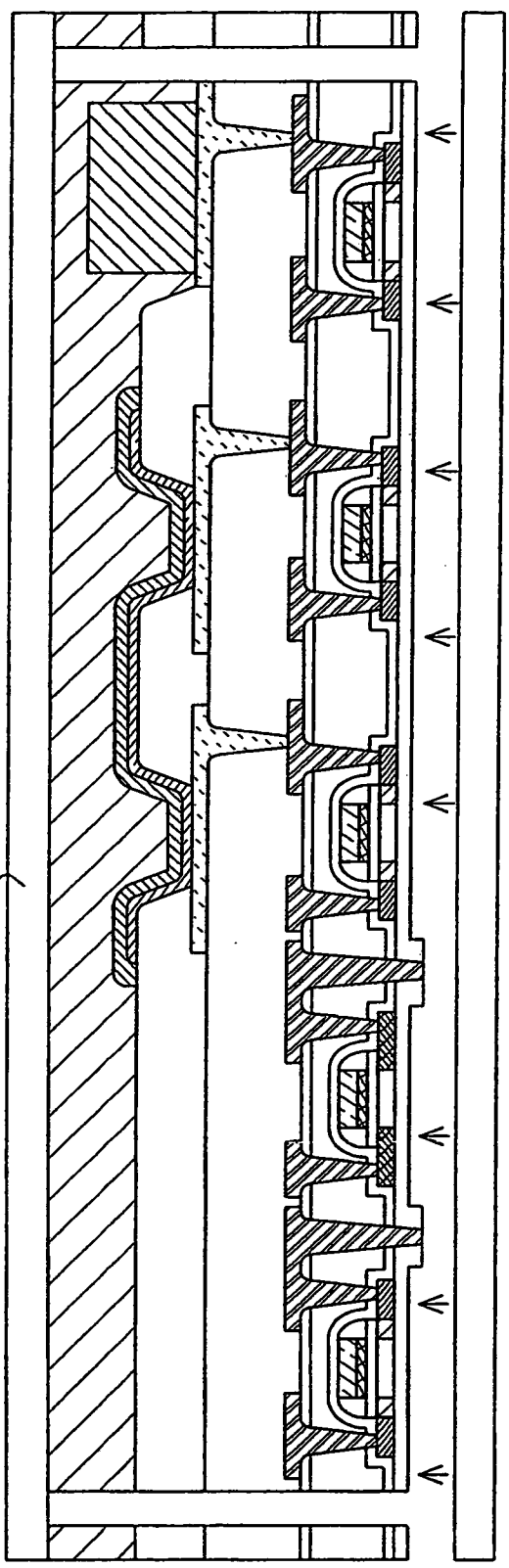


圖17B

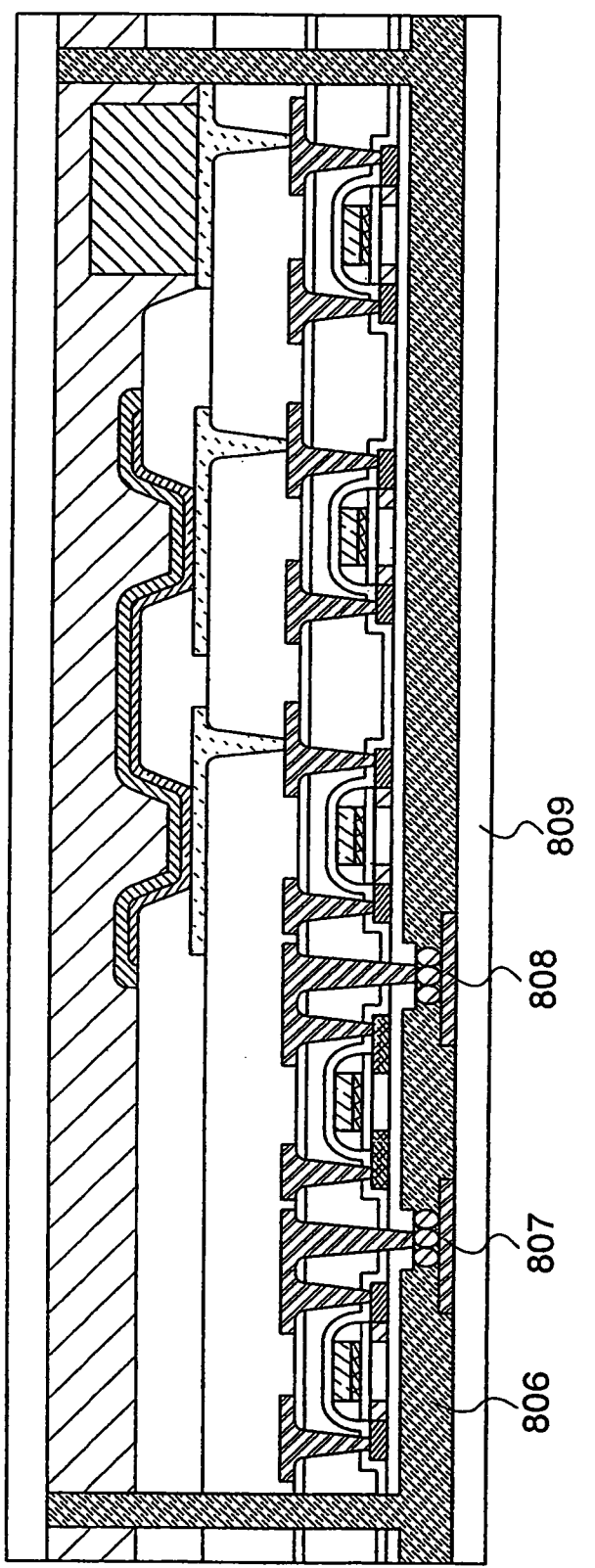


圖 18A

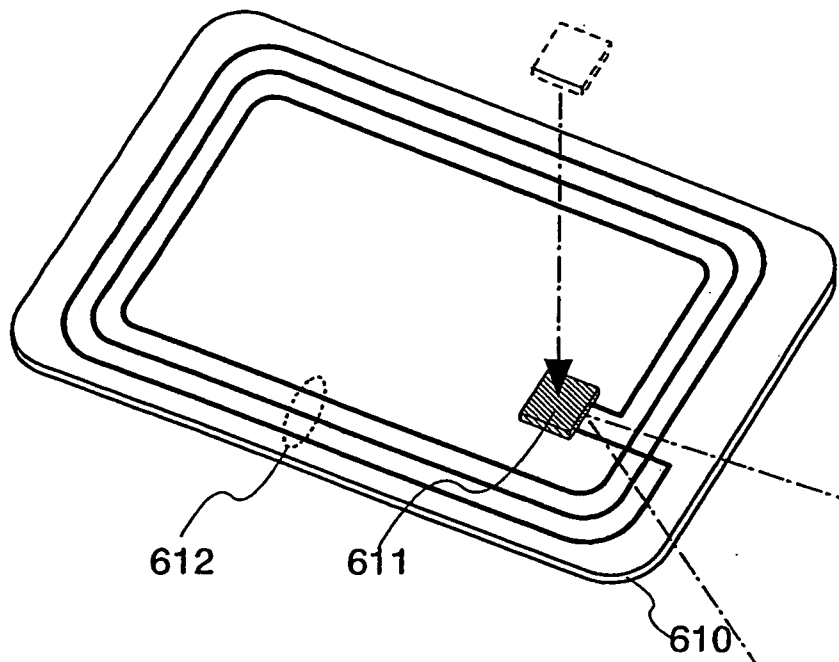


圖 18C

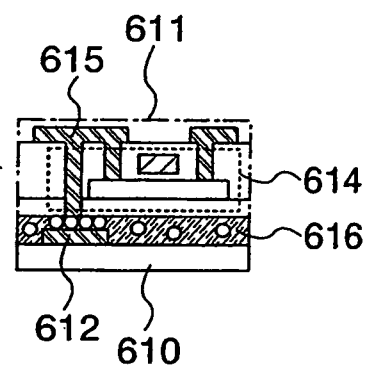


圖 18B

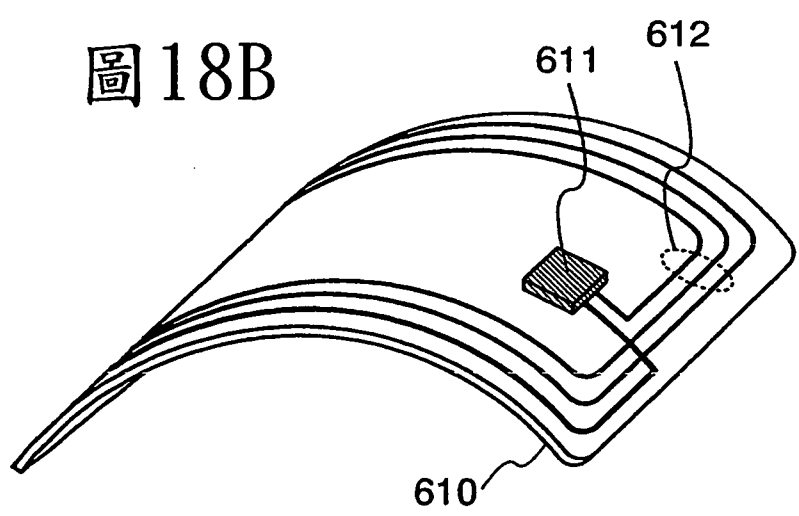


圖 18D

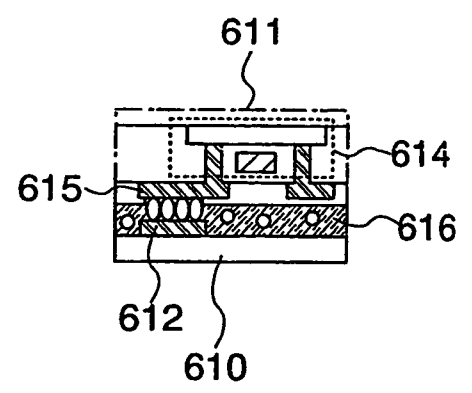


圖 19A

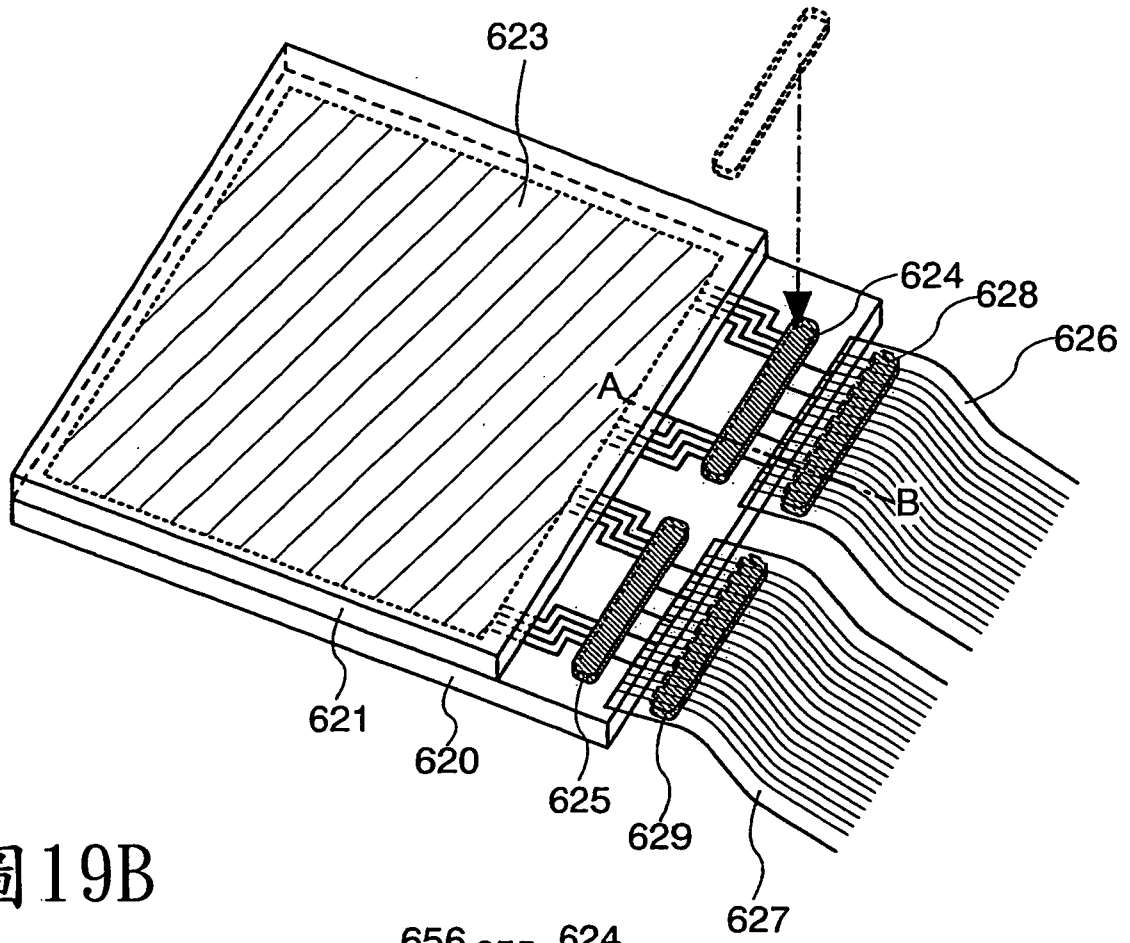


圖 19B

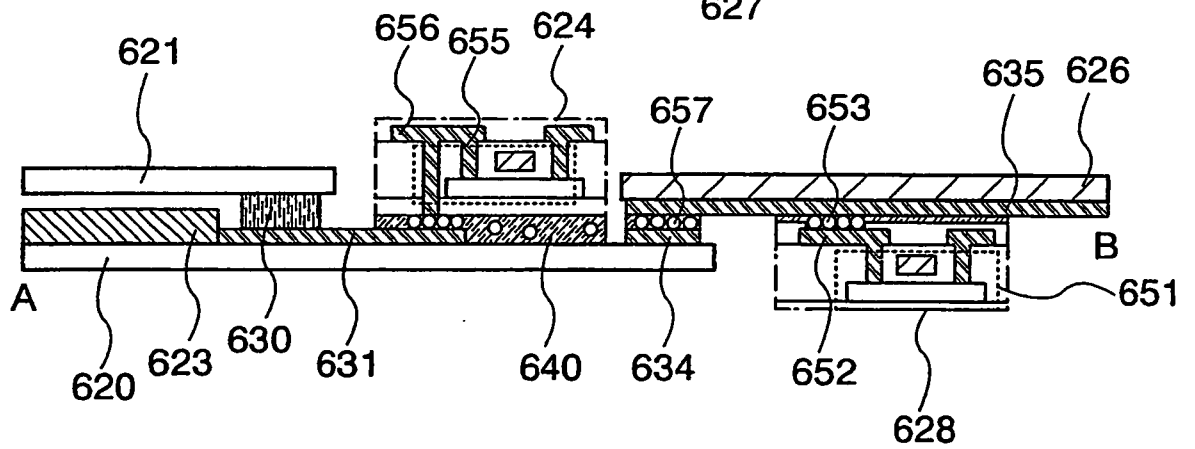


圖 20A

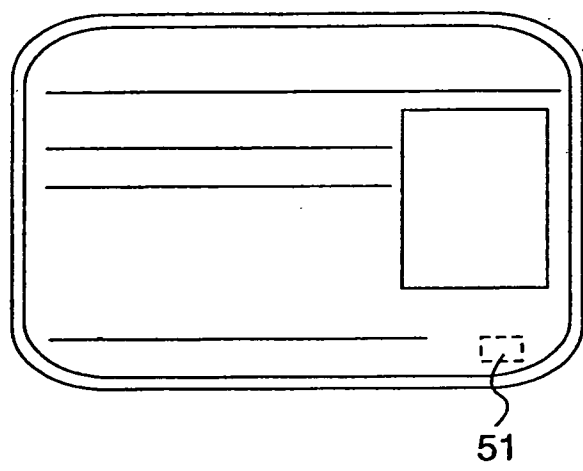


圖 20B

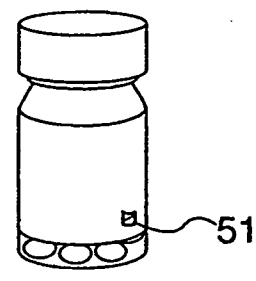


圖 20C

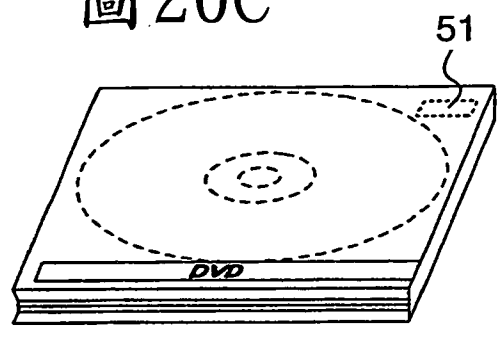


圖 20D

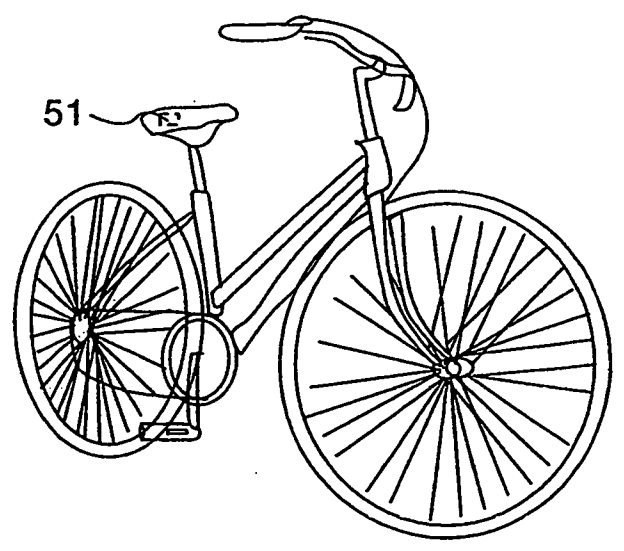


圖 20E



圖 21

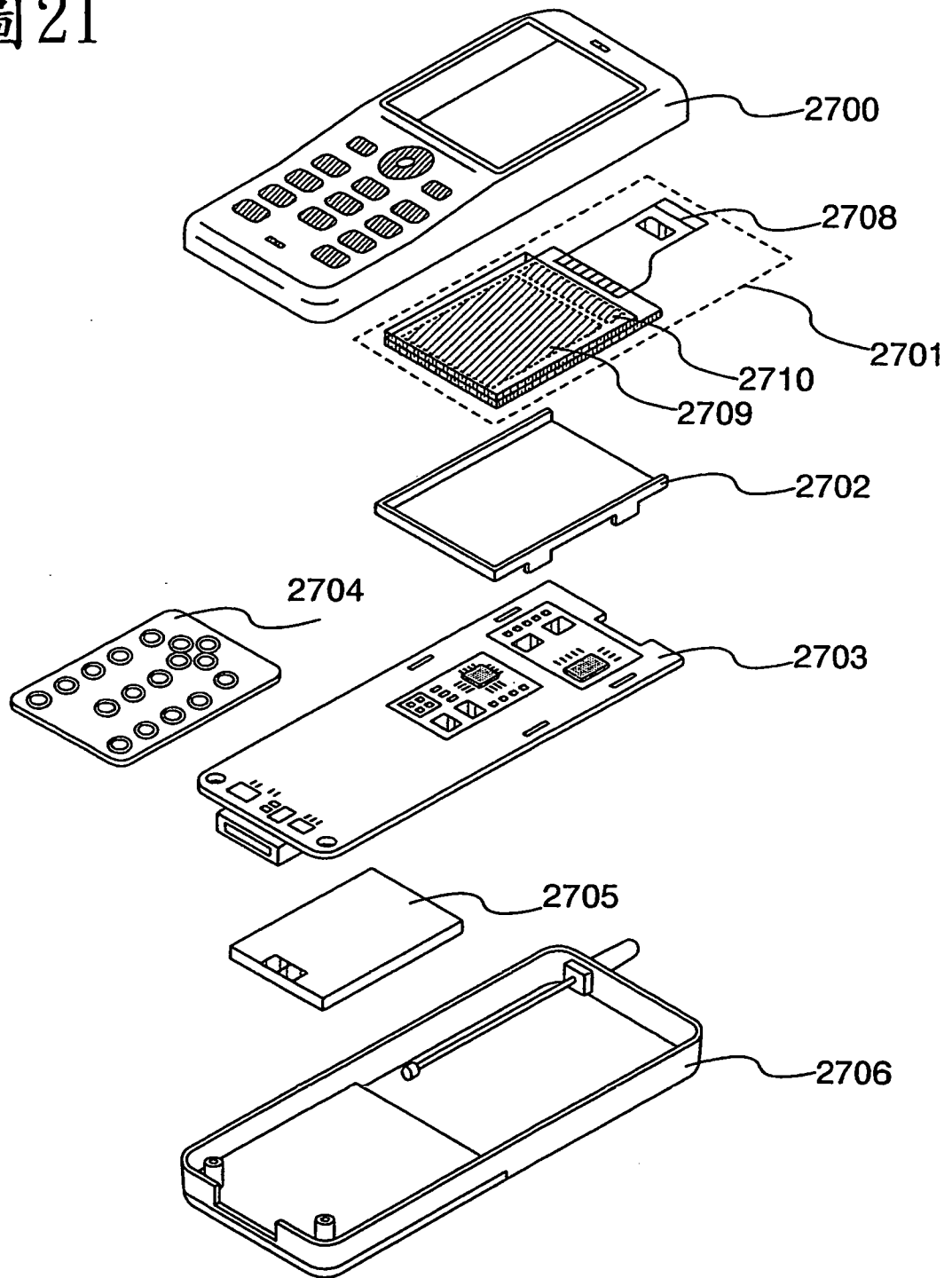


圖 22A

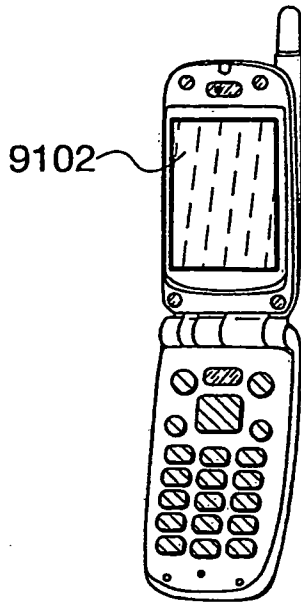


圖 22B

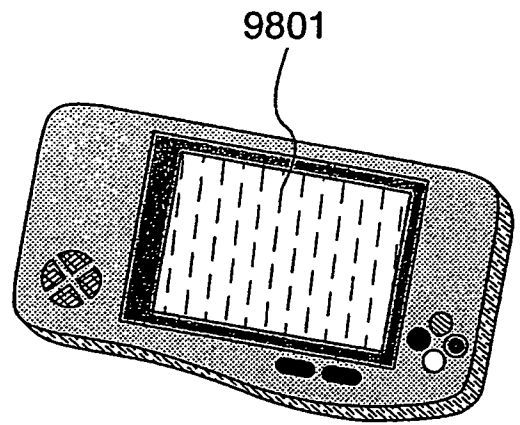


圖 22C

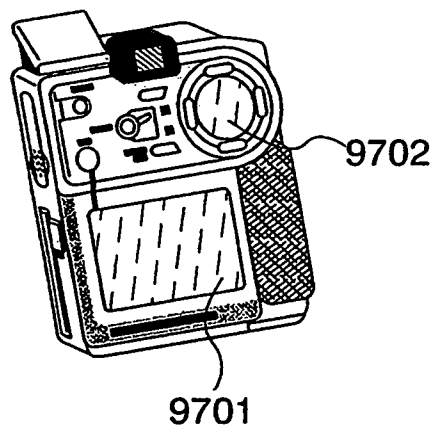


圖 22D

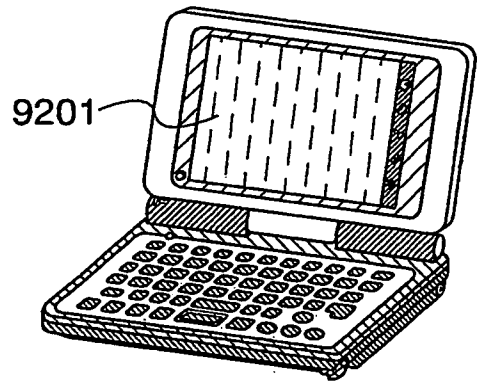


圖 22E

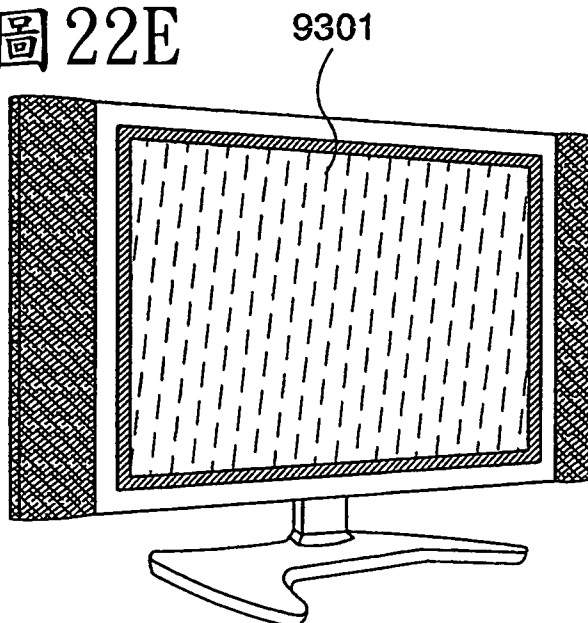


圖 22F

