

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5033711号
(P5033711)

(45) 発行日 平成24年9月26日(2012.9.26)

(24) 登録日 平成24年7月6日(2012.7.6)

(51) Int. Cl. F 1
HO 4 N 9/07 (2006.01) HO 4 N 9/07 A
 HO 4 N 9/07 D

請求項の数 10 (全 12 頁)

(21) 出願番号	特願2008-136505 (P2008-136505)	(73) 特許権者	306037311 富士フイルム株式会社
(22) 出願日	平成20年5月26日(2008.5.26)		東京都港区西麻布2丁目26番30号
(65) 公開番号	特開2009-21985 (P2009-21985A)	(74) 代理人	100115107 弁理士 高松 猛
(43) 公開日	平成21年1月29日(2009.1.29)	(72) 発明者	和田 哲
審査請求日	平成23年2月8日(2011.2.8)		宮城県黒川郡大和町松坂平1丁目6番地
(31) 優先権主張番号	特願2007-156270 (P2007-156270)		富士フイルム株式会社内
(32) 優先日	平成19年6月13日(2007.6.13)		
(33) 優先権主張国	日本国(JP)	審査官	吉川 康男

最終頁に続く

(54) 【発明の名称】 撮像装置及び撮像装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

3原色の第1色の入射光量を検出する第1の色画素と、3原色の第2色の入射光量を検出する第2の色画素と、3原色の第3色の入射光量を検出する第3の色画素と、前記色画素のそれぞれに隣接して設けられ輝度情報を検出する輝度検出画素とが設けられた撮像素子を搭載した撮像装置であって、

前記撮像素子の全画素分の解像度より解像度を縮小した縮小画像のデータを生成するとき、前記第1の色画素のデータと、該第1の色画素と隣接する前記第2の色画素のデータとを加算して第1の補色情報を生成し、前記第2の色画素のデータと該第2の色画素に隣接する前記第3の色画素のデータとを加算して第2の補色情報を生成し、隣接する前記輝度検出画素のデータ同士を加算して輝度情報を生成する制御手段と、

前記第1の補色情報と前記第2の補色情報と前記輝度情報を信号処理して撮像画像を再生する信号処理手段とを備え、

前記撮像素子が、前記第1の色画素と前記第2の色画素とを繰り返し並べた列と、前記第2の色画素と前記第3の色画素とを繰り返し並べた列と、前記輝度検出画素のみを並べた列とからなる画素配列を有することを特徴とする撮像装置。

【請求項2】

前記撮像素子は、前記色画素が縦方向及び横方向に対して同じピッチで市松状に配列され、前記輝度検出画素が前記色画素の前記縦方向及び前記横方向に対して1/2ピッチずれた位置に市松状に配列されたことを特徴とする請求項1に記載の撮像装置。

10

20

【請求項 3】

前記撮像素子は、複数の画素が正方格子状に配列され、前記複数の画素のうち市松状の配置位置にある画素を前記輝度検出画素とし、残りの市松状の配置位置にある各画素を前記色画素とすることを特徴とする請求項 1 に記載の撮像装置。

【請求項 4】

前記撮像素子は CCD 型であり、前記撮像素子の各画素からデータを読み出すときに、前記色画素のデータを加算と、前記輝度情報画素同士のデータの加算とを行って読み出す加算読出手段を備えることを特徴とする請求項 1 から 3 のいずれか 1 つに記載の撮像装置。

【請求項 5】

前記撮像素子は CMOS 型であり、前記撮像素子の各画素からデータを読み出した後に、前記色画素のデータを加算と、前記輝度情報画素同士のデータの加算とを行って読み出すデータ加算手段を備えることを特徴とする請求項 1 から 3 のいずれか 1 つに記載の撮像装置。

【請求項 6】

3 原色の第 1 色の入射光量を検出する第 1 の色画素と、3 原色の第 2 色の入射光量を検出する第 2 の色画素と、3 原色の第 3 色の入射光量を検出する第 3 の色画素と、前記色画素のそれぞれに隣接して設けられ輝度情報を検出する輝度検出画素とが設けられた撮像素子を搭載した撮像装置の駆動方法であって、

前記撮像素子の全画素分の解像度より解像度を縮小した縮小画像のデータを生成するとき、前記第 1 の色画素のデータと、該第 1 の色画素と隣接する前記第 2 の色画素のデータとを加算して第 1 の補色情報を生成し、前記第 2 の色画素のデータと該第 2 の色画素に隣接する前記第 3 の色画素のデータとを加算して第 2 の補色情報を生成し、隣接する前記輝度検出画素のデータ同士を加算して輝度情報を生成する工程と、

前記第 1 の補色情報と前記第 2 の補色情報と前記輝度情報を信号処理して撮像画像を再生する工程とを備え、

前記撮像素子が、前記第 1 の色画素と前記第 2 の色画素とを繰り返し並べた列と、前記第 2 の色画素と前記第 3 の色画素とを繰り返し並べた列と、前記輝度検出画素のみを並べた列とからなる画素配列を有することを特徴とする撮像装置の駆動方法。

【請求項 7】

前記撮像素子は、前記色画素が縦方向及び横方向に対して同じピッチで市松状に配列され、前記輝度検出画素が前記色画素の前記縦方向及び前記横方向に対して 1 / 2 ピッチずれた位置に市松状に配列されたことを特徴とする請求項 6 に記載の撮像装置の駆動方法。

【請求項 8】

前記撮像素子は、複数の画素が正方格子状に配列され、前記複数の画素のうち市松状の配置位置にある画素を前記輝度検出画素とし、残りの市松状の配置位置にある各画素を前記色画素とすることを特徴とする請求項 6 に記載の撮像装置の駆動方法。

【請求項 9】

前記撮像素子は CCD 型であり、前記撮像素子の各画素からデータを読み出すときに、前記色画素のデータを加算と、前記輝度情報画素同士のデータの加算とを行って読み出す工程を備えることを特徴とする請求項 6 から 8 のいずれか 1 つに記載の撮像装置の駆動方法。

【請求項 10】

前記撮像素子は CMOS 型であり、前記撮像素子の各画素からデータを読み出した後に、前記色画素のデータを加算と、前記輝度情報画素同士のデータの加算とを行って読み出す工程を備えることを特徴とする請求項 6 から 8 のいずれか 1 つに記載の撮像装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、撮像装置及び撮像装置の駆動方法に関し、特に、R（赤）、G（緑）、B（青）の色検出用画素と、W（白）の輝度検出用画素を有する撮像素子を備えた撮像装置及びその駆動方法に関する。

【背景技術】

【0002】

デジタルカメラに搭載されるカラー画像撮影用の固体撮像素子は、例えばベイヤー配列されたR、G、Bの3原色のカラーフィルタを持っているが、R、G、Bのカラーフィルタだけでは、被写体の色が偏っていた場合、撮像画像の輝度解像度が劣化してしまうという問題がある。

【0003】

このため、従来では、固体撮像素子を構成する各画素のうち、市松状に配置された画素を輝度検出用の画素とし、残りの市松配置位置の各画素の上にR、G、Bの3原色のカラーフィルタのいずれかを形成し、撮像画像の輝度解像度が被写体の色に依存しないようにしている。

【0004】

また、輝度検出用画素が形成されたカラー画像撮影用固体撮像素子を搭載したデジタルカメラで、例えば動画を撮影するときなど、フレームレートを高めるために、縮小した画像データを固体撮像素子から読み出す場合がある。この場合、輝度検出用画素からは画像データを読み出さず、R、G、Bのカラーフィルタを持つ色検出用画素からのみ画像データを読み出し、画像解像度を精度良く縦横共に1/2にしている。しかし、近年の固体撮像素子は高画素化が技術的限界にまで達しており、1画素で受光できる信号電荷量は非常に小さい。このため、画素間引きを行って画像データを固体撮像素子から読み出すと、輝度感度が小さくなってしまいう問題がある。

【0005】

この問題を解決するため、下記特許文献1は、縮小した画像データを固体撮像素子から読み出す場合、間引きを行わずに画素データを読み出すことで、輝度感度を低下させることなく、1/2の縮小画像を得ることを実現している。

【0006】

【特許文献1】特開2006-157600号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、上記特許文献1の固体撮像素子は、縦横に配列形成された個々の画素の表面に、輝度検出用のフィルタYとカラーフィルタR、G、Bとが設けられている。フィルタYは、縦横に配列された個々の画素のうち、市松状の配置位置となっている画素の表面に設けられ、カラーフィルタR、G、Bは、残りの市松状の配置位置となっている画素の表面に設けられている。偶数行の画素の個々の表面に「Y、G、Y、G、…」とフィルタが並び、奇数行の画素の個々の表面には、「R、Y、B、Y、R、…」と並ぶ行と、「B、Y、R、Y、B、…」と並ぶ行とが交互に配置される。そして、固体撮像素子で撮像した画像データを用い、縦横ともに1/2の解像度の縮小画像を生成する場合には、本実施形態では、縦方向（垂直方向）に隣接する2画素の画像データを加算して固体撮像素子から読み出している。ここで、縦方向の2画素のペアは、フィルタYを持つ画素であるY画素と、カラーフィルタR、G、Bのいずれかを持つ画素とからなり、R画素とY画素とからなるペアに対して縦方向に隣り合うペアはB画素とY画素とからなるペアとなる。すると、画像データを読み出す際に更にフレームレートを高めるため、1/2より小さい比率で縮小画像を生成しようとする場合には、縦方向において画素データの間引きをしなくてはならず、高いフレームレートによる読み出し速度の高速性と高画質との両立を図る点で更なる改善の余地があった。

【0008】

本発明は、上記事情に鑑みてなされたもので、その目的は、高いフレームレートで画像

10

20

30

40

50

データを読み出しつつ、間引きを行わず高画質を実現できる撮像素子及び撮像素子の駆動方法を提供することにある。

【課題を解決するための手段】

【0009】

本発明の上記目的は、下記構成によって達成される。

(1) 3原色の第1色の入射光量を検出する第1の色画素と、3原色の第2色の入射光量を検出する第2の色画素と、3原色の第3色の入射光量を検出する第3の色画素と、前記色画素のそれぞれに隣接して設けられ輝度情報を検出する輝度検出画素とが設けられた撮像素子を搭載した撮像素子の撮像素子において、

前記撮像素子の全画素分の解像度より解像度を縮小した縮小画像のデータを生成するとき、前記第1の色画素のデータと、該第1の色画素と隣接する前記第2の色画素のデータとを加算して第1の補色情報を生成し、前記第2の色画素のデータと該第2の色画素に隣接する前記第3の色画素のデータとを加算して第2の補色情報を生成し、隣接する前記輝度検出画素のデータ同士を加算して輝度情報を生成する制御手段と、

前記第1の補色情報と前記第2の補色情報と前記輝度情報を信号処理して撮像素子の撮像素子において再生する信号処理手段とを備え、

前記撮像素子が、前記第1の色画素と前記第2の色画素とを繰り返し並べた列と、前記第2の色画素と前記第3の色画素とを繰り返し並べた列と、前記輝度検出画素のみを並べた列とからなる画素配列を有することを特徴とする撮像素子の撮像素子において、

(2) 前記撮像素子は、前記色画素が縦方向及び横方向に対して同じピッチで市松状に配列され、前記輝度検出画素が前記色画素の前記縦方向及び前記横方向に対して1/2ピッチずれた位置に市松状に配列されたことを特徴とする上記(1)に記載の撮像素子の撮像素子において、

(3) 前記撮像素子は、複数の画素が正方格子状に配列され、前記複数の画素のうち市松状の配置位置にある画素を前記輝度検出画素とし、残りの市松状の配置位置にある各画素を前記色画素とすることを特徴とする上記(1)に記載の撮像素子の撮像素子において、

(4) 前記撮像素子はCCD型であり、前記撮像素子の各画素からデータを読み出すときに、前記色画素のデータを加算と、前記輝度情報画素同士のデータの加算とを行って読み出す加算読出手段を備えることを特徴とする上記(1)から(3)のいずれか1つに記載の撮像素子の撮像素子において、

(5) 前記撮像素子はCMOS型であり、前記撮像素子の各画素からデータを読み出した後に、前記色画素のデータを加算と、前記輝度情報画素同士のデータの加算とを行って読み出すデータ加算手段を備えることを特徴とする上記(1)から(3)のいずれか1つに記載の撮像素子の撮像素子において、

(6) 3原色の第1色の入射光量を検出する第1の色画素と、3原色の第2色の入射光量を検出する第2の色画素と、3原色の第3色の入射光量を検出する第3の色画素と、前記色画素のそれぞれに隣接して設けられ輝度情報を検出する輝度検出画素とが設けられた撮像素子を搭載した撮像素子の撮像素子において、

前記撮像素子の全画素分の解像度より解像度を縮小した縮小画像のデータを生成するとき、前記第1の色画素のデータと、該第1の色画素と隣接する前記第2の色画素のデータとを加算して第1の補色情報を生成し、前記第2の色画素のデータと該第2の色画素に隣接する前記第3の色画素のデータとを加算して第2の補色情報を生成し、隣接する前記輝度検出画素のデータ同士を加算して輝度情報を生成する工程と、

前記第1の補色情報と前記第2の補色情報と前記輝度情報を信号処理して撮像素子の撮像素子において再生する工程とを備え、

前記撮像素子が、前記第1の色画素と前記第2の色画素とを繰り返し並べた列と、前記第2の色画素と前記第3の色画素とを繰り返し並べた列と、前記輝度検出画素のみを並べた列とからなる画素配列を有することを特徴とする撮像素子の撮像素子において、

(7) 前記撮像素子は、前記色画素が縦方向及び横方向に対して同じピッチで市松状に配列され、前記輝度検出画素が前記色画素の前記縦方向及び前記横方向に対して1/2ピッチずれた位置に市松状に配列されたことを特徴とする上記(6)に記載の撮像素子の撮像素子において、

10

20

30

40

50

方法。

(8) 前記撮像素子は、複数の画素が正方格子状に配列され、前記複数の画素のうち市松状の配置位置にある画素を前記輝度検出画素とし、残りの市松状の配置位置にある各画素を前記色画素とすることを特徴とする上記(6)に記載の撮像装置の駆動方法。

(9) 前記撮像素子はCCD型であり、前記撮像素子の各画素からデータを読み出すときに、前記色画素のデータを加算と、前記輝度情報画素同士のデータの加算とを行って読み出す工程を備えることを特徴とする上記(6)から(8)のいずれか1つに記載の撮像装置の駆動方法。

(10) 前記撮像素子はCMOS型であり、前記撮像素子の各画素からデータを読み出した後に、前記色画素のデータを加算と、前記輝度情報画素同士のデータの加算とを行って読み出す工程を備えることを特徴とする上記(6)から(8)のいずれか1つに記載の撮像装置の駆動方法。

【0010】

本発明は、撮像素子は、第1の色画素と第2の色画素とを繰り返し並べた列と、第2の色画素と第3の色画素とを繰り返し並べた列と、輝度検出画素のみを並べた列とからなる画素配列を有する。このような画素配列において、間引くことなく読み出しを行うため、第1の補色情報を生成する際に、第1の色画素と第2の色画素とを繰り返し並べた列から第1の色画素のデータと第2の色画素のデータとのペアを所定の数だけ読み出す。このとき、第1の色画素と第2の色画素とが、同じ列において繰り返し配置されているため、間引きをすることなく読み出すことができる。同様に、第2の補色情報を生成する際に、第2の色画素と第3の色画素とを繰り返し並べた列から第2の色画素のデータと第3の色画素のデータとのペアを所定の数だけ間引きすることなく読み出すことができる。また、輝度検出画素のみからなる列が形成されているため、該輝度検出画素同士のペアのデータを読み出す場合には間引きすることなく読み出すことができる。こうすれば、高いフレームレートで画像データを読み出すために、撮像素子の全画素分の解像度より解像度を縮小した縮小画像のデータを生成するとき、前記色画素のデータ及び前記輝度情報画素のデータを加算させるペアの数が増えても、間引くことなく読み出すことができ、1/2の縮小画像だけでなく所定の縮小比の縮小画像を高画質で再生することができる。

【発明の効果】

【0011】

本発明によれば、高いフレームレートで画像データを読み出しつつ、間引きを行わず高画質を実現できる撮像装置及び撮像装置の駆動方法を提供できる。

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施形態を図面に基づいて詳しく説明する。

図1は、本発明の一実施形態に係る撮像装置の構成図である。この実施形態ではデジタルスチルカメラを例に説明するが、デジタルビデオカメラや携帯電話機等の小型電子機器に搭載されたカメラ等の他の種類のデジタルカメラにも本発明を適用可能である。

【0013】

図1に示すデジタルスチルカメラは、撮影レンズ10と、CCD型の撮像素子11と、この両者の間に設けられた絞り12と、赤外線カットフィルタ13と、光学ローパスフィルタ14とを備える。デジタルスチルカメラ全体を制御するCPU15は、フラッシュ用の発光部16及び受光部17を制御し、また、レンズ駆動部18を制御して撮影レンズ10の位置をフォーカス位置に調整し、絞り駆動部19を介し絞りの開口量を制御して露光量が適正露光量となるように調整する。

【0014】

撮像素子11は、本実施形態では、赤色(R)の入射光量に応じた信号を検出する色画素と、緑色(G)の入射光量に応じた信号を検出する色画素と、青色(B)の入射光量に応じた信号を検出する色画素の他に、輝度検出信号(W)を検出する輝度検出画素とが設けられている。尚、撮像素子11は、CCD型でなくCMOS型などの他の形式のもので

10

20

30

40

50

もよい。

【 0 0 1 5 】

また、CPU 15 は、撮像素子駆動部 20 を介して、撮像素子 11 を詳細は後述するようにして駆動し、撮影レンズ 10 を通して撮像した被写体画像を色信号として出力させる。CPU 15 には、操作部 21 を通してユーザの指示信号が入力され、CPU 15 はこの指示に従って各種制御を行う。

【 0 0 1 6 】

操作部 21 はシャッターボタンを含み、シャッターボタンが半押し状態（スイッチ S1）になったときにフォーカス調整が為され、シャッターボタンが全押し状態（スイッチ S2）になると、撮像が行われる。

10

【 0 0 1 7 】

デジタルスチルカメラの電気制御系は、撮像素子 11 の出力に接続されたアナログ信号処理部 22 と、このアナログ信号処理部 22 から出力された R, G, B の各色信号及び輝度検出信号 Y をそれぞれデジタル信号に変換する A/D 変換回路 23 とを備え、これらは CPU 15 によって制御される。

【 0 0 1 8 】

更に、このデジタルスチルカメラの電気制御系は、メインメモリ（フレームメモリ）24 に接続されたメモリ制御部 25 と、詳細は後述する信号処理を行うデジタル信号処理部 26 と、撮像画像を JPEG 画像に圧縮したり圧縮画像を伸張したりする圧縮伸張処理部 27 と、測光データを積算してホワイトバランスのゲインを調整させる積算部 28 と、着脱自在の記録媒体 29 が接続される外部メモリ制御部 30 と、カメラ背面等に搭載された液晶表示部 31 が接続される表示制御部 32 とを備え、これらは、制御バス 33 及びデータバス 34 によって相互に接続され、CPU 15 からの指令によって制御される。

20

【 0 0 1 9 】

図 2 は、図 1 に示すデジタル信号処理部 26 の詳細構成図である。このデジタル信号処理部 26 は、A/D 変換回路 23 から出力されるデジタルの RGB 色信号及び輝度検出信号 Y を取り込んでオフセット処理を行うオフセット補正回路 41 と、ホワイトバランスをとるゲイン補正回路 42 と、ホワイトバランス補正後の色信号に対してガンマ補正を行うガンマ補正回路 43 を備える。オフセット補正後の信号に対してリニアマトリクス処理や二補正を行う場合には、ゲイン補正回路 42 とガンマ補正回路 43 との間で行う。

30

【 0 0 2 0 】

このデジタル信号処理部 26 は更に、ガンマ補正後の RGB 色信号を補間演算して各画素位置における RGB 3 色の信号を求める RGB 補間演算部 44 と、RGB 信号及び輝度検出信号 W から輝度信号 Y 及び色差信号 Cr, Cb を求める RGB/YC 変換部 45 と、変換部 45 から出力される輝度信号 Y からノイズを低減するノイズフィルタ 46 と、ノイズ低減後の輝度信号 Y に対して輪郭補正を行う輪郭補正回路 47 と、色差信号 Cr, Cb に対して色差マトリクスを乗算して色調補正を行う色差マトリクス回路 48 とを備える。

【 0 0 2 1 】

RGB 補間演算部 44 は、3 板式の撮像素子であれば不要であるが、本実施形態で使用する撮像素子 11 は単板式の撮像素子であり、各画素からは、R, G, B のうちの一色の信号または輝度検出信号 Y しか出力されないため、出力しない色、即ち、R を出力する画素では、この画素位置において G, B の色信号がどの程度になるかを、周りの画素の G, B 信号から補間演算により求めるものである。

40

【 0 0 2 2 】

図 3 は、本実施形態で使用する撮像素子 11 の画素配列を示す表面模式図である。図 4 は、画素のデータを加算して読み出しときの処理を説明する撮像素子の表面模式図である。固体撮像素子 11 には、多数の画素が正方格子状に配列されており、そのうちの 5 × 5 = 25 の画素部分を図 3 に示している。

【 0 0 2 3 】

図 3 に示すように、撮像素子 11 は、偶数行の画素の個々の表面に「W, G, W, G,

50

...」とフィルタが並び、奇数行の画素の個々の表面には、「R, W, B, W, R, ...」と並ぶ行と、「B, W, R, W, B, ...」と並ぶ行とが交互に配置されている。

【0024】

フィルタWは、輝度情報と相関のある分光特性を持ったフィルタすなわち輝度フィルタといえるものであり、NDフィルタや、透明フィルタ、白色フィルタ、グレーのフィルタ等が該当するが、画素表面に何もフィルタを設けずに光が直接画素表面に入射する構成も、輝度フィルタを設けたとすることができる。

【0025】

以下、フィルタRを持つ画素を「R画素」、フィルタGを持つ画素を「G画素」、フィルタBを持つ画素を「B画素」、フィルタWを持つ画素を「W画素」として説明する。

10

【0026】

本実施形態では、撮像素子11は、R画素とG画素とを斜め方向に繰り返し並べた列と、G画素とB画素とを斜め方向に繰り返し並べた列と、W画素のみを斜め方向に並べた列とからなる画素配列である。ここで、斜め方向とは、図3における上下方向を時計回りの反対回りに45°傾けた状態で、R, G画素とかなる列、G, B画素とかなる列、W画素のみからなる列のそれぞれの列が延びている方向をいう。また、撮像素子11は、2つのW画素に対してR, G, B画素が1つの割合で形成され、言い換えると、R, G, B, Wの画素数の比率は、1:2:1:4となる。

【0027】

上述した構成の撮像素子11で撮像した画像データを用い、例えば最大解像度の静止画像を生成する場合には、従来と同様に撮像素子11の個々の画素から個別にR, G, B, Wの画像データを読み出し、デジタル信号処理部26で画像処理する。

20

【0028】

これに対し、撮像素子11で撮像した画像データを用い、低解像度の縮小画像を生成する場合には、本実施形態では、図4に破線で囲んで示すように、斜め方向に隣接する2画素を加算ペアとして画像データを加算して撮像素子11から読み出すように、CPU15が撮像素子駆動部20を制御する。CCD型の撮像素子11であれば、垂直転送路上で画像データ(信号電荷量)を加算してもよいし、CMOS型の撮像素子11であれば、各画素の信号電荷量に応じて信号読出用トランジスタが読み出した信号量を加算すればよい。

【0029】

30

本実施形態では、加算ペアを形成する際に、斜め方向に全て画素が加算に使用することができるため、従来のように加算ペアに含まれず画素の信号量が読み出されずに掃きだされてしまうことを回避することができる。

【0030】

以下、撮像素子の全画素分の解像度より解像度を縮小した縮小画像のデータを生成する場合に、R, G, Bの色画素のデータ及びWの輝度検出画素のデータに基づいて撮像画像を再生する手段を説明する。ここで、撮像素子11から読み出した本来のR信号を「R」、本来のG信号を「G」、本来のB信号を「B」、本来のW信号を「W」と表す。

【0031】

図4の撮像素子11を斜め方向に加算すると、下記式のようなになる。下記式においてYeはRGB三原色に対する補色のイエローを表し、Cyは、補色のシアンを表している。

40

【0032】

【数1】

$$R+G=Ye$$

$$G+B=Cy$$

$$W+W=2W \div 2R+2G+2B$$

【0033】

上記式のように、本実施形態では、3原色の色画素のデータのうち、配置の隣り合う2

50

つの色画素のデータから補色情報を生成している。具体的には、R（第1の色画素のデータ）と、当該Rと隣接するG（第2の色画素のデータ）とを加算してYe（第1の補色情報）を生成し、Gと当該Gに隣接するB（第3の色画素のデータ）とを加算してCy（第2の補色情報）を生成している。

【0034】

上記式より、下記の近似式を求めることができる。

【0035】

【数2】

$$W - Ye \doteq B$$

$$W - Cy \doteq R$$

$$Ye + Cy - W \doteq G$$

10

【0036】

この結果、RGBを下記の一般式により求めることができる。なお、下記式において、A(r)、A(g)、A(b)は各RGBごとに設定された定数項を表している。

【0037】

【数3】

$$R \doteq \alpha(r)W + \beta(r)Ye + \gamma(r)Cy + A(r)$$

$$G \doteq \alpha(g)W + \beta(g)Ye + \gamma(g)Cy + A(g)$$

$$B \doteq \alpha(b)W + \beta(b)Ye + \gamma(b)Cy + A(b)$$

20

【0038】

このように、R、G、Bは、W、Ye、Cyと定数項Aをマトリクス演算することで算出ことができ、算出されたR、G、BがそれぞれRGB/YC変換部45に出力される。

【0039】

本実施形態の撮像装置は、撮像素子11が、斜めの方向に対して、R画素とG画素とを繰り返し並べた列と、G画素とB画素とを繰り返し並べた列と、W画素のみを並べた列とからなる画素配列を有している。このため、R画素とG画素とを繰り返し並べた列からR、G画素のデータからなる加算ペアを所定の数だけ読み出し、補色情報Yeを生成することができる。このとき、R画素とG画素とが、同じ列において繰り返し配置されているため、間引きをすることなく読み出すことができる。同様に、補色情報Cyを生成する際に、G画素とB画素とを繰り返し並べた列からG、B画素からなる加算ペアを所定の数だけ、間引きすることなく読み出すことができる。また、W画素のみからなる列が形成されているため、W画素のデータを読み出す場合には間引きすることなく読み出すことができる。そして、得られた補色情報Ye、Cyと輝度情報Wより、近似的にRGBを得ることができる。こうすれば、動画撮像時のように高いフレームレートで画像データを読み出す際に、撮像素子の全画素分の解像度より解像度を縮小した縮小画像のデータを生成するため、色画素のデータ及び輝度情報画素のデータを加算させるペアの数が増えても間引くことなく読み出すことができ、1/2の縮小画像だけでなく所定の縮小比の縮小画像を高画質で再生することができる。

30

40

【0040】

本実施形態の画素配列における加算読み出しのパターンは、図4に示すものに限定されない。例えば、図5に示すように、R画素、W画素、B画素、W画素、R画素、と並べられた第1の列の各画素と、第1の列に下方に配列された、W画素、G画素、W画素、G画素、W画素とを有する第2の列のうち、第1の列の各画素とそれぞれの右斜め下に位置する画素とをペアで加算し、読み出してもよい。こうすれば、画素配列に対して加算されるペアの位置関係が整然となるため、加算による画像の劣化を抑えることができる。

50

【 0 0 4 1 】

次に、本発明にかかる撮像装置の別の実施形態を示す。なお、以下に説明する実施形態において、すでに説明した部材などと同様な構成・作用を有する部材等については、図中に同一符号又は相当符号を付すことにより、説明を簡略化或いは省略する。

【 0 0 4 2 】

図6は、他の実施形態にかかる撮像素子11の画素配列を示す表面模式図である。図6に示すように、撮像素子11は、R画素、G画素、B画素が縦方向及び横方向に対して同じピッチで市松状に配列（所謂、ベイヤー配列）され、これら色画素の縦方向及び横方向に対して1/2ピッチずれた位置に、W画素が市松状に配列されている。W画素は、縦方向及び横方向に対して色画素と同じピッチで配置されている。

10

【 0 0 4 3 】

撮像素子11は、R画素（第1の色画素）とG画素（第2の色画素）とを縦方向に繰り返し並べた列と、G画素とB画素（第3の色画素）とを縦方向に繰り返し並べた列と、W画素のみを縦方向に並べた列とからなる画素配列である。

【 0 0 4 4 】

撮像素子11で撮像した画像データを用い、解像度の縮小画像を生成する場合には、本実施形態では、図6において長方形で囲んで示すように、列の延びる方向に隣接する2画素を加算ペアとして画像データを加算して撮像素子11から読み出すように、CPU15が撮像素子駆動部20を制御する。CCD型の撮像素子11であれば、垂直転送路上で画像データ（信号電荷量）を加算してもよいし、CMOS型の撮像素子11であれば、各画素の信号電荷量に応じて信号読出用トランジスタが読み出した信号量を加算すればよい。本実施形態では、縦方向に繰り返し加算ペアを形成する際に、全て画素が加算に使用することができるため、従来のように加算ペアに含まれない画素の信号量が、読み出されずに掃きだされてしまうことを回避することができる。

20

【 0 0 4 5 】

このとき、RGBの色画素のデータ及び輝度検出画素のデータに基づき、上記実施形態と同様の演算式によって、補色情報 Y_e 、 C_y 及び輝度情報 W を算出し、近似によってRGBの画素データを得ることができる。

【 図面の簡単な説明 】

【 0 0 4 6 】

【図1】本発明の一実施形態に係る撮像装置の構成図である。

【図2】信号処理部の詳細構成図である。

【図3】撮像素子の画素配列を示す表面模式図である。

【図4】画素のデータを加算して読み出しときの処理を説明する撮像素子の表面模式図である。

【図5】図4に示す撮像素子において、他の加算読み出しの例を示す表面模式図である。

【図6】別実施形態の撮像素子の画素配列を示す表面模式図である。

【 符号の説明 】

【 0 0 4 7 】

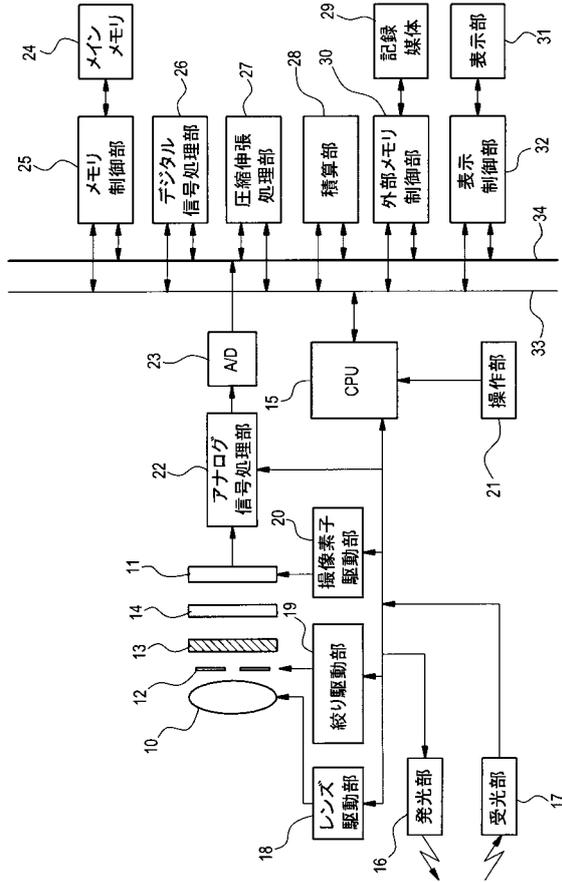
11 撮像素子

26 デジタル信号処理部

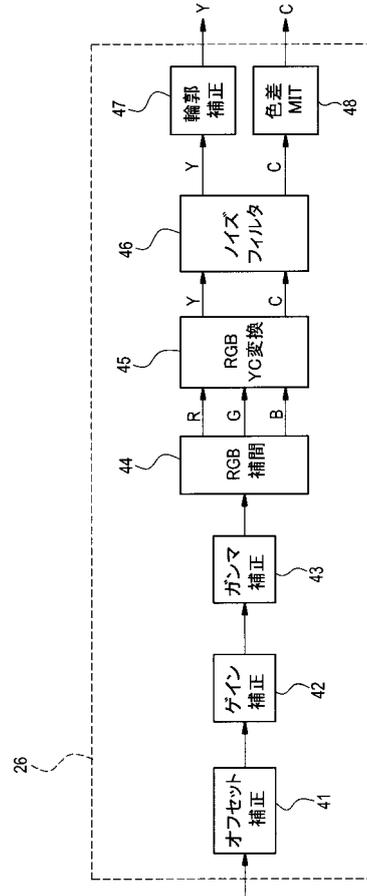
30

40

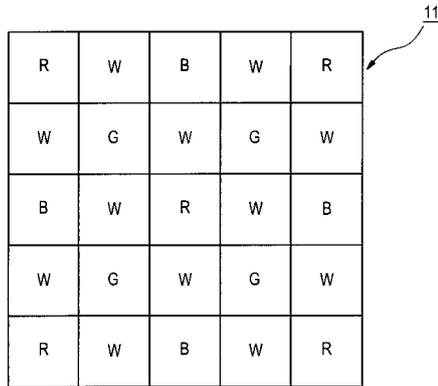
【図1】



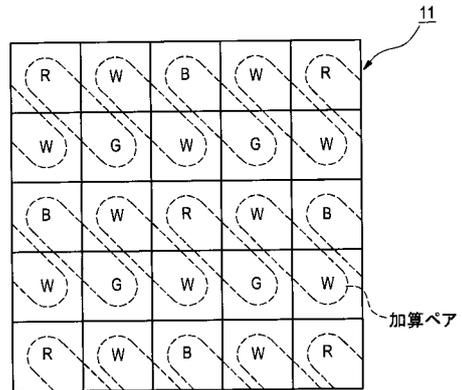
【図2】



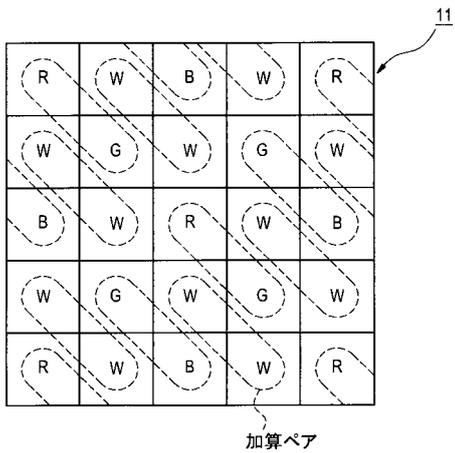
【図3】



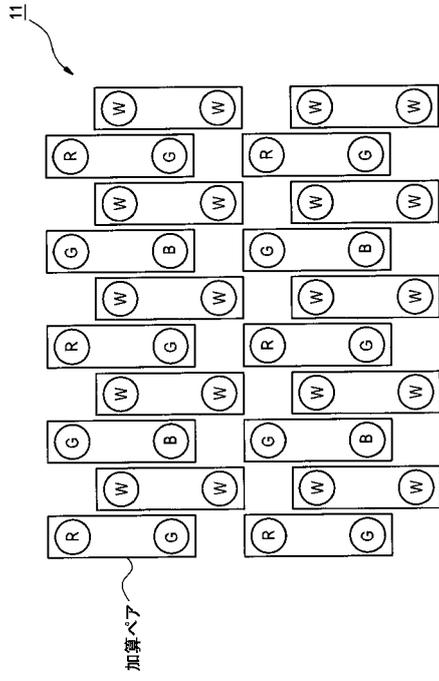
【図5】



【図4】



【 図 6 】



フロントページの続き

- (56)参考文献 特開2006-157600(JP,A)
特開2004-104516(JP,A)
特開2006-352466(JP,A)
国際公開第2007/015982(WO,A1)
特開2004-304706(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H04N 9/07