

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-79988  
(P2004-79988A)

(43) 公開日 平成16年3月11日(2004.3.11)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/336	HO 1 L 29/78 6 5 8 J	5 F O 3 3
HO 1 L 21/768	HO 1 L 29/06 3 0 1 F	
HO 1 L 29/06	HO 1 L 29/06 3 0 1 G	
HO 1 L 29/78	HO 1 L 29/78 6 5 2 M	
	HO 1 L 29/78 6 5 2 N	
	審査請求 有 請求項の数 25 O L (全 22 頁) 最終頁に続く	

(21) 出願番号	特願2003-93839 (P2003-93839)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成15年3月31日(2003.3.31)	(74) 代理人	100092820 弁理士 伊丹 勝
(31) 優先権主張番号	特願2002-177936 (P2002-177936)	(72) 発明者	田中 雅浩 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
(32) 優先日	平成14年6月19日(2002.6.19)	Fターム(参考)	5F033 HH08 HH18 JJ01 JJ18 JJ23 KK01 NN07 QQ08 QQ35 RR06 RR22 UU03 VV07 XX17
(33) 優先権主張国	日本国(JP)		

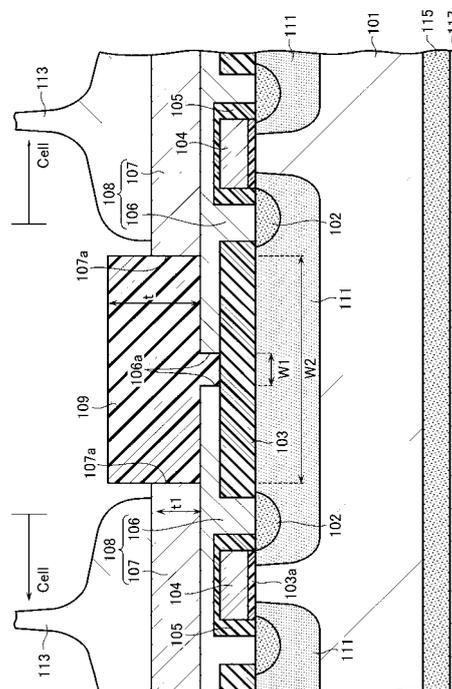
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】パッシベーション膜の機能を維持しつつ、半導体基板を所望の厚さに加工する際における基板の変形・割れなどを低減できる半導体装置を提供する。

【解決手段】縦型半導体素子のセル(cell)間の絶縁膜103上にまで、両セルから第1の電極パターン106(バリアメタル)が延びている。セル(cell)間において、各第1の電極パターン106上にパッシベーション膜109が形成されている。各セル(cell)において、パッシベーション膜109の隣に位置するように、各第1の電極パターン106上に第2の電極パターン107(アルミニウム)が形成されている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体基板の主面に互いに離間して形成された第 1 及び第 2 の素子形成領域と、  
前記第 1 の素子形成領域と第 2 の素子形成領域の間の前記半導体基板の主面上に形成された絶縁膜と、  
前記第 1 及び第 2 の素子形成領域上に各々形成され、端部が前記絶縁膜上に延在され、かつ第 1 の電極層をパターンニングすることにより形成された第 1 の電極パターンと、  
前記第 1 の電極パターン上に各々形成された第 2 の電極パターンと、  
前記第 1 の電極層をパターンニングした際に露出した前記絶縁膜を覆うようにかつ前記第 1 の電極パターン上において前記第 2 の電極パターンの隣に位置するように形成されたパッシベーション膜と、  
を備えることを特徴とする半導体装置。

10

## 【請求項 2】

半導体基板の主面に形成された拡散領域と、  
前記半導体基板の主面上に形成され、前記拡散領域へのコンタクトホールを有する絶縁膜と、  
前記コンタクトホールを介して前記拡散領域にコンタクトすると共に、その端部が前記絶縁膜上に延在する第 1 の電極パターンと、  
前記第 1 の電極パターン上に形成された第 2 の電極パターンと、  
前記絶縁膜及び前記第 1 の電極パターン上に直接形成されたパッシベーション膜と、  
を備えることを特徴とする半導体装置。

20

## 【請求項 3】

前記拡散領域は、前記半導体基板の主面に互いに離間して形成された第 1 及び第 2 の素子形成領域である、  
ことを特徴とする請求項 2 に記載の半導体装置。

## 【請求項 4】

前記第 1 及び第 2 の素子形成領域は、各々第 1 及び第 2 のセルの構成要素であり、  
前記第 1 の電極パターンは、これらの端部間に第 1 の幅の第 1 の溝部を有するよう形成されており、  
前記第 2 の電極パターンは、これらの端部間に前記第 1 の幅より大きい第 2 の幅の、第 2 の溝部を有することによって、前記第 1 の電極パターンの上面の一部が露出するよう形成されており、  
前記パッシベーション膜は、前記第 2 の溝部の少なくとも一部と、前記第 1 の溝部とを埋めるよう形成されている、  
ことを特徴とする請求項 1 又は 3 に記載の半導体装置。

30

## 【請求項 5】

前記第 1 及び第 2 の素子形成領域は、各々第 1 及び第 2 のセルの構成要素であり、  
前記第 1 の電極パターンは、これらの端部間に第 1 の幅の第 1 の溝部を有するよう形成されており、  
前記第 2 の電極パターンは、これらの端部間に前記第 1 の幅より大きい第 2 の幅の、第 2 の溝部を有することによって、前記第 1 の電極パターンの上面の一部が露出するよう形成されており、  
前記半導体装置は、前記第 1 の電極パターン間の前記絶縁膜上に形成され、前記第 1 の溝部を複数の溝に分割するよう形成された配線パターンを具備し、  
前記パッシベーション膜は、前記第 2 の溝部の少なくとも一部と、前記第 1 の溝部の前記複数の溝を埋めるよう形成されている、  
ことを特徴とする請求項 1 又は 3 に記載の半導体装置。

40

## 【請求項 6】

前記第 1 の素子形成領域は、前記半導体基板の第 1 の主面のセル形成部に形成されており、

50

前記第 2 の素子形成領域は、前記半導体基板の第 1 の主面の終端部に形成されており、前記第 1 及び第 2 の電極パターンは、前記第 2 の素子形成領域上に形成されておらず、前記半導体装置は、前記半導体基板の第 1 の主面の終端部の周縁に形成された第 3 の素子形成領域を具備し、

前記絶縁膜は、前記半導体基板の第 1 の主面上に、前記第 1 及び第 3 の素子形成領域の一部が露出するように形成されており、

前記半導体装置は、前記第 3 の素子形成領域上に形成されて、端部が前記絶縁膜上に延在されたストップ電極パターンと、

前記第 1 の電極パターン及び前記ストップ電極パターンの端部間の前記絶縁膜上に形成され、前記第 1 の電極パターン及び前記ストップ電極パターンと相俟って複数の第 1 の溝部を形成するよう設けられたフィールドプレートと、

を具備し、

前記第 2 の電極パターンは、前記第 1 の電極パターン上にその端部が露出するよう形成されており、

前記パッシベーション膜は、前記複数の第 1 の溝部を埋めるよう形成され、上部に第 2 の電極パターンが形成されていない前記第 1 の電極パターン上の少なくとも一部と、前記ストップ電極パターン上と、前記フィールドプレート上と、に形成されている、

ことを特徴とする請求項 1 又は 3 に記載の半導体装置。

【請求項 7】

前記パッシベーション膜は第 1 の溝部と第 2 の溝部とを埋めるよう形成され、かつ端部が第 2 の電極パターン上に延在するように形成されている、

ことを特徴とする請求項 4 又は 5 に記載の半導体装置。

【請求項 8】

前記第 1 の電極パターンと前記配線パターンは、同じ導電性材料によって構成されている、

ことを特徴とする請求項 5 に記載の半導体装置。

【請求項 9】

前記パッシベーション膜は、一端が第 2 の電極パターン上に形成されている、

ことを特徴とする請求項 6 に記載の半導体装置。

【請求項 10】

前記フィールドプレート及び前記ストップ電極パターンは、同じ導電性材料によって構成されている、

ことを特徴とする請求項 6 又は 9 に記載の半導体装置。

【請求項 11】

前記半導体装置は、

前記半導体基板の第 2 の主面に形成された第 4 の素子形成領域と、

前記第 4 の素子形成領域上に形成された第 4 の電極パターンと、

をさらに具備した、

ことを特徴とする請求項 6、9 及び 10 のいずれか 1 項に記載の半導体装置。

【請求項 12】

前記第 1 及び第 2 のセルは、

前記半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜に接するよう形成されたゲート電極と、

を少なくとも具備している、

ことを特徴とする請求項 4 又は 5 に記載の半導体装置。

【請求項 13】

前記第 1 の電極パターンはバリアメタルを含む、

ことを特徴とする請求項 1 ~ 12 のいずれか 1 項に記載の半導体装置。

【請求項 14】

前記第 2 の電極パターンは金属膜を含む、

10

20

30

40

50

ことを特徴とする請求項 1 ~ 13 のいずれか 1 項に記載の半導体装置。

【請求項 15】

前記金属膜はアルミニウム及び銅のうち少なくとも一方を含む、  
ことを特徴とする請求項 14 に記載の半導体装置。

【請求項 16】

前記パッシベーション膜は、前記半導体装置の最上層に形成された絶縁膜を含む、  
ことを特徴とする請求項 1 ~ 15 のいずれか 1 項に記載の半導体装置。

【請求項 17】

前記パッシベーション膜は樹脂を含む、  
ことを特徴とする請求項 1 ~ 16 のいずれか 1 項に記載の半導体装置。

10

【請求項 18】

半導体基板と、  
前記半導体基板を構成要素として含むと共に半導体素子として機能するセルと、  
メタル層をパターンニングすることにより形成されると共に前記セルの電極パターンの構成要素となるバリアメタルと、  
前記半導体基板と前記バリアメタルとの間に位置する絶縁膜と、  
外部に露出するように前記バリアメタル上に形成されると共に前記セルの前記電極パターンの構成要素となる導電パターンと、  
前記メタル層をパターンニングした際に露出した前記絶縁膜を覆うようにかつ前記バリアメタル上において前記導電パターンの隣に位置するように形成されたパッシベーション膜と、  
を備えることを特徴とする半導体装置。

20

【請求項 19】

前記セルは複数あり、  
前記絶縁膜は前記複数のセル間に位置しており、  
前記複数のセルの各々の前記バリアメタルが前記複数のセル間の前記絶縁膜上にまで延在することにより、第 1 の溝部が形成されており、  
前記複数のセルの各々の前記導電パターンにより、前記第 1 の溝部上に前記第 1 の溝部よりも幅が大きい第 2 の溝部が形成されており、  
前記パッシベーション膜は、前記複数のセル間であって前記第 1 及び第 2 の溝部に埋め込まれるように形成されている、  
ことを特徴とする請求項 18 に記載の半導体装置。

30

【請求項 20】

前記第 1 の溝部の前記絶縁膜上に前記パッシベーション膜で覆われた配線パターンをさらに具備する、  
ことを特徴とする請求項 19 に記載の半導体装置。

【請求項 21】

前記半導体装置は、複数の前記セルが繰り返し配列された構造を有すると共に前記複数のセルのうち前記半導体装置の前記構造の端に位置するセルである終端セルを有しており、  
前記パッシベーション膜は、前記終端セルの前記バリアメタル上において前記終端セルの前記導電パターンの隣に位置するように形成されかつ前記メタル層をパターンニングした際に前記半導体装置の前記構造の外側において露出した前記絶縁膜を覆うように形成されている、  
ことを特徴とする請求項 18 に記載の半導体装置。

40

【請求項 22】

前記セルは縦型半導体素子を含む、  
ことを特徴とする請求項 18 ~ 21 のいずれか 1 項に記載の半導体装置。

【請求項 23】

前記セルの前記電極パターンは、前記半導体基板の一方の主面上に形成されており、  
前記セルは、前記半導体基板の他方の主面上に形成された他の電極パターンを含む、

50

ことを特徴とする請求項 18 ~ 22 のいずれか 1 項に記載の半導体装置。

【請求項 24】

前記セルの前記電極パターンにボンディングされたワイヤをさらに具備する、ことを特徴とする請求項 18 ~ 23 のいずれか 1 項に記載の半導体装置。

【請求項 25】

前記セルの前記電極パターンに貼り付けられた金属板をさらに具備する、ことを特徴とする請求項 18 ~ 23 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係り、特に薄型の半導体デバイスやその終端部の構造に関する。

【0002】

【従来の技術】

近年、IC やメモリなどの分野においては、半導体基板の厚さを薄く形成することによって、パッケージの薄化・小型化をはかっている。

【0003】

半導体基板の両主面に電極を設け、半導体基板の厚さ方向に電流を流す縦型の半導体デバイスなどの分野においては、半導体基板の厚さを薄く形成することによって、損失を低減させ、特性の向上をはかっている。半導体基板は、当初の約 600 μm から 1/3 ~ 1/4 程度まで薄く形成される。製造工程の始めから半導体基板を薄く形成すると、熱工程などの影響で、半導体基板が変形したり、破損しやすくなる。したがって、ある程度の厚さをもったウェハを用いて、一方の主面にゲート構造や電極を形成した後、他方の主面を砥石によって研磨するなどして半導体基板を所望の厚さに形成し、他方の主面に電極を形成している。

【0004】

図 19 は、一般的な半導体装置であり、あるセルを有する半導体デバイスの一部である。半導体基板 1901 の一方の主面には、ベース領域 1911 が形成されている。ベース領域 1911 には第 1 及び第 2 のセルのソース領域などの素子形成領域 1902 が互いに離間して形成されている。半導体基板 1901 の他方の主面には、ドレイン領域などの素子形成領域 1915 が設けられている。素子形成領域 1915 上には電極パターン 1917 が形成されている。半導体基板 1901 の一方の主面上には、例えば、酸化膜などの絶縁膜 1903 が形成されており、コンタクトを形成するため、素子形成領域 1902 上の絶縁膜 1903 は除去されている。また、セル内のゲート絶縁膜 1903a 上には、ゲート電極 1904 が形成されている。ゲート電極 1904 の側部及び上部には、層間絶縁膜 1905 が形成されている。

【0005】

素子形成領域 1902 の上部には、チタンなどの第 1 の導電性材料からなる第 1 の電極パターン 1906 と、その上に形成されたアルミニウムなどの第 2 の導電性材料からなる第 2 の電極パターン 1907 の積層によって電極パターン 1908 が形成されている。電極パターン 1908 は、その端部がそれぞれ絶縁膜 1903 の上に位置するように延在して形成され、端部間には溝が形成されている。第 1 の電極パターン 1906 は、いわゆるバリアメタルであり、上部に形成する第 2 の電極パターン 1907 を構成する金属が、半導体基板 1901 中に拡散するのを低減するために形成されている。電極パターン 1908 にはワイヤ 1913 がボンディングされている。

【0006】

セルとセルの間において、電極パターン 1908 の端部間の溝内に露出している絶縁膜 1903 部分、及び電極パターン 1908 上に跨って、パッシベーション膜 1909 が形成されている。パッシベーション膜 1909 は、デバイスを外的汚染から保護する機能を有しており、露出している絶縁膜に水分などが付着しイオン化することによって、デバイスの特性に悪影響を及ぼしたり、ショートして素子が破壊したりすることを防ぐために形成

10

20

30

40

50

されている。

【0007】

また、パッシベーション膜1909は、後の製造工程において、矢印に示したように、パッシベーション膜の上端から水分等が徐々に浸入し、汚染を引き起こす可能性があるため、その機能を保持するべく、ある程度の厚さで形成する必要がある。図19において、例えば、電極パターン1908上のパッシベーション膜1909の厚さ $t$ が約 $10\mu\text{m}$ 以上になるように形成する必要がある。すなわち、積層されている電極パターン上に形成されたパッシベーション膜と電極パターンとで、厚さ $t$ の凹凸が生じている。

【0008】

図20に、半導体装置の他の例を示す。セルの要部については省略している。図20において図19中の符号が示すものと同一のものについては同一符号を付すことにより説明を省略する。

10

【0009】

電極パターン1908の端部間の絶縁膜1903上には、電極パターン1908と同じ導電性材料からなる2層(下層2004、上層2005)の配線パターン2007が形成され、電極パターン1908と相俟って、複数の溝が形成されている。

【0010】

電極パターン1908と配線パターン2007の間の溝内に露出した絶縁膜1903部分、配線パターン2007上、及び電極パターン1908上に跨って、パッシベーション膜1909が形成されている。

20

【0011】

図20において、例えば、電極パターン1908、及び、配線パターン2007上のパッシベーション膜1909の厚さ $t$ が約 $10\mu\text{m}$ 以上になるように形成する必要がある。すなわち、積層されている電極パターン及び配線パターン上に形成されたパッシベーション膜と、電極パターンとで、厚さ $t$ の凹凸が生じている。

【0012】

なお、半導体基板に配線とパッシベーション膜とを形成した技術としては、例えば、特許文献1, 2がある。

【0013】

【特許文献1】

米国特許第5,963,837号明細書

30

【特許文献2】

米国特許第5,503,882号明細書

【0014】

【発明が解決しようとする課題】

半導体基板の一方の主面にゲート構造や電極を形成した後に、他方の主面を研磨して半導体基板を所望の厚さに形成する工程では、基板が薄くなるにしたがって、基板の強度が低下する。基板の強度が低下すると、半導体基板の一方の主面に生じている凹凸、すなわち電極や配線パターン上のパッシベーション膜と、電極や配線パターンとで生じている厚さ $t$ の凹凸によって基板が変形し、さらに薄くする工程を進めると基板が割れるなどの問題があった。また、基板が割れることがないように、パッシベーション膜を薄く形成すると、外部からの不純物に汚染されて、リーク電流の増加、電界分布が変化することによる耐圧の不良、ショート不良などが発生するという問題があった。

40

【0015】

図21(A), (B)に半導体基板の厚さが $150\mu\text{m}$ 及び $250\mu\text{m}$ のときの、段差 $t$ と基板を研削している時に基板が割れる確率との関係をシミュレーションした結果を示す。基板の厚さが薄くなると、基板が研削工程中に割れるなどの問題が生じ、段差 $t$ が大きいほどその確率が高くなることが分かる。

【0016】

本発明は、上記した問題点を解決するためになされたもので、パッシベーション膜の機能

50

を維持したまま、基板を所望の厚さに形成する工程において、基板の変形・割れなどの問題を低減することができる半導体装置を提供することを目的としている。

【0017】

【課題を解決するための手段】

この発明に係る半導体装置は、半導体基板の主面に互いに離間して形成された第1及び第2の素子形成領域と、第1の素子形成領域と第2の素子形成領域との間の半導体基板の主面上に形成された絶縁膜と、第1及び第2の素子形成領域上に各々形成され、端部が絶縁膜上に延在され、かつ第1の電極層をパターンニングすることにより形成された第1の電極パターンと、第1の電極パターン上に各々形成された第2の電極パターンと、第1の電極層をパターンニングした際に露出した絶縁膜を覆うようにかつ第1の電極パターン上において第2の電極パターンの隣に位置するように形成されたパッシベーション膜と、を具備する。

10

【0018】

また、この発明に係る半導体装置は、半導体基板の主面に形成された拡散領域と、半導体基板の主面上に形成され、拡散領域へのコンタクトホールを有する絶縁膜と、コンタクトホールを介して拡散領域にコンタクトすると共に、その端部が絶縁膜上に延在する第1の電極パターンと、第1の電極パターン上に形成された第2の電極パターンと、絶縁膜及び第1の電極パターン上に直接形成されたパッシベーション膜と、を具備する。

【0019】

さらに、この発明に係る半導体装置は、半導体基板と、半導体基板を構成要素として含むと共に半導体素子として機能するセルと、メタル層をパターンニングすることにより形成されると共にセルの電極パターンの構成要素となるバリアメタルと、半導体基板とバリアメタルとの間に位置する絶縁膜と、外部に露出するようにバリアメタル上に形成されると共にセルの電極パターンの構成要素となる導電パターンと、メタル層をパターンニングした際に露出した絶縁膜を覆うようにかつバリアメタル上において導電パターンの隣に位置するように形成されたパッシベーション膜と、を具備する。

20

【0020】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について、詳細に説明する。

(第1の実施の形態)

図1は、本実施の形態に係る半導体装置であり、セル(c e l l)を有する半導体デバイスの一部の断面図である。ここで、セルの構造は一例であり、特に限定されない。セルはシリコン基板のような半導体基板101を構成要素として含み、半導体素子(例えば、半導体集積回路の素子や半導体スイッチ)として機能する。

30

【0021】

P<sup>+</sup>型の半導体基板101の一方の主面には、例えばP型のベース領域となる素子形成領域111が設けられている。この領域111には、第1及び第2のセルのn型のソース領域等の素子形成領域102が互いに離間して形成されている。半導体基板101上には、例えば、シリコン酸化膜などの絶縁膜103が形成されており、コンタクトを形成するため、素子形成領域102上の絶縁膜103は除去されている。つまり、絶縁膜103には、拡散領域である素子形成領域102を露出するコンタクトホールが形成されている。また、セル内のゲート絶縁膜103a上にはポリシリコン等からなるゲート電極104が形成されている。ゲート電極104の側部及び上部には、層間絶縁膜105(例えばシリコン酸化膜)が形成されている。

40

【0022】

各セルの素子形成領域102の上部には、チタンなどの第1の導電性材料からなる第1の電極パターン106と、その上にアルミニウムや銅などの第2の導電性材料からなる金属膜である第2の電極パターン107の積層によって電極パターン108が形成されている。電極パターン108には金等のワイヤ113がボンディングされている。ワイヤ113は図示しないリードフレームと接続されている。なお、ワイヤ113の代わりにアルミニ

50

ウム等の金属板を電極パターン108に貼り付けて、この金属板とリードフレームを接続するような構造でもよい。

【0023】

セルとセルの間において、第1の電極パターン106は、その端部がそれぞれ絶縁膜103上に延在して形成され、その端部間に第1の幅 $W_1$ をもった第1の溝部106aが形成されている。また、第2の電極パターン107は、その端部間に第2の溝部107aを有し、この第2の溝部は下層の第1の電極パターン106の端部を露出するよう、第1の溝部106aの第1の幅 $W_1$ より大きな第2の幅 $W_2$ に形成されている。

【0024】

第1の導電性材料は、Ti, TiWなどが用いられ、上部に形成する第2の導電性材料が、半導体基板101中に拡散するのを低減するためのバリアメタルとして作用する。 10

【0025】

セルとセルの間における、電極パターン108の端部間の第1の溝部106a及び第2の溝部107aに所定の膜厚のパッシベーション膜109が埋め込まれている。このパッシベーション膜109は、第1の溝部106a内に露出された絶縁膜103部分、及び第2の溝部107a内に露出された第1の電極パターン106を覆っている。つまり、パッシベーション膜109は、絶縁膜103及び第1の電極パターン106上に直接形成されている。パッシベーション膜109は、半導体装置の最上層に形成された絶縁膜（例えば樹脂の膜）である。パッシベーション膜109は、絶縁膜103に水分などが付着しイオン化することによって、特性に悪影響を及ぼしたり、ショートして素子が破壊したりすることを防ぐために形成されており、ポリイミドやシリコン窒化膜によって形成されている。 20

【0026】

半導体基板101の他方の主面には、n型のドレイン領域などの素子形成領域115が設けられている。素子形成領域115上には金等の電極パターン117が形成されている。電極パターン117は、セルがMOSFETの場合、ドレイン電極（ソース電極の場合もある）となり、IGBTの場合、コレクタ電極となる。

【0027】

図2乃至5を用いて、本実施の形態に係る半導体装置の製造方法について詳細に説明する。セルの構造については要部のみを示し、その他の部分は省略する。図2において、半導体基板101の一方の主面に、MOS構造の半導体素子のゲート絶縁膜などに用いられる酸化膜などの絶縁膜（図示せず）を形成し、その上部に図示しないゲート電極を形成する。続いて、素子形成領域102の形成予定領域上に形成した絶縁膜103を除去した後、不純物を導入することによって、ソース領域などの素子形成領域102を互いに離間して形成する。 30

【0028】

次に、図3において、素子形成領域102及び絶縁膜103上にチタンなどの第1の電極層301とアルミニウムなどの第2の電極層302を積層する。

【0029】

次に図4において、第2の電極層302をエッチングして、幅 $W_2$ の第2の溝部107aを有し、かつ厚さ $t_1$ の第2の電極パターン107を形成する。 40

【0030】

次に図5において、第2の溝部107a内に露出された第1の電極層の中間部を絶縁膜103が露出するようエッチングして、幅 $W_1$ の第1の溝部106aを有する第1の電極パターン106を形成する。

【0031】

つまり、第1の電極パターン106の第1の溝部106aの幅 $W_1$ （第1の幅）より、第2の電極パターン107の第2の溝部107aの幅 $W_2$ （第2の幅）の方が、大きくなるように形成する。第1の電極パターン106と第2の電極パターン107は、エッチング工程における選択比が大きい方が望ましく、TiとAl、または、TiWとAl、などが挙げられる。エッチングの順序は特に限定されず、図4に示した工程の時に第1の電極層 50

301及び第2の電極層302を共にエッチングして、第1の電極パターン106の第1の溝部106aと同じ大きさの開口を形成した後、下層の第1の電極層301のパターン(第1の電極パターン)の一部が露出するように、上層の第2の電極層302のパターンの端部のみさらにエッチングし、第2の溝部107aを有する第2の電極パターン107を形成してもよい。

【0032】

以上のように、第1の電極パターン106は、メタル層である第1の電極層301をパターンニングすることにより形成され、セルの電極パターン108の構成要素となるバリアメタルとして機能する。また、第2の電極パターン107は、外部に露出するように、バリアメタルである第1の電極パターン106上に形成される導電パターンとなる。

10

【0033】

この後、第1の溝部106a及び第2の溝部107a内には、ポリイミドやシリコン窒化膜などのパッシベーション膜109を形成する。この膜109は、第1の電極層301(メタル層)をパターンニングした際に露出した絶縁膜103を覆うようにかつ第1の電極パターン106(バリアメタル)上において第2の電極パターン107(導電パターン)の隣に位置するように形成される。パッシベーション膜109は、水分などが付着しイオン化することによって、特性に悪影響を及ぼしたり、ショートして素子が破壊したりすることを防ぐために形成される。

【0034】

この後、半導体基板の裏面を研磨し、所望により素子形成領域と電極を形成する。研磨工程は、基板を1/3~1/4の厚さにまで研削するのに適しているCMP(Chemical Mechanical Polish)法などによって行う。以上の説明から分かるように、上記製造方法は次の工程(a)~(h)を備える。

20

【0035】

(a)半導体基板の第1の主面に、互いに離間するよう第1及び第2のセルの素子形成領域を形成する工程。

【0036】

(b)第1のセルと第2のセルの間の半導体基板の第1の主面上に絶縁膜を形成する工程。

【0037】

(c)第1及び第2のセルの素子形成領域上の各々に、端部が絶縁膜上に延在し、かつ端部間に第1の幅の第1の溝部を有する第1の電極パターンを形成する工程。

30

【0038】

(d)第1の電極パターン上の各々に、第1の電極パターンの上面の一部が露出するように、端部間に第1の幅より大きい第2の幅の、第2の溝部を有する第2の電極パターンを形成する工程。

【0039】

(e)第2の溝部の少なくとも一部と、第1の溝部とを埋めるパッシベーション膜を形成する工程。

【0040】

(f)半導体基板の第2の主面を研磨する工程。

40

【0041】

(g)半導体基板の第2の主面に他の素子形成領域を形成する工程。

【0042】

(h)他の素子形成領域上に他の電極パターンを形成する工程。

【0043】

図6はセルを有する半導体デバイスの平面図である。電極パターン108及びパッシベーション膜109は、ほぼ平行に並置されている。なお、図1は、図6中のA-A'における断面図である。

【0044】

50

このように、本実施の形態の半導体装置においては、第2の電極パターンの第2の溝部を、第1の電極パターンの第1の溝部を含んで、第1の電極パターンの端部を露出するように、しかも第1の溝部の幅 $W_1$ より大きな幅 $W_2$ の第2の溝部を形成し、この第1及び第2の溝部内にパッシベーション膜を埋め込むようにしている。

#### 【0045】

そのため、第1の溝部内の絶縁膜を含む第1の電極パターン上に形成されたパッシベーション膜は、所定の厚さ $t$ を有しており、パッシベーション膜の機能を維持している。そして、第1の電極パターン上のパッシベーション膜と第2の電極パターンとで生じている段差は $t - t_1$ と小さくなっている。したがって、パッシベーション膜の機能を維持したまま、基板を所望の厚さに形成する工程において基板の変形・割れなどを低減することができる。

10

#### 【0046】

なお、パッシベーション膜を形成するために第2の電極パターンが一部除去されているが、セルとセルの間の一部の領域で除去されているにすぎないため、電極面積低下によるデバイス特性への影響はない。

#### (第1の変形例)

図7は、第1の実施の形態の第1の変形例に係る半導体装置である。この変形例では、パッシベーション膜109の一部がさらに第2の電極パターン107上に延在して形成されている。それ以外の構成は、上述の第1の実施の形態と同じであるので説明は省略する。

#### 【0047】

このように第1の変形例の半導体装置においては第1の溝部106a内の絶縁膜103を含む、第1の電極パターン106上のパッシベーション膜109は所定の厚さ $t$ を有しており、パッシベーション膜の機能を維持している。そして、第1の電極パターン106上のパッシベーション膜109と第2の電極パターン107とで生じている段差は $t - t_1$ と小さくなっている。したがって、上記第1の実施の形態と同様に、パッシベーション膜の機能を維持したまま、基板の変形や割れなどを低減できる。

20

#### 【0048】

ところで、第2の電極パターン上に延在して形成されているパッシベーション膜の部分においては、第2の電極パターンと第2の電極パターン上のパッシベーション膜とで段差が $t$ を生じているが、この段差 $t$ の大きい領域は極めて小さく、また、他のパッシベーション膜部分と段差をもっており、基板の変形や割れなどをもたらすことはない。また、この変形例によれば、パッシベーション膜の形成が比較的容易である。

30

#### (第2の変形例)

また、図8は、第1の実施の形態の第2の変形例に係る半導体装置である。この変形例では、パッシベーション膜109の側面と第2の電極パターン107の端部側面との間に間隙を有し、第1の電極パターン106の上部の一部が露出するように形成されている。それ以外の構成は、上述の第1の実施の形態と同じであるので説明は省略する。

#### 【0049】

このように、第2の変形例の半導体装置においても、第1の溝部106a内の絶縁膜103を含む、第1の電極パターン106上のパッシベーション膜109は、所定の厚さ $t$ を有しており、パッシベーション膜の機能を維持している。そして、第1の電極パターン106上のパッシベーション膜109と第2の電極パターン107とで生じている段差は $t - t_1$ と小さくなっている。したがって、上記第1の実施の形態と同様に変形や割れなどを低減できる。ところで、パッシベーション膜の側面と第2の電極パターンの端部側面との間に間隙があっても、第1の溝部内の絶縁膜近傍の第1の電極パターン上は、所定の厚さのパッシベーション膜で覆われているため、パッシベーション機能を損なうことはない。そして、この変形例によれば、パッシベーション膜の形成が比較的容易である。

40

#### 【0050】

第1の実施の形態及びその第1の変形例、第2の変形例において、電極パターン及びパッシベーション膜は、平行で、かつ並置されている例を記載したが、図9に示すように、第

50

1の溝部両側の第1の電極パターン106、または第2の溝部両側の第2の電極パターン107が、他の領域でつながっている電極パターン108であってもよい。さらに、図10に示すように、第1及び第2の電極パターン106、107がリング状の平面形状を有していてもよい。セルの構造は、トレンチ型MOSFET、トレンチ型IGBTなどのような縦型半導体素子を例示できるが、縦型半導体素子に特に限定されない。

#### 【0051】

(第2の実施の形態)

図11は、第2の実施の形態に係る半導体装置であり、セルを有する半導体デバイスの一部の断面図である。ここで、セルの構造部分の一部のみを示す。図1中の符号が示すものと同一のものについては同一符号を付すことにより、説明を省略する。

10

#### 【0052】

第1の電極パターン106の端部間の第1の溝部106a内に露出される絶縁膜103上には、例えば、第1の電極パターン106と同じ導電性材料によって構成される配線パターン121が、第1の溝部106aの中央部分に形成され、電極パターン106と相俟って第1の溝部106aを複数の溝に分割している。ここで、配線パターン121は、下層の電極である第1の電極パターン106と同じ導電性材料であることに特に限定されない。

#### 【0053】

セルとセルの間における電極パターン108の端部間の第1の溝部106a及び第2の溝部107a内に所定の膜厚のパッシベーション膜109が埋め込まれている。このパッシベーション膜109は、複数の溝に分割された第1の溝部106a内の絶縁膜103部分、第2の溝部107a内に露出された配線パターン121部分及び第1の電極パターン106部分を覆っている。パッシベーション膜109は、絶縁膜103に水分などが付着しイオン化することによって、特性に悪影響を及ぼしたり、ショートして素子が破壊したりすることを防ぐために形成されており、ポリイミドやシリコン窒化膜によって形成されている。

20

#### 【0054】

図12はセルを有する半導体デバイスの平面図である。電極パターン108及びパッシベーション膜109は、平行に並置されている。配線パターン121は、電極パターン108間に形成されている。なお、図11は、図12中のA-A'における断面図である。

30

#### 【0055】

このように本実施の形態の半導体装置においては、第2の電極パターンの第2の溝部が、第1の電極パターン及び配線パターンによって形成される複数の第1の溝部を含んで、第1の電極パターンの端部を露出するように、しかも第1の溝部の幅よりも大きな幅の第2の溝部を形成し、この第1及び第2の溝部内にパッシベーション膜を埋め込むようにしている。そのため、複数の第1の溝部内の絶縁膜を含む第1の電極パターン上に形成されたパッシベーション膜は所定の厚さ $t$ を有しており、パッシベーション膜の機能を維持している。そして、第1の電極パターン上のパッシベーション膜と第2の電極パターンとで生じている段差は、 $t - t_1$ と小さくなっている。したがって、パッシベーション膜の機能を維持したまま、基板を所望の厚さに形成する工程において基板の変形・割れなどの問題を低減することができる。

40

#### 【0056】

なお、パッシベーション膜を形成するために第2の電極パターン及び配線パターンが一部除去されているが、電極面積低下によるデバイス特性への影響はほとんどない。

(第1の変形例)

図13は、第2の実施の形態の第1の変形例に係る半導体装置である。この変形例では、パッシベーション膜109の一部は第2の電極パターン107上に延在して形成されている。それ以外の構成は、上述の第2の実施の形態と同じであるため、説明は省略する。

#### 【0057】

このように、第1の変形例の半導体装置においては、第1の溝部106a内の絶縁膜を含

50

む第1の電極パターン106上のパッシベーション膜109は、所定の厚さ $t$ を有しており、パッシベーション膜の機能を維持している。そして、第1の電極パターン106上のパッシベーション膜109と第2の電極パターン107とで生じている段差は $t - t_1$ と小さくなっている。したがって、上記第2の実施の形態と同様にパッシベーション膜の機能を維持したまま、基板の変形や割れなどを低減できる。

【0058】

ところで、第2の電極パターン上に延在して形成されているパッシベーション膜の部分においては、第2の電極パターンと第2の電極パターン上のパッシベーション膜とで段差 $t$ を生じているが、この段差 $t$ の領域は極めて小さく、また、他のパッシベーション膜部分と段差をもっており、基板の変形や割れをもたらすことはない。また、この変形例によれば、パッシベーション膜の形成が比較的容易である。

10

(第2の変形例)

また、図14は、第2の実施の形態の第2の変形例に係る半導体装置である。この変形例では、パッシベーション膜109の側面と、第2の電極パターン107の端部側面との間に間隙を有し、第1の電極パターン106の上部の一部が露出するように形成されている。それ以外の構成は、上述の第2の実施の形態と同じであり、説明は省略する。

【0059】

このように、第2の変形例の半導体装置においても、第1の溝部106a内の絶縁膜103を含む第1の電極パターン106上のパッシベーション膜109は、所定の厚さ $t$ を有しており、パッシベーション膜の機能を維持している。そして、第1の電極パターン106上のパッシベーション膜109と第2の電極パターン107とで生じている段差は、 $t - t_1$ と小さくなっている。したがって、上記第2の実施の形態と同様に基板の変形や割れなどを低減できる。

20

【0060】

ところで、パッシベーション膜の側面と第2の電極パターンの端部側面との間に間隙があっても、第1の溝部内の絶縁膜近傍の第1の電極パターン上は、所定の厚さのパッシベーション膜で覆われているため、パッシベーション機能を損なうことはない。そして、この変形例によれば、パッシベーション膜の形成が比較的容易である。

【0061】

第2の実施の形態及びその第1の変形例、第2の変形例において、電極パターン、パッシベーション膜及び配線パターンは、平行で、かつ並置されている例を記載したが、第1の実施の形態における図9に示すように、第1の溝部両側の第1の電極パターン、または第2の溝部両側の第2の電極パターンが、他の領域でつながっている電極パターンであってもよい。さらに、図10に示すように、第1及び第2の電極パターンがリング状の平面形状を有していてもよい。セルの構造は、トレンチ型MOSFET、トレンチ型IGBTなど、特に限定されない。

30

(第3の実施の形態)

図15は、第3の実施の形態に係る半導体装置であり、半導体デバイスのセル部と終端部の断面図である。ここで、セルの構造は一例であり、特に限定されない。図15の半導体装置は、複数のセルが繰り返し配列された構造を有すると共に複数のセルのうち半導体装置の上記構造の端に位置するセルである終端セル(cell 1)を有している。

40

【0062】

P<sup>+</sup>型の半導体基板1501の一方の主面の終端セルであるセル部(cell 1)に、例えば、MOS構造のデバイスのP型のベース領域などの素子形成領域1502(第1の素子形成領域)が形成されている。半導体基板1501はペレットでもよい。また、素子形成領域1502の外周である終端部には、ガードリング領域1503, 1504(第2の素子形成領域)と、さらにその周縁にストッパ領域1505(第3の素子形成領域)が選択的に形成されている。

【0063】

50

ガードリング領域 1503, 1504 は、パワー MOSFET、IGBT などの半導体デバイスに逆電圧を印加した場合に形成される空乏層の幅を広げるとともに、空乏層境界部の曲率を緩和し、耐圧を向上させるために形成され、一つであってもかまわない。また、耐圧によっては形成されなくてもかまわない。

【0064】

ストッパ領域 1505 は、半導体基板 1501 の終端部の周縁に形成され、空乏層の広がりを抑制するために形成されている。

【0065】

また、半導体基板 1501 上には、例えば酸化膜などの絶縁膜 1506 が形成されており、コンタクトを形成するため、素子形成領域 1502 及びストッパ領域 1505 上の絶縁膜 1506 は除去されている。

10

【0066】

素子形成領域 1502 の上部には、チタンなどの第 1 の導電性材料からなる第 1 の電極パターン 1507 と、その上にアルミニウムなどの第 2 の導電性材料からなる第 2 の電極パターン 1508 の積層によって電極パターン 1509 が形成されている。

【0067】

セル部と終端部において、第 1 の電極パターン 1507 は、その端部がそれぞれ絶縁膜 1506 上にまで延在して形成されている。また、第 2 の電極パターン 1508 は、下層の第 1 の電極パターン 1507 の端部を露出するよう、第 2 の電極パターン 1508 の端部がエッチングされている。

20

【0068】

第 1 の導電性材料は、Ti, TiW などのバリアメタルが用いられ、上部に形成する第 2 の導電性材料が、半導体基板 1501 中に拡散するのを低減するためのバリアメタルとして作用する。

【0069】

また、第 1 の電極パターン 1507 の周縁部、すなわち第 1 の電極パターン 1507 と半導体基板 1501 の周縁との間において、ガードリング領域 1503, 1504 上の絶縁膜 1506 上には、例えば、第 1 の電極パターン 1507 と同じ導電性材料からなるフィールドプレート 1510, 1511 がそれぞれ形成されている。フィールドプレートは、ガードリング領域の電位を安定化するために形成されている。

30

【0070】

ストッパ領域 1505 上には、第 1 の電極パターン 1507 と同じ導電性材料からなるストッパ電極パターン 1512 が形成されている。フィールドプレート 1510, 1511 及びストッパ電極パターン 1512 は、下層電極である第 1 の電極パターンと同じ導電性材料であることに特に限定されない。これらの電極は、電位の供給を行うことができればよく、導電性材料であれば何でもよい。

【0071】

また、半導体基板 1501 の周縁と第 2 の電極パターン 1508 の端部間において、第 1 の電極パターン 1507、フィールドプレート 1510, 1511 及びストッパ電極パターン 1512 間の露出された絶縁膜 1506 部分、フィールドプレート 1510, 1511、ストッパ電極パターン 1512 及び、第 1 の電極パターン 1507 上には、ポリイミドやシリコン窒化膜などのパッシベーション膜 1513 が形成されている。つまり、パッシベーション膜 1513 は、終端セル (cell 1) の第 1 の電極パターン 1507 (バリアメタル) 上において、終端セルの第 2 の電極パターン 1508 (導電パターン) の隣に位置するように形成される。そして、パッシベーション膜 1513 は、メタル層をパターンニングして第 1 の電極パターン 1507 を形成した際に、複数のセルが繰り返し配列された構造の外側において露出した絶縁膜 1506 を覆うように形成されている。

40

【0072】

半導体基板 1501 の他方の主面には、ドレイン領域などの他の素子形成領域 1514 が形成され、他の素子形成領域 1514 上に形成された他の電極パターン 1515 とストッ

50

パ電極パターン 1512 とを、同電位とすることによって、空乏層の広がりを抑制することができる。

【0073】

図16は半導体デバイスのセル部と終端部の平面図である。電極パターン1509の外周には、フィールドプレート1510, 1511及びストッパ電極パターン1512が形成され、上部にパッシベーション膜1513が形成されている。

【0074】

このように、本実施の形態の半導体装置においては、第2の電極パターンは、第1の電極パターンの端部、フィールドプレート、ストッパ電極パターン、及びそれらの間の絶縁膜部分を露出するように形成し、この部分にパッシベーション膜を埋め込むように形成している。そのため、第1の電極パターン、フィールドプレート、及びストッパ電極パターン上に形成されたパッシベーション膜は、所定の厚さ $t$ を有しており、パッシベーション機能を維持している。そして、第1の電極パターン上のパッシベーション膜と第2の電極パターンとで生じている段差は、 $t - t_1$ と小さくなっている。したがって、パッシベーション膜の機能を維持したまま、基板を所望の厚さに形成する工程において基板の変形・割れなどを低減することができる。

10

【0075】

なお、パッシベーション膜を形成するために第2の電極パターン及び配線パターンが一部除去されているが、電極面積低下によるデバイス特性への影響はほとんどない。

(第1の変形例)

20

図17は、第3の実施の形態の第1の変形例に係る半導体装置である。この変形例では、パッシベーション膜1513の一部は第2の電極パターン1508上に延在して形成されている。それ以外の構成は、上述の第3の実施の形態と同じであり、説明は省略する。

【0076】

このように、第1の変形例の半導体装置においても、第1の電極パターン1507、フィールドプレート1510, 1511及びストッパ電極パターン1512上のパッシベーション膜1513は、所定の厚さ $t$ を有しており、パッシベーション膜の機能を維持している。そして、第1の電極パターン1507、フィールドプレート1510, 1511、ストッパ電極パターン1512上のパッシベーション膜1513と第2の電極パターン1508とで生じている段差は、 $t - t_1$ と小さくなっている。したがって、上記第3の実施の形態と同様に、パッシベーション膜の機能を維持したまま、基板の変形や割れなどを低減できる。ところで、第2の電極パターン上に延在して形成されているパッシベーション膜の部分においては、第2の電極パターンと第2の電極パターン上のパッシベーション膜とで段差 $t$ を生じているが、この段差 $t$ の領域は極めて小さく、また、他のパッシベーション膜部分と段差をもっており、基板の変形や割れなどをもたらすことはない。また、この変形例によれば、パッシベーション膜の形成が比較的容易である。

30

(第2の変形例)

また、図18は、第3の実施の形態の第2の変形例に係る半導体装置である。この変形例では、パッシベーション膜1513の側面と第2の電極パターン1508の端部側面との間に間隙を有し、第1の電極パターン1507の上部の一部が露出するように形成されている。それ以外の構成は、上述の第3の実施の形態と同じであり、説明は省略する。

40

【0077】

このように、第2の変形例の半導体装置においても、第1の電極パターン1507、フィールドプレート1510, 1511、ストッパ電極パターン1512間の絶縁膜1506を含む第1の電極パターン1507上のパッシベーション膜1513は、厚さ $t$ を有しており、パッシベーション膜の機能を維持している。そして、第1の電極パターン1507、フィールドプレート1510, 1511、ストッパ電極パターン1512上のパッシベーション膜1513と第2の電極パターン1508とで生じている段差は、 $t - t_1$ と小さくなっている。したがって、上記第3の実施の形態と同様に、パッシベーション膜の機能を維持したまま、基板の変形や割れなどを低減できる。

50

## 【0078】

ところで、パッシベーション膜と第2の電極パターンとの間に間隙があっても、第1の電極パターン、フィールドプレート、及びストップ電極パターン間の絶縁膜の近傍の第1の電極パターン、フィールドプレート、及びストップ電極パターン上は、所定の厚さのパッシベーション膜で覆われているため、パッシベーション膜の機能は損なわれることはない。そして、この変形例によれば、パッシベーション膜の形成が比較的容易である。

## 【0079】

第3の実施の形態及びその第1の変形例、第2の変形例において、第1の実施の形態で示した図10に示すように、第1及び第2の電極パターンがリング状の平面形状を有していてもよい。セルの構造は、トレンチ型MOSFET、トレンチ型IGBTなど、特に限定されない。

10

## 【0080】

第1乃至第3の実施の形態において、所望の機能が得られるのであれば、厚さ $t$ を有する、第1の電極パターン上のパッシベーション膜の上端が、厚さ $t_1$ を有する第2の電極パターンの上端と同じか、低くなるように形成されていてもよい。

## 【0081】

すなわち、 $t < t_1$ であってもよい。第1の電極パターン上のパッシベーション膜と第2の電極パターンとで生じている段差は、 $t_1 - t$ となり小さくなっているため、パッシベーション膜の機能を維持したまま、基板を所望の厚さに形成する工程において、基板の変形や割れなどを低減することができる。

20

## 【0082】

## 【発明の効果】

以上詳述したように、本発明によれば、導電性材料を積層することによって構成される電極を有する半導体装置において、下層の電極パターンの一部を露出させるよう、上層の電極パターンを形成する。露出している絶縁膜を保護するために形成するパッシベーション膜は、露出した絶縁膜部分と、下層の露出した電極パターン部分を覆うよう形成する。

## 【0083】

このように形成することによって、パッシベーション膜の機能を維持したまま、パッシベーション膜と上層の電極パターンとによって生じるデバイス表面における段差を少なくすることができ、基板を所望の厚さに形成する工程において基板の変形・割れなどの問題を低減することができる半導体装置を提供することが可能となる。

30

## 【図面の簡単な説明】

【図1】本発明の第1の実施の形態における半導体装置の要部断面図である。

【図2】本発明の第1の実施の形態における半導体装置の製造方法の一工程を示す要部断面図である。

【図3】本発明の第1の実施の形態における半導体装置の製造方法の一工程を示す要部断面図である。

【図4】本発明の第1の実施の形態における半導体装置の製造方法の一工程を示す要部断面図である。

【図5】本発明の第1の実施の形態における半導体装置の製造方法の一工程を示す要部断面図である。

40

【図6】本発明の第1の実施の形態における半導体装置の要部平面図である。

【図7】本発明の第1の実施の形態の第1の変形例における半導体装置の要部断面図である。

【図8】本発明の第1の実施の形態の第2の変形例における半導体装置の要部断面図である。

【図9】本発明の第1乃至第3の実施の形態の他の例における半導体装置の要部平面図である。

【図10】本発明の第1乃至第3の実施の形態の他の例における半導体装置の要部平面図である。

50

- 【図 1 1】本発明の第 2 の実施の形態における半導体装置の要部断面図である。
- 【図 1 2】本発明の第 2 の実施の形態における半導体装置の要部平面図である。
- 【図 1 3】本発明の第 2 の実施の形態の第 1 の変形例における半導体装置の要部断面図である。
- 【図 1 4】本発明の第 2 の実施の形態の第 2 の変形例における半導体装置の要部断面図である。
- 【図 1 5】本発明の第 3 の実施の形態における半導体装置の要部断面図である。
- 【図 1 6】本発明の第 3 の実施の形態における半導体装置の要部平面図である。
- 【図 1 7】本発明の第 3 の実施の形態の第 1 の変形例における半導体装置の要部断面図である。
- 【図 1 8】本発明の第 3 の実施の形態の第 2 の変形例における半導体装置の要部断面図である。
- 【図 1 9】従来半導体装置の要部断面図である。
- 【図 2 0】従来他の半導体装置の要部断面図である。
- 【図 2 1】(A) は、基板厚が 150  $\mu\text{m}$  における段差と基板研削時の割れ確率の関係を  
示すシミュレーション結果であり、(B) は、基板厚が 250  $\mu\text{m}$  における段差と基板研削時の割れ確率の関係を  
示すシミュレーション結果である。

【符号の説明】

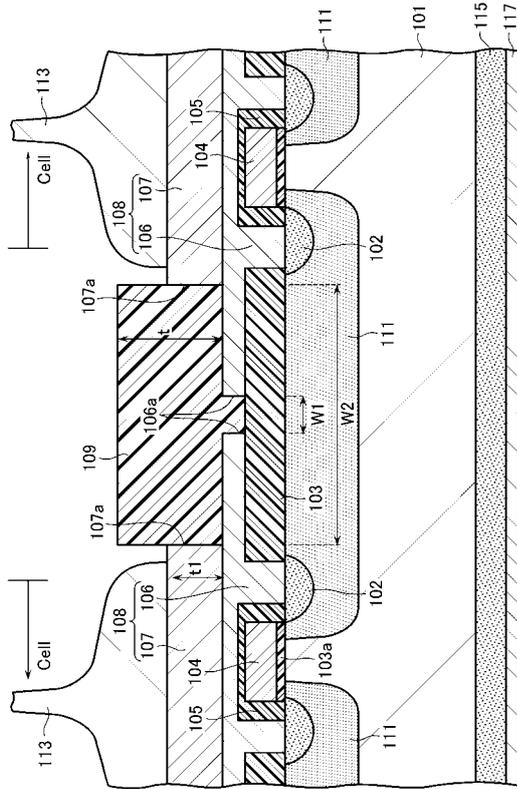
101・・・半導体基板、102・・・素子形成領域、103・・・絶縁膜、103a・・・ゲート絶縁膜、104・・・ゲート電極、105・・・層間絶縁膜、106・・・第 1 の電極パターン、106a・・・第 1 の溝部、107・・・第 2 の電極パターン、107a・・・第 2 の溝部、108・・・電極パターン、109・・・パッシベーション膜、111・・・素子形成領域、113・・・ワイヤ、115・・・素子形成領域、117・・・電極パターン、301・・・第 1 の電極層、302・・・第 2 の電極層、1501・・・半導体基板、1502・・・素子形成領域、1503, 1504・・・ガードリング領域、1505・・・ストッパ領域、1506・・・絶縁膜、1507・・・第 1 の電極パターン、1508・・・第 2 の電極パターン、1509・・・電極パターン、1510, 1511・・・フィールドプレート、1512・・・ストッパ電極パターン、1513・・・パッシベーション膜、1514・・・他の素子形成領域、1515・・・他の電極パターン

10

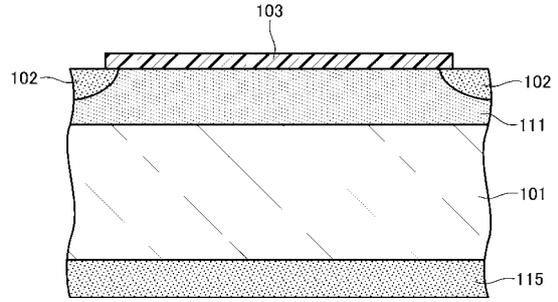
20

30

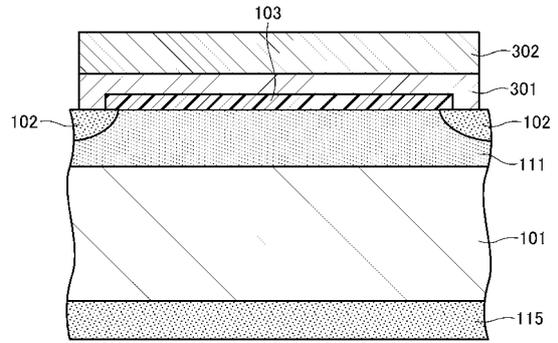
【 図 1 】



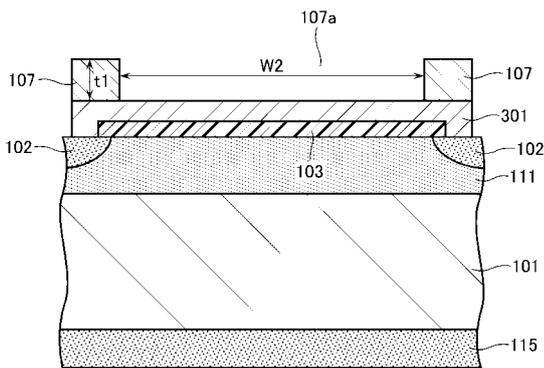
【 図 2 】



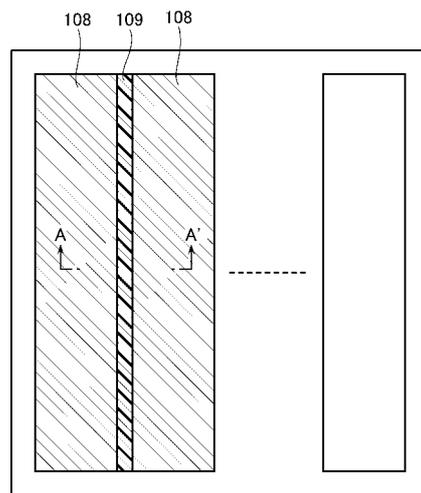
【 図 3 】



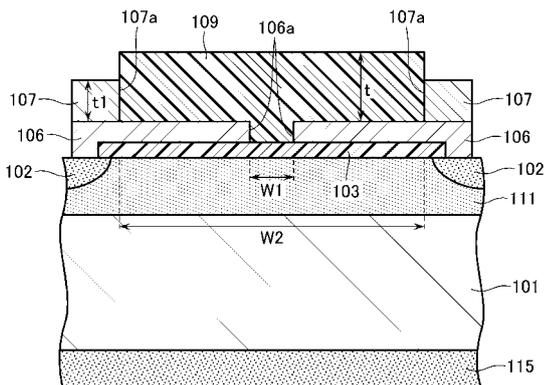
【 図 4 】



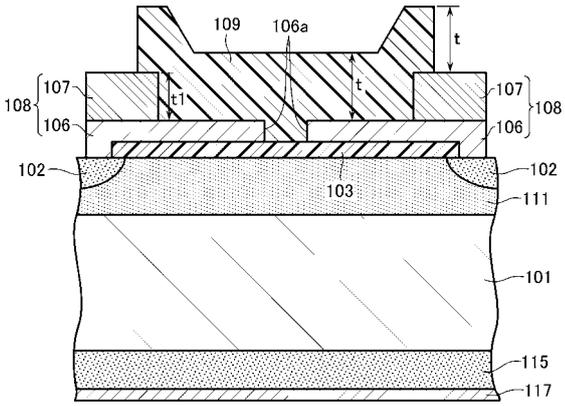
【 図 6 】



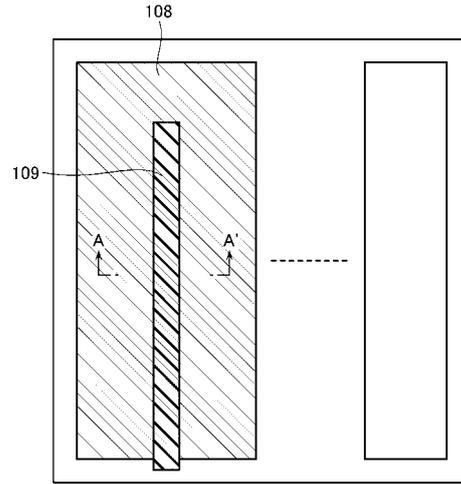
【 図 5 】



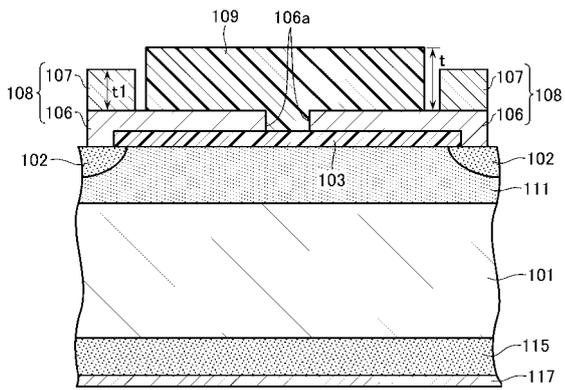
【 図 7 】



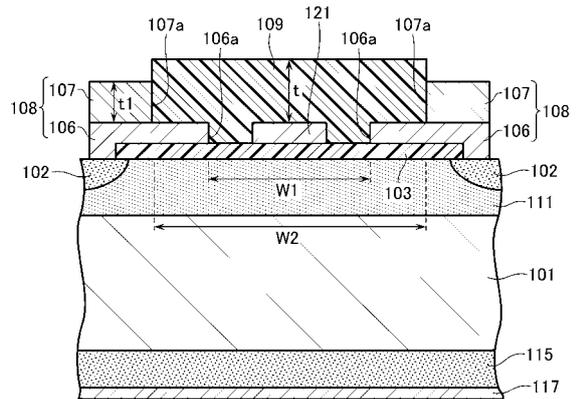
【 図 9 】



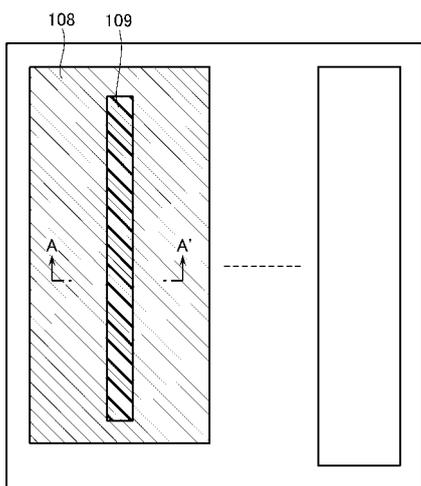
【 図 8 】



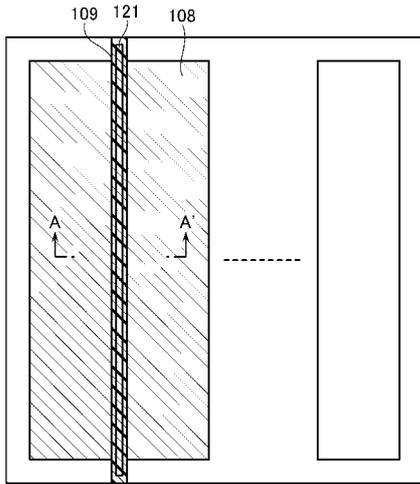
【 図 1 1 】



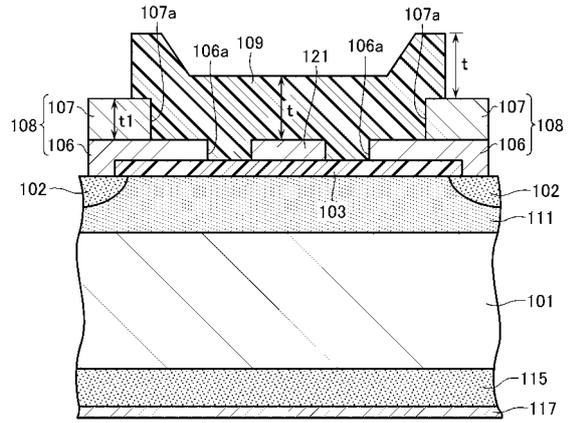
【 図 1 0 】



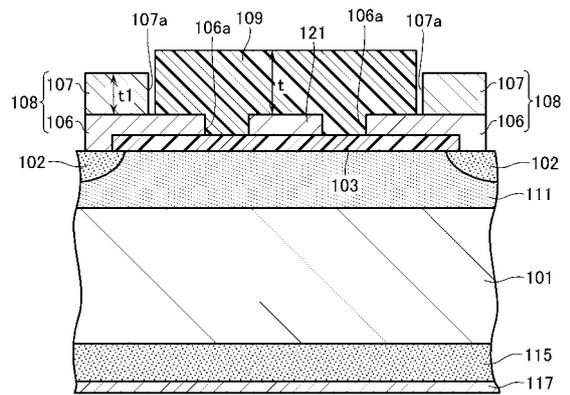
【図 1 2】



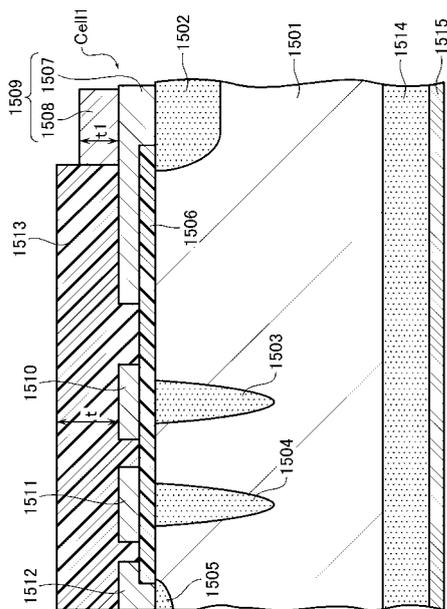
【図 1 3】



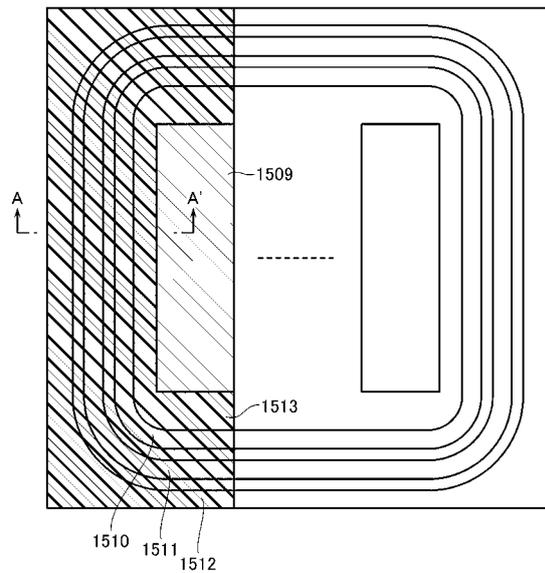
【図 1 4】



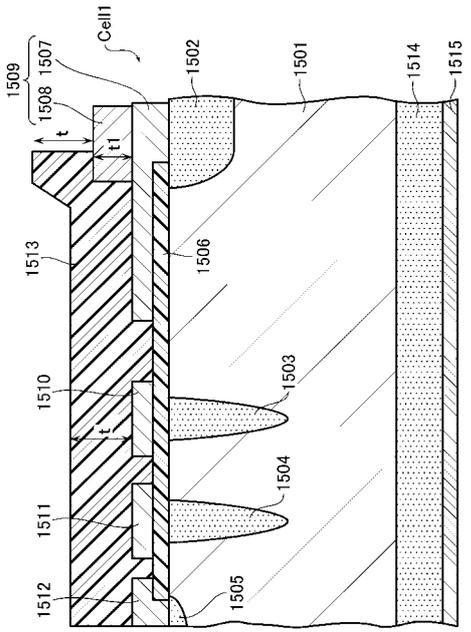
【図 1 5】



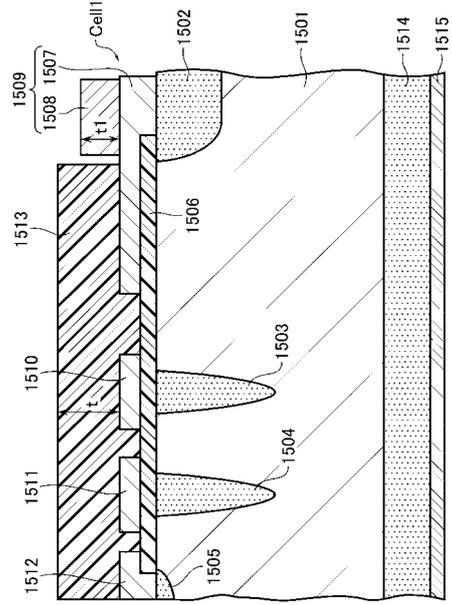
【図 1 6】



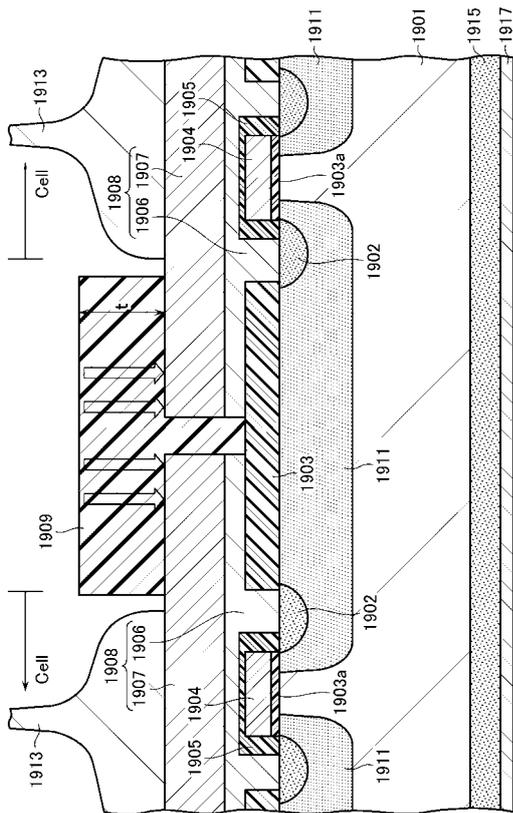
【 図 1 7 】



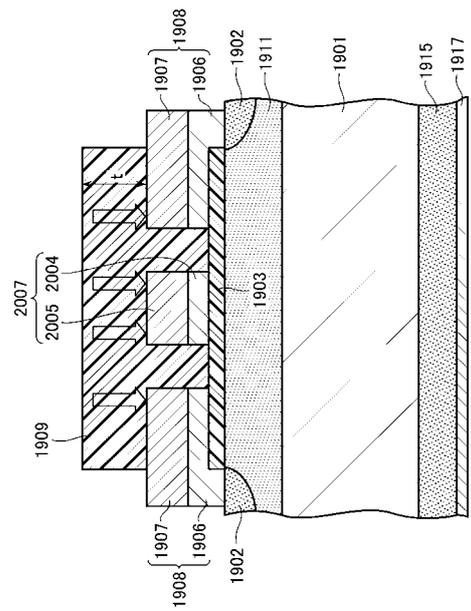
【 図 1 8 】



【 図 1 9 】

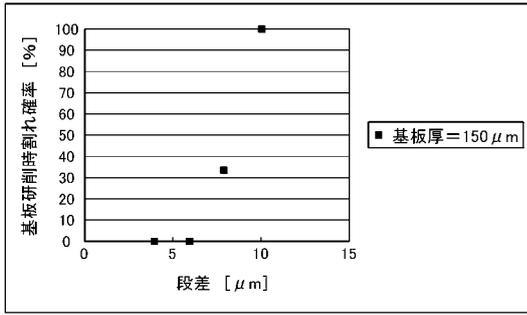


【 図 2 0 】

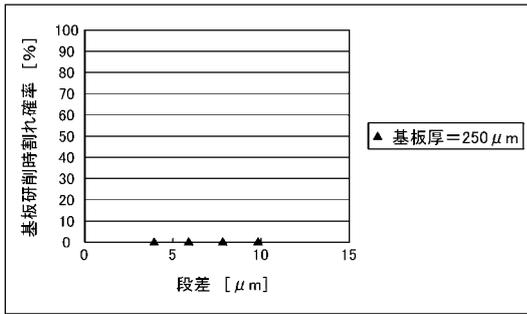


【 図 2 1 】

(A)



(B)



## フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

H 0 1 L	29/78	6 5 2 P
H 0 1 L	29/78	6 5 2 Q
H 0 1 L	29/78	6 5 5 A
H 0 1 L	21/90	J