

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-116346

(P2024-116346A)

(43)公開日 令和6年8月27日(2024.8.27)

(51)国際特許分類

F I

H 1 0 B	12/00 (2023.01)	H 1 0 B	12/00	8 0 1
H 1 0 B	41/70 (2023.01)	H 1 0 B	41/70	
H 0 1 L	29/786 (2006.01)	H 0 1 L	29/78	6 1 3 B
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	6 1 8 B
H 0 1 L	21/8234(2006.01)	H 0 1 L	29/78	6 2 6 C

審査請求 有 請求項の数 16 O L (全60頁) 最終頁に続く

(21)出願番号 特願2024-96106(P2024-96106)
 (22)出願日 令和6年6月13日(2024.6.13)
 (62)分割の表示 特願2024-26448(P2024-26448)の分割
 原出願日 平成22年12月16日(2010.12.16)
 (11)特許番号 特許第7531741号(P7531741)
 (45)特許公報発行日 令和6年8月9日(2024.8.9)
 (31)優先権主張番号 特願2009-288474(P2009-288474)
 (32)優先日 平成21年12月18日(2009.12.18)
 (33)優先権主張国・地域又は機関 日本国(JP)
 (31)優先権主張番号 特願2009-294790(P2009-294790)
 (32)優先日 平成21年12月25日(2009.12.25)
 (33)優先権主張国・地域又は機関 日本国(JP)

(71)出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72)発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
 (72)発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
 (72)発明者 加藤 清
 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

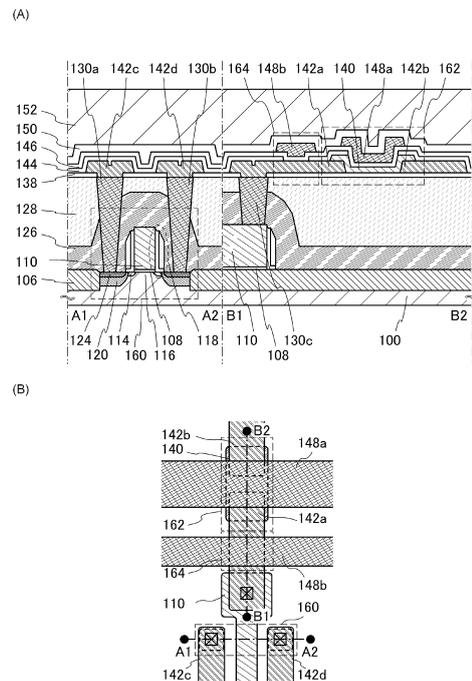
(54)【発明の名称】 半導体装置

(57)【要約】 (修正有)

【課題】電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置を提供する。

【解決手段】半導体装置は、チャネル形成領域116と、第1のゲート絶縁層108、第1のゲート電極110及び第1のソース電極及び第1のドレイン電極130a、130bを有する第1のトランジスタ160と、酸化物半導体層140、第2のソース電極及び第2のドレイン電極142a、142b、第2のゲート絶縁層146及び第2のゲート電極を有する第2のトランジスタ162と、第2のソース電極又は第2のドレイン電極142a、第2のゲート絶縁層及び第2のゲート絶縁層上に第2のソース電極又は第2のドレイン電極142aと重畳するように設けられた電極148bを有する容量素子164と、を有し、第1のゲート電極と、第2のソース電極又は第2のドレイン電極142aとは、電極130cを介して電氣的に接続されている。

【選択図】図1



【特許請求の範囲】

【請求項 1】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、
 酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、
 前記第 1 のトランジスタのゲートと電氣的に接続された容量素子と、を有し、
 前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続された半導体装置であって、
 前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、
 前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのチャンネル形成領域を有する半導体膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と、
 前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、
 前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、
 前記第 3 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 3 の導電膜と、
 前記第 3 の絶縁膜の上方に配置された領域を有する第 4 の導電膜と、を有し、
 前記第 2 の導電膜は、前記第 2 の絶縁膜を介して前記第 3 の導電膜と重なりを有し、
 前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、
 前記第 4 の導電膜は、前記容量素子の他方の電極としての機能を有し、
 前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有する、
 半導体装置。

10

20

【請求項 2】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、
 酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、
 前記第 1 のトランジスタのゲートと電氣的に接続された容量素子と、を有し、
 前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続された半導体装置であって、
 前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、
 前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのチャンネル形成領域を有する半導体膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続される第 2 の導電膜と、
 前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、
 前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、
 前記第 3 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 3 の導電膜と、
 前記第 3 の絶縁膜の上面に接する領域を有する第 4 の導電膜と、を有し、
 前記第 2 の導電膜は、前記第 2 の絶縁膜を介して前記第 3 の導電膜と重なりを有し、
 前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、
 前記第 4 の導電膜は、前記容量素子の他方の電極としての機能を有し、
 前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有する、

30

40

50

半導体装置。

【請求項 3】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、
 酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、
 前記第 1 のトランジスタのゲートと電氣的に接続された容量素子と、を有し、
 前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続された半導体装置であって、
 前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、
 前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのチャンネル形成領域を有する半導体膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続される第 3 の導電膜と、
 前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、
 前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、
 前記第 3 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 4 の導電膜と、
 前記第 3 の絶縁膜の上方に配置された領域を有する第 5 の導電膜と、を有し、
 前記第 2 の導電膜は、前記第 2 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、
 前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、
 前記第 5 の導電膜は、前記容量素子の他方の電極としての機能を有し、
 前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有する、
 半導体装置。

【請求項 4】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、
 酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、
 前記第 1 のトランジスタのゲートと電氣的に接続された容量素子と、を有し、
 前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続された半導体装置であって、
 前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、
 前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、
 前記第 1 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのチャンネル形成領域を有する半導体膜と、
 前記第 1 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と、
 前記第 1 の絶縁膜の上面に接する領域を有し、かつ、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続される第 3 の導電膜と、
 前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、
 前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、
 前記第 3 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 4 の導電膜と、
 前記第 3 の絶縁膜の上方に配置された領域を有する第 5 の導電膜と、を有し、
 前記第 2 の導電膜は、前記第 2 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、

前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、
 前記第 5 の導電膜は、前記容量素子の他方の電極としての機能を有し、
 前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜
 を介して前記第 5 の導電膜と重なりを有する、
 半導体装置。

【請求項 5】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、
 酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、
 前記第 1 のトランジスタのゲートと電氣的に接続された容量素子と、を有し、
 前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲ
 ートと電氣的に接続された半導体装置であって、 10
 前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前
 記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、
 前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのチ
 ャネル形成領域を有する半導体膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのソ
 ース又はドレインの一方としての機能を有する第 2 の導電膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのソ
 ース又はドレインの一方と電氣的に接続される第 3 の導電膜と、 20
 前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置さ
 れた領域を有する第 2 の絶縁膜と、
 前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、
 前記第 3 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのゲート
 としての機能を有する第 4 の導電膜と、
 前記第 3 の絶縁膜の上面に接する領域を有する第 5 の導電膜と、を有し、
 前記第 2 の導電膜は、前記第 2 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、
 前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、
 前記第 5 の導電膜は、前記容量素子の他方の電極としての機能を有し、
 前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜 30
 を介して前記第 5 の導電膜と重なりを有する、
 半導体装置。

【請求項 6】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、
 酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、
 前記第 1 のトランジスタのゲートと電氣的に接続された容量素子と、を有し、
 前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲ
 ートと電氣的に接続された半導体装置であって、
 前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前
 記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、 40
 前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、
 前記第 1 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのチャ
 ネル形成領域を有する半導体膜と、
 前記第 1 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのソース
 又はドレインの一方としての機能を有する第 2 の導電膜と、
 前記第 1 の絶縁膜の上面に接する領域を有し、かつ、前記第 1 のトランジスタのソース
 又はドレインの一方と電氣的に接続される第 3 の導電膜と、
 前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置さ
 れた領域を有する第 2 の絶縁膜と、
 前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、 50

前記第 3 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 4 の導電膜と、
 前記第 3 の絶縁膜の上面に接する領域を有する第 5 の導電膜と、を有し、
 前記第 2 の導電膜は、前記第 2 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、
 前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、
 前記第 5 の導電膜は、前記容量素子の他方の電極としての機能を有し、
 前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有する、
 半導体装置。

【請求項 7】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、
 酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、
 前記第 1 のトランジスタのゲートと電気的に接続された容量素子と、を有し、
 前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電気的に接続された半導体装置であって、
 前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、
 前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのチャンネル形成領域を有する半導体膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、前記半導体膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と、
 前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、
 前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、
 前記第 3 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 3 の導電膜と、
 前記第 3 の絶縁膜の上方に配置された領域を有する第 4 の導電膜と、を有し、
 前記第 2 の導電膜は、前記第 2 の絶縁膜を介して前記第 3 の導電膜と重なりを有し、
 前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、
 前記第 4 の導電膜は、前記容量素子の他方の電極としての機能を有し、
 前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有する、
 半導体装置。

【請求項 8】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、
 酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、
 前記第 1 のトランジスタのゲートと電気的に接続された容量素子と、を有し、
 前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電気的に接続された半導体装置であって、
 前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、
 前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのチャンネル形成領域を有する半導体膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、前記半導体膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と、
 前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置さ

10

20

30

40

50

れた領域を有する第 2 の絶縁膜と、

前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、

前記第 3 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 3 の導電膜と、

前記第 3 の絶縁膜の上面に接する領域を有する第 4 の導電膜と、を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜を介して前記第 3 の導電膜と重なりを有し、

前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、

前記第 4 の導電膜は、前記容量素子の他方の電極としての機能を有し、

前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有する、

10

半導体装置。

【請求項 9】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、

酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、

前記第 1 のトランジスタのゲートと電気的に接続された容量素子と、を有し、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電気的に接続された半導体装置であって、

前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、

20

前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、

前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのチャンネル形成領域を有する半導体膜と、

前記第 1 の絶縁膜の上方に配置された領域を有し、前記半導体膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と、

前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのソース又はドレインの一方と電気的に接続される第 3 の導電膜と、

前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、

前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、

30

前記第 3 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 4 の導電膜と、

前記第 3 の絶縁膜の上方に配置された領域を有する第 5 の導電膜と、を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、

前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、

前記第 5 の導電膜は、前記容量素子の他方の電極としての機能を有し、

前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有する、

半導体装置。

【請求項 10】

40

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、

酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、

前記第 1 のトランジスタのゲートと電気的に接続された容量素子と、を有し、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電気的に接続された半導体装置であって、

前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、

前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、

前記第 1 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのチャンネル形成領域を有する半導体膜と、

50

前記第 1 の絶縁膜の上面に接する領域を有し、前記半導体膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と、

前記第 1 の絶縁膜の上面に接する領域を有し、かつ、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続される第 3 の導電膜と、

前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、

前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、

前記第 3 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 4 の導電膜と、

前記第 3 の絶縁膜の上方に配置された領域を有する第 5 の導電膜と、を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、

前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、

前記第 5 の導電膜は、前記容量素子の他方の電極としての機能を有し、

前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有する、

半導体装置。

【請求項 1 1】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、

酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、

前記第 1 のトランジスタのゲートと電氣的に接続された容量素子と、を有し、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続された半導体装置であって、

前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、

前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、

前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのチャンネル形成領域を有する半導体膜と、

前記第 1 の絶縁膜の上方に配置された領域を有し、前記半導体膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と、

前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続される第 3 の導電膜と、

前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、

前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、

前記第 3 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 4 の導電膜と、

前記第 3 の絶縁膜の上面に接する領域を有する第 5 の導電膜と、を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、

前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、

前記第 5 の導電膜は、前記容量素子の他方の電極としての機能を有し、

前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有する、

半導体装置。

【請求項 1 2】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、

酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、

前記第 1 のトランジスタのゲートと電氣的に接続された容量素子と、を有し、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲ

10

20

30

40

50

ートと電氣的に接続された半導体装置であって、

前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、

前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、

前記第 1 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのチャンネル形成領域を有する半導体膜と、

前記第 1 の絶縁膜の上面に接する領域を有し、前記半導体膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と、

前記第 1 の絶縁膜の上面に接する領域を有し、かつ、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続される第 3 の導電膜と、 10

前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、

前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、

前記第 3 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 4 の導電膜と、

前記第 3 の絶縁膜の上面に接する領域を有する第 5 の導電膜と、を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、

前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、

前記第 5 の導電膜は、前記容量素子の他方の電極としての機能を有し、 20

前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有する、
半導体装置。

【請求項 1 3】

請求項 1、請求項 2、請求項 7 及び請求項 8 のいずれか一において、

前記半導体装置は、第 1 の期間と第 2 の期間とを有し、

前記第 1 の期間と前記第 2 の期間とでは、前記第 4 の導電膜の電位が異なる、
半導体装置。

【請求項 1 4】

請求項 3 乃至請求項 6 及び請求項 9 乃至請求項 1 2 のいずれか一において、 30

前記半導体装置は、第 1 の期間と第 2 の期間とを有し、

前記第 1 の期間と前記第 2 の期間とでは、前記第 5 の導電膜の電位が異なる、
半導体装置。

【請求項 1 5】

請求項 1 乃至請求項 1 4 のいずれか一において、

前記第 2 の絶縁膜は、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウム及び酸化タンタルのいずれか一を含む、
半導体装置。

【請求項 1 6】

請求項 1 乃至請求項 1 5 のいずれか一において、 40

前記第 3 の絶縁膜は、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウム及び酸化タンタルのいずれか一を含む、
半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその作製方法に関するものである。

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

【0004】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われることになるため、データの読み込みの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにはリーク電流が存在し、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

10

【0005】

揮発性記憶装置の別の例としてはSRAM (Static Random Access Memory) がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

20

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献1参照）。

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

30

【0008】

また、フローティングゲートに電荷を保持させ、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の保持、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

40

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

50

【課題を解決するための手段】

【0011】

開示する発明では、高純度化された酸化物半導体を用いて半導体装置を構成する。高純度化された酸化物半導体を用いて構成したトランジスタは、リーク電流が極めて小さいため、長期間にわたって情報を保持することが可能である。

【0012】

開示する発明の一態様は、チャンネル形成領域と、チャンネル形成領域を挟むように設けられた不純物領域と、チャンネル形成領域上に設けられた第1のゲート絶縁層と、第1のゲート絶縁層上に設けられた第1のゲート電極と、不純物領域と電氣的に接続する第1のソース電極及び第1のドレイン電極と、を有する第1のトランジスタと、酸化物半導体層と、酸化物半導体層と電氣的に接続する第2のソース電極及び第2のドレイン電極と、酸化物半導体層、第2のソース電極、および第2のドレイン電極を覆うように設けられた第2のゲート絶縁層と、第2のゲート絶縁層上に酸化物半導体層と重畳するように設けられた第2のゲート電極と、を有する第2のトランジスタと、第2のソース電極または第2のドレイン電極の一方と、第2のゲート絶縁層と、第2のゲート絶縁層上に第2のソース電極または第2のドレイン電極の一方と重畳するように設けられた電極と、を有する容量素子と、を有し、第1のゲート電極と、第2のソース電極又は第2のドレイン電極の一方とは電氣的に接続された半導体装置である。

10

【0013】

また、開示する発明の一態様は、チャンネル形成領域と、チャンネル形成領域を挟むように設けられた不純物領域と、チャンネル形成領域上に設けられた第1のゲート絶縁層と、第1のゲート絶縁層上に設けられた第1のゲート電極と、不純物領域と電氣的に接続する第1のソース電極及び第1のドレイン電極と、を有する第1のトランジスタと、酸化物半導体層と、酸化物半導体層と電氣的に接続する第2のソース電極及び第2のドレイン電極と、第2のソース電極及び第2のドレイン電極と接する絶縁層と、酸化物半導体層、第2のソース電極、第2のドレイン電極、および絶縁層を覆うように設けられた第2のゲート絶縁層と、第2のゲート絶縁層上に酸化物半導体層と重畳するように設けられた第2のゲート電極と、を有する第2のトランジスタと、第2のソース電極または第2のドレイン電極の一方と、第2のゲート絶縁層と、第2のゲート絶縁層上に第2のソース電極または第2のドレイン電極の一方と重畳するように設けられた電極と、を有する容量素子と、を有し、第1のゲート電極と、第2のソース電極又は第2のドレイン電極の一方とは電氣的に接続された半導体装置である。

20

30

【0014】

上記において、酸化物半導体層は、第2のソース電極及び第2のドレイン電極の側面または上面において接触することが好ましい。また、上記において、第2のトランジスタおよび容量素子は、第1のトランジスタの上方に設けられることが好ましい。

【0015】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎず、特に言及する場合を除き、その上下を入れ替えたものも含む。

40

【0016】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0017】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため

50

、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0018】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

【0019】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【発明の効果】

【0020】

本発明の一態様では、酸化物半導体以外の材料を用いたトランジスタと、酸化物半導体を用いたトランジスタの積層構造に係る半導体装置が提供される。

【0021】

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0022】

また、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば従来の不揮発性メモリのように浮遊ゲートへの電子の注入や引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、本実施形態に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

【0023】

また、酸化物半導体以外の材料を用いたトランジスタは十分な高速動作が可能のため、これを用いることにより、記憶内容の読み出しを高速に行うことが可能である。

【0024】

このように、酸化物半導体以外の材料を用いたトランジスタと、酸化物半導体を用いたトランジスタとを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【図面の簡単な説明】

【0025】

【図1】半導体装置の断面図および平面図

【図2】半導体装置の断面図

【図3】半導体装置の回路図

【図4】半導体装置の作製工程に係る断面図

【図5】半導体装置の作製工程に係る断面図

【図6】半導体装置の断面図および平面図

【図7】半導体装置の作製工程に係る断面図

【図8】半導体装置の回路図

【図9】半導体装置の断面図および平面図

【図10】半導体装置の断面図

【図11】半導体装置の作製工程に係る断面図

【図12】半導体装置の作製工程に係る断面図

【図13】半導体装置の作製工程に係る断面図

10

20

30

40

50

【図 1 4】電子機器を説明するための斜視図

【図 1 5】メモリウィンドウ幅の調査結果を示す図

【発明を実施するための形態】

【0026】

発明の実施の形態について、図面を用いて以下に説明する。但し、発明は以下の説明に限定されず、その趣旨および範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0027】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

10

【0028】

なお、本明細書等における「第 1」、「第 2」、「第 3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0029】

(実施の形態 1)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成および作製方法について、図 1 乃至図 5 を参照して説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OS の符号を併せて付す場合がある。

20

【0030】

半導体装置の平面構成および断面構成

図 1 は、半導体装置の構成の一例である。図 1 (A) には、半導体装置の断面を、図 1 (B) には、半導体装置の平面を、それぞれ示す。ここで、図 1 (A) は、図 1 (B) の A1 - A2、および B1 - B2 における断面に相当する。図 1 (A) および図 1 (B) に示される半導体装置は、下部に酸化物半導体以外の材料を用いたトランジスタ 160 を有し、上部に酸化物半導体を用いたトランジスタ 162 および容量素子 164 を有するものである。なお、トランジスタ 160 およびトランジスタ 162 は、いずれも n チャネル型トランジスタであるものとして説明するが、p チャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体をトランジスタ 162 に用いる点にあるから、半導体装置の具体的な構成をここで示すものに限定する必要はない。

30

【0031】

トランジスタ 160 は、半導体材料 (例えば、シリコンなど) を含む基板 100 に設けられたチャネル形成領域 116 と、チャネル形成領域 116 を挟むように設けられた不純物領域 114 および高濃度不純物領域 120 (これらをおわせて単に不純物領域とも呼ぶ) と、チャネル形成領域 116 上に設けられたゲート絶縁層 108 と、ゲート絶縁層 108 上に設けられたゲート電極 110 と、不純物領域と電氣的に接続するソース電極またはドレイン電極 130 a、およびソース電極またはドレイン電極 130 b を有する。

【0032】

ここで、ゲート電極 110 の側面にはサイドウォール絶縁層 118 が設けられている。また、基板 100 の、平面図で見てサイドウォール絶縁層 118 と重ならない領域には、高濃度不純物領域 120 を有し、高濃度不純物領域 120 に接する金属化合物領域 124 が存在する。また、基板 100 上にはトランジスタ 160 を囲むように素子分離絶縁層 106 が設けられており、トランジスタ 160 を覆うように、層間絶縁層 126 および層間絶縁層 128 が設けられている。ソース電極またはドレイン電極 130 a、およびソース電極またはドレイン電極 130 b は、層間絶縁層 126 および層間絶縁層 128 に形成された開口を通じて、金属化合物領域 124 と電氣的に接続されている。つまり、ソース電極またはドレイン電極 130 a、およびソース電極またはドレイン電極 130 b は、金属化合物領域 124 を介して高濃度不純物領域 120 および不純物領域 114 と電氣的に接続

40

50

されている。また、電極 130c は、層間絶縁層 126 および層間絶縁層 128 に形成された開口を通じて、ゲート電極 110 と電氣的に接続されている。なお、トランジスタ 160 の集積化などのため、サイドウォール絶縁層 118 が形成されない場合もある。

【0033】

トランジスタ 162 は、絶縁層 138 上に設けられたソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b と、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b と電氣的に接続されている酸化

物半導体層 140 と、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b、酸化物半導体層 140 と接する絶縁層 144 と、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b、酸化物半導体層 140、絶縁層 144 を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上に酸化物半導体層 140 と重畳するように設けられたゲート電極 148a と、を有する。ここで、絶縁層 144 は、ゲート電極 148a などに起因する容量を低減するために設けられるものである。なお、工程簡略化のために、絶縁層 144 を設けない構成としても良い。

10

【0034】

また、上述のように、図 1 に示すトランジスタ 162 は、トップゲート型であって、かつ酸化物半導体層 140 とソース電極またはドレイン電極 142a 等との接続が、酸化物半導体層 140 の下部表面を含む領域において行われているため、トップゲート・ボトムコンタクト型と呼ぶことができる。

【0035】

ここで、酸化物半導体層 140 は水素などの不純物が十分に除去され、または、十分な酸素が供給されることにより、高純度化されているものであることが望ましい。具体的には、例えば、酸化物半導体層 140 の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層 140 中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で測定したものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層 140 では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、チャンネル長が $10 \mu\text{m}$ であり、酸化物半導体層の膜厚が 30 nm の場合において、ドレイン電圧が $1 \text{ V} \sim 10 \text{ V}$ 程度の範囲である場合、オフ電流 (ゲート - ソース間の電圧を 0 V 以下としたときのドレイン電流) は、 $1 \times 10^{-13} \text{ A}$ 以下となる。または、室温でのオフ電流密度 (オフ電流をトランジスタのチャンネル幅で除した値) は $1 \times 10^{-20} \text{ A} / \mu\text{m}$ (10 zA (zeptoアンペア) / μm) から $1 \times 10^{-19} \text{ A} / \mu\text{m}$ ($100 \text{ zA} / \mu\text{m}$) 程度となる。また、オフ抵抗率は $1 \times 10^9 \cdot \text{m}$ 以上、望ましくは $1 \times 10^{10} \cdot \text{m}$ 以上となる。このように、i 型化 (真性化) または実質的に i 型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 162 を得ることができる。

20

30

【0036】

また、ソース電極またはドレイン電極 142a は、電極 130c と電氣的に接続されている。つまり、ソース電極またはドレイン電極 142a は、トランジスタ 160 のゲート電極 110 と電氣的に接続されている。同様に、ソース電極またはドレイン電極 130a に接して電極 142c が、ソース電極またはドレイン電極 130b に接して電極 142d が、それぞれ形成されている。

40

【0037】

容量素子 164 は、ソース電極またはドレイン電極 142a、ゲート絶縁層 146、電極 148b、で構成される。すなわち、ソース電極またはドレイン電極 142a は、容量素子 164 の一方の電極として機能し、電極 148b は、容量素子 164 の他方の電極として機能することになる。

50

【0038】

また、トランジスタ162および容量素子164の上には、保護絶縁層150が設けられており、保護絶縁層150上には層間絶縁層152が設けられている。

【0039】

上部のトランジスタ及び容量素子の変形例

次に、図1(A)に示す上部のトランジスタ及び容量素子の変形例を、図2に示す。

【0040】

図2(A)に示すトランジスタ及び容量素子は、図1に示す半導体装置の上部のトランジスタ及び容量素子の変形例である。

【0041】

図2(A)に示す構成と、図1(A)に示す構成との相違は、絶縁層144が、ソース電極またはドレイン電極142a、及びソース電極またはドレイン電極142b上に形成されており、酸化半導体層140が、絶縁層144、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bを覆うように形成されている点にある。また、酸化半導体層140は、絶縁層144に設けられた開口を介して、ソース電極またはドレイン電極142aに接して設けられている。

【0042】

また、図2に示すトランジスタ及び容量素子において、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b、および絶縁層144の端部は、テーパ形状であることが好ましい。ここで、テーパ角は、例えば、30°以上60°以下であることが好ましい。なお、テーパ角とは、テーパ形状を有する層(例えば、ソース電極またはドレイン電極142a)を、その断面(基板の表面と直交する面)に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの端部をテーパ形状とすることにより、酸化半導体層140の被覆性を向上し、段切れを防止することができる。

【0043】

また、図2(A)に示す構成では、酸化半導体層140が加工されないため、加工の際に行われるエッチングにより、酸化半導体層140に汚染物が混入することを回避できる。また、容量素子164において、酸化半導体層140とゲート絶縁層146を積層させることにより、ソース電極またはドレイン電極142aと、電極148bとの間の絶縁性を十分に確保することができる。

【0044】

図2(B)に示すトランジスタ及び容量素子は、図2(A)のトランジスタ及び容量素子と一部異なる構成である。

【0045】

図2(B)に示す構成と、図2(A)に示す構成との相違は、酸化半導体層を島状に形成している点にある。つまり、図2(A)に示す構成では、酸化半導体層140が、絶縁層144、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの全体を覆っているのに対して、図2(B)に示す構成では、酸化半導体層を島状にすることで、絶縁層144、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの一部が覆われている。ここで、島状の酸化半導体層140の端部は、テーパ形状であることが好ましい。テーパ角は、例えば、30°以上60°以下とすることが好ましい。

【0046】

また、容量素子164において、酸化半導体層140とゲート絶縁層146を積層させることにより、ソース電極またはドレイン電極142aと、電極148bとの間の絶縁性を十分に確保することができる。

【0047】

図2(C)に示すトランジスタ及び容量素子は、図2(A)のトランジスタ及び容量素子と一部異なる構成である。

10

20

30

40

50

【 0 0 4 8 】

図 2 (C) に示す構成と、図 2 (A) に示す構成との相違は、トランジスタ 1 6 2 及び容量素子 1 6 4 に絶縁層 1 4 4 を設けない構成としている点にある。図 2 (C) に示す構成では、絶縁層 1 4 4 を設けないため、図 2 (A) に示すトランジスタ及び容量素子と比較して、作製工程が簡略化され、製造コストが低減される。

【 0 0 4 9 】

また、図 2 (C) に示す構成では、酸化物半導体層 1 4 0 が加工されないため、加工の際に行われるエッチングにより、酸化物半導体層 1 4 0 に汚染物が混入することを回避できる。また、容量素子 1 6 4 において、酸化物半導体層 1 4 0 とゲート絶縁層 1 4 6 を積層させることにより、ソース電極またはドレイン電極 1 4 2 a と、電極 1 4 8 b との間の絶縁性を十分に確保することができる。

10

【 0 0 5 0 】

図 2 (D) に示すトランジスタ及び容量素子は、図 2 (B) に示すトランジスタ及び容量素子と一部異なる構成である。

【 0 0 5 1 】

図 2 (D) に示す構成と、図 2 (B) に示す構成との相違は、トランジスタ 1 6 2 及び容量素子 1 6 4 に絶縁層 1 4 4 を設けない構成としている点にある。トランジスタ 1 6 2 及び容量素子 1 6 4 に、絶縁層 1 4 4 を設けない構成とすることにより、図 2 (B) と比較して、作製工程が簡略化され、製造コストが低減される。

【 0 0 5 2 】

また、容量素子 1 6 4 において、酸化物半導体層 1 4 0 とゲート絶縁層 1 4 6 を積層させることにより、ソース電極またはドレイン電極 1 4 2 a と、電極 1 4 8 b との間の絶縁性を十分に確保することができる。

20

【 0 0 5 3 】

半導体装置の回路構成および動作

次に、上記半導体装置の回路構成の例、およびその動作について説明する。図 3 (A - 1) は、図 1 に示す半導体装置に相当する回路構成の一例である。

【 0 0 5 4 】

図 3 (A - 1) に示す半導体装置では、第 1 の配線 (1 s t L i n e : ソース線とも呼ぶ) とトランジスタ 1 6 0 のソース電極とは、電氣的に接続され、第 2 の配線 (2 n d L i n e : ビット線とも呼ぶ) とトランジスタ 1 6 0 のドレイン電極とは、電氣的に接続されている。また、第 3 の配線 (3 r d L i n e : 第 1 信号線とも呼ぶ) とトランジスタ 1 6 2 のソース電極またはドレイン電極の他方とは、電氣的に接続され、第 4 の配線 (4 t h L i n e : 第 2 信号線とも呼ぶ) と、トランジスタ 1 6 2 のゲート電極とは、電氣的に接続されている。そして、トランジスタ 1 6 0 のゲート電極と、トランジスタ 1 6 2 のソース電極またはドレイン電極の一方は、容量素子 1 6 4 の電極の一方と電氣的に接続され、第 5 の配線 (5 t h L i n e : ワード線とも呼ぶ) と、容量素子 1 6 4 の電極の他方は電氣的に接続されている。

30

【 0 0 5 5 】

酸化物半導体以外の材料を用いたトランジスタ 1 6 0 は十分な高速動作が可能のため、これを用いることにより、記憶内容の読み出しなどを高速に行うことが可能である。また、酸化物半導体を用いたトランジスタ 1 6 2 は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ 1 6 2 をオフ状態とすることで、トランジスタ 1 6 0 のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子 1 6 4 を有することにより、トランジスタ 1 6 0 のゲート電極に与えられた電荷の保持が容易になり、また、記憶内容の読み出しが容易になる。

40

【 0 0 5 6 】

本実施の形態に示す半導体装置では、トランジスタ 1 6 0 のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

50

【 0 0 5 7 】

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極、および容量素子164の電極の一方に与えられる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という）のいずれかを与えるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される（保持）。

10

【 0 0 5 8 】

トランジスタ162のオフ電流は極めて小さいから、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

【 0 0 5 9 】

次に、情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャンネル型とすると、トランジスタ160のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

20

【 0 0 6 0 】

なお、情報を読み出さない場合には、トランジスタ160のゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線に与えればよい。または、トランジスタ160のゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

30

【 0 0 6 1 】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ160のゲート電極および容量素子164の一方の電極に与えられる。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

40

【 0 0 6 2 】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

【 0 0 6 3 】

なお、トランジスタ162のソース電極またはドレイン電極は、トランジスタ160のゲ

50

ート電極と電氣的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。このため、図中、トランジスタ162のソース電極またはドレイン電極とトランジスタ160のゲート電極が電氣的に接続される部位をフローティングゲート部FGと呼ぶ場合がある。トランジスタ162がオフの場合、当該フローティングゲート部FGは絶縁体中に埋設されていると見ることができ、フローティングゲート部FGには電荷が保持される。酸化物半導体を用いたトランジスタ162では、オフ電流が、シリコン半導体などで形成されるトランジスタ160の10万分の1以下であるため、トランジスタ162のリークによる、フローティングゲート部FGに蓄積される電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ162により、不揮発性の記憶装置を実現することが可能である。

10

【0064】

例えば、トランジスタ162の室温でのオフ電流密度が $10 \text{ z A} / \mu\text{m}$ (1 z A (zeptoアンペア)は $1 \times 10^{-21} \text{ A}$)程度であり、容量素子164の容量値が 1 pF 程度である場合には、少なくとも 10^6 秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

【0065】

また、この場合、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜(トンネル絶縁膜)の劣化という問題を回避することができる。すなわち、電子をフローティングゲートに注入する際の、ゲート絶縁膜の劣化という問題を解消することができる。そして、これにより、本実施の形態に示す半導体装置では、原理的な書き込み回数の制限が存在しない。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要なであった高い電圧も不要である。

20

【0066】

図3(A-1)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図3(A-2)のような回路に置き換えることが可能である。つまり、図3(A-2)では、トランジスタ160および容量素子164が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。R1およびC1は、それぞれ、容量素子164の抵抗値および容量値であり、抵抗値R1は、容量素子164を構成する絶縁層による抵抗値に相当する。また、R2およびC2は、それぞれ、トランジスタ160の抵抗値および容量値であり、抵抗値R2はトランジスタ160がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値C2はいわゆるゲート容量(ゲート電極と、ソース電極またはドレイン電極との間に形成される容量)値に相当する。なお、抵抗値R2は、トランジスタ160のゲート電極とチャンネル形成領域との間の抵抗値を示すものに過ぎないから、この点を明確にするために、接続の一部を点線で示している。

30

【0067】

トランジスタ162がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値(実効抵抗とも呼ぶ)をROSとすると、R1およびR2が、 $R1 < ROS$ 、 $R2 < ROS$ を満たす場合には、電荷の保持期間(情報の保持期間ということもできる)は、主としてトランジスタ162のオフ電流によって決定されることになる。

40

【0068】

逆に、当該条件を満たさない場合には、トランジスタ162のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ162以外において生じるリークが大きいためである。このことから、本実施の形態において開示する半導体装置は、上述の関係を満たすものであることが望ましいといえる。

【0069】

一方で、C1とC2は、 $C1 < C2$ の関係を満たすことが望ましい。C1を大きくすることで、第5の配線によってフローティングゲート部FGの電位を制御する際(例えば、読み出しの際)に、第5の配線の電位を低く抑えることができるためである。

【0070】

50

上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。本実施の形態において、R1およびR2は、ゲート絶縁層108やゲート絶縁層146などによって制御される。C1およびC2についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

【0071】

図3(B)には、上述の半導体装置とは構成の一部が異なる半導体装置を示す。図3(B)に示す半導体装置において、トランジスタ160のゲート電極と、トランジスタ166のソース電極またはドレイン電極の一方と、容量素子164の電極の一方とは、電氣的に接続されている。また、第1の配線とトランジスタ160のソース電極とは、電氣的に接続され、第2の配線とトランジスタ160のドレイン電極とは、電氣的に接続されている。そして、第3の配線とトランジスタ166のソース電極またはドレイン電極の他方とは、電氣的に接続され、第4の配線と、トランジスタ166の第1のゲート電極とは、電氣的に接続されている。また、第5の配線と、容量素子164の電極の他方とは、電氣的に接続され、第6の配線と、トランジスタ166の第2のゲート電極とは、電氣的に接続されている。第6の配線には第4の配線と等しい電位を与えても良いし、第4の配線とは異なる電位を与えて、第4の配線とは独立に制御しても良い。

10

【0072】

つまり、図3(B)に示す半導体装置は、図3(A-1)に示す半導体装置のトランジスタ162を、第2のゲート電極を有するトランジスタ166に置き換えた構成である。これにより、図3(B)に示す半導体装置では、図3(A-1)に示す半導体装置において得られる効果に加え、トランジスタ166の電氣的特性(例えば、しきい値電圧)の調節が容易になるという効果が得られる。例えば、第6の配線に負電位を与えることで、トランジスタ166を容易にノーマリーオフとすることが可能である。

20

【0073】

なお、上記説明は、電子を多数キャリアとするn型トランジスタ(nチャネル型トランジスタ)を用いる場合についてのものであるが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタを用いることができるのはいうまでもない。

【0074】

半導体装置の作製方法

次に、図1および図3(A-1)に示す半導体装置の作製方法の一例について説明する。以下では、はじめに下部のトランジスタ160の作製方法について図4を参照して説明し、その後、上部のトランジスタ162および容量素子164の作製方法について図5を参照して説明する。

30

【0075】

下部のトランジスタの作製方法

まず、半導体材料を含む基板100を用意する(図4(A)参照)。半導体材料を含む基板100としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。ここでは、半導体材料を含む基板100として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものも含まれるものとする。

40

【0076】

基板100上には、素子分離絶縁層を形成するためのマスクとなる保護層102を形成する(図4(A)参照)。保護層102としては、例えば、酸化シリコンや窒化シリコン、酸化窒化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n型の導電性を付与する不純

50

物元素や p 型の導電性を付与する不純物元素を基板 100 に添加してもよい。半導体がシリコンの場合、n 型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p 型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【0077】

次に、上記の保護層 102 をマスクとしてエッチングを行い、保護層 102 に覆われていない領域（露出している領域）の基板 100 の一部を除去する。これにより分離された半導体領域 104 が形成される（図 4（B）参照）。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

10

【0078】

次に、半導体領域 104 を覆うように絶縁層を形成し、半導体領域 104 に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層 106 を形成する（図 4（B）参照）。当該絶縁層は、酸化シリコンや窒化シリコン、酸化窒化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMP などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域 104 の形成後、または、素子分離絶縁層 106 の形成後には、上記保護層 102 を除去する。

【0079】

次に、半導体領域 104 上に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

20

【0080】

絶縁層は後のゲート絶縁層となるものであり、CVD 法やスパッタリング法等を用いて得られる酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等を含む膜の単層構造または積層構造とすると良い。他に、高密度プラズマ処理や熱酸化処理によって、半導体領域 104 の表面を酸化、窒化することにより、上記絶縁層を形成してもよい。高密度プラズマ処理は、例えば、He、Ar、Kr、Xe などの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。また、絶縁層の厚さは特に限定されないが、例えば、1nm 以上 100nm 以下とすることができる。

【0081】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD 法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

30

【0082】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層 108、ゲート電極 110 を形成する（図 4（C）参照）。

【0083】

次に、ゲート電極 110 を覆う絶縁層 112 を形成する（図 4（C）参照）。そして、半導体領域 104 にリン（P）やヒ素（As）などを添加して、浅い接合深さの不純物領域 114 を形成する（図 4（C）参照）。なお、ここでは n 型トランジスタを形成するためにリンやヒ素を添加しているが、p 型トランジスタを形成する場合には、硼素（B）やアルミニウム（Al）などの不純物元素を添加すればよい。上記不純物領域 114 の形成により、半導体領域 104 のゲート絶縁層 108 下部には、チャンネル形成領域 116 が形成される（図 4（C）参照）。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。また、ここでは、絶縁層 112 を形成した後に不純物領域 114 を形成する工程を採用しているが、不純物領域 114 を形成した後に絶縁層 112 を形成する工程としても良い。

40

50

【0084】

次に、サイドウォール絶縁層118を形成する(図4(D)参照)。サイドウォール絶縁層118は、絶縁層112を覆うように絶縁層を形成した後に、当該絶縁層に異方性の高いエッチング処理を適用することで、自己整合的に形成することができる。また、この際に、絶縁層112を部分的にエッチングして、ゲート電極110の上面と、不純物領域114の上面を露出させると良い。

【0085】

次に、ゲート電極110、不純物領域114、サイドウォール絶縁層118等を覆うように、絶縁層を形成する。そして、不純物領域114と接する領域に、リン(P)やヒ素(As)などを添加して、高濃度不純物領域120を形成する(図4(E)参照)。その後、上記絶縁層を除去し、ゲート電極110、サイドウォール絶縁層118、高濃度不純物領域120等を覆うように金属層122を形成する(図4(E)参照)。当該金属層122は、真空蒸着法やスパッタリング法、スピンコート法などの各種成膜方法を用いて形成することができる。金属層122は、半導体領域104を構成する半導体材料と反応して低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

10

【0086】

次に、熱処理を施して、上記金属層122と半導体材料とを反応させる。これにより、高濃度不純物領域120に接する金属化合物領域124が形成される(図4(F)参照)。なお、ゲート電極110として多結晶シリコンなどを用いる場合には、ゲート電極110の金属層122と接触する部分にも、金属化合物領域が形成されることになる。

20

【0087】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域124を形成した後は、金属層122は除去する。

30

【0088】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層126、層間絶縁層128を形成する(図4(G)参照)。層間絶縁層126や層間絶縁層128は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。また、ポリイミド、アクリル樹脂等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層126や層間絶縁層128の二層構造としているが、層間絶縁層の構成はこれに限定されない。層間絶縁層128の形成後には、その表面を、CMPやエッチング処理などによって平坦化しておくことが望ましい。

【0089】

その後、上記層間絶縁層に、金属化合物領域124にまで達する開口を形成し、当該開口に、ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130bを形成する(図4(H)参照)。ソース電極またはドレイン電極130aやソース電極またはドレイン電極130bは、例えば、開口を含む領域にPVD法やCVD法などを用いて導電層を形成した後、エッチング処理やCMPといった方法を用いて、上記導電層の一部を除去することにより形成することができる。

40

【0090】

より具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、被

50

形成面の酸化膜（自然酸化膜など）を還元し、下部電極（ここでは金属化合物領域 1 2 4）との接触抵抗を低減させる機能を有する。また、その後形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0091】

なお、上記導電層の一部を除去してソース電極またはドレイン電極 1 3 0 a やソース電極またはドレイン電極 1 3 0 b を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する場合には、その後の CMP によって、不要なタングステン、チタン、窒化チタンなどを除去すると共に、その表面の平坦性を向上させることができる。このように、ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

10

【0092】

なお、ここでは、金属化合物領域 1 2 4 と接触するソース電極またはドレイン電極 1 3 0 a やソース電極またはドレイン電極 1 3 0 b のみを示しているが、この工程において、ゲート電極 1 1 0 と接触する電極 1 3 0 c などをおわせて形成することができる。ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b として用いることができる材料について特に限定はなく、各種導電材料を用いることができる。例えば、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料を用いることができる。また、後に行われる熱処理を考慮して、ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b は、後に行われる熱処理に耐えうる程度の耐熱性を有する材料を用いて形成することが望ましい。

20

【0093】

以上により、半導体材料を含む基板 1 0 0 を用いたトランジスタ 1 6 0 が形成される（図 4（H）参照）。なお、上記工程の後には、さらに電極や配線、絶縁層などを形成しても良い。配線の構造として、層間絶縁層および導電層の積層構造でなる多層配線構造を採用することにより、高度に集積化した半導体装置を提供することができる。

【0094】

上部のトランジスタの作製方法

次に、図 5 を用いて、層間絶縁層 1 2 8 上にトランジスタ 1 6 2 を作製する工程について説明する。なお、図 5 は、層間絶縁層 1 2 8 上の各種電極や、トランジスタ 1 6 2 などの作製工程を示すものであるから、トランジスタ 1 6 2 の下部に存在するトランジスタ 1 6 0 等の詳細については省略している。

30

【0095】

まず、層間絶縁層 1 2 8、ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b、電極 1 3 0 c 上に絶縁層 1 3 8 を形成する。絶縁層 1 3 8 は PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁層 1 3 8 はトランジスタ 1 6 2 の下地として機能する。絶縁層 1 3 8 は設けなくとも良い。

40

【0096】

次に、絶縁層 1 3 8 に対し、ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b、電極 1 3 0 c にまで達する開口を形成する（図 5（A）参照）。当該開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトリソグラフィを用いた露光などによって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。なお、絶縁層 1 3 8 を設けない場合、当該工程は省略することができる。

50

【0097】

次に、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b、電極 142 c、電極 142 d を形成する（図 5（B）参照）。ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b、電極 142 c、電極 142 d は、絶縁層 138 を覆うように導電層を形成した後、当該導電層を選択的にエッチングすることにより形成することができる。

【0098】

導電層は、スパッタリング法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガ、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を単数、または複数組み合わせ合わせた材料を用いてもよい。導電層は、単層構造であっても良いし、2 層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された 2 層構造、チタン膜とアルミニウム膜とチタン膜とが積層された 3 層構造などが挙げられる。

【0099】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、酸化インジウム酸化スズ合金 (In_2O_3 SnO_2 、ITO と略記する場合がある)、酸化インジウム酸化亜鉛合金 (In_2O_3 ZnO)、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

【0100】

トランジスタのチャンネル長 (L) は、ソース電極またはドレイン電極 142 a の下端部と、ソース電極またはドレイン電極 142 b の下端部との間隔によって決定される。チャンネル長 (L) を 25 nm 未満とする場合には、波長が数 nm ~ 数 10 nm の超紫外線 (Extreme Ultraviolet) を用いて、エッチング用マスクを形成すると良い。超紫外線による露光は、解像度が高く焦点深度も大きい。このため、25 nm 未満のパターンを形成することが可能であり、トランジスタのチャンネル長 (L) を 10 nm 以上 1000 nm 以下とすることも可能である。このようにチャンネル長が小さいトランジスタは、回路の動作速度が高く、消費電力が低減されるため、好適である。

【0101】

また、ソース電極またはドレイン電極 142 a、およびソース電極またはドレイン電極 142 b は、その端部がテーパ形状となるように形成されることが望ましい。ソース電極またはドレイン電極 142 a、およびソース電極またはドレイン電極 142 b の端部をテーパ形状とすることにより、後に形成される酸化物半導体層の被覆性を向上し、段切れを防止することができるためである。ここで、テーパ角は、例えば、30°以上 60°以下であることが好ましい。なお、テーパ角とは、テーパ形状を有する層（例えば、ソース電極またはドレイン電極 142 a）を、その断面（基板の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。

【0102】

次に、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b などを覆うように酸化物半導体層を形成した後、マスクを用いたエッチングなどの方法によって該酸化物半導体層を加工して、島状の酸化物半導体層 140 を形成する（図 5（C）参照）。

【0103】

酸化物半導体層の形成は、スパッタリング法を用いて行うのが望ましい。酸化物半導体層は、四元系金属酸化物である In - Sn - Ga - Zn - O 系や、三元系金属酸化物である In - Ga - Zn - O 系、In - Sn - Zn - O 系、In - Al - Zn - O 系、Sn - G

10

20

30

40

50

a - Z n - O系、A l - G a - Z n - O系、S n - A l - Z n - O系や、二元系金属酸化物であるI n - Z n - O系、S n - Z n - O系、A l - Z n - O系、Z n - M g - O系、S n - M g - O系、I n - M g - O系や、I n - O系、S n - O系、Z n - O系などの金属酸化物を用いて形成することができる。なお、金属酸化物中にはシリコンを添加しても良い。例えば、S i O₂を2重量%以上10重量%以下含むターゲットを用いて酸化物半導体層を形成しても良い。

【0104】

中でも、I n - G a - Z n - O系の金属酸化物を用いることにより、無電界時の抵抗が十分に高く（オフ電流が十分に小さく）、電界効果移動度が高い半導体装置を形成することができる。この点、I n - G a - Z n - O系の金属酸化物は、半導体装置に用いる半導体材料として好適である。

10

【0105】

I n - G a - Z n - O系の金属酸化物の代表例としては、I n G a O₃ (Z n O)_m (m > 0) で表記されるものがある。また、G aに代えてMを用い、I n M O₃ (Z n O)_m (m > 0) のように表記される金属酸化物がある。ここで、Mは、ガリウム (G a)、アルミニウム (A l)、鉄 (F e)、ニッケル (N i)、マンガン (M n)、コバルト (C o) などから選ばれた一の金属元素または複数の金属元素を示す。例えば、Mとしては、G a、G aおよびA l、G aおよびF e、G aおよびN i、G aおよびM n、G aおよびC oなどを適用することができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

20

【0106】

本実施の形態では、酸化物半導体層を、I n - G a - Z n - O系の金属酸化物ターゲットを用いるスパッタリング法により形成することとする。

【0107】

酸化物半導体層の形成は、減圧状態に保持された処理室内に基板を保持し、基板温度を、好ましくは100 以上600 以下、より好ましくは200 以上400 以下として行う。ここで、基板を加熱しながら酸化物半導体層を形成することにより、酸化物半導体層に含まれる不純物濃度を低減することができ、スパッタリングによる酸化物半導体層の損傷を軽減することができる。

【0108】

酸化物半導体層の形成雰囲気は、水素、水、水酸基、水素化物などの不純物が十分に低減された希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または、希ガス（代表的にはアルゴン）と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度1 ppm以下（望ましくは濃度10 ppb以下）にまで除去された高純度ガス雰囲気とするのが好適である。

30

【0109】

ここで、処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることができる。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水 (H₂O) など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で形成した酸化物半導体層に含まれる不純物の濃度を低減できる。

40

【0110】

酸化物半導体層の厚さは、2 nm以上200 nm以下、好ましくは5 nm以上30 nm以下となるようにする。なお、適用する酸化物半導体材料により適切な厚さは異なるから、その厚さは用いる材料に応じて適宜選択すればよい。

【0111】

また、酸化物半導体層の形成に際してパルス直流 (D C) 電源を用いることにより、ごみ（成膜時に形成される粉状もしくはフレーク状の物質）を軽減でき、且つ膜厚分布も均一

50

とすることができる。

【0112】

なお、酸化物半導体層のスパッタリング成膜条件としては、例えば、基板とターゲットの間との距離が170mm、圧力が0.4Pa、直流(DC)電力が0.5kW、雰囲気酸素(酸素流量比率100%)雰囲気、といった条件を適用することができる。

【0113】

なお、酸化物半導体層をスパッタリング法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、絶縁層138の表面に付着しているゴミを除去するのが好適である。ここで、逆スパッタリングとは、通常のスパッタリングにおいては、スパッタターゲットにイオンを衝突させるところ、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、基板付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いても良い。

10

【0114】

上記酸化物半導体層のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、両方を組み合わせて用いることもできる。所望の形状にエッチングできるよう、材料に合わせてエッチング条件(エッチングガスやエッチング液、エッチング時間、温度等)を適宜設定すればよい。

【0115】

ドライエッチングに用いるエッチングガスには、例えば、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、三塩化硼素(BCl_3)、四塩化珪素($SiCl_4$)、四塩化炭素(CCl_4)など)などがある。また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、六弗化硫黄(SF_6)、三弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いても良い。

20

【0116】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)は適宜設定する。

30

【0117】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水(31重量%過酸化水素水:28重量%アンモニア水:水=5:2:2)などを用いることができる。また、ITO07N(関東化学社製)などのエッチング液を用いてもよい。

【0118】

次いで、酸化物半導体層に第1の熱処理を行うことが望ましい。この第1の熱処理によって酸化物半導体層中における水素等の不純物を除去することができる。なお、熱処理をエッチング後に行う場合には、ウェットエッチングを用いる場合であっても、エッチングにかかる時間を短縮することができるというメリットがある。第1の熱処理の温度は、300以上750以下、好ましくは400以上700以下とする。例えば、抵抗発熱体などを用いた電気炉に基板を導入し、酸化物半導体層140に対して窒素雰囲気下450において1時間の熱処理を行う。この間、酸化物半導体層140は、大気に触れることなく、水素(水などを含む)の再混入が行われないようにする。また、第1の熱処理温度は、下層のトランジスタ160の電極や配線等の耐熱性を考慮して決定することが望ましい。

40

【0119】

なお、熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または

50

熱輻射によって、被処理物を加熱する装置であっても良い。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。気体としては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。

【0120】

10

例えば、第1の熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を投入し、数分間加熱した後、当該不活性ガス中から基板を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、短時間の熱処理であるため、ガラス基板などの耐熱性が低い基板を用いる場合において、基板の歪み点を超える温度条件であっても適用が可能となる。

【0121】

なお、第1の熱処理は、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水素や水などが含まれない雰囲気で行うことが望ましい。例えば、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

20

【0122】

第1の熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、結晶成分を含む半導体層となる場合がある。また、第1の熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。

【0123】

また、非晶質の表面に結晶層を設けることで、酸化物半導体層の電気的特性を変化させることも可能である。例えば、電気的異方性を有する結晶粒が配向した結晶層を形成することで、酸化物半導体層の電気的特性を変化させることができる。

30

【0124】

酸化物半導体層140に対する第1の熱処理は、島状の酸化物半導体層140に加工する前の酸化物半導体層に行くこともできる。その場合には、第1の熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行うことになる。

【0125】

なお、上記熱処理は、酸化物半導体層140に対する脱水素化(脱水化)の効果があるから、脱水素化処理(脱水化処理)などと呼ぶこともできる。このような処理は、酸化物半導体層の形成後、酸化物半導体層140上に絶縁層(ゲート絶縁層など)を積層させた後、ゲート電極を形成した後、などいずれかのタイミングにおいて行うことが可能である。また、このような処理は、一回に限らず複数回行ってよい。

40

【0126】

また、酸化物半導体層の形成に係る雰囲気を制御するなどの方法によって、水素が十分に低減された酸化物半導体層を得ることができる場合などには、第1の熱処理は省略することも可能である。

【0127】

なお、上述の工程の後には、N₂O、N₂、またはArなどのガスを用いたプラズマ処理を行ってもよい。当該プラズマ処理によって、露出している酸化物半導体層の表面に付着した水などを除去することができる。また、酸素とアルゴンの混合ガスなど、酸素を含有するガスを用いたプラズマ処理を行ってもよい。これによって酸化物半導体層に酸素を供給し、酸素欠乏に起因するエネルギーギャップ中の欠陥準位を低減することが可能である

50

。

【0128】

次に、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b、酸化物半導体層140などの上方に絶縁層144を形成し、ゲート電極が形成される領域の一部、および、容量素子の電極が形成される領域の一部に開口を形成する。そして、当該開口を含む領域を覆うようにゲート絶縁層146を形成した後、ゲート電極148aおよび電極148bを形成する(図5(D)参照)。絶縁層144の開口は、マスクを用いたエッチングなどの方法によって形成することができる。ゲート電極148aおよび電極148bは、ゲート絶縁層146を覆うように導電層を形成した後、当該導電層を選択的にエッチングすることにより形成することができる。

10

【0129】

絶縁層144およびゲート絶縁層146は、CVD法やスパッタリング法等を用いて形成することができる。また、絶縁層144およびゲート絶縁層146は、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどを含むように形成するのが好適である。絶縁層144およびゲート絶縁層146は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、例えば、10nm以上500nm以下とすることができる。なお、絶縁層144は、電極の重なりなどによって生じる容量を低減するために設けられる。例えば、絶縁層144を形成することにより、ソース電極またはドレイン電極142aなどと、ゲート電極148aとによる容量が低減される。

20

【0130】

絶縁層144およびゲート絶縁層146は、水素や水などの不純物が混入しにくい方法を用いて形成するのが望ましい。絶縁層144およびゲート絶縁層146に水素が含まれると、水素の酸化物半導体層への侵入や、水素による酸化物半導体層中の酸素の引き抜き、などが生じるおそれがあるためである。

【0131】

例えば、絶縁層144およびゲート絶縁層146をスパッタリング法により形成する場合、スパッタガスとしては、水素、水、水酸基または水素化物などの不純物が、濃度1ppm程度(望ましくは、濃度10ppb程度)にまで除去された高純度ガスを用いる。また、処理室内の残留水分は除去しておくことが望ましい。

30

【0132】

なお、本実施の形態に示すように、不純物が除去されることにより真性化された酸化物半導体(高純度化された酸化物半導体)は、界面準位や界面電荷に対して極めて敏感であるため、このような酸化物半導体を酸化物半導体層に用いる場合には、ゲート絶縁層との界面が重要になる。このため、高純度化された酸化物半導体層に接するゲート絶縁層146には、高い品質が要求されることになる。

【0133】

例えば、 μ 波(周波数2.45GHz)を用いた高密度プラズマCVD法は、緻密で絶縁耐压の高い高品質なゲート絶縁層146を形成できる点で好適である。高純度化された酸化物半導体層と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

40

【0134】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるのであれば、高純度化された酸化物半導体層を用いる場合であっても、スパッタリング法やプラズマCVD法など他の方法を適用することができる。また、形成後の熱処理によって、膜質や界面特性が改質される絶縁層を適用しても良い。いずれにしても、膜質が良好であると共に、酸化物半導体層との界面準位密度を低減できるゲート絶縁層146を形成すれば良い。

【0135】

本実施の形態では、絶縁層144およびゲート絶縁層146として、酸化シリコンを含む絶縁層を、スパッタリング法によって形成することとする。

50

【0136】

絶縁層144を形成した後、またはゲート絶縁層146を形成した後は、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の熱処理（好ましくは200以上400以下、例えば250以上350以下）を行うのが望ましい。例えば、窒素雰囲気下で250、1時間の第2の熱処理を行う。第2の熱処理を行うと、トランジスタの電気的特性のばらつきを軽減することができる。また、第2の熱処理によって、酸素を含む絶縁層から酸化物半導体層に酸素を供給し、酸素欠乏に起因するエネルギーギャップ中の欠陥準位を低減することも可能である。なお、熱処理の雰囲気は、上記に限らず、大気雰囲気などとしても良い。ただし、その場合には、酸化物半導体層中に水素が混入しないよう、水素や水などを除去した雰囲気とすることが望ましい。また、第2の熱処理は、必須の工程ではないから省略しても良い。

【0137】

ゲート電極148aおよび電極148bとなる導電層は、スパッタリング法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。詳細は、ソース電極またはドレイン電極142aなどの場合と同様であり、これらの記載を参照できる。

【0138】

絶縁層144に開口を形成するためのエッチングや、ゲート電極148a等を形成するためのエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、両方を組み合わせて用いることもできる。所望の形状にエッチングできるように、材料に合わせてエッチング条件（エッチングガスやエッチング液、エッチング時間、温度等）を適宜設定すればよい。

【0139】

次に、保護絶縁層150および層間絶縁層152を形成する（図5（E）参照）。

【0140】

保護絶縁層150や層間絶縁層152は、PVD法やCVD法などを用いて形成することができる。また、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。

【0141】

なお、保護絶縁層150は、酸化物半導体層140に比較的近い位置に存在することになるから、スパッタリング法など、水素や水などの不純物が混入しにくい方法を用いて形成するのがより望ましい。

【0142】

また、層間絶縁層152は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように層間絶縁層152を形成することで、層間絶縁層152上に、電極や配線などを好適に形成することができるためである。

【0143】

なお、保護絶縁層150や層間絶縁層152は必須の構成ではないから、必要に応じて省略しても良い。

【0144】

以上により、酸化物半導体を用いたトランジスタ162、および容量素子164が完成する（図5（E）参照）。

【0145】

上述のような方法で作製した、酸化物半導体を用いたトランジスタ162は、オフ電流が極めて小さいという特徴を有している。例えば、十分に真性化（i型化）した酸化物半導体では、キャリア密度は、例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満であり、トランジスタのオフ電流は、例えば、ドレイン電圧Vdが+1Vまたは+10Vの場合であって、ゲート電圧Vgが-5Vから-20Vの範囲では、 $1 \times 10^{-13} \text{A}$ 以下となる。このため、半導体装置の情報保持期間を十分に確保する

10

20

30

40

50

ことが可能である。さらに、十分に真性化した酸化物半導体を用いる場合には、室温でのリーク電流を 1×10^{-20} A 程度 (10 zA (zeptoアンペア)) から 1×10^{-19} A (100 zA) にまで低減することができる。すなわち、リーク電流を実質的にゼロとすることも可能である。このような酸化物半導体を用いることによって、情報保持期間を十分に確保した半導体装置を提供することができる。

【0146】

また、容量素子 164 を併せて形成することにより、トランジスタ 160 のゲート電極に与えられた電荷の保持が容易になり、記憶内容の読み出しが容易になる。特に、本実施の形態において示す方法では、容量素子 164 を形成するために工程を増やさずに済むため、低コスト化などの観点から好適である。

【0147】

なお、本実施の形態では、酸化物半導体以外の材料を用いたトランジスタと、酸化物半導体を用いたトランジスタとの積層構造 (2層) に係る半導体装置について説明したが、開示する発明に用いることができる構造は、当該積層構造に限定されない。単層構造としても良いし、3層以上の積層構造としても良い。

【0148】

また、電極 (配線)、絶縁層、半導体層などの配置や接続関係、配線幅、チャネル幅、チャネル長、などの各種パラメータ、その他の条件については、半導体集積回路に要求される機能に応じて適宜変更することが可能である。例えば、半導体装置を単層構造で形成する場合の電極や配線などの構成は、積層構造の場合とは大きく異なる。

【0149】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0150】

(実施の形態 2)

本実施の形態では、先の実施の形態において示した半導体装置とは異なる構成の半導体装置及び作製方法について、図 6 及び図 7 を参照して説明する。なお、本実施の形態における半導体装置の構成および作製工程は、多くの部分で実施の形態 1 と共通している。したがって、以下においては、重複する部分の説明は省略し、異なる点について詳細に説明する。

【0151】

半導体装置の平面構成および断面構成

図 6 は、半導体装置の構成の一例である。図 6 (A) には、半導体装置の断面を、図 6 (B) には、半導体装置の平面を、それぞれ示す。ここで、図 6 (A) は、図 6 (B) の A3 - A4、および B3 - B4 における断面に相当する。図 6 (A) および図 6 (B) に示される半導体装置は、図 1 (A) および図 1 (B) と同様に、下部に酸化物半導体以外の材料を用いたトランジスタ 160 を有し、上部に酸化物半導体を用いたトランジスタ 162 および容量素子 164 を有するものである。本実施の形態で示す半導体装置は、絶縁層 144 を設けない構造としているため、図 1 (A) に示す半導体装置と比較して、作製工程が簡略化され、製造コストが低減される。なお、ゲート電極 148a などに起因する容量を低減するために、絶縁層 144 を設けても良い。

【0152】

図 6 (A) に示すトランジスタ 162 は、絶縁層 138 上に設けられた酸化物半導体層 140 と、酸化物半導体層 140 と電気的に接続されているソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b と、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b、酸化物半導体層 140 を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上に酸化物半導体層 140 と重畳するように設けられたゲート電極 148a と、を有する。なお、図 6 (A) に示すトランジスタ 162 は、トップゲート型であって、かつ酸化物半導体層 140 とソース電極またはドレイン電極 142a 等との接続が、酸化物半導体層 140 の上部表面を含む領域において行

10

20

30

40

50

われているため、トップゲート・トップコンタクト型と呼ぶことができる。

【0153】

半導体装置の作製方法

次に、上記半導体装置の作製方法の一例について説明する。以下では、上部のトランジスタ162の作製方法について、図7を参照して説明する。なお、下部のトランジスタ160の作製方法については、図4に示す作製方法と同様であるため省略する。

【0154】

まず、層間絶縁層128、ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130b、電極130c上に、絶縁層138を形成し、絶縁層138に対し、ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130b、電極130cに達する開口を形成する(図7(A)参照)。絶縁層138の材料および形成方法は、図5(A)を参照することができるため、説明は省略する。また、上述の開口はマスクを用いたエッチングなどの方法により形成することができる。

10

【0155】

次いで、絶縁層138上に、酸化物半導体層を形成し、マスクを用いたエッチングなどの方法によって、該酸化物半導体層を加工して、島状の酸化物半導体層140を形成する(図7(B)参照)。島状の酸化物半導体層140の材料および形成方法は、図5(C)を参照することができるため、説明は省略する。

【0156】

次いで、絶縁層138、絶縁層138に設けられた開口、および島状の酸化物半導体層140を覆うように導電層を形成し、マスクを用いたエッチングなどの方法によって、該導電層を加工して、酸化物半導体層140に接するソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b、電極142cおよび電極142dを形成する。そして、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b、電極142cおよび電極142dを覆うように、ゲート絶縁層146を形成する(図7(C)参照)。ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b、電極142c、及び電極142dの材料および形成方法は、図5(B)を参照することができるため、説明は省略する。また、ゲート絶縁層146の材料および形成方法は、図5(D)を参照することができるため、説明は省略する。

20

【0157】

次いで、ゲート絶縁層146上に、導電層を形成し、マスクを用いたエッチングなどの方法によって、該導電層を加工して、ゲート電極148a、電極148bを形成する(図7(D)参照)。ゲート電極148a、電極148bの材料および形成方法は、図5(D)を参照することができるため、説明は省略する。

30

【0158】

次いで、ゲート絶縁層146、ゲート電極148a、電極148bを覆うように、保護絶縁層150、層間絶縁層152を形成する(図7(E)参照)。保護絶縁層150および層間絶縁層152の材料および形成方法は、図5(E)を参照することができるため、説明は省略する。

【0159】

以上により、図6に示す半導体装置を作製することができる。

40

【0160】

(実施の形態3)

本実施の形態では、実施の形態1に示す半導体装置を複数用いて形成される半導体装置の回路構成や動作などの一例について、図8および図9を用いて説明する。

【0161】

半導体装置の回路構成および動作

図8(A)及び図8(B)は、図3(A-1)に示す半導体装置(以下、メモリセル190とも記載する。)を複数用いて形成される半導体装置の回路図である。図8(A)は、メモリセル190が直列に接続されたNAND型の半導体装置の回路図であり、図8(B)

50

)は、メモリセル190が並列に接続されたNOR型の半導体装置の回路図である。

【0162】

図8(A)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、第2信号線S2、ワード線WL、複数のメモリセル190を有する。各メモリセル190において、トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の一方と、容量素子164の電極の一方とは、電氣的に接続されている。また、第1信号線S1とトランジスタ162のソース電極またはドレイン電極の他方とは、電氣的に接続され、第2信号線S2と、トランジスタ162のゲート電極とは、電氣的に接続されている。そして、ワード線WLと、容量素子164の電極の他方は電氣的に接続されている。

10

【0163】

また、メモリセル190が有するトランジスタ160のソース電極は、隣接するメモリセル190のトランジスタ160のドレイン電極と電氣的に接続され、メモリセル190が有するトランジスタ160のドレイン電極は、隣接するメモリセル190のトランジスタ160のソース電極と電氣的に接続される。ただし、直列に接続された複数のメモリセルのうち、一方の端に設けられたメモリセル190が有するトランジスタ160のドレイン電極は、ビット線と電氣的に接続される。また、直列に接続された複数のメモリセルのうち、他方の端に設けられたメモリセル190が有するトランジスタ160のソース電極は、ソース線と電氣的に接続される。なお、図8(A)では、ソース線SL及びビット線BLを1本ずつ有する構成となっているが、これに限られることなく、ソース線SL及びビット線BLを複数本有する構成としてもよい。

20

【0164】

図8(A)に示す半導体装置は、行ごとの書き込み動作及び読み出し動作を行う。書き込み動作は次のように行われる。書き込みを行う行の第2の信号線S2にトランジスタ162がオン状態となる電位を与え、書き込みを行う行のトランジスタ162をオン状態にする。これにより、指定した行のトランジスタ160のゲート電極に第1の信号線S1の電位が与えられ、該ゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

【0165】

また、読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ160のゲート電極の電荷に依らず、トランジスタ160がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ160をオン状態とする。それから、ソース線SLに定電位を与え、ビット線BLを読み出し回路(図示しない。)に接続する。ここで、ソース線SL-ビット線BL間の複数のトランジスタ160は、読み出しを行う行を除いてオン状態なので、ソース線SL-ビット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ160の状態によって決定される。つまり、読み出しを行う行のトランジスタ160のゲート電極が有する電荷によって、読み出し回路が読み出すビット線BLの電位が異なる。このようにして、指定した行のメモリセルからデータを読み出すことができる。

30

【0166】

次に、図8(B)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、第2信号線S2、及びワード線WLをそれぞれ複数本有し、複数のメモリセル190を有する。各トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の一方と、容量素子164の電極の一方とは、電氣的に接続されている。また、ソース線SLとトランジスタ160のソース電極とは、電氣的に接続され、ビット線BLとトランジスタ160のドレイン電極とは、電氣的に接続されている。また、第1信号線S1とトランジスタ162のソース電極またはドレイン電極の他方とは、電氣的に接続され、第2信号線S2と、トランジスタ162のゲート電極とは、電氣的に接続されている。そして、ワード線WLと、容量素子164の電極の他方は電氣的に接続されている。

40

【0167】

50

図 8 (B) に示す半導体装置は、行ごとの書き込み動作及び読み出し動作を行う。書き込み動作は、上述の図 8 (A) に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行のワード線 W L に、トランジスタ 1 6 0 のゲート電極が有する電荷に依って、トランジスタ 1 6 0 のオン状態またはオフ状態が選択されるような電位を与える。それから、ソース線 S L に定電位を与え、ビット線 B L を読み出し回路 (図示しない。) に接続する。また、非選択行のトランジスタ 1 6 0 はオフ状態とする。ここで、ソース線 S L - ビット線 B L 間のコンダクタンスは、読み出しを行う行のトランジスタ 1 6 0 の状態によって決定される。つまり、読み出しを行う行のトランジスタ 1 6 0 のゲート電極の電位によって、読み出し回路が読み出すビット線 B L の電位が異なる。このようにして、指定した行のメモリセルからデータを読み出すことができる。

【 0 1 6 8 】

図 8 (A) 及び図 8 (B) に示す半導体装置は、酸化物半導体以外の材料を用いたトランジスタ 1 6 0 が十分な高速動作が可能のため、記憶内容の読み出しなどを高速に行うことが可能である。また、酸化物半導体を用いたトランジスタ 1 6 2 は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ 1 6 2 をオフ状態とすることで、トランジスタ 1 6 0 のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子 1 6 4 を有することにより、トランジスタ 1 6 0 のゲート電極に与えられた電荷の保持が容易になり、また、記憶内容の読み出しが容易になる。

【 0 1 6 9 】

ところで、以上のような複数のメモリセルから構成される半導体装置では、記憶容量あたりの単価を抑制するに当たり、各メモリセルの占有面積を縮小することが課題となる。当該課題を解決するためには、例えば、図 8 (A) に示す N A N D 型の半導体装置において、直列に接続されたトランジスタ 1 6 0 を図 9 (A) の断面図に示すような構成とすることにより、各メモリセルの占有面積を縮小することができる。なお、図 9 (A) は、図 9 (B) における C 1 - C 2 および D 1 - D 2 の断面に相当する。

【 0 1 7 0 】

図 9 (A) に示す半導体装置は、基板 1 0 0 に設けられたトランジスタ 1 6 0 が、高濃度不純物領域 1 2 0 (単に不純物領域とも呼ぶ) と金属化合物領域 1 2 4 を介して、隣接するトランジスタ 1 6 0 と接続される構成とする。つまり、トランジスタ 1 6 0 に挟まれた高濃度不純物領域 1 2 0 と金属化合物領域 1 2 4 は、一方のトランジスタ 1 6 0 のソース領域かつ他方のトランジスタ 1 6 0 のドレイン領域として機能する。

【 0 1 7 1 】

また、トランジスタ 1 6 0 を覆うように、層間絶縁層 1 2 6 及び層間絶縁層 1 2 8 が形成されている。また、直列接続された複数のトランジスタ 1 6 0 の端では、層間絶縁層 1 2 6 及び層間絶縁層 1 2 8 に形成された開口を通じて、金属化合物領域 1 2 4 と電氣的に接続される電極 1 9 2 が形成される。

【 0 1 7 2 】

ここでトランジスタ 1 6 0 は、実施の形態 1 の図 1 に示すトランジスタ 1 6 0 とほぼ同様の構成をとるので、詳細についてはそちらを参照することができる。ただし、本実施の形態では、トランジスタ 1 6 0 の高集積化を図るため、図 1 に示すサイドウォール絶縁層 1 1 8 を設けない構成としている。

【 0 1 7 3 】

また、図 9 (A) に示す構成は、図 8 (A) に示す N A N D 型の半導体装置だけでなく、図 8 (B) に示す N O R 型の半導体装置にも用いることができる。例えば、図 8 (B) において、隣接する列のメモリセルを左右対称になるように配置し、隣接する列のメモリセルのトランジスタ 1 6 0 を、高濃度不純物領域 1 2 0 および金属化合物領域 1 2 4 を介して接続するような構成とすれば良い。この場合、少なくとも二つのトランジスタ 1 6 0 が、高濃度不純物領域 1 2 0 および金属化合物領域 1 2 4 を介して接続されることになる。

【 0 1 7 4 】

10

20

30

40

50

以上のような構成で複数のトランジスタ 160 を接続することにより、トランジスタ 160 及びメモリセル 190 の高集積化を図ることができる。これにより、半導体装置の記憶容量あたりの単価を抑制することができる。

【0175】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0176】

(実施の形態 4)

次に、図 10 に、半導体装置の構成の変形例を示す。

【0177】

図 10 (A) に示す半導体装置は、図 1 (A) に示す半導体装置の変形例である。

【0178】

図 10 (A) に示す構成と、図 1 (A) に示す構成との相違は、電極 130c が基板 100 に設けられた金属化合物領域と電気的に接続されている点にある。つまり、図 1 (A) に示す構成では、ソース電極またはドレイン電極 142a とゲート電極 110 とが電気的に接続されているのに対して、図 10 (A) に示す構成では、ソース電極またはドレイン電極 142a と金属化合物領域とが電気的に接続されている。

【0179】

図 10 (A) に示す構成とすることにより、先の実施の形態において示した半導体装置とは、異なる回路構成の半導体装置が実現される。

【0180】

図 10 (B) に示す半導体装置は、図 6 (A) に示す半導体装置の変形例である。

【0181】

図 10 (B) に示す構成と、図 6 (A) に示す構成との相違は、電極 130c が基板 100 に設けられた金属化合物領域と電気的に接続されている点にある。つまり、図 6 (A) に示す構成では、ソース電極またはドレイン電極 142a とゲート電極 110 とが電気的に接続されているのに対して、図 10 (B) に示す構成では、ソース電極またはドレイン電極 142a と金属化合物領域とが電気的に接続されている。

【0182】

図 10 (B) に示す構成とすることにより、先の実施の形態において示した半導体装置とは、異なる回路構成の半導体装置が実現される。

【0183】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0184】

(実施の形態 5)

次に、先の実施の形態 (実施の形態 1 など) におけるトランジスタ 162 などとして用いることができる、酸化物半導体を用いたトランジスタの作製方法の別の一例について、図 11 を参照して説明する。本実施の形態では、高純度化された酸化物半導体 (特に非晶質構造) を用いる場合について、詳細に説明する。なお、以下では、トップゲート型のトランジスタを例に挙げて説明するが、トランジスタの構成をトップゲート型に限る必要はない。

【0185】

まず、下層基板 200 上に絶縁層 202 を形成する。それから、絶縁層 202 上に酸化物半導体層 206 を形成する (図 11 (A) 参照)。

【0186】

例えば、下層基板 200 は、先の実施の形態の半導体装置 (図 1 又は図 6 など) における、層間絶縁層 128 より下部の構造体とすることができる。その詳細については、先の実施の形態を参酌することができる。なお、下層基板 200 の表面は可能な限り平坦であることが望ましい。例えば、化学的機械的研磨法 (CMP 法) 等によって、表面の高低差を

10

20

30

40

50

、5 nm以下、好ましくは1 nm以下とすればよい。または、表面粗さの二乗平均平方根（RMS）を2 nm以下、好ましくは、0.4 nm以下とすればよい。

【0187】

絶縁層202は下地として機能するものであり、先の実施の形態における絶縁層138や絶縁層144などと同様に形成することができる。詳細については、先の実施の形態を参照すればよい。なお、絶縁層202は、できるだけ水素や水を含まないように形成することが望ましい。

【0188】

酸化物半導体層206は、四元系金属酸化物であるIn-Sn-Ga-Zn-O系や、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系や、In-O系、Sn-O系、Zn-O系などの酸化物半導体を用いて形成することができる。

10

【0189】

中でも、In-Ga-Zn-O系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

【0190】

In-Ga-Zn-O系の酸化物半導体材料の代表例としては、 $InGaO_3(ZnO)_m$ ($m > 0$) で表記されるものがある。また、Gaに代えてMを用い、 $InMO_3(ZnO)_m$ ($m > 0$) のように表記される酸化物半導体材料がある。ここで、Mは、ガリウム(Ga)、アルミニウム(Al)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)などから選ばれた一の金属元素または複数の金属元素を示す。例えば、Mとしては、Ga、GaおよびAl、GaおよびFe、GaおよびNi、GaおよびMn、GaおよびCoなどを適用することができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

20

【0191】

酸化物半導体層206をスパッタリング法で作製するためのターゲットとしては、 $In : Ga : Zn = 1 : x : y$ (x は0以上、 y は0.5以上5以下)の組成式で表されるものを用いればよい。例えば、 $In : Ga : Zn = 1 : 1 : 1$ [atom比] ($x = 1$ 、 $y = 1$)、(すなわち、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol数比])の組成比を有するターゲットなどを用いても良い。また、 $In : Ga : Zn = 1 : 1 : 0.5$ [atom比] ($x = 1$ 、 $y = 0.5$)の組成比を有するターゲットや、 $In : Ga : Zn = 1 : 1 : 2$ [atom比] ($x = 1$ 、 $y = 2$)の組成比を有するターゲットや、 $In : Ga : Zn = 1 : 0 : 1$ [atom比] ($x = 0$ 、 $y = 1$)の組成比を有するターゲットを用いることもできる。

30

【0192】

金属酸化物ターゲット中の金属酸化物の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層206を形成することが可能である。

40

【0193】

本実施の形態では、非晶質構造の酸化物半導体層206を、In-Ga-Zn-O系の金属酸化物ターゲットを用いるスパッタリング法により形成することとする。

【0194】

酸化物半導体層206の形成雰囲気は、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、または、希ガス(代表的にはアルゴン)と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度1 ppm以下(望ましくは濃度10 ppb以下)にまで除去された高純度ガス雰囲気を用いるのが好適である。

50

【 0 1 9 5 】

酸化物半導体層 2 0 6 の形成の際には、例えば、減圧状態に保持された処理室内に基板を保持し、基板の温度が 1 0 0 以上 5 5 0 未満、好ましくは 2 0 0 以上 4 0 0 以下となるように基板を熱する。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層 2 0 6 を形成する。基板を熱しながら酸化物半導体層 2 0 6 を形成することにより、酸化物半導体層 2 0 6 に含まれる不純物を低減することができる。また、スパッタリングによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどを用いることができる。また、ターボ分子ポンプにコールドトラップを加えたものを用いてもよい。クライオポンプを用いて排気することで、処理室から水素や水などが除去されるため、酸化物半導体層 2 0 6 中の不純物濃度を低減できる。

10

【 0 1 9 6 】

酸化物半導体層 2 0 6 の形成条件としては、例えば、基板とターゲットの間との距離が 1 7 0 mm、圧力が 0 . 4 Pa、直流 (D C) 電力が 0 . 5 k W、雰囲気酸素 (酸素 1 0 0 %) 雰囲気、またはアルゴン (アルゴン 1 0 0 %) 雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流 (D C) 電源を用いると、ごみ (成膜時に形成される粉状の物質など) を低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層 2 0 6 の厚さは、2 nm 以上 2 0 0 nm 以下、好ましくは 5 nm 以上 3 0 nm 以下とする。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択すればよい。

20

【 0 1 9 7 】

なお、酸化物半導体層 2 0 6 をスパッタリング法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、絶縁層 2 0 2 の表面の付着物を除去するのが好適である。ここで、逆スパッタリングとは、通常スパッタリングにおいては、スパッタターゲットにイオンを衝突させるところ、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、基板付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を適用してもよい。

30

【 0 1 9 8 】

次に、マスクを用いたエッチングなどの方法によって酸化物半導体層 2 0 6 を加工して、島状の酸化物半導体層 2 0 6 a を形成する。

【 0 1 9 9 】

酸化物半導体層 2 0 6 のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、その両方を組み合わせて用いることもできる。酸化物半導体層を所望の形状にエッチングできるよう、材料に合わせてエッチング条件 (エッチングガスやエッチング液、エッチング時間、温度等) は適宜設定する。酸化物半導体層 2 0 6 のエッチングは、先の実施の形態における酸化物半導体層のエッチングと同様に行うことができる。エッチング条件等の詳細については先の実施の形態を参酌すれば良い。

40

【 0 2 0 0 】

その後、酸化物半導体層 2 0 6 a に対して、熱処理 (第 1 の熱処理) を行うことが望ましい。この第 1 の熱処理によって酸化物半導体層 2 0 6 a 中の、過剰な水素 (水や水酸基を含む) を除去し、酸化物半導体層の構造を整え、酸化物半導体層 2 0 6 a 中のエネルギーギャップ中の欠陥準位を低減することができる。第 1 の熱処理の温度は、例えば、3 0 0 以上 5 5 0 未満、または 4 0 0 以上 5 0 0 以下とする。なお、熱処理をエッチング後に行う場合には、ウェットエッチングを用いる場合であっても、エッチングにかかる時間を短縮することができるというメリットがある。

【 0 2 0 1 】

50

熱処理は、例えば、抵抗発熱体などを用いた電気炉に下層基板200を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体層206aは大気に触れさせず、水や水素の混入が生じないようにする。

【0202】

熱処理装置は電気炉に限る必要はなく、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。

10

【0203】

例えば、第1の熱処理として、熱せられた不活性ガス雰囲気中に基板を投入し、数分間熱した後、当該不活性ガス雰囲気から基板を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、短時間の熱処理であるため、基板の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

20

【0204】

なお、不活性ガス雰囲気としては、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

【0205】

いずれにしても、第1の熱処理によって不純物を低減し、i型化または実質的にi型化された酸化物半導体層206aを形成することで、極めて優れた特性のトランジスタを実現することができる。

30

【0206】

なお、第1の熱処理は、島状の酸化物半導体層206aに加工する前の酸化物半導体層206に行うこともできる。その場合には、第1の熱処理後に、加熱装置から下層基板200を取り出し、フォトリソグラフィ工程を行うことになる。

【0207】

第1の熱処理には水素や水を除去する効果があるから、第1の熱処理を、脱水化処理、脱水素化処理などと呼ぶこともできる。当該脱水化処理、脱水素化処理は、酸化物半導体層の形成後や酸化物半導体層206a上にソース電極またはドレイン電極を積層させた後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

40

【0208】

次に、酸化物半導体層206aに接するように導電層を形成する。そして、導電層を選択的にエッチングして、ソース電極またはドレイン電極208a、ソース電極またはドレイン電極208bを形成する(図11(B)参照)。当該工程は、先の実施の形態のソース電極またはドレイン電極142aなどに関する工程と同様である。詳細については、先の実施の形態を参照することができる。

【0209】

次に、酸化物半導体層206aの一部に接するゲート絶縁層212を形成する。(図11

50

(C)参照)。詳細については、先の実施の形態の絶縁層138に関する記載を参酌することができる。

【0210】

ゲート絶縁層212の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、望ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層212が酸素を含む場合、酸化物半導体層206aに酸素を供給し、該酸化物半導体層206aの酸素欠損を補填して、i型(真性半導体)またはi型に限りなく近い酸化物半導体層を形成することもできる。

10

【0211】

なお、本実施の形態では、ゲート絶縁層212の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに特に限定されない。

【0212】

次に、ゲート絶縁層212上において酸化物半導体層206aと重畳する領域にゲート電極214を形成する(図11(D)参照)。ゲート電極214は、ゲート絶縁層212上に導電層を形成した後に、当該導電層を選択的にパターニングすることによって形成することができる。詳細については、先の実施の形態のゲート電極148aに関する記載を参酌することができる。

【0213】

次に、ゲート絶縁層212およびゲート電極214上に、層間絶縁層216および層間絶縁層218を形成する(図11(E)参照)。層間絶縁層216および層間絶縁層218は、PVD法やCVD法などを用いて形成することができる。また、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。なお、本実施の形態では、層間絶縁層216と層間絶縁層218の積層構造としているが、開示する発明の一態様はこれに限定されない。1層としても良いし、3層以上の積層構造としても良い。

20

【0214】

なお、上記層間絶縁層218は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように層間絶縁層218を形成することで、層間絶縁層218上に、電極や配線などを好適に形成することができるためである。

30

【0215】

以上により、高純度化された酸化物半導体層206aを用いたトランジスタ250が完成する(図11(E)参照)。

【0216】

図11(E)に示すトランジスタ250は、下層基板200上に絶縁層202を介して設けられた酸化物半導体層206aと、酸化物半導体層206aと電氣的に接続するソース電極またはドレイン電極208a、ソース電極またはドレイン電極208bと、酸化物半導体層206a、ソース電極またはドレイン電極208a、ソース電極またはドレイン電極208bを覆うゲート絶縁層212と、ゲート絶縁層212上のゲート電極214と、ゲート絶縁層212及びゲート電極214上の層間絶縁層216と、層間絶縁層216上の層間絶縁層218とを有する。

40

【0217】

本実施の形態において示すトランジスタ250では、酸化物半導体層206aが高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下となる。また、酸化物半導体層206aのキャリア密度は、一般的なシリコンウェハにおけるキャリア密度($1 \times 10^{14} / \text{cm}^3$ 程度)と比較して、十分に小さい値(例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満)をとる。そして、これにより、オフ電流が十分に小さくなる。例えば、チャネル長が $10 \mu\text{m}$

50

であり、酸化物半導体層の膜厚が30 nmの場合において、ドレイン電圧が1 V ~ 10 V程度の範囲である場合、オフ電流（ゲート - ソース間の電圧を0 V以下としたときのドレイン電流）は、 1×10^{-13} A以下となる。または、室温でのオフ電流密度（オフ電流をトランジスタのチャネル幅で除した値）は 1×10^{-20} A / μm （10 z A / μm ）から 1×10^{-19} A / μm （100 z A / μm ）程度となる。

【0218】

なお、上述のトランジスタの特性は、オフ電流やオフ電流密度以外にも、オフ抵抗（トランジスタがオフのときの抵抗値）やオフ抵抗率（トランジスタがオフのときの抵抗率）を用いて表現することができる。ここで、オフ抵抗Rは、オフ電流とドレイン電圧を用いて、オームの法則から求められる値である。また、オフ抵抗率は、チャネル形成領域の断面積Aとチャネル長Lを用いて、 $R = R A / L$ から求められる値である。具体的には、上述の場合、オフ抵抗率は $1 \times 10^9 \cdot \text{m}$ 以上（または $1 \times 10^{10} \cdot \text{m}$ 以上）となる。なお、断面積Aは、酸化物半導体層の厚さd、チャネル幅Wを用いて、 $A = d W$ で表現される。

10

【0219】

このように高純度化され、真性化された酸化物半導体層206aを用いることで、トランジスタのオフ電流を十分に低減することができる。

【0220】

なお、本実施の形態では、先の実施の形態に示すトランジスタ162に代えて、トランジスタ250を用いる場合を説明したが、開示する発明をこれに限定して解釈する必要はない。例えば、酸化物半導体の電気特性を十分に高めることで、集積回路を構成するトランジスタを含むすべてのトランジスタに酸化物半導体を用いることも可能である。そして、このような場合には、先の実施の形態に示すように積層構造である必要もない。ただし、良好な回路動作を実現するために、酸化物半導体の電界効果移動度 μ は、 $\mu > 100 \text{ cm}^2 / \text{V} \cdot \text{s}$ であることが望ましい。また、この場合、ガラス基板などの基板を用いて半導体装置を形成することが可能である。

20

【0221】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0222】

（実施の形態6）

次に、先の実施の形態（実施の形態1など）におけるトランジスタ162などとして用いることが可能な、酸化物半導体を用いたトランジスタの作製方法の別の一例について、図12を参照して説明する。本実施の形態では、酸化物半導体層として、結晶領域を有する第1の酸化物半導体層と、第1の酸化物半導体層の結晶領域から結晶成長させた第2の酸化物半導体層を用いる場合について、詳細に説明する。なお、以下では、トップゲート型のトランジスタを例に挙げて説明するが、トランジスタの構成をトップゲート型に限る必要はない。

30

【0223】

まず、下層基板300上に絶縁層302を形成する。それから、絶縁層302上に第1の酸化物半導体層を成膜し、第1の熱処理によって少なくとも第1の酸化物半導体層の表面を含む領域を結晶化させて、第1の酸化物半導体層304を形成する（図12（A）参照）。

40

【0224】

例えば、下層基板300は、先の実施の形態の半導体装置（図1又は図6など）における、層間絶縁層128より下部の構造体とすることができる。その詳細については、先の実施の形態を参酌することができる。なお、下層基板300の表面は可能な限り平坦であることが望ましい。例えば、化学的機械的研磨法（CMP法）等によって、表面の高低差を、5 nm以下、好ましくは1 nm以下とすればよい。または、表面粗さの二乗平均平方根（RMS）を2 nm以下、好ましくは、0.4 nm以下とすればよい。

50

【0225】

絶縁層302は下地として機能するものであり、先の実施の形態における絶縁層138や絶縁層144などと同様に形成することができる。詳細については、先の実施の形態を参照すればよい。なお、絶縁層302は、できるだけ水素や水を含まないように形成することが望ましい。

【0226】

第1の酸化物半導体層は、先の実施の形態における酸化物半導体層206と同様に形成することができる。第1の酸化物半導体層及びその成膜方法の詳細については、先の実施の形態を参照すればよい。ただし、本実施の形態では、第1の熱処理によって第1の酸化物半導体層を意図的に結晶化させるため、結晶化が生じやすい酸化物半導体を用いて第1の酸化物半導体層を形成することが望ましい。このような酸化物半導体としては、例えば、ZnOなどが挙げられる。また、In-Ga-Zn-O系の酸化物半導体であっても、例えば、Znの濃度の高いものは結晶化しやすく、Znの金属元素(In、Ga、Zn)に占める割合が60%以上のものは、この目的に用いるには望ましい。また、第1の酸化物半導体層の厚さは、3nm以上15nm以下とするのが望ましい。本実施の形態では一例として5nmの厚さとする。ただし、適用する酸化物半導体材料や半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択すればよい。

10

【0227】

第1の熱処理の温度は、550以上850以下、好ましくは600以上750以下とする。また、熱処理の時間は、1分以上24時間以下とすることが望ましい。なお、熱処理の温度や、熱処理の時間は、酸化物半導体の種類などによって異なる。また、第1の熱処理の雰囲気は、水素や水などを含まない雰囲気とすることが望ましい。例えば、水が十分に除去された、窒素、酸素、希ガス(ヘリウム、ネオン、アルゴン等)雰囲気とすることができる。

20

【0228】

熱処理装置は、電気炉の他、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いることができる。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

30

【0229】

上述の第1の熱処理によって、少なくとも第1の酸化物半導体層の表面を含む領域が結晶化する。当該結晶領域は、第1の酸化物半導体層表面から、第1の酸化物半導体層内部に向かって結晶成長が進行することにより形成される領域である。なお、当該結晶領域は、平均厚さが2nm以上10nm以下の板状結晶を含む場合がある。また、当該結晶領域は、酸化物半導体層の表面に略平行なa-b面を有し、該表面に対して略垂直な方向にc軸配向する結晶を含む場合がある。ここで、略平行とは、平行方向から $\pm 10^\circ$ 以内の状態をいうものとし、略垂直とは、垂直方向から $\pm 10^\circ$ 以内の状態をいうものとする。

40

【0230】

また、第1の熱処理によって結晶領域を形成すると共に、第1の酸化物半導体層中の水素(水や水酸基を含む)などを除去することが望ましい。水素などの除去を行う場合には、純度が、6N(99.9999%)以上(即ち不純物の濃度が1ppm以下)の窒素、酸素、希ガス(ヘリウム、ネオン、アルゴン等)雰囲気において第1の熱処理を行うと良い。より望ましくは、純度が7N(99.99999%)以上(即ち不純物の濃度が0.1

50

ppm以下)の雰囲気である。また、 H_2O が20ppm以下の超乾燥空気中で、好ましくは、 H_2O が1ppm以下の超乾燥空気中で、第1の熱処理を行っても良い。

【0231】

また、第1の熱処理により結晶領域を形成すると共に、第1の酸化物半導体層に酸素を供給することが望ましい。例えば、熱処理の雰囲気を酸素雰囲気などに変更することで、第1の酸化物半導体層に酸素を供給することができる。

【0232】

本実施の形態では、第1の熱処理として、窒素雰囲気下で700、1時間の熱処理を行って酸化物半導体層から水素などを除去した後、雰囲気を酸素雰囲気に切り替えることで、第1の酸化物半導体層内部に酸素を供給する。なお、第1の熱処理の主たる目的は結晶領域の形成にあるから、水素などの除去や、酸素の供給を目的とする処理は別に行うこともできる。例えば、水素などを除去するため熱処理や、酸素を供給する処理を行った後に、結晶化のための熱処理を行うことが可能である。

10

【0233】

このような第1の熱処理によって、結晶領域を有し、水素(水や水酸基を含む)などが除去され、酸素が供給された第1の酸化物半導体層が得られる。

【0234】

次に、少なくとも表面を含む領域に結晶領域を有する第1の酸化物半導体層304上に、第2の酸化物半導体層305を形成する(図12(B)参照)。

【0235】

第2の酸化物半導体層305は、先の実施の形態における酸化物半導体層206と同様に形成することができる。第2の酸化物半導体層305及びその成膜方法の詳細については、先の実施の形態を参酌すればよい。ただし、第2の酸化物半導体層305は、第1の酸化物半導体層304より厚く形成することが望ましい。また、第1の酸化物半導体層304と第2の酸化物半導体層305の厚さの和が3nm以上50nm以下となるように、第2の酸化物半導体層305を形成することが望ましい。なお、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択すればよい。

20

【0236】

第2の酸化物半導体層305には、第1の酸化物半導体層304と同一主成分の材料であって、結晶化後の格子定数が近接した材料(ミスマッチが1%以下)を用いることが望ましい。このような材料を用いる場合には、第2の酸化物半導体層305の結晶化において、第1の酸化物半導体層304の結晶領域を種とする結晶成長が進行しやすいためである。さらに、同一主成分材料である場合には、界面物性や電気的特性も良好になる。

30

【0237】

なお、結晶化によって所望の膜質が得られる場合には、異なる主成分の材料を用いて第2の酸化物半導体層305を形成しても良い。

【0238】

次に、第2の酸化物半導体層305に第2の熱処理を行い、第1の酸化物半導体層304の結晶領域を種として結晶成長させて、第2の酸化物半導体層306を形成する(図12(C)参照)。

40

【0239】

第2の熱処理の温度は、550以上850以下、好ましくは600以上750以下とする。第2の熱処理の加熱時間は1分以上100時間以下とし、好ましくは5時間以上20時間以下とし、代表的には10時間とする。なお、第2の熱処理においても、熱処理の雰囲気には、水素や水などが含まれないことが望ましい。

【0240】

雰囲気の詳細および熱処理による効果は、第1の熱処理と同様である。また、用いることができる熱処理装置も、第1の熱処理の場合と同様である。例えば、第2の熱処理の昇温時には炉の内部を窒素雰囲気とし、冷却時には炉の内部を酸素雰囲気とすることで、窒素

50

雰囲気では水素などの除去を、酸素雰囲気では酸素の供給を行うことができる。

【0241】

上述のような第2の熱処理を行うことにより、第1の酸化物半導体層304に形成された結晶領域から第2の酸化物半導体層305全体に結晶成長を進行させて、第2の酸化物半導体層306を形成することができる。また、水素（水や水酸基を含む）などが除去され、酸素が供給された第2の酸化物半導体層306を形成することができる。また、第2の熱処理によって、第1の酸化物半導体層304の結晶領域の配向性を高めることが可能である。

【0242】

例えば、 $In-Ga-Zn-O$ 系の酸化物半導体材料を第2の酸化物半導体層306に用いる場合、第2の酸化物半導体層306は、 $InGaO_3(ZnO)_m$ (m : 整数) で表される結晶や、 $In_2Ga_2ZnO_7$ ($In:Ga:Zn:O=2:2:1:7$) で表される結晶などを含み得る。このような結晶は、第2の熱処理によって、その c 軸が、第2の酸化物半導体層306aの表面と略垂直な方向をとるように配向する。

【0243】

ここで、上述の結晶は、 In 、 Ga 、 Zn のいずれかを含有し、 a 軸 ($a-axis$) および b 軸 ($b-axis$) に平行なレイヤーの積層構造として捉えることができる。具体的には、上述の結晶は、 In を含有するレイヤーと、 In を含有しないレイヤー (Ga または Zn を含有するレイヤー) が、 c 軸方向に積層された構造を有する。

【0244】

$In-Ga-Zn-O$ 系の酸化物半導体結晶では、 In を含有するレイヤーの面内方向、すなわち、 a 軸および b 軸に平行な方向に関する導電性は良好である。これは、 $In-Ga-Zn-O$ 系の酸化物半導体結晶では電気伝導が主として In によって制御されること、および、一の In の $5s$ 軌道が、隣接する In の $5s$ 軌道と重なりを有することにより、キャリアパスが形成されることによる。

【0245】

また、第1の酸化物半導体層304が絶縁層302との界面に非晶質領域を有するような構造の場合、第2の熱処理を行うことにより、第1の酸化物半導体層304の表面に形成されている結晶領域から第1の酸化物半導体層の下方に向かって結晶成長が進行し、該非晶質領域が結晶化される場合もある。なお、絶縁層302を構成する材料や、熱処理の条件などによっては、該非晶質領域が残存する場合もある。

【0246】

第1の酸化物半導体層304と第2の酸化物半導体層305とに同一主成分の酸化物半導体材料を用いる場合、図12(C)に示すように、第1の酸化物半導体層304と、第2の酸化物半導体層306とが、同一の結晶構造を有する場合がある。このため、図12(C)では点線で示したが、第1の酸化物半導体層304と第2の酸化物半導体層306の境界が判別できなくなり、第1の酸化物半導体層304と第2の酸化物半導体層306を同一の層と見なせる場合もある。

【0247】

次に、マスクを用いたエッチングなどの方法によって第1の酸化物半導体層304及び第2の酸化物半導体層306を加工して、島状の第1の酸化物半導体層304a及び第2の酸化物半導体層306aを形成する(図12(D)参照)。なお、ここでは、第2の熱処理の後に、島状の酸化物半導体への加工を行っているが、島状の酸化物半導体層への加工後に、第2の熱処理を行っても良い。この場合、ウェットエッチングを用いる場合であっても、エッチングにかかる時間を短縮することができるというメリットがある。

【0248】

第1の酸化物半導体層304及び第2の酸化物半導体層306のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、その両方を組み合わせることもできる。酸化物半導体層を所望の形状にエッチングできるよう、材料に合わせてエッチング条件(エッチングガスやエッチング液、エッチング時間、温度等)

10

20

30

40

50

は適宜設定する。第1の酸化物半導体層304及び第2の酸化物半導体層306のエッチングは、先の実施の形態における酸化物半導体層のエッチングと同様に行うことができる。詳細については、先の実施の形態を参酌すればよい。

【0249】

なお、酸化物半導体層のうち、チャネル形成領域となる領域は、平坦な表面を有していることが望ましい。例えば、第2の酸化物半導体層306表面の高低差は、ゲート電極と重畳する領域（チャネル形成領域）において、1nm以下（好ましくは0.2nm以下）であると好適である。

【0250】

次に、第2の酸化物半導体層306aに接するように導電層を形成する。それから、該導電層を選択的にエッチングして、ソース電極またはドレイン電極308a、ソース電極またはドレイン電極308bを形成する（図12（D）参照）。ソース電極またはドレイン電極308a、ソース電極またはドレイン電極308bは、先の実施の形態におけるソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと同様に形成することができる。詳細については、先の実施の形態を参酌すればよい。

10

【0251】

また、図12（D）に示す工程で、第1の酸化物半導体層304aおよび第2の酸化物半導体層306aの側面において、ソース電極またはドレイン電極308a、ソース電極またはドレイン電極308bと接する結晶層が非晶質状態となることもある。このため、第1の酸化物半導体層304aおよび第2の酸化物半導体層306aのすべての領域が結晶構造であるとは限らない。

20

【0252】

次に、第2の酸化物半導体層306aの一部に接するゲート絶縁層312を形成する。ゲート絶縁層312は、CVD法やスパッタリング法等を用いて形成することができる。その後、ゲート絶縁層312上の、第1の酸化物半導体層304a及び第2の酸化物半導体層306aと重畳する領域にゲート電極314を形成する。そして、ゲート絶縁層312およびゲート電極314上に、層間絶縁層316および層間絶縁層318を形成する（図12（E）参照）。ゲート絶縁層312、ゲート電極314、層間絶縁層316および層間絶縁層318は、先の実施の形態における絶縁層138、ゲート電極148a、層間絶縁層216、層間絶縁層218などと同様に形成することができる。詳細については、先

30

【0253】

ゲート絶縁層312の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第3の熱処理を行うのが望ましい。第3の熱処理の温度は、200以上450以下、望ましくは250以上350以下である。例えば、酸素を含む雰囲気下で250、1時間の熱処理を行えばよい。第3の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層312が酸素を含む絶縁層である場合、第2の酸化物半導体層306aに酸素を供給し、第2の酸化物半導体層306aの酸素欠損を補填して、i型（真性半導体）またはi型に限りなく近い酸化物半導体層を形成することもできる。

40

【0254】

なお、本実施の形態では、ゲート絶縁層312の形成後に第3の熱処理を行っているが、第3の熱処理のタイミングはこれに限定されない。また、第2の熱処理など、他の処理によって第2の酸化物半導体層に酸素を供給している場合には、第3の熱処理は省略しても良い。

【0255】

以上により、第1の酸化物半導体層304a、および、第1の酸化物半導体層304aの結晶領域から結晶成長させた第2の酸化物半導体層306aを用いたトランジスタ350が完成する（図12（E）参照）。

【0256】

50

図 12 (E) に示すトランジスタ 350 は、下層基板 300 上に絶縁層 302 を介して設けられた第 1 の酸化物半導体層 304 a と、第 1 の酸化物半導体層 304 a 上に設けられた第 2 の酸化物半導体層 306 a と、第 2 の酸化物半導体層 306 a と電氣的に接続するソース電極またはドレイン電極 308 a、ソース電極またはドレイン電極 308 b と、第 2 の酸化物半導体層 306 a、ソース電極またはドレイン電極 308 a、ソース電極またはドレイン電極 308 b を覆うゲート絶縁層 312 と、ゲート絶縁層 312 上のゲート電極 314 と、ゲート絶縁層 312 及びゲート電極 314 上の層間絶縁層 316 と、層間絶縁層 316 上の層間絶縁層 318 とを有する。

【0257】

本実施の形態において示すトランジスタ 350 では、第 1 の酸化物半導体層 304 a および第 2 の酸化物半導体層 306 a が高純度化されているため、その水素濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以下、望ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より望ましくは $5 \times 10^{17} / \text{cm}^3$ 以下となる。また、酸化物半導体層 206 a のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度 ($1 \times 10^{14} / \text{cm}^3$ 程度) と比較して、十分に小さい値 (例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満) をとる。そして、これにより、オフ電流が十分に小さくなる。例えば、チャンネル長が $10 \mu\text{m}$ であり、酸化物半導体層の膜厚が 30nm の場合において、ドレイン電圧が $1 \text{V} \sim 10 \text{V}$ 程度の範囲である場合、オフ電流 (ゲート - ソース間の電圧を 0V 以下としたときのドレイン電流) は、 $1 \times 10^{-13} \text{A}$ 以下となる。または、室温でのオフ電流密度 (オフ電流をトランジスタのチャンネル幅で除した値) は $1 \times 10^{-20} \text{A} / \mu\text{m}$ ($10 \text{zA} / \mu\text{m}$) から $1 \times 10^{-19} \text{A} / \mu\text{m}$ ($100 \text{zA} / \mu\text{m}$) 程度となる。

【0258】

なお、上述のトランジスタの特性は、オフ電流やオフ電流密度以外にも、オフ抵抗 (トランジスタがオフのときの抵抗値) やオフ抵抗率 (トランジスタがオフのときの抵抗率) を用いて表現することができる。ここで、オフ抵抗 R は、オフ電流とドレイン電圧を用いて、オームの法則から求められる値である。また、オフ抵抗率は、チャンネル形成領域の断面積 A とチャンネル長 L を用いて、 $R = RA / L$ から求められる値である。具体的には、上述の場合、オフ抵抗率は $1 \times 10^9 \cdot \text{m}$ 以上 (または $1 \times 10^{10} \cdot \text{m}$ 以上) となる。なお、断面積 A は、酸化物半導体層の厚さ d 、チャンネル幅 W を用いて、 $A = dW$ で表現される。

【0259】

このように高純度化され、真性化された第 1 の酸化物半導体層 304 a および第 2 の酸化物半導体層 306 a を用いることで、トランジスタのオフ電流を十分に低減することができる。

【0260】

さらに、本実施の形態では、酸化物半導体層として、結晶領域を有する第 1 の酸化物半導体層 304 a と、第 1 の酸化物半導体層 304 a の結晶領域から結晶成長させた第 2 の酸化物半導体層 306 a を用いているため、電界効果移動度を向上させ、良好な電気特性を有するトランジスタを実現することができる。

【0261】

なお、本実施の形態では、先の実施の形態に示すトランジスタ 162 に代えて、トランジスタ 350 を用いる場合を説明したが、開示する発明をこれに限定して解釈する必要はない。例えば、本実施の形態に示すトランジスタ 350 は、結晶領域を有する第 1 の酸化物半導体層 304 a、および第 1 の酸化物半導体層 304 a の結晶領域から結晶成長させた第 2 の酸化物半導体層 306 a を用いており、良好な電界効果移動度を有するので、集積回路を構成するトランジスタを含むすべてのトランジスタに酸化物半導体を用いることが可能である。そして、このような場合には、先の実施の形態に示すように積層構造である必要もない。ただし、良好な回路動作を実現するために、酸化物半導体の電界効果移動度 μ は、 $\mu > 100 \text{cm}^2 / \text{V} \cdot \text{s}$ であることが望ましい。そして、この場合、ガラス基板などの基板を用いて半導体装置を形成することが可能である。

【0262】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0263】

(実施の形態7)

本実施の形態では、実施の形態1で示した半導体装置の作製方法とは異なる作製方法を説明する。本実施の形態では、いわゆるダマシン法により、下部のトランジスタのゲート電極を形成すると共に、その電極材料を用いて、上部のトランジスタのソース電極およびドレイン電極等を形成することを特徴とする。

【0264】

まず、実施の形態1で示した方法により、図4(G)の状態を得る。この状態を図13(A)に示す。そして、層間絶縁層126、層間絶縁層128をCMP法等で研磨し、ゲート電極110の上面を露出せしめる。そして、選択的なエッチング法を用いて、ゲート電極110をエッチングし、空孔部127を形成する(図13(B)参照)。

【0265】

次に空孔部127を完全に埋めるような成膜方法で金属もしくは金属窒化物よりなる導電層を形成する。導電層は単層でも積層でもよい。そして、導電層をエッチングして電極層(ソース電極またはドレイン電極142aおよびソース電極またはドレイン電極142b)を得る(図13(C)参照)。この段階で、実施の形態1で示した図5(B)と同等な構成となる。

【0266】

その後は、実施の形態1と同様に、島状の酸化物半導体層140、ゲート絶縁層146、ゲート電極148aおよび電極148bを形成する(図13(D)参照)。ここで、注意すべきことは、電極層(ソース電極またはドレイン電極142a)は下部のトランジスタのゲート電極であると同時に、上部のトランジスタのソース電極またはドレイン電極であるということである。本実施の形態では、実施の形態1で必要であった下部のトランジスタのゲート電極110へのコンタクトホールを形成する工程を省略することができる。本実施の形態では島状の酸化物半導体層140が層間絶縁層128と接触するので、島状の酸化物半導体層140を形成する前に、層間絶縁層128の表面を十分に脱水素化しておくことが望まれる。

【0267】

(実施の形態8)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図14を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。

【0268】

図14(A)は、ノート型のパーソナルコンピュータであり、筐体401、筐体402、表示部403、キーボード404などによって構成されている。筐体401と筐体402内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

【0269】

図14(B)は、携帯情報端末(PDA)であり、本体411には、表示部413と、外部インターフェイス415と、操作ボタン414等が設けられている。また、携帯情報端末を操作するスタイラス412などを備えている。本体411内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

10

20

30

40

50

【0270】

図14(C)は、電子ペーパーを実装した電子書籍420であり、筐体421と筐体423の2つの筐体で構成されている。筐体421及び筐体423には、それぞれ表示部425及び表示部427が設けられている。筐体421と筐体423は、軸部437により接続されており、該軸部437を軸として開閉動作を行うことができる。また、筐体421は、電源431、操作キー433、スピーカー435などを備えている。筐体421、筐体423の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

【0271】

図14(D)は、携帯電話機であり、筐体440と筐体441の2つの筐体で構成されている。さらに、筐体440と筐体441は、スライドし、図14(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体441は、表示パネル442、スピーカー443、マイクロフォン444、ポインティングデバイス446、カメラ用レンズ447、外部接続端子448などを備えている。また、筐体440は、携帯電話機の充電を行う太陽電池セル449、外部メモリスロット450などを備えている。また、アンテナは、筐体441に内蔵されている。筐体440と筐体441の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

【0272】

図14(E)は、デジタルカメラであり、本体461、表示部467、接眼部463、操作スイッチ464、表示部465、バッテリー466などによって構成されている。本体461内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

【0273】

図14(F)は、テレビジョン装置470であり、筐体471、表示部473、スタンド475などで構成されている。テレビジョン装置470の操作は、筐体471が備えるスイッチや、リモコン操作機480により行うことができる。筐体471及びリモコン操作機480には、先の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

【0274】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

【実施例1】

【0275】

開示する発明の一態様にかかる半導体装置の書き換え可能回数につき調査した。本実施例では、当該調査結果につき、図15を参照して説明する。

【0276】

調査に用いた半導体装置は、図3(A-1)に示す回路構成の半導体装置である。ここで、トランジスタ162に相当するトランジスタには酸化物半導体を用いた。また、容量素子164に相当する容量素子として、0.33 pFの容量値のものを用いた。

【0277】

調査は、初期のメモリウィンドウ幅と、データの保持およびデータの書き込みを所定回数繰り返した後のメモリウィンドウ幅とを比較することにより行った。データの保持およびデータの書き込みは、図3(A-1)における第3の配線に相当する配線に0V、または5Vのいずれかを与え、第4の配線に相当する配線に、0V、または5Vのいずれかを与えることにより行った。第4の配線に相当する配線の電位が0Vの場合には、トランジス

10

20

30

40

50

タ 1 6 2 に相当するトランジスタはオフ状態であるから、フローティングゲート部 F G に与えられた電位が保持される。第 4 の配線に相当する配線の電位が 5 V の場合には、トランジスタ 1 6 2 に相当するトランジスタはオン状態であるから、第 3 の配線に相当する配線の電位がフローティングゲート部 F G に与えられる。

【 0 2 7 8 】

メモリウィンドウ幅とは記憶装置の特性を示す指標の一つである。ここでは、異なる記憶状態の間での、第 5 の配線に相当する配線の電位 V_{cg} と、トランジスタ 1 6 0 に相当するトランジスタのドレイン電流 I_d との関係を示す曲線 ($V_{cg} - I_d$ 曲線) の、シフト量 V_{cg} をいうものとする。異なる記憶状態とは、フローティングゲート部 F G に 0 V が与えられた状態 (以下、Low 状態という) と、フローティングゲート部 F G に 5 V が与えられた状態 (以下、High 状態という) をいう。つまり、メモリウィンドウ幅は、Low 状態と High 状態において、電位 V_{cg} の掃引を行うことで確認できる。

10

【 0 2 7 9 】

図 1 5 に、初期状態におけるメモリウィンドウ幅と、 1×10^9 回の書き込みを行った後のメモリウィンドウ幅の調査結果を示す。なお、図 1 5 において、横軸は V_{cg} (V) を示し、縦軸は I_d (A) を示す。図 1 5 から、 1×10^9 回の書き込み前後において、メモリウィンドウ幅が変化していないことが確認できる。 1×10^9 回の書き込み前後においてメモリウィンドウ幅が変化しないということは、少なくともこの間は、半導体装置が劣化しないことを示すものである。

【 0 2 8 0 】

上述のように、開示する発明の一態様に係る半導体装置は、保持および書き込みを多数回繰り返しても特性が変化しない。つまり、開示する発明の一態様によって、極めて信頼性の高い半導体装置が実現されるといえる。

20

【 符号の説明 】

【 0 2 8 1 】

- 1 0 0 基板
- 1 0 2 保護層
- 1 0 4 半導体領域
- 1 0 6 素子分離絶縁層
- 1 0 8 ゲート絶縁層
- 1 1 0 ゲート電極
- 1 1 2 絶縁層
- 1 1 4 不純物領域
- 1 1 6 チャネル形成領域
- 1 1 8 サイドウォール絶縁層
- 1 2 0 高濃度不純物領域
- 1 2 2 金属層
- 1 2 4 金属化合物領域
- 1 2 6 層間絶縁層
- 1 2 8 層間絶縁層
- 1 3 0 電極
- 1 3 0 a ソース電極またはドレイン電極
- 1 3 0 b ソース電極またはドレイン電極
- 1 3 0 c 電極
- 1 3 8 絶縁層
- 1 4 0 酸化物半導体層
- 1 4 0 a 酸化物半導体層
- 1 4 0 b 酸化物半導体層
- 1 4 2 a ソース電極またはドレイン電極
- 1 4 2 b ソース電極またはドレイン電極

30

40

50

1 4 2 c	電極	
1 4 2 d	電極	
1 4 4	絶縁層	
1 4 6	ゲート絶縁層	
1 4 8 a	ゲート電極	
1 4 8 b	電極	
1 5 0	保護絶縁層	
1 5 2	層間絶縁層	
1 6 0	トランジスタ	
1 6 2	トランジスタ	10
1 6 4	容量素子	
1 6 6	トランジスタ	
1 9 0	メモリセル	
2 0 0	下層基板	
2 0 2	絶縁層	
2 0 6	酸化物半導体層	
2 0 6 a	酸化物半導体層	
2 0 8 a	ソース電極またはドレイン電極	
2 0 8 b	ソース電極またはドレイン電極	
2 1 2	ゲート絶縁層	20
2 1 4	ゲート電極	
2 1 6	層間絶縁層	
2 1 8	層間絶縁層	
2 5 0	トランジスタ	
3 0 0	下層基板	
3 0 2	絶縁層	
3 0 4	酸化物半導体層	
3 0 4 a	酸化物半導体層	
3 0 5	酸化物半導体層	
3 0 6	酸化物半導体層	30
3 0 6 a	酸化物半導体層	
3 0 8 a	ソース電極またはドレイン電極	
3 0 8 b	ソース電極またはドレイン電極	
3 1 2	ゲート絶縁層	
3 1 4	ゲート電極	
3 1 6	層間絶縁層	
3 1 8	層間絶縁層	
3 5 0	トランジスタ	
4 0 1	筐体	
4 0 2	筐体	40
4 0 3	表示部	
4 0 4	キーボード	
4 1 1	本体	
4 1 2	スタイラス	
4 1 3	表示部	
4 1 4	操作ボタン	
4 1 5	外部インターフェイス	
4 2 0	電子書籍	
4 2 1	筐体	
4 2 3	筐体	50

4 2 5	表示部	
4 2 7	表示部	
4 3 1	電源	
4 3 3	操作キー	
4 3 5	スピーカー	
4 3 7	軸部	
4 4 0	筐体	
4 4 1	筐体	
4 4 2	表示パネル	
4 4 3	スピーカー	10
4 4 4	マイクロフォン	
4 4 6	ポインティングデバイス	
4 4 7	カメラ用レンズ	
4 4 8	外部接続端子	
4 4 9	太陽電池セル	
4 5 0	外部メモリスロット	
4 6 1	本体	
4 6 3	接眼部	
4 6 4	操作スイッチ	
4 6 5	表示部	20
4 6 6	バッテリー	
4 6 7	表示部	
4 7 0	テレビジョン装置	
4 7 1	筐体	
4 7 3	表示部	
4 7 5	スタンド	
4 8 0	リモコン操作機	

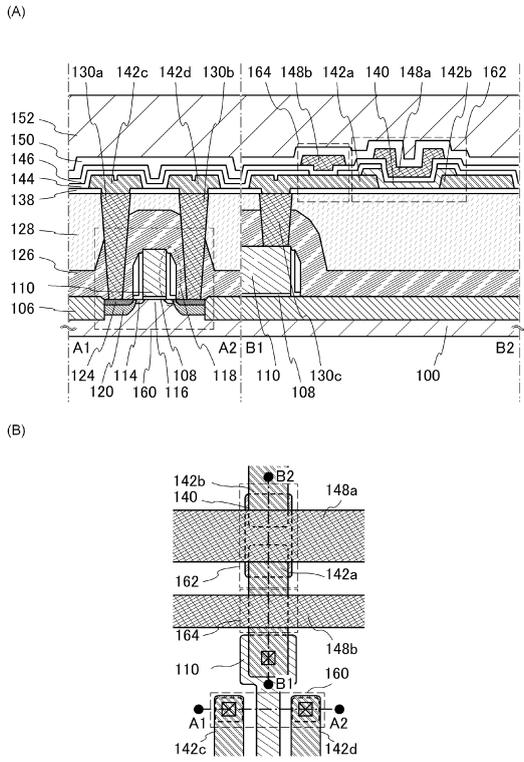
30

40

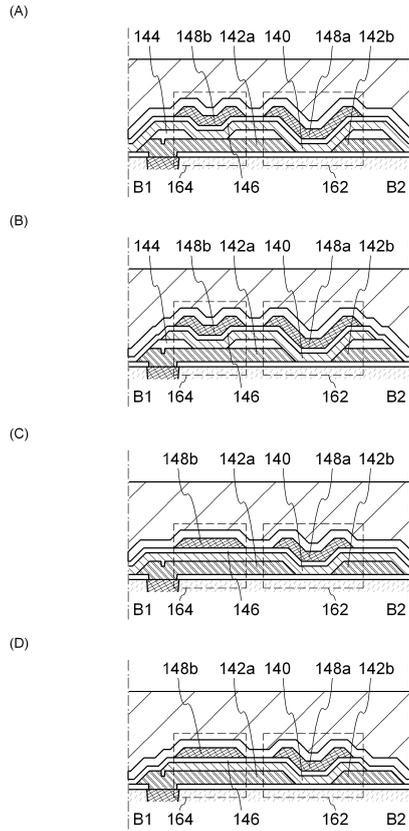
50

【 図面 】

【 図 1 】



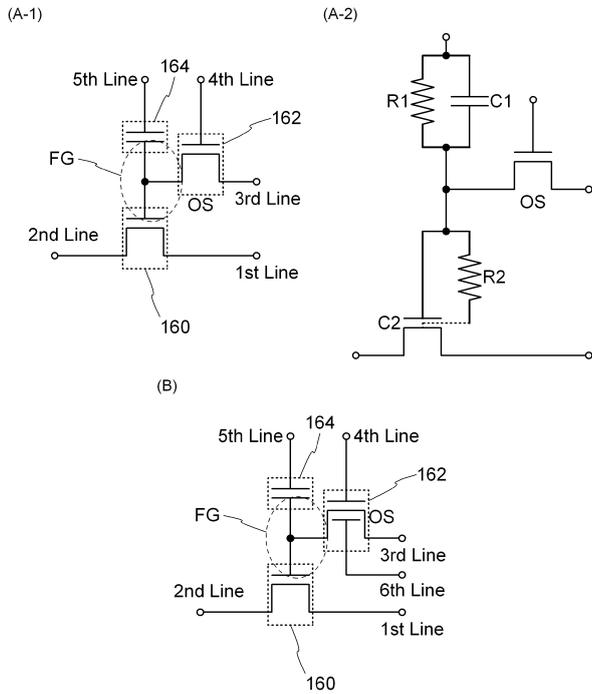
【 図 2 】



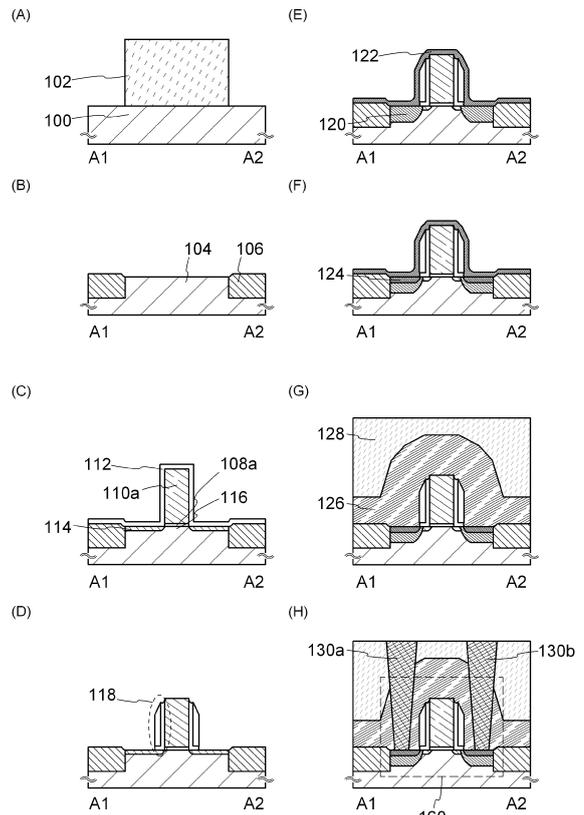
10

20

【 図 3 】



【 図 4 】

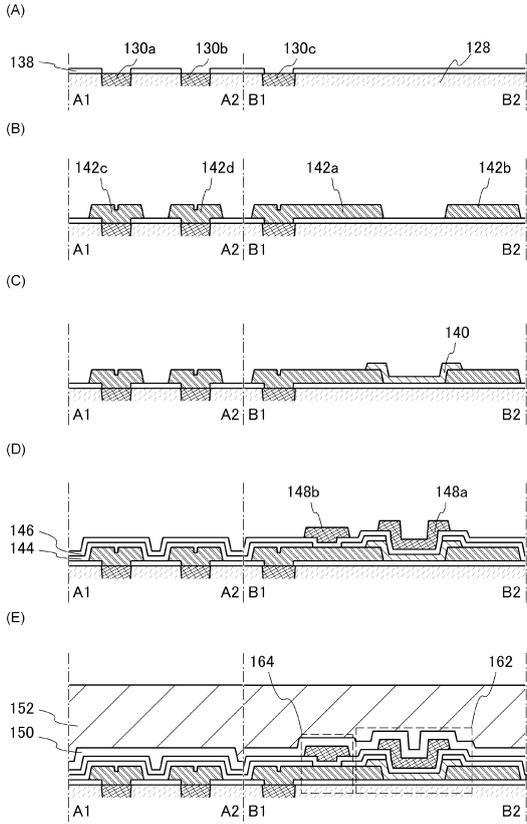


30

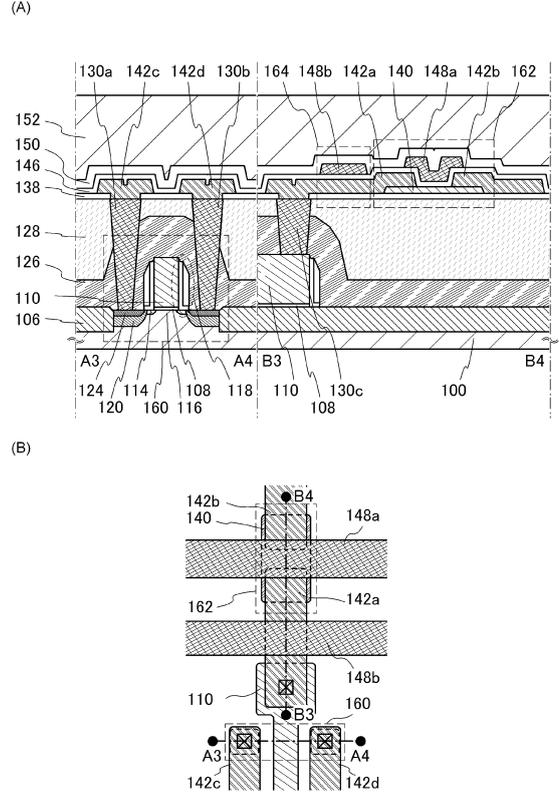
40

50

【 図 5 】



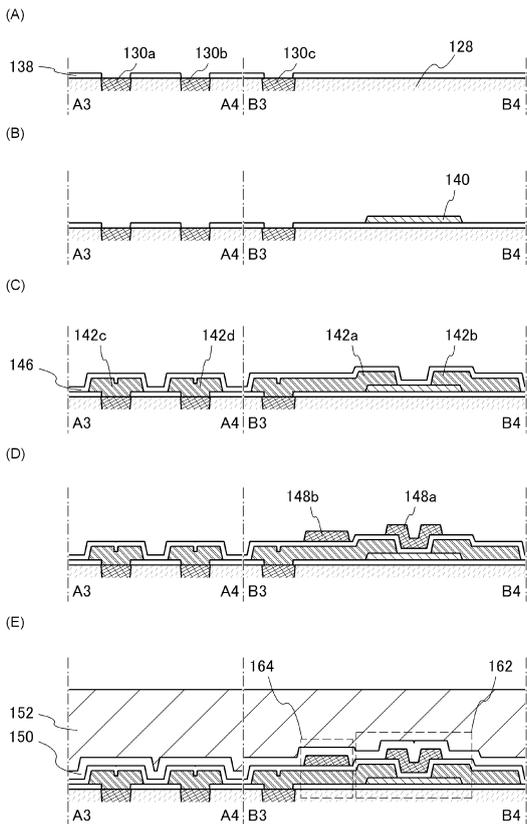
【 図 6 】



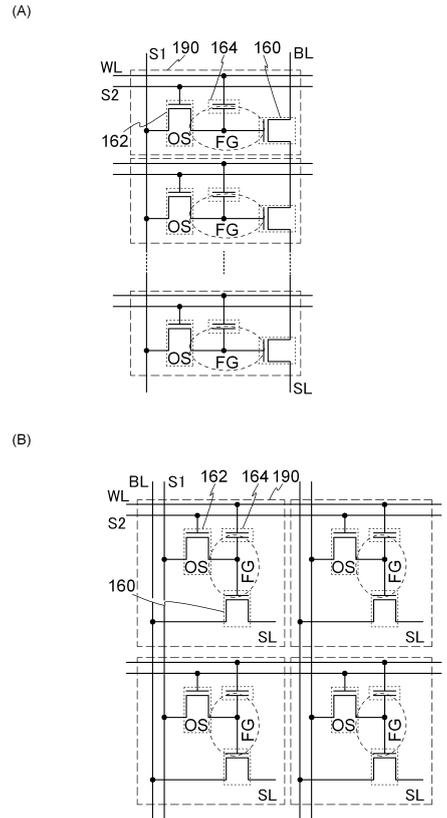
10

20

【 図 7 】



【 図 8 】



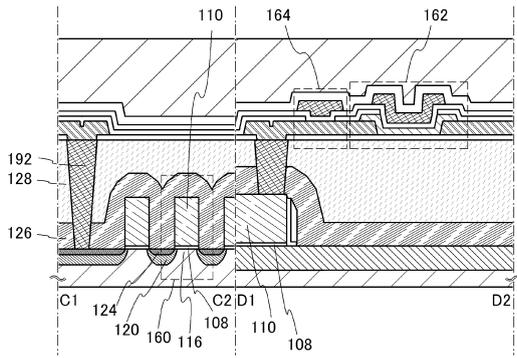
30

40

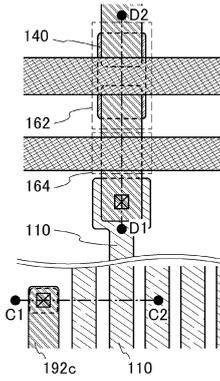
50

【 図 9 】

(A)

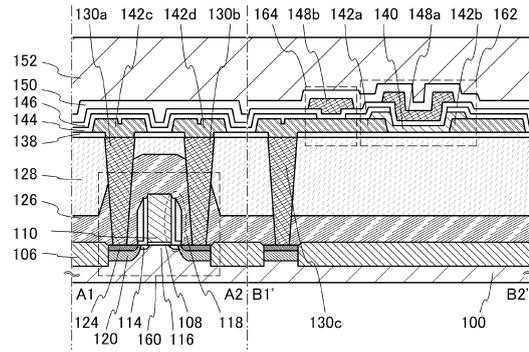


(B)

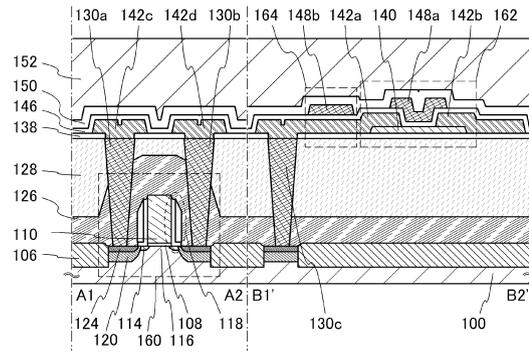


【 図 10 】

(A)



(B)

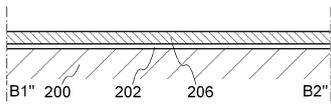


10

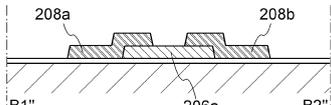
20

【 図 11 】

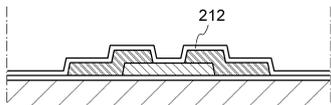
(A)



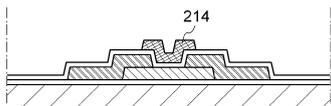
(B)



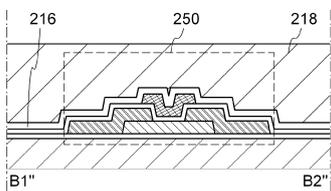
(C)



(D)

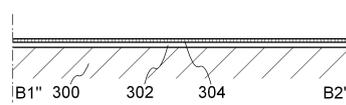


(E)

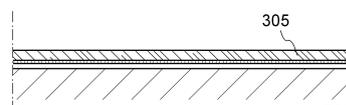


【 図 12 】

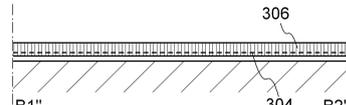
(A)



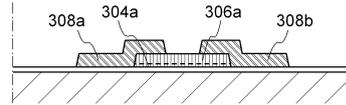
(B)



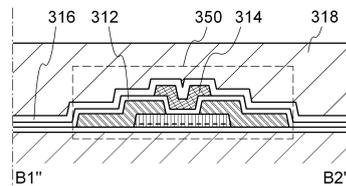
(C)



(D)



(E)

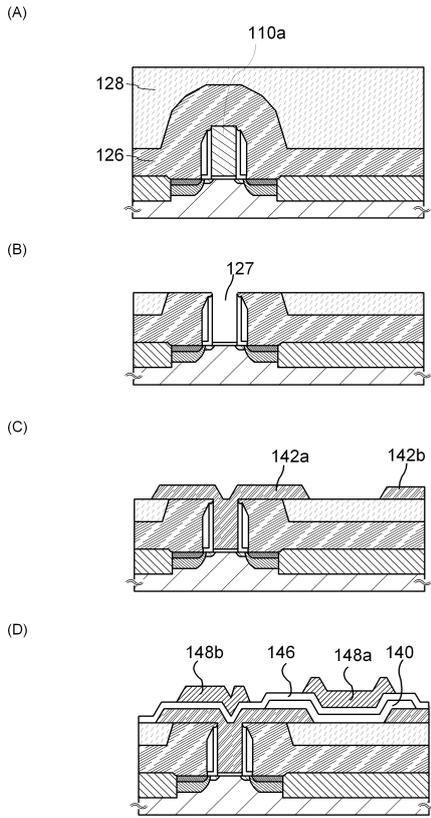


30

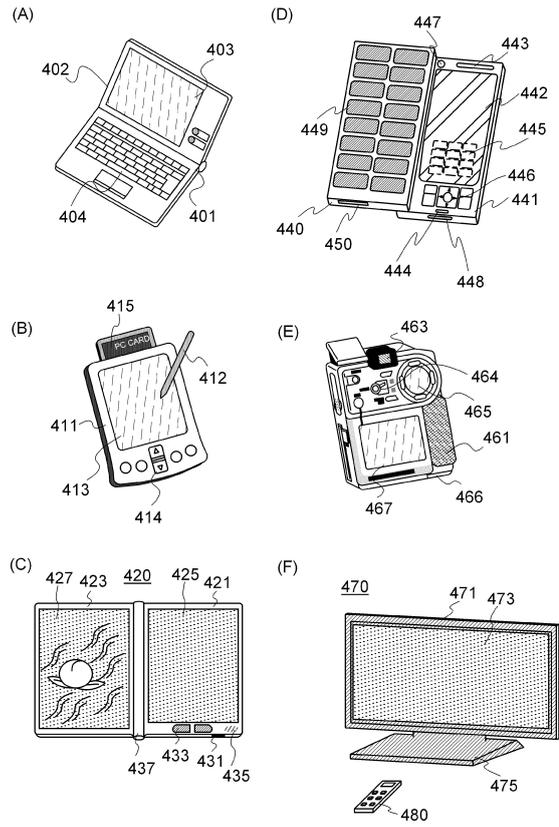
40

50

【 図 1 3 】



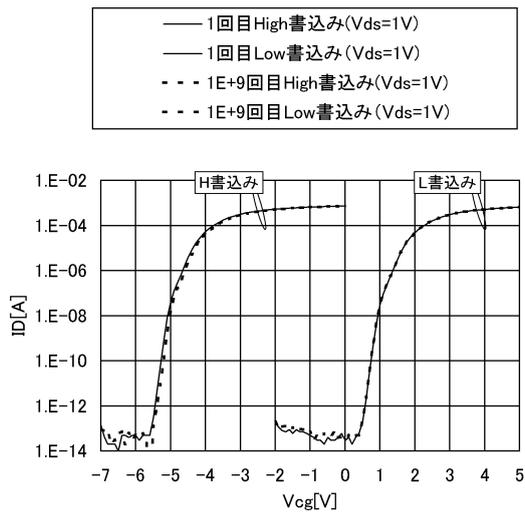
【 図 1 4 】



10

20

【 図 1 5 】



30

40

50

【手続補正書】

【提出日】令和6年7月9日(2024.7.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

シリコンをチャンネル形成領域に含む第1のトランジスタと、
 酸化物半導体をチャンネル形成領域に含む第2のトランジスタと、
 前記第1のトランジスタのゲートと電気的に接続された容量素子と、を有し、
 前記第2のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電気的に接続された半導体装置であって、
 前記第1のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第1のトランジスタのゲートとしての機能を有する第1の導電膜と、
 前記第1の導電膜の上方に配置された領域を有する第1の絶縁膜と、
 前記第1の絶縁膜の上方に配置された領域を有し、かつ、前記第2のトランジスタのチャンネル形成領域を有する半導体膜と、
 前記第1の絶縁膜の上方に配置された領域を有し、前記半導体膜と重なりを有し、かつ
 、前記第2のトランジスタのソース又はドレインの一方としての機能を有する第2の導電膜と、
 前記第2の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第2の絶縁膜と、
 前記第2の絶縁膜の上方に配置された領域を有する第3の絶縁膜と、
 前記第3の絶縁膜の上方に配置された領域を有し、かつ、前記第2のトランジスタのゲートとしての機能を有する第3の導電膜と、
 前記第3の絶縁膜の上方に配置された領域を有する第4の導電膜と、を有し、
 前記第2の導電膜は、前記第2の絶縁膜及び前記第3の絶縁膜を介して前記第3の導電膜と重なりを有し、
 前記第2の導電膜は、前記容量素子の一方の電極としての機能を有し、
 前記第4の導電膜は、前記容量素子の他方の電極としての機能を有し、
前記第2の導電膜は、前記第2の絶縁膜及び前記第3の絶縁膜を介して前記第4の導電膜と重なりを有し、
 前記第2の導電膜のうち前記第2の絶縁膜の開口部と重なる領域は、前記第3の絶縁膜を介して前記第4の導電膜と重なりを有する、
 半導体装置。

【請求項2】

シリコンをチャンネル形成領域に含む第1のトランジスタと、
 酸化物半導体をチャンネル形成領域に含む第2のトランジスタと、
 前記第1のトランジスタのゲートと電気的に接続された容量素子と、を有し、
 前記第2のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電気的に接続された半導体装置であって、
 前記第1のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第1のトランジスタのゲートとしての機能を有する第1の導電膜と、
 前記第1の導電膜の上方に配置された領域を有する第1の絶縁膜と、
 前記第1の絶縁膜の上方に配置された領域を有し、かつ、前記第2のトランジスタのチャンネル形成領域を有する半導体膜と、
 前記第1の絶縁膜の上方に配置された領域を有し、前記半導体膜と重なりを有し、かつ
 、前記第2のトランジスタのソース又はドレインの一方としての機能を有する第2の導電

膜と、

前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、

前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、

前記第 3 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 3 の導電膜と、

前記第 3 の絶縁膜の上面に接する領域を有する第 4 の導電膜と、を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 3 の導電膜と重なりを有し、

前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、

10

前記第 4 の導電膜は、前記容量素子の他方の電極としての機能を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、

前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有する、

半導体装置。

【請求項 3】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、

酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、

前記第 1 のトランジスタのゲートと電氣的に接続された容量素子と、を有し、

20

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続された半導体装置であって、

前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、

前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、

前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのチャンネル形成領域を有する半導体膜と、

前記第 1 の絶縁膜の上方に配置された領域を有し、前記半導体膜と重なりを有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と、

30

前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続される第 3 の導電膜と、

前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、

前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、

前記第 3 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 4 の導電膜と、

前記第 3 の絶縁膜の上方に配置された領域を有する第 5 の導電膜と、を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、

40

前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、

前記第 5 の導電膜は、前記容量素子の他方の電極としての機能を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有し、

前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有する、

半導体装置。

【請求項 4】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、

酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、

50

前記第 1 のトランジスタのゲートと電氣的に接続された容量素子と、を有し、
 前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続された半導体装置であって、
 前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、
 前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、
 前記第 1 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのチャンネル形成領域を有する半導体膜と、
 前記第 1 の絶縁膜の上面に接する領域を有し、前記半導体膜と重なりを有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と
 10、
 前記第 1 の絶縁膜の上面に接する領域を有し、かつ、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続される第 3 の導電膜と、
 前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、
 前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、
 前記第 3 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 4 の導電膜と、
 前記第 3 の絶縁膜の上方に配置された領域を有する第 5 の導電膜と、を有し、
 前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、
 20
 前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、
 前記第 5 の導電膜は、前記容量素子の他方の電極としての機能を有し、
前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有し、
 前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有する、
 半導体装置。
 【請求項 5】
 シリコンをチャンネル形成領域に含む第 1 のトランジスタと、
 30
 酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、
 前記第 1 のトランジスタのゲートと電氣的に接続された容量素子と、を有し、
 前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続された半導体装置であって、
 前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、
 前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのチャンネル形成領域を有する半導体膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、前記半導体膜と重なりを有し、かつ
 40、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と、
 前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続される第 3 の導電膜と、
 前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、
 前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、
 前記第 3 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 4 の導電膜と、
 前記第 3 の絶縁膜の上面に接する領域を有する第 5 の導電膜と、を有し、
 50

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、

前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、

前記第 5 の導電膜は、前記容量素子の他方の電極としての機能を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有し、

前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有する、

半導体装置。

【請求項 6】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、

酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、

前記第 1 のトランジスタのゲートと電気的に接続された容量素子と、を有し、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電気的に接続された半導体装置であって、

前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、

前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、

前記第 1 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのチャンネル形成領域を有する半導体膜と、

前記第 1 の絶縁膜の上面に接する領域を有し、前記半導体膜と重なりを有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と

、前記第 1 の絶縁膜の上面に接する領域を有し、かつ、前記第 1 のトランジスタのソース又はドレインの一方と電気的に接続される第 3 の導電膜と、

前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、

前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、

前記第 3 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 4 の導電膜と、

前記第 3 の絶縁膜の上面に接する領域を有する第 5 の導電膜と、を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、

前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、

前記第 5 の導電膜は、前記容量素子の他方の電極としての機能を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有し、

前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有する、

半導体装置。

【請求項 7】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、

酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、

前記第 1 のトランジスタのゲートと電気的に接続された容量素子と、を有し、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電気的に接続された半導体装置であって、

前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、

前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、

前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのチ

10

20

30

40

50

チャンネル形成領域を有する半導体膜と、

前記第 1 の絶縁膜の上方に配置された領域を有し、前記半導体膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と、

前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、

前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、

前記第 3 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 3 の導電膜と、

前記第 3 の絶縁膜の上方に配置された領域を有する第 4 の導電膜と、を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 3 の導電膜と重なりを有し、

前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、

前記第 4 の導電膜は、前記容量素子の他方の電極としての機能を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、

前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有する、

半導体装置。

【請求項 8】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、

酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、

前記第 1 のトランジスタのゲートと電気的に接続された容量素子と、を有し、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電気的に接続された半導体装置であって、

前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、

前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、

前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのチャンネル形成領域を有する半導体膜と、

前記第 1 の絶縁膜の上方に配置された領域を有し、前記半導体膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と、

前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、

前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、

前記第 3 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 3 の導電膜と、

前記第 3 の絶縁膜の上面に接する領域を有する第 4 の導電膜と、を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 3 の導電膜と重なりを有し、

前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、

前記第 4 の導電膜は、前記容量素子の他方の電極としての機能を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、

前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有する、

半導体装置。

【請求項 9】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、

10

20

30

40

50

酸化物半導体をチャンネル形成領域に含む第2のトランジスタと、
 前記第1のトランジスタのゲートと電氣的に接続された容量素子と、を有し、
 前記第2のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続された半導体装置であって、
 前記第1のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第1のトランジスタのゲートとしての機能を有する第1の導電膜と、
 前記第1の導電膜の上方に配置された領域を有する第1の絶縁膜と、
 前記第1の絶縁膜の上方に配置された領域を有し、かつ、前記第2のトランジスタのチャンネル形成領域を有する半導体膜と、
 前記第1の絶縁膜の上方に配置された領域を有し、前記半導体膜の上方に配置された領域を有し、かつ、前記第2のトランジスタのソース又はドレインの一方としての機能を有する第2の導電膜と、
 前記第1の絶縁膜の上方に配置された領域を有し、かつ、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続される第3の導電膜と、
 前記第2の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第2の絶縁膜と、
 前記第2の絶縁膜の上方に配置された領域を有する第3の絶縁膜と、
 前記第3の絶縁膜の上方に配置された領域を有し、かつ、前記第2のトランジスタのゲートとしての機能を有する第4の導電膜と、
 前記第3の絶縁膜の上方に配置された領域を有する第5の導電膜と、を有し、
 前記第2の導電膜は、前記第2の絶縁膜及び前記第3の絶縁膜を介して前記第4の導電膜と重なりを有し、
 前記第2の導電膜は、前記容量素子の一方の電極としての機能を有し、
 前記第5の導電膜は、前記容量素子の他方の電極としての機能を有し、
 前記第2の導電膜は、前記第2の絶縁膜及び前記第3の絶縁膜を介して前記第5の導電膜と重なりを有し、

前記第2の導電膜のうち前記第2の絶縁膜の開口部と重なる領域は、前記第3の絶縁膜を介して前記第5の導電膜と重なりを有する、
 半導体装置。

【請求項10】

シリコンをチャンネル形成領域に含む第1のトランジスタと、
 酸化物半導体をチャンネル形成領域に含む第2のトランジスタと、
 前記第1のトランジスタのゲートと電氣的に接続された容量素子と、を有し、
 前記第2のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続された半導体装置であって、
 前記第1のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第1のトランジスタのゲートとしての機能を有する第1の導電膜と、
 前記第1の導電膜の上方に配置された領域を有する第1の絶縁膜と、
 前記第1の絶縁膜の上面に接する領域を有し、かつ、前記第2のトランジスタのチャンネル形成領域を有する半導体膜と、
 前記第1の絶縁膜の上面に接する領域を有し、前記半導体膜の上方に配置された領域を有し、かつ、前記第2のトランジスタのソース又はドレインの一方としての機能を有する第2の導電膜と、
 前記第1の絶縁膜の上面に接する領域を有し、かつ、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続される第3の導電膜と、
 前記第2の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第2の絶縁膜と、
 前記第2の絶縁膜の上方に配置された領域を有する第3の絶縁膜と、
 前記第3の絶縁膜の上方に配置された領域を有し、かつ、前記第2のトランジスタのゲートとしての機能を有する第4の導電膜と、

前記第 3 の絶縁膜の上方に配置された領域を有する第 5 の導電膜と、を有し、
前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、

前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、

前記第 5 の導電膜は、前記容量素子の他方の電極としての機能を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有し、

前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有する、

半導体装置。

10

【請求項 1 1】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、

酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、

前記第 1 のトランジスタのゲートと電気的に接続された容量素子と、を有し、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電気的に接続された半導体装置であって、

前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、

前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、

前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのチャンネル形成領域を有する半導体膜と、

20

前記第 1 の絶縁膜の上方に配置された領域を有し、前記半導体膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と、

前記第 1 の絶縁膜の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのソース又はドレインの一方と電気的に接続される第 3 の導電膜と、

前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、

前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、

前記第 3 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 4 の導電膜と、

30

前記第 3 の絶縁膜の上面に接する領域を有する第 5 の導電膜と、を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、

前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、

前記第 5 の導電膜は、前記容量素子の他方の電極としての機能を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有し、

前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有する、

40

半導体装置。

【請求項 1 2】

シリコンをチャンネル形成領域に含む第 1 のトランジスタと、

酸化物半導体をチャンネル形成領域に含む第 2 のトランジスタと、

前記第 1 のトランジスタのゲートと電気的に接続された容量素子と、を有し、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電気的に接続された半導体装置であって、

前記第 1 のトランジスタのチャンネル形成領域の上方に配置された領域を有し、かつ、前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電膜と、

前記第 1 の導電膜の上方に配置された領域を有する第 1 の絶縁膜と、

50

前記第 1 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのチャネル形成領域を有する半導体膜と、

前記第 1 の絶縁膜の上面に接する領域を有し、前記半導体膜の上方に配置された領域を有し、かつ、前記第 2 のトランジスタのソース又はドレインの一方としての機能を有する第 2 の導電膜と、

前記第 1 の絶縁膜の上面に接する領域を有し、かつ、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続される第 3 の導電膜と、

前記第 2 の導電膜の上方に配置された領域を有し、かつ、前記半導体膜の上方に配置された領域を有する第 2 の絶縁膜と、

前記第 2 の絶縁膜の上方に配置された領域を有する第 3 の絶縁膜と、

10

前記第 3 の絶縁膜の上面に接する領域を有し、かつ、前記第 2 のトランジスタのゲートとしての機能を有する第 4 の導電膜と、

前記第 3 の絶縁膜の上面に接する領域を有する第 5 の導電膜と、を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 4 の導電膜と重なりを有し、

前記第 2 の導電膜は、前記容量素子の一方の電極としての機能を有し、

前記第 5 の導電膜は、前記容量素子の他方の電極としての機能を有し、

前記第 2 の導電膜は、前記第 2 の絶縁膜及び前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有し、

前記第 2 の導電膜のうち前記第 2 の絶縁膜の開口部と重なる領域は、前記第 3 の絶縁膜を介して前記第 5 の導電膜と重なりを有する、

20

半導体装置。

【請求項 1 3】

請求項 1、請求項 2、請求項 7 及び請求項 8 のいずれか一において、

前記半導体装置は、第 1 の期間と第 2 の期間とを有し、

前記第 1 の期間と前記第 2 の期間とでは、前記第 4 の導電膜の電位が異なる、半導体装置。

【請求項 1 4】

請求項 3 乃至請求項 6 及び請求項 9 乃至請求項 1 2 のいずれか一において、

前記半導体装置は、第 1 の期間と第 2 の期間とを有し、

前記第 1 の期間と前記第 2 の期間とでは、前記第 5 の導電膜の電位が異なる、半導体装置。

30

【請求項 1 5】

請求項 1 乃至請求項 1 4 のいずれか一において、

前記第 2 の絶縁膜は、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウム及び酸化タンタルのいずれか一を含む、

半導体装置。

【請求項 1 6】

請求項 1 乃至請求項 1 5 のいずれか一において、

前記第 3 の絶縁膜は、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウム及び酸化タンタルのいずれか一を含む、

40

半導体装置。

フロントページの続き

(51)国際特許分類

H 0 1 L 27/088 (2006.01)

F I

H 0 1 L	27/088	E
H 0 1 L	27/06	1 0 2 A
H 0 1 L	27/088	3 3 1 E