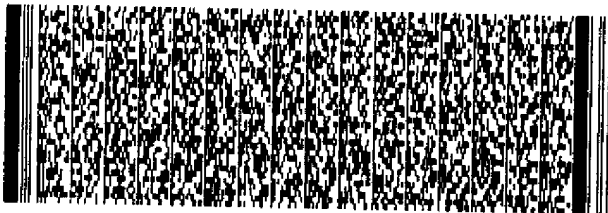


申請日期： 88. 2. 8	案號：88101885
類別： G11C 11/407, 11/409	

(以上各欄由本局填註)

公告本	發明專利說明書	446945
------------	----------------	---------------

一、 發明名稱	中文	具有低電源操作模式之高頻寬動態隨機存取記憶體
	英文	HIGH BANDWIDTH DRAM WITH LOW OPERATING POWER MODES
二、 發明人	姓名 (中文)	1. 克羅迪 L. 柏汀 2. 堤曼詩 J. 艾迪 3. 艾瑞克 L. 罕柏格 4. 馬克 W. 凱拉格
	姓名 (英文)	1. CLAUDE L. BERTIN 2. TIMOTHY J. DELL 3. ERIK L. HEDBERG 4. MARK W. KELLOGG
	國籍	1. 美國 2. 美國 3. 美國 4. 美國
	住、居所	1. 美國佛蒙特州南柏靈頓市菲森路33號 2. 美國佛蒙特州柯確斯特市帕吾路9號 3. 美國佛蒙特州艾克瑟斯樞紐市蘭路20號 4. 美國佛蒙特州艾克瑟斯樞紐市柯都洛伊路29號
三、 申請人	姓名 (名稱) (中文)	1. 美商萬國商業機器公司
	姓名 (名稱) (英文)	1. INTERNATIONAL BUSINESS MACHINES CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國紐約州阿蒙市新果園路
	代表人 姓名 (中文)	1. 費羅普
代表人 姓名 (英文)	1. MARSHALL C. PHELPS, JR.	



本案已向

國(地區)申請專利
美國 US

申請日期
1998/07/24

案號
09/121,933

主張優先權
有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明背景

發明領域

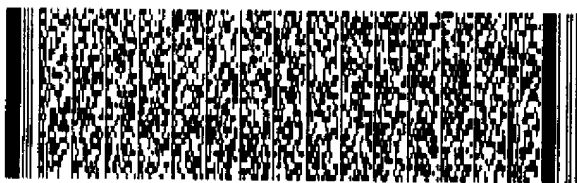
本發明大致係關於高頻寬／效能動態隨機存取記憶體 (DRAM)，尤其，有關具有低電源操作模式之高頻寬／效能動態隨機存取記憶體 (DRAM)、

相關技藝描述

動態隨機存取記憶體 (DRAM) 之效能係電腦系統效能上明顯的限制。由於處理器設計者與系統製造商兩者致力於最小化由較低速之動態隨機存取記憶體 (DRAM) 裝置造成之效能限制，以發展更高效能之記憶體子系統，於是處理器速度快速超越主記憶體之效能。理想上，記憶體效能將配合或者超越處理器效能，亦即，一記憶體週期時間將小於一處理器之時序週期。此為幾乎不曾有過之情形，所以記憶體為一系統之瓶頸。例如，高速微處理器技藝之狀態可能基於一 200 MHz 時序，具有一 5 奈秒 (ns) 之時序週期。而一高效能動態隨機存取記憶體 (DRAM) 可具有一 60 奈秒之存取時間，遠較處理器之效能為短。

此系統瓶頸因眾多多媒體應用之掘起而惡化。多媒體應用要求主記憶體或者訊息框緩衝器記憶體之頻寬相較於像是試算表分析程式或者像是文字處理抑或印表之其他輸入／輸出 (I/O) 精密應用等計算的精密工作更超過數倍。

擴充資料輸出 (EDO) 以及同步動態隨機存取記憶體 (SDRAM) 係發展以改良頻寬，然而，同步動態隨機存取記憶體以及擴充資料輸出 (EDO) 隨機存取記憶體尚無法配合

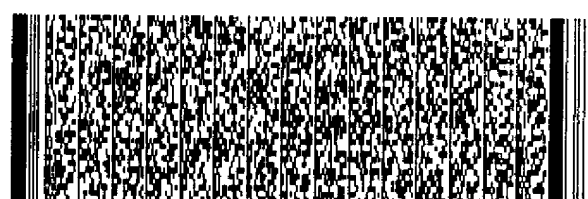
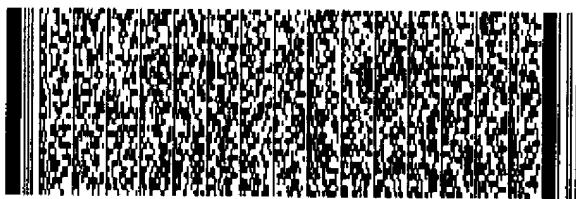


五、發明說明(2)

處理器效能，因而仍然限制系統之效能。結果，當更快速之微處理器發展以用於多媒體處理以及高效能系統時，更快速之記憶體架構將發展，以橋接記憶體／處理器效能之斷層，例如寬的輸入／輸出(I/O)動態隨機存取記憶體(DRAM)。

近來之發展預測一記憶體裝置及相關子系統的主要轉換點為轉移至高速／狹窄之輸入／輸出(I/O)裝置。這些高頻寬(資料速率)動態隨機存取記憶體(DRAM)藉由存取一陣列中大數目之位元，以達到高資料速率，然後藉由8:1予以多工，以達到時序500 MHz之超量的資料速率。

例如，參照圖1，顯示一藉由本發明尋求改良之高速輸入／輸出(I/O)動態隨機存取記憶體(DRAM)記憶體裝置的型態。一16 Mb之記憶體陣列包含四個4 Mb(64x256x1024)子陣列10，12，14及16。各子陣列分別藉由一頁暫存器20，22，24及26緩衝儲存。該頁暫存器係組織成64x256位元位址(亦即，2 Kb)。往返頁暫存器20，22，24及26之資料係從驅動器32或者緩衝器34於一六十四位元匯流排30上傳送。緩衝器34從六十四位元匯流排30將資料傳至一8:1多工器(MUX)36，接著多工器36將資料傳遞離開晶片至輸入／輸出(I/O)接腳38之DQ0-DQ8。該六十四位元匯流排30准許八個分裂之八位元。類似地，從輸入／輸出(I/O)接腳38傳入之資料係由一1:8解多工器(DEMUX)40接收，該解多工器於控制邏輯42及資料罩幕暫存器44控制下，由驅動器32傳至六十四位元匯流排30。一頁讀取作業中，第



五、發明說明 (3)

一存取列位址及命令係經由輸入／輸出(I/O)接腳38之DQ0-DQ8平行輸送至控制邏輯42。對於一給定之位址，需要八個分裂之八位元位元組以讀出六十四位元寬之頁暫存器。此期間，下一欄位址及命令則一系列掃瞄入位址接腳46及命令接腳47，一次一位元連續八個時序週期，直到一新的命令／資料封包掃瞄進入為止。RXCLK及TXCLK係用於外部寒暄。

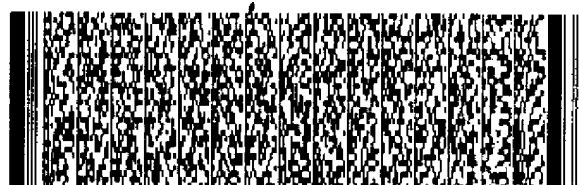
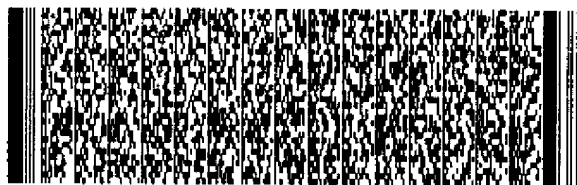
以上高頻寬方法藉由存取一造成高電源消耗需求之陣列中的大數目位元，以達到高資料速率。對於具有一電池電源選項之系統，此種大電源消耗嚴重地限制電池壽命。對於高解析度圖形顯示器，高資料速率係必要。然而，對於許多應用，這類文字處理器，試算表等，無需以這種高速率以及高電源耗用而作業。

因此，當維持一固定時序頻率時，技藝中需要一以高頻寬模式或者低電源模式作業之動態隨機存取記憶體(DRAM)記憶體。

發明概述

因此本發明一目標為：提供一高速／狹窄輸入／輸出(I/O)動態隨機存取記憶體(DRAM)，以一高頻寬模式作業，例如用以配合圖形之精密應用，或者以一低電源模式，例如用以配合文字處理或者試算表應用。

本發明尚有另一目標為：提供一高速／狹窄輸入／輸出(I/O)動態隨機存取記憶體(DRAM)，其中速度／電源模式可調整以配合各種應用。



五、發明說明(4)

根據本發明，係以連接該動態隨機存取記憶體(DRAM)與一處理器之兩分離匯流排網路提供一高頻寬動態隨機存取記憶體(DRAM)。一匯流排網路係一高速(例如，500 MHZ)8:1多工輸入/輸出(I/O)匯流排，而其二係一較低速(例如，64位元)之匯流排。高速匯流排係用於例如圖形之精密應用，需要快速存取動態隨機存取記憶體(DRAM)記憶體陣列中之大數目位元。此必然造成較高之電源需求。由於並非所有應用均需於動態隨機存取記憶體(DRAM)及處理器間傳送如此大量之資料，因此提供較低速之匯流排用於像是文字處理器、試算表之類這些較不要求之應用。較低速之匯流排作業上需要較少之電源，因而形成於其他事務中有助於延長電池壽命之一省電模式。

兩匯流排網路可各自完全分離或者可共享匯流排線路。例如，較低速之匯流排可為64位元寬而高速匯流排僅8位元寬、替代上，較低速之匯流排可為56位元寬。此高頻寬模式之情況下，56位元以及8位元匯流排兩者係用以配合於動態隨機存取記憶體(DRAM)與處理器間低電源作業之64位元傳送。無論何種情況，處理器選擇適當之匯流排或者組合匯流排以配合目前應用所需。此可透過處理器產生予一晶片組之指令而完成。

圖式簡述

先前以及其他目標，方面與優點將從以下本發一較佳具體實施例之詳述，參照圖示而更為了解，其中：

圖1為一相關技藝之高速動態隨機存取記憶體(DRAM)的



五、發明說明 (5)

電路圖；

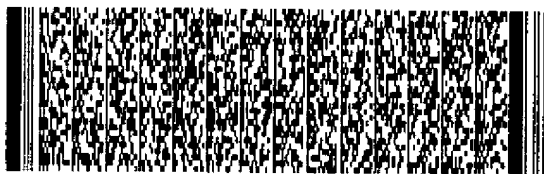
圖2為一根據本發明第一具體實施例，交替將處理器連接一具有一高速匯流排或者一低電源匯流排記憶體之記憶體系統的區塊圖；

圖3為一根據本發明第二具體實施例之具有一低電源操作模式的同步動態隨機存取記憶體(SDRAM)之電路圖；以及

圖4為一根據本發明之具有一低電源操作模式的高頻寬動態隨機存取記憶體(DRAM)。

本發明一較佳具體實施例之詳述

現在參照圖式，圖2顯示一連接至一晶片組52之處理器50與相關之高速緩衝記憶體51。晶片組係連接至一圖形處理器56與一訊息框緩衝器58以及一週邊組件互連匯流排(PCI) 59。處理器50係額外連接至一動態隨機存取記憶體(DRAM) 60。根據本發明，動態隨機存取記憶體(DRAM) 60係經晶片組52，藉由一高速匯流排63或者一較低速、較少電源耗用之匯流排62、選擇性連接至處理器50。晶片組可為例如英特爾奔騰(INTEL PENTIUM) 430, 440或者450系列之晶片組。記憶體60可為例如一如圖3所示之同步動態隨機存取記憶體(SDRAM) 66以及專用積體電路(ASIC) 70，或者一圖4中更為詳述之高頻寬動態隨機存取記憶體(DRAM) 68。於一同步動態隨機存取記憶體(SDRAM) 66之情況下，專用積體電路(ASIC) 70和高速匯流排63與較低速之匯流排62間需有介面。於一高頻寬動態隨機存取記憶

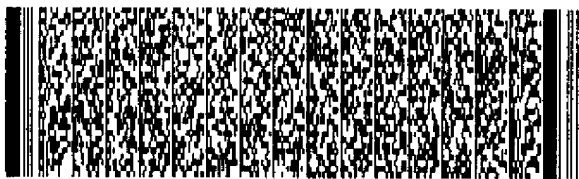


五、發明說明(6)

體(DRAM) 68之情況下，用以作為動態隨機存取記憶體(DRAM)與匯流排介面之所有必需硬體較佳為整合於一單一裝置中。

現在參照圖3，顯示一具有一專用積體電路(ASIC)介面70之64百萬位元(Mb)隨機存取記憶體(RAM)模組66，該專用積體電路(ASIC)介面係共同待決申請案08/861,101中所揭露之裝置的修正，此處合併參照。隨機存取記憶體(RAM)模組66包括四個16百萬位元(Mb)之同步動態隨機存取記憶體(SDRAM) 111₁至111₄。四個16百萬位元(Mb)之同步動態隨機存取記憶體(SDRAM) 111₁至111₄各具有四個記憶庫。藉由分裂為四之作業中，平行活化四個同步動態隨機存取記憶體(SDRAM)各別之一記憶庫，相較於其他高頻寬架構，可維持頁的深度以及資料頻寬。一讀取作業期間，命令控制119以及位址控制118從全部四個同步動態隨機存取記憶體(SDRAM) 111₁至111₄上之例如記憶庫Bank 0選擇資料，該資料已事先分別傳遞至4x16之暫存器112₁至112₄。

一旦資料載入，一次二位元組從各暫存器112₁至112₄傳遞至一64位元匯流排113。一多工器114從64位元匯流排113同步選擇各位元組以作為八個區塊之一。八個區塊係循序時序化送至資料輸入/輸出(I/O)匯流排。資料係魚貫式，所以平行於從暫存器112₁至112₄通過該64位元匯流排113傳送至多工器114之資料，資料之下一區塊可從同步動態隨機存取記憶體(SDRAM) 111₁至111₄讀取，並傳遞至



五、發明說明 (7)

暫存器 112_1 至 112_4 之輸入端。接著儲存此下一區塊，然後以一先進先出(FIFO)型態之方式向外傳遞。

於一要求封包命令期間，循序將命令及位址載入。命令解多工至32位元匯流排116，以產生一用於位址控制118以及控制邏輯119之平行指令格式。該控制邏輯119控制一用於平行作業之傳統(Jedec標準)同步動態隨機存取記憶體(SDRAM) 111_1 至 111_4 。

於一寫入作業期間，高速時序透過解多工器115，平行於經解多工器117將位址及命令控制資訊循序載入一32位元匯流排116，而循序將數個位元組之資料傳遞至64位元匯流排113。來自32位元匯流排116之起始位址和命令係儲存於位址控制器118以及命令控制器119中，以維持與同步動態隨機存取記憶體(SDRAM) 寒暄協定之配合。

命令控制器119將命令解碼並分送至暫存器 112_1 至 112_4 ，多工器114，解多工器115，117以及同步動態隨機存取記憶體(SDRAM) 111_1 至 111_4 。命令控制器119同時透過解多工器115導引資料輸入/輸出(I/O)匯流排62或者63與內部64位元匯流排113間之資料。

一晶片選擇(CS)信號致能該命令解多工器117並開始將命令載入32位元匯流排116。一旦從32位元匯流排116載入，控制器118及119單獨選擇並存取同步動態隨機存取記憶體(SDRAM) 111_1 至 111_4 中選定之位置，以傳送三十二位元組之資料(各八位元來自各同步動態隨機存取記憶體(SDRAM) 111_1 至 111_4)。該32位元位址/命令匯流排116包



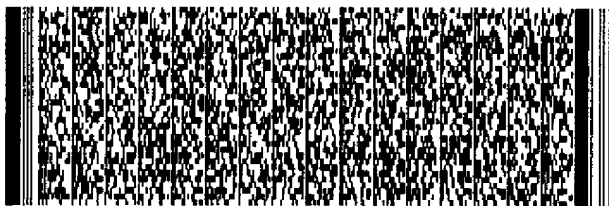
五、發明說明(8)

括十六個位址位元以及十六個命令位元。

命令可包括，但不限於：

- 1) 模式暫存器設定
- 2) 記憶庫啟動
- 3) 記憶庫前置充電
- 4) 讀取
- 5) 自動前置充電讀取
- 6) 寫入
- 7) 自動前置充電寫入
- 8) 記憶庫活化／讀取
- 9) 記憶庫活化／寫入
- 10) 前置充電／記憶庫活化／讀取
- 11) 前置充電／記憶庫活化／寫入
- 12) 自動恢復
- 13) 自我恢復
- 14) 電源關閉
- 15) 電源打開
- 16) 資料罩遮

根據本發明，同步動態隨機存取記憶體(SDRAM) 66之記憶體可與一上述之高速8:1多工匯流排63，以及一較低速，較少電源耗用之64位元匯流排62兩者介面連接。高速匯流排63例如以500 MHz操作。高速匯流排之大小係配合記憶體之最大分裂率。於高頻寬作業中，全部四個同步動態隨機存取記憶體(SDRAM) 111₁₋₄均存取，以讀取或者寫



五、發明說明 (9)

入。如上所述，來自同步動態隨機存取記憶體(SDRAM) 111_{1-4} 之資料分別輸送至 4×16 暫存器 112_{1-4} ，該資料提供予64位元內部匯流排113，而64位元內部匯流排透過與連接高速匯流排63之記憶體輸入/輸出(I/O)相連的混合式網路114-11以便將資料時序化。

相對地，於低電源作業期間，以一輸入緩衝器124以及一輸出緩衝器126提供一較低速之輸入/輸出(I/O)匯流排62。對於低電源作業，於分裂模式下，命令控制118僅活化一同步動態隨機存取記憶體(SDRAM)例如 111_1 。該內部64位元匯流排113係由一同步動態隨機存取記憶體(SDRAM)例如 111_1 接收之所有資料填滿，且經由64位元輸入/輸出(I/O)緩衝器124與126將資料輸出或者輸入至低電源輸入/輸出(I/O)匯流排62。因此，由於僅存取四個同步動態隨機存取記憶體(SDRAM)中之一，所以保存電源。

現在參照圖4，顯示一使用高頻寬動態隨機存取記憶體(DRAM)記憶體68之兩匯流排系統，該高頻寬動態隨機存取記憶體(DRAM)記憶體已配置以配合類似圖3中所示具有相似標示之類似組件的同步動態隨機存取記憶體(SDRAM)與專用積體電路(ASIC)之分離的64位元匯流排62。此情況下，無需專用積體電路(ASIC)，因為所有必需之介面組件係整合於一單一晶片中。記憶體 111_1 至 111_4 之四個記憶庫細分為16個文字線區段。於低電源作業期間，這些文字線區段可單獨存取。各文字線區段汲取出16位元(2位元組)。於高電源作業期間，全部16個區段均活化以汲取出



五、發明說明 (10)

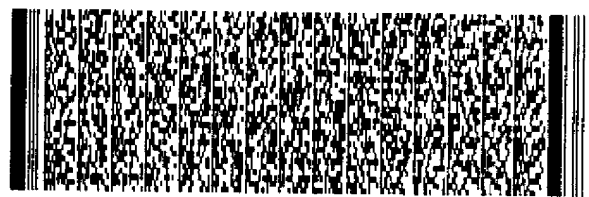
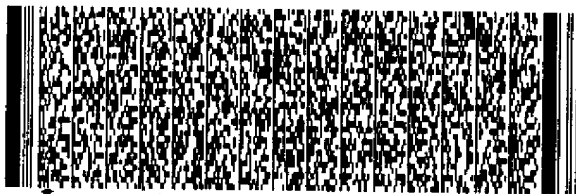
256 位元。

於低電源作業期間，重新定義命令封包中之記憶庫位址以接受一14位元文字線位址以及一4位元之頁位址。此輸入位址之重新分配並未改變命令封包格式，當與命令封包輸入時，記憶體晶片重新定義這些位址。因此，低電源及高頻寬作業於電池備用模式時可即時切換。額外之文字位址允許陣列中之文字線區段化。一旦區段化之後，便可見到重要之省電結果。此的確將頁的深度降低至64x16位元，即經由4個CAS位址輸送至內部匯流排。然後資料透過64輸入／輸出(I/O)緩衝器時序化輸出。

較佳具體實施例之匯流排架構可為一單一晶片，或者可於一卡上而包括具有一專用積體電路(ASIC)用於多工，並以現今技藝提供進一步之同步動態隨機存取記憶體(SDRAM)產生效能的標準同步動態隨機存取記憶體(SDRAM)晶片。

替代上，像是多工器，控制器以及暫存器之較佳具體實施例的所有邏輯功能，可整合於一標準處理器，用於高遠記憶體之處理。標準之同步動態隨機存取記憶體(SDRAM)可以電子式設置於接近此整合之處理器，用於非常高之資料以及低潛伏值的存取速率。

雖然本發明以一單一較佳具體實施例之項目予以描述，熟知此項技藝人士將明白：本發明可於所附主張之精神與範圍內修正而實行。

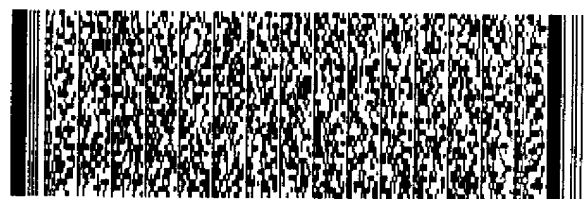


四、中文發明摘要 (發明之名稱：具有低電源操作模式之高頻寬動態隨機存取記憶體)

一種備有兩個將動態隨機存取記憶體(DRAM)連接至一處理器之分離匯流排網路的高頻寬動態隨機存取記憶體(DRAM)。一匯流排網路係一高速(例如500 MHz)8:1或者16:1之多工輸入/輸出(I/O)匯流排，而第二者係一較低速(例如64位元)之匯流排。該高速匯流排係用於例如需要快速存取動態隨機存取記憶體(DRAM)記憶體陣列中大量位元之圖形加強應用。此必然造成較高之電源需求。由於並非所有應用均需於動態隨機存取記憶體(DRAM)與處理器間傳送如此大量之資料，所以提供較低速之匯流排給像是文字處理器，試算表之類這些需求較少之應用程式中。較低速之匯流排作業上需要較少電源運作，因而形成可於其他事務中有助於延長電池壽命之省電模式。

英文發明摘要 (發明之名稱：HIGH BANDWIDTH DRAM WITH LOW OPERATING POWER MODES)

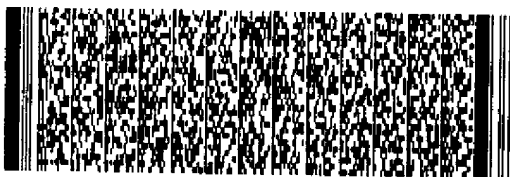
A high bandwidth DRAM is provided with two separate bus networks connecting the DRAM to a processor. One bus network is a high speed (e.g., 500 MHz) 8:1 or 16:1 multiplexed I/O bus and the second is a slower (e. g., 64-bit) bus. The high-speed bus is used for example for graphic intensive applications which require fast access to large numbers of bits in the DRAM memory array. This of course results in higher power requirements. Since, not all applications require



四、中文發明摘要 (發明之名稱：具有低電源操作模式之高頻寬動態隨機存取記憶體)

英文發明摘要 (發明之名稱：HIGH BANDWIDTH DRAM WITH LOW OPERATING POWER MODES)

such large amounts of data to be transferred between the DRAM and the processor, the slower bus is provided for these less demanding applications such as word processors, spreadsheets, and the like. The slower bus requires less power to operate and therefore results in a power saving mode which, among other things, facilitates longer battery life.



六、申請專利範圍

1. 一種用以於一動態隨機存取記憶體(DRAM)與一處理器間傳送資料之記憶體匯流排系統，包含：

一第一高速匯流排，連接至一動態隨機存取記憶體(DRAM)；

一第二較低速之匯流排，連接至該動態隨機存取記憶體(DRAM)，該第二匯流排相較於第一匯流排需要較少之運作電源；以及

一連接至處理器之切換電路，用以交替地根據執行於該處理器之一應用的電源需求與記憶體需求之一，將處理器連接至第一匯流排與第二匯流排之一。

2. 如申請專利範圍第1項之用以於一動態隨機存取記憶體(DRAM)(DRAM)與一處理器間傳送資料的記憶體匯流排系統，其中第一匯流排包含一8位元多工匯流排，且第二匯流排包含一64位元匯流排。

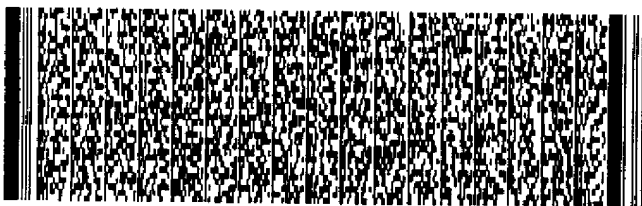
3. 如申請專利範圍第1項之用以於一動態隨機存取記憶體(DRAM)(DRAM)與一處理器間傳送資料的記憶體匯流排系統，進一步其中該切換電路包含一晶片組將該處理器連接至第一與第二匯流排。

4. 一種具有一低電源模式用以於一動態隨機存取記憶體(DRAM)與一處理器間傳送資料之記憶體系統，包含：

眾多由一內部匯流排所連接之可定址記憶體裝置；

一連接至該內部匯流排之高速資料輸入／輸出埠；

一連接至該內部匯流排之較低速之資料輸入／輸出埠，



六、申請專利範圍

其中於一高速模式中，全部之該眾多可定址記憶體裝置於該內部匯流排上將資料傳送至該高速資料輸入／輸出埠，以及

於一低電源模式，少於全部之該眾多可定址記憶體裝置於該內部匯流排上將資料傳送至該較低速之資料輸入／輸出埠。

5. 如申請專利範圍第4項之雙模式記憶體系統，進一步包含：

第一高速匯流排，連接至該高速之資料輸入／輸出埠；

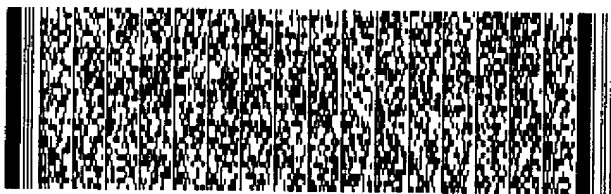
第二較低速之匯流排，連接至該較低速之輸入／輸出埠；以及

切換電路，連接至處理器，用以交替地將該處理器連接至用於一高速模式資料傳送的第一匯流排與用於一低電源模式資料傳送的第二匯流排之一。

6. 如申請專利範圍第5項之雙模式記憶體系統，其中第一匯流排包含一8位元多工匯流排，且第二匯流排包含64位元。

7. 如申請專利範圍第5項之雙模式記憶體系統，其中該切換電路包含一晶片組，將處理器連接至第一與第二匯流排。

8. 如申請專利範圍第7項之雙模式記憶體系統，其中第一匯流排與第二匯流排係同時間用於該低電源模式。



圖式

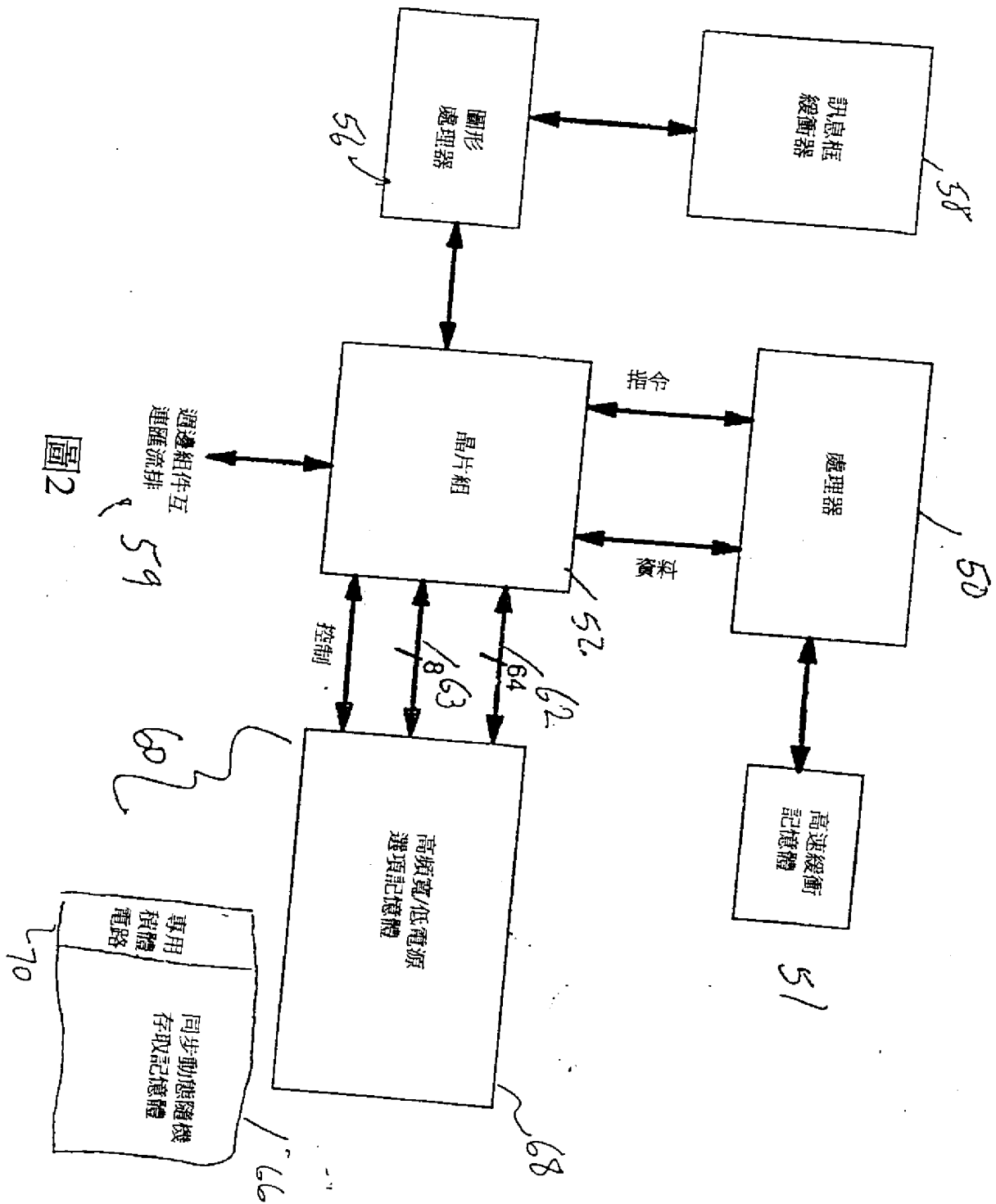


圖2

高頻寬

具有低電源操作模式之動態隨機存取記憶體

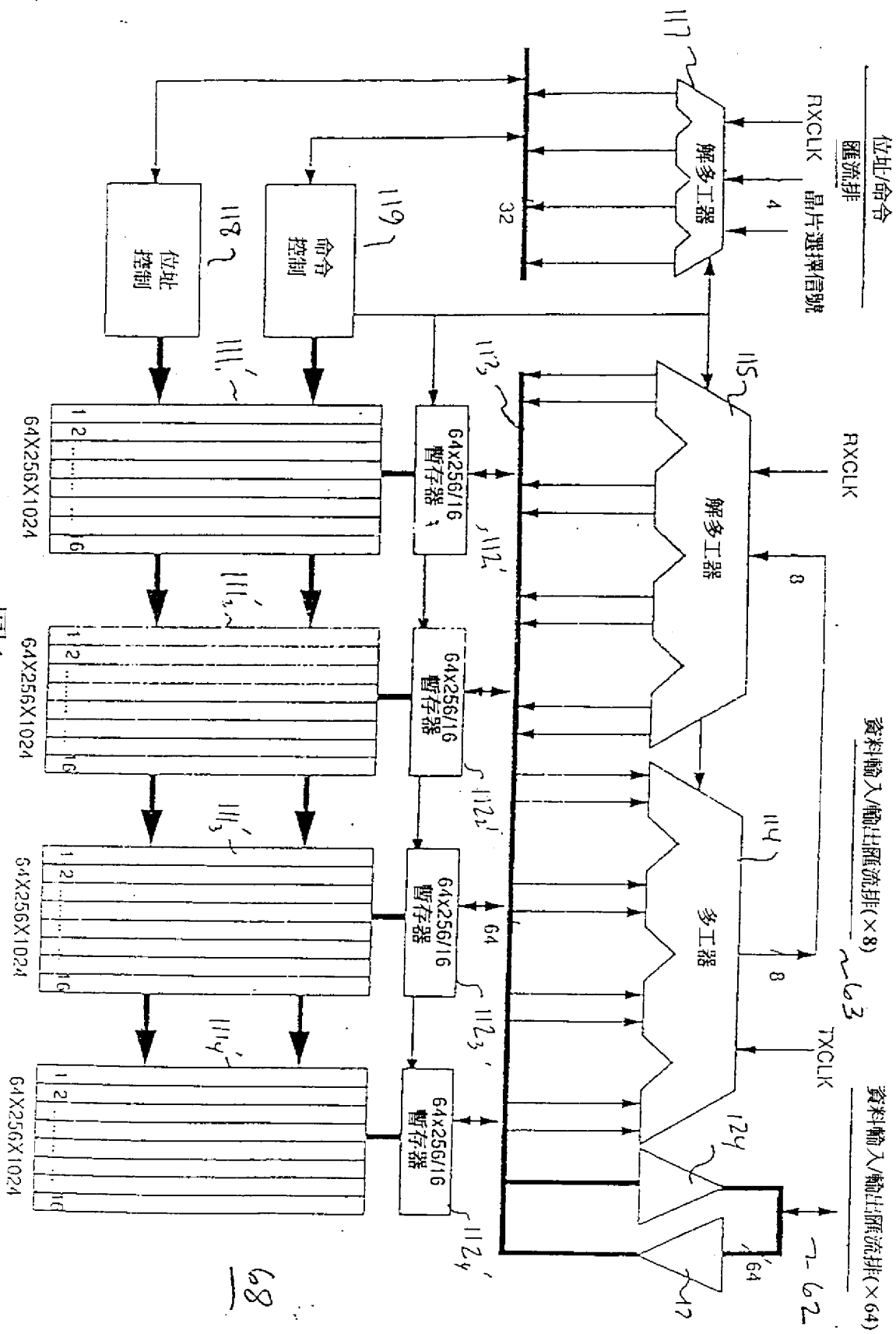


圖4

圖式

附
件
不
公
開

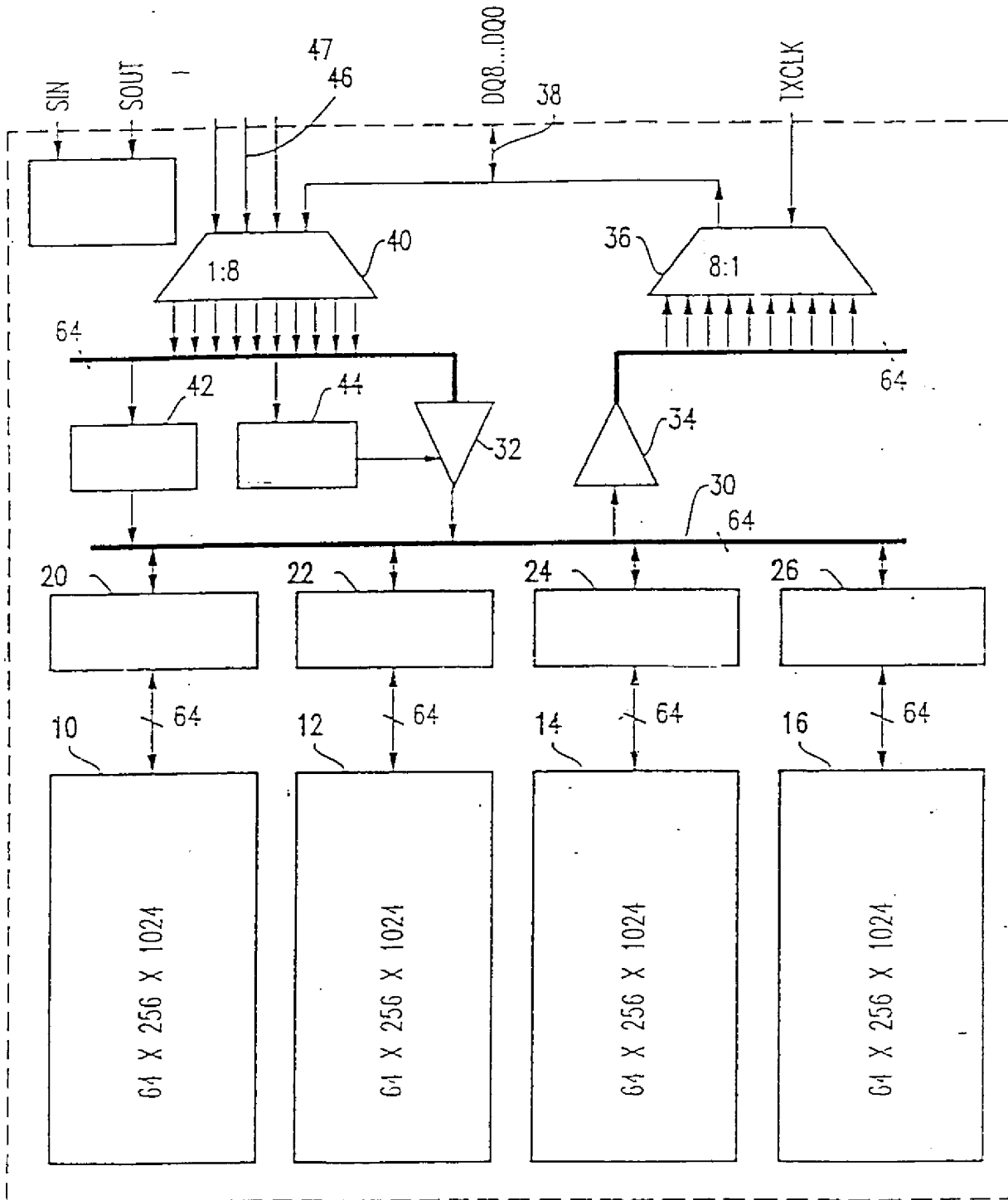


圖 1

圖式

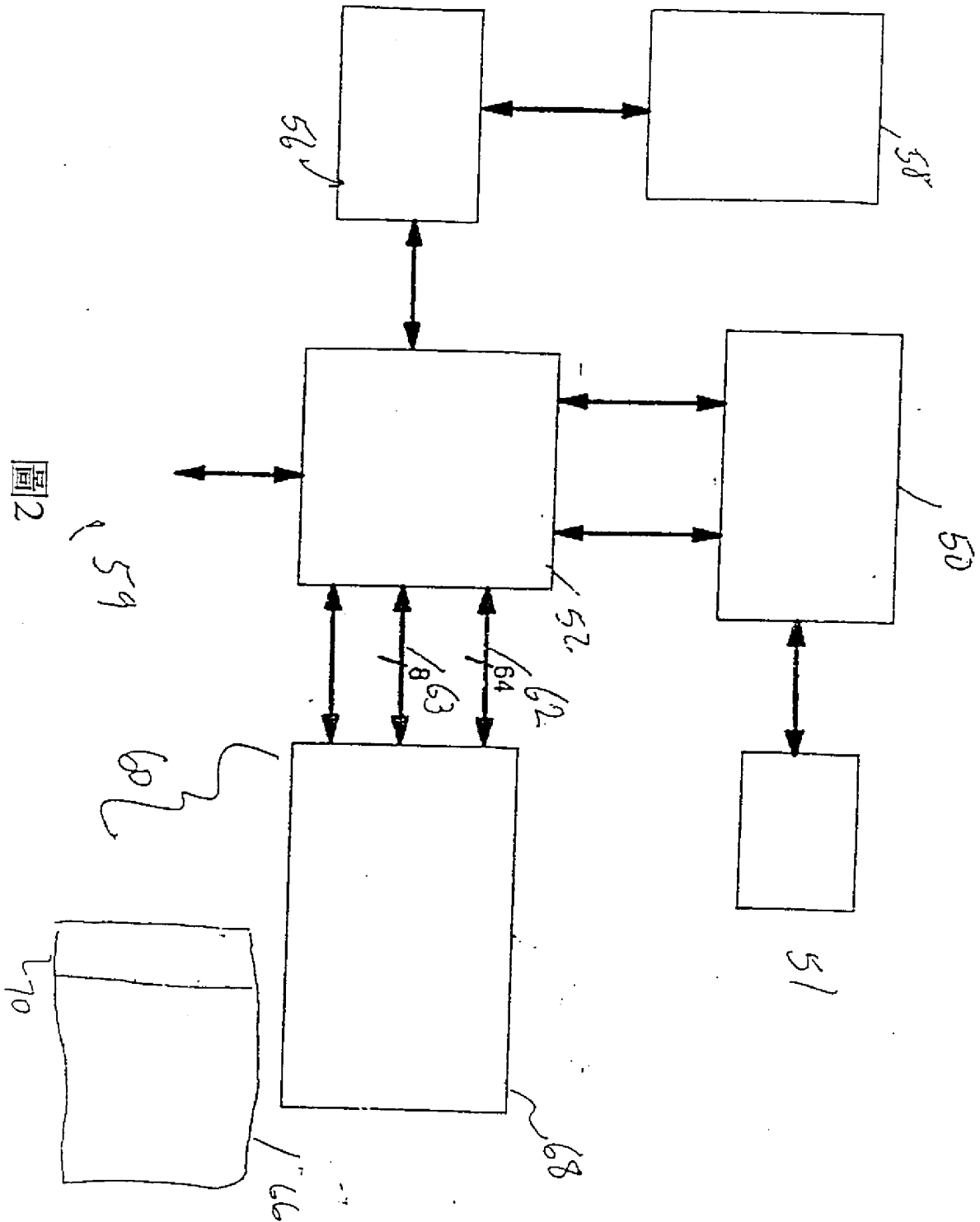


圖2

圖式

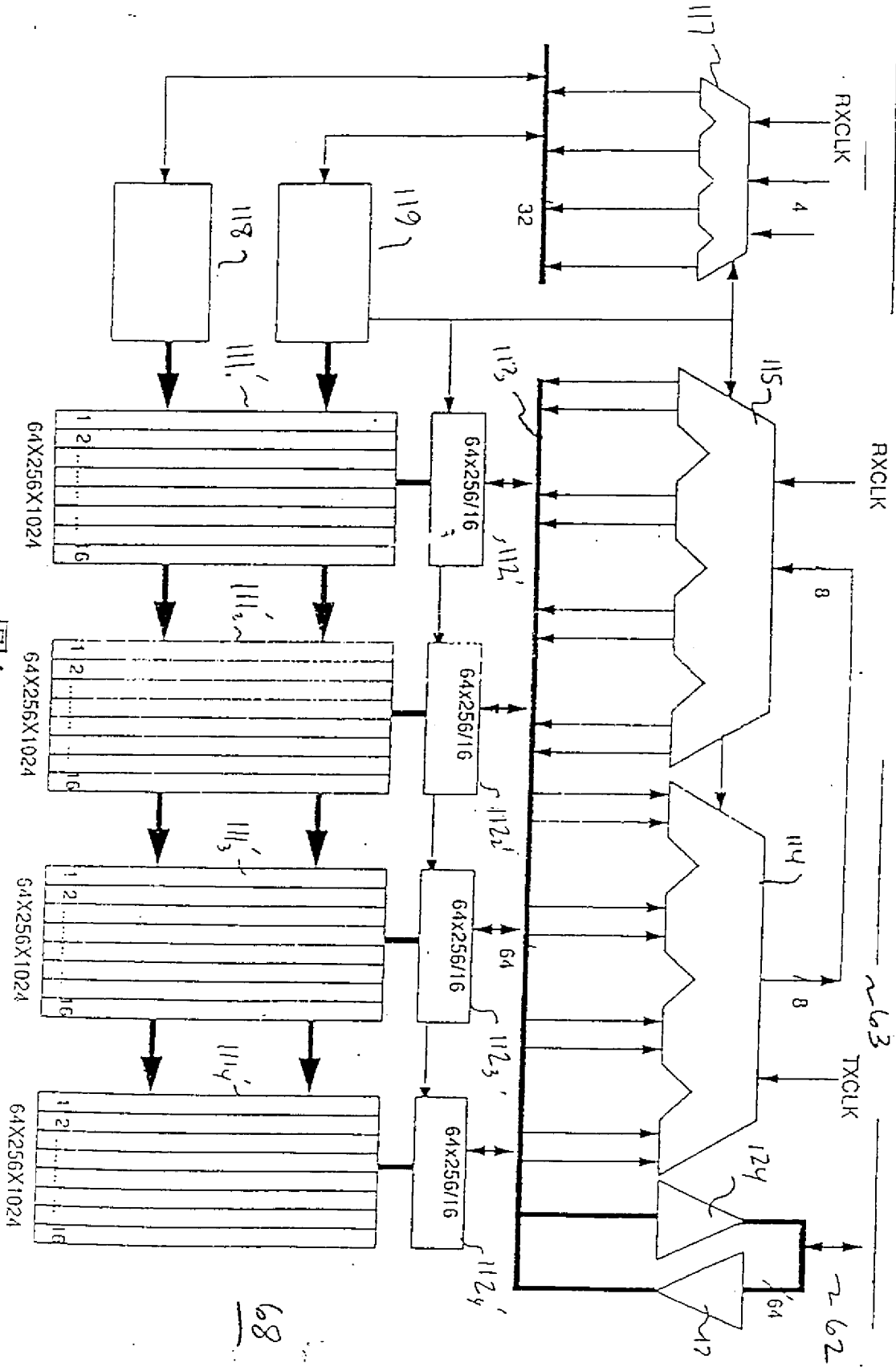


圖 4