



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I607452 B

(45) 公告日：中華民國 106 (2017) 年 12 月 01 日

(21) 申請案號：105125706

(22) 申請日：中華民國 105 (2016) 年 08 月 12 日

(51) Int. Cl. : G11C29/42 (2006.01)

G11C8/10 (2006.01)

(71) 申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)
中華民國(72) 發明人：林玉祥 LIN, YU-HSIANG (TW)；嚴紹維 YEN, SHAO-WEI (TW)；楊政哲 YANG,
CHENG-CHE (TW)；賴國欣 LAI, KUO-HSIN (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

(56) 參考文獻：

US 9136875B2

US 9268634B2

US 9274891B2

US 9342404B2

US 2015/0293811A1

US 2015/0293813A1

US 2016/0020784A1

審查人員：蕭明椿

申請專利範圍項數：21 項 圖式數：12 共 64 頁

(54) 名稱

解碼方法、記憶體儲存裝置及記憶體控制電路單元

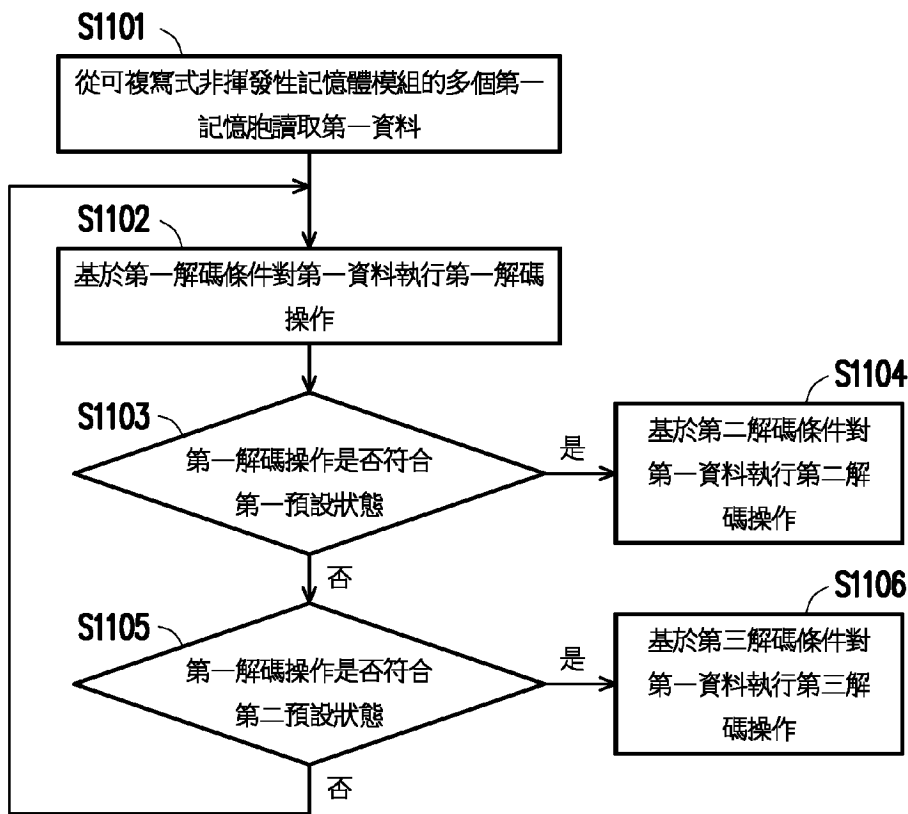
DECODING METHOD, MEMORY STORAGE DEVICE AND MEMORY CONTROL CIRCUIT UNIT

(57) 摘要

一種解碼方法、記憶體儲存裝置及記憶體控制電路單元。此解碼方法包括：從可複寫式非揮發性記憶體模組的多個第一記憶胞讀取第一資料；基於第一解碼條件對所述第一資料執行第一解碼操作；以及若所述第一解碼操作符合第一預設狀態，基於第二解碼條件對所述第一資料執行第二解碼操作，其中基於所述第二解碼條件定位所述第一資料中的錯誤位元之嚴謹度高於基於所述第一解碼條件定位所述第一資料中的所述錯誤位元之嚴謹度。藉此，可提升記憶體儲存裝置的解碼效率。

A decoding method, a memory storage device and a memory control circuit unit are provided. The method includes: reading first data from a plurality of first memory cells of a rewritable non-volatile memory module; performing a first decoding operation on the first data based on a first decoding condition; and performing a second decoding operation on the first data based on a second decoding condition if the first decoding operation conforms to a first default status, where a strict level of locating an error bit in the first data based on the second decoding condition is higher than a strict level of locating the error bit in the first data based on the first decoding condition. Therefore, a decoding efficiency of a memory storage device can be improved.

指定代表圖：



【圖11】

符號簡單說明：

S1101 . . . 步驟(從可複寫式非揮發性記憶體模組的多個第一記憶胞讀取第一資料)

S1102 . . . 步驟(基於第一解碼條件對第一資料執行第一解碼操作)

S1103 . . . 步驟(判斷第一解碼操作是否符合第一預設狀態)

S1104 . . . 步驟(基於第二解碼條件對第一資料執行第二解碼操作)

S1105 . . . 步驟(判斷第一解碼操作是否符合第二預設狀態)

S1106 . . . 步驟(基於第三解碼條件對第一資料執行第三解碼操作)

【發明說明書】

【中文發明名稱】

解碼方法、記憶體儲存裝置及記憶體控制電路單元

【英文發明名稱】

DECODING METHOD, MEMORY STORAGE DEVICE AND
MEMORY CONTROL CIRCUIT UNIT

【技術領域】

【0001】 本發明是有關於一種解碼技術，且特別是有關於一種解碼方法、記憶體儲存裝置及記憶體控制電路單元。

【先前技術】

【0002】 數位相機、行動電話與 MP3 播放器在這幾年來的成長十分迅速，使得消費者對儲存媒體的需求也急速增加。由於可複寫式非揮發性記憶體模組（例如，快閃記憶體）具有資料非揮發性、省電、體積小，以及無機械結構等特性，所以非常適合內建於上述所舉例的各種可攜式多媒體裝置中。

【0003】 一般來說，記憶體裝置會內建有一或多種解碼機制，其用以更正從記憶體裝置讀取之資料中可能具有的錯誤。例如，此些解碼機制可能包括位元翻轉(Bit-Flipping)演算法、最小-總合(Min-Sum)演算法及總和-乘積(Sum-Product)演算法等解碼演算法。在記憶體裝置出廠時，記憶體裝置內建的解碼演算法會被配

置為使用最佳化的操作參數。但是，隨著記憶體裝置的使用時間及/或使用頻率增加，記憶體裝置的通道狀態也會發生變化。若記憶體裝置的通道狀態變化太大，即便使用最佳化的操作參數也往往導致記憶體裝置的解碼效率低落。

【發明內容】

【0004】 本發明提供一種解碼方法、記憶體儲存裝置及記憶體控制電路單元，可提升記憶體儲存裝置的解碼效率。

【0005】 本發明的一範例實施例提供一種解碼方法，其用於包括多個記憶胞的可複寫式非揮發性記憶體模組，所述解碼方法包括：從所述多個記憶胞中的多個第一記憶胞讀取第一資料；基於第一解碼條件對所述第一資料執行第一解碼操作；以及若所述第一解碼操作符合第一預設狀態，基於第二解碼條件對所述第一資料執行第二解碼操作，其中基於所述第二解碼條件定位所述第一資料中的錯誤位元的嚴謹度高於基於所述第一解碼條件定位所述第一資料中的所述錯誤位元的嚴謹度。

【0006】 在本發明的一範例實施例中，所述解碼方法更包括：若所述第一解碼操作符合第二預設狀態，基於第三解碼條件對所述第一資料執行第三解碼操作，其中基於所述第三解碼條件定位所述第一資料中的所述錯誤位元的嚴謹度低於基於所述第一解碼條件定位所述第一資料中的所述錯誤位元的所述嚴謹度。

【0007】 在本發明的一範例實施例中，所述的解碼方法更包括：

若所述第一解碼條件符合階段條件，計數所述第一解碼操作的迭代計數值；以及若所述迭代計數值符合計數條件，判定所述第一解碼操作符合所述第一預設狀態。

【0008】 在本發明的一範例實施例中，所述的解碼方法更包括：若所述第一解碼條件不符合所述階段條件且所述第一解碼操作所翻轉的位元之總數符合數目條件，判定所述第一解碼操作符合所述第二預設狀態。

【0009】 在本發明的一範例實施例中，所述的解碼方法更包括：從第一候選計數條件與第二候選計數條件中選擇所述計數條件，其中所述第一候選計數條件對應於第一計數值，所述第二候選計數條件對應於第二計數值，並且所述第一計數值不同於所述第二計數值。

【0010】 在本發明的一範例實施例中，所述的解碼方法更包括：從第一候選解碼條件與第二候選解碼條件中選擇所述第二解碼條件，其中基於所述第一候選解碼條件定位資料中的錯誤位元的嚴謹度高於基於所述第二候選解碼條件定位所述資料中的所述錯誤位元的嚴謹度。

【0011】 在本發明的一範例實施例中，所述的解碼方法更包括：對所述第一資料執行奇偶檢查操作以獲得所述第一資料的校驗子總合；若所述校驗子總合小於預設值，將所述第一資料中的位元的錯誤權重值從第一錯誤權重值減少為第二錯誤權重值；以及若所述第二錯誤權重值大於對應於所述第一解碼條件的翻轉門檻

值，在所述第一解碼操作中翻轉所述位元。

【0012】 本發明的另一範例實施例提供一種記憶體儲存裝置，其包括連接介面單元、可複寫式非揮發性記憶體模組及記憶體控制電路單元。所述連接介面單元用以耦接至主機系統。所述可複寫式非揮發性記憶體模組包括多個記憶胞。所述記憶體控制電路單元耦接至所述連接介面單元與所述可複寫式非揮發性記憶體模組，所述記憶體控制電路單元用以發送讀取指令序列，其中所述讀取指令序列指示從所述多個記憶胞中的多個第一記憶胞讀取第一資料，所述記憶體控制電路單元更用以基於第一解碼條件對所述第一資料執行第一解碼操作，若所述第一解碼操作符合第一預設狀態，所述記憶體控制電路單元更用以基於第二解碼條件對所述第一資料執行第二解碼操作，其中基於所述第二解碼條件定位所述第一資料中的錯誤位元的嚴謹度高於基於所述第一解碼條件定位所述第一資料中的所述錯誤位元的嚴謹度。

【0013】 在本發明的一範例實施例中，若所述第一解碼操作符合第二預設狀態，所述記憶體控制電路單元更用以基於第三解碼條件對所述第一資料執行第三解碼操作，其中基於所述第三解碼條件定位所述第一資料中的所述錯誤位元的嚴謹度低於基於所述第一解碼條件定位所述第一資料中的所述錯誤位元的所述嚴謹度。

【0014】 在本發明的一範例實施例中，若所述第一解碼條件符合階段條件，所述記憶體控制電路單元更用以計數所述第一解碼操作的迭代計數值，若所述迭代計數值符合計數條件，所述記憶體

控制電路單元判定所述第一解碼操作符合所述第一預設狀態。

【0015】 在本發明的一範例實施例中，若所述第一解碼條件不符合所述階段條件且所述第一解碼操作所翻轉的位元之總數符合數目條件，所述記憶體控制電路單元判定所述第一解碼操作符合所述第二預設狀態。

【0016】 在本發明的一範例實施例中，所述記憶體控制電路單元更用以從第一候選計數條件與第二候選計數條件中選擇所述計數條件，其中所述第一候選計數條件對應於第一計數值，所述第二候選計數條件對應於第二計數值，並且所述第一計數值不同於所述第二計數值。

【0017】 在本發明的一範例實施例中，所述記憶體控制電路單元更用以從第一候選解碼條件與第二候選解碼條件中選擇所述第二解碼條件，其中基於所述第一候選解碼條件定位資料中的錯誤位元的嚴謹度高於基於所述第二候選解碼條件定位所述資料中的所述錯誤位元的嚴謹度。

【0018】 在本發明的一範例實施例中，所述記憶體控制電路單元更用以對所述第一資料執行奇偶檢查操作以獲得所述第一資料的校驗子總合，若所述校驗子總合小於預設值，所述記憶體控制電路單元更用以將所述第一資料中的位元的錯誤權重值從第一錯誤權重值減少為第二錯誤權重值，若所述第二錯誤權重值大於對應於所述第一解碼條件的翻轉門檻值，所述記憶體控制電路單元更用以在所述第一解碼操作中翻轉所述位元。

【0019】 本發明的另一範例實施例提供一種記憶體控制電路單元，其用以控制包括多個記憶胞的可複寫式非揮發性記憶體模組，所述記憶體控制電路單元包括主機介面、記憶體介面、錯誤檢查與校正電路及記憶體管理電路。所述主機介面用以耦接至主機系統。所述記憶體介面用以耦接至所述可複寫式非揮發性記憶體模組。所述記憶體管理電路耦接至所述主機介面、所述記憶體介面及所述錯誤檢查與校正電路，所述記憶體管理電路用以發送讀取指令序列，其中所述讀取指令序列指示從所述多個記憶胞中的多個第一記憶胞讀取第一資料，所述錯誤檢查與校正電路用以基於第一解碼條件對所述第一資料執行第一解碼操作，若所述第一解碼操作符合第一預設狀態，所述錯誤檢查與校正電路更用以基於第二解碼條件對所述第一資料執行第二解碼操作，其中所述錯誤檢查與校正電路基於所述第二解碼條件定位所述第一資料中的錯誤位元的嚴謹度高於所述錯誤檢查與校正電路基於所述第一解碼條件定位所述第一資料中的所述錯誤位元的嚴謹度。

【0020】 在本發明的一範例實施例中，若所述第一解碼操作符合第二預設狀態，所述錯誤檢查與校正電路更用以基於第三解碼條件對所述第一資料執行第三解碼操作，其中所述錯誤檢查與校正電路基於所述第三解碼條件定位所述第一資料中的所述錯誤位元的嚴謹度低於所述錯誤檢查與校正電路基於所述第一解碼條件定位所述第一資料中的所述錯誤位元的所述嚴謹度。

【0021】 在本發明的一範例實施例中，若所述第一解碼條件符合

階段條件，所述記憶體管理電路更用以計數所述第一解碼操作的迭代計數值，若所述迭代計數值符合計數條件，所述記憶體管理電路判定所述第一解碼操作符合所述第一預設狀態。

【0022】 在本發明的一範例實施例中，若所述第一解碼條件不符合所述階段條件且所述第一解碼操作所翻轉的位元之總數符合數目條件，所述記憶體管理電路判定所述第一解碼操作符合所述第二預設狀態。

【0023】 在本發明的一範例實施例中，所述記憶體管理電路更用以從第一候選計數條件與第二候選計數條件中選擇所述計數條件，其中所述第一候選計數條件對應於第一計數值，所述第二候選計數條件對應於第二計數值，並且所述第一計數值不同於所述第二計數值。

【0024】 在本發明的一範例實施例中，所述記憶體管理電路更用以從第一候選解碼條件與第二候選解碼條件中選擇所述第二解碼條件，其中所述錯誤檢查與校正電路基於所述第一候選解碼條件定位資料中的錯誤位元的嚴謹度高於所述錯誤檢查與校正電路基於所述第二候選解碼條件定位所述資料中的所述錯誤位元的嚴謹度。

【0025】 在本發明的一範例實施例中，所述錯誤檢查與校正電路更用以對所述第一資料執行奇偶檢查操作以獲得所述第一資料的校驗子總合，若所述校驗子總合小於預設值，所述錯誤檢查與校正電路更用以將所述第一資料中的位元的錯誤權重值從第一錯誤

權重值減少為第二錯誤權重值，若所述第二錯誤權重值大於對應於所述第一解碼條件的翻轉門檻值，所述錯誤檢查與校正電路更用以在所述第一解碼操作中翻轉所述位元。

【0026】 基於上述，在第一解碼操作符合第一預設狀態之後，解碼演算法所採用的解碼條件會被更新為更加嚴謹地定位待解碼資料中的錯誤位元，從而提升解碼操作遭遇錯誤無法收斂情形之處理效率。

【0027】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0028】

圖 1 是根據本發明的一範例實施例所繪示的主機系統、記憶體儲存裝置及輸入/輸出(I/O)裝置的示意圖。

圖 2 是根據本發明的另一範例實施例所繪示的主機系統、記憶體儲存裝置及 I/O 裝置的示意圖。

圖 3 是根據本發明的另一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 4 是根據本發明的一範例實施例所繪示的記憶體儲存裝置的概要方塊圖。

圖 5 是根據本發明的一範例實施例所繪示的記憶體控制電路單元的概要方塊圖。

圖 6 是根據本發明的一範例實施例所繪示的奇偶檢查矩陣的示意圖。

圖 7 是根據本發明的一範例實施例所繪示的記憶胞的臨界電壓分佈的示意圖。

圖 8 是根據本發明的一範例實施例所繪示的在一個迭代解碼操作中切換階段的示意圖。

圖 9A 是根據本發明的一範例實施例所繪示的切換階段的示意圖。

圖 9B 是根據本發明的另一範例實施例所繪示的切換階段的示意圖。

圖 9C 是根據本發明的另一範例實施例所繪示的切換階段的示意圖。

圖 10 是根據本發明的一範例實施例所繪示的奇偶檢查操作的示意圖。

圖 11 是根據本發明的一範例實施例所繪示的解碼方法的流程圖。

圖 12 是根據本發明的另一範例實施例所繪示的解碼方法的流程圖。

【實施方式】

【0029】 一般而言，記憶體儲存裝置(亦稱，記憶體儲存系統)包括可複寫式非揮發性記憶體模組(rewritable non-volatile memory

module)與控制器(亦稱，控制電路)。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

【0030】 圖 1 是根據本發明的一範例實施例所繪示的主機系統、記憶體儲存裝置及輸入/輸出(I/O)裝置的示意圖。圖 2 是根據本發明的另一範例實施例所繪示的主機系統、記憶體儲存裝置及 I/O 裝置的示意圖。請參照圖 1 與圖 2，主機系統 11 一般包括處理器 111、隨機存取記憶體(random access memory, RAM)112、唯讀記憶體(read only memory, ROM)113 及資料傳輸介面 114。處理器 111、隨機存取記憶體 112、唯讀記憶體 113 及資料傳輸介面 114 皆耦接至系統匯流排(system bus)110。

【0031】 在本範例實施例中，主機系統 11 是透過資料傳輸介面 114 與記憶體儲存裝置 10 耦接。例如，主機系統 11 可經由資料傳輸介面 114 將資料儲存至記憶體儲存裝置 10 或從記憶體儲存裝置 10 中讀取資料。此外，主機系統 11 是透過系統匯流排 110 與 I/O 裝置 12 耦接。例如，主機系統 11 可經由系統匯流排 110 將輸出訊號傳送至 I/O 裝置 12 或從 I/O 裝置 12 接收輸入訊號。

【0032】 在本範例實施例中，處理器 111、隨機存取記憶體 112、唯讀記憶體 113 及資料傳輸介面 114 可設置在主機系統 11 的主機板 20 上。資料傳輸介面 114 的數目可以是一或多個。透過資料傳輸介面 114，主機板 20 可以經由有線或無線方式耦接至記憶體儲存裝置 10。記憶體儲存裝置 10 可例如是隨身碟 201、記憶卡 202、

固態硬碟(Solid State Drive, SSD)203 或無線記憶體儲存裝置 204。無線記憶體儲存裝置 204 可例如是近距離無線通訊(Near Field Communication, NFC)記憶體儲存裝置、無線傳真(WiFi)記憶體儲存裝置、藍牙(Bluetooth)記憶體儲存裝置或低功耗藍牙記憶體儲存裝置(例如，iBeacon)等以各式無線通訊技術為基礎的記憶體儲存裝置。此外，主機板 20 也可以透過系統匯流排 110 耦接至全球定位系統(Global Positioning System, GPS)模組 205、網路介面卡 206、無線傳輸裝置 207、鍵盤 208、螢幕 209、喇叭 210 等各式 I/O 裝置。例如，在一範例實施例中，主機板 20 可透過無線傳輸裝置 207 存取無線記憶體儲存裝置 204。

【0033】 在一範例實施例中，所提及的主機系統為可實質地與記憶體儲存裝置配合以儲存資料的任意系統。雖然在上述範例實施例中，主機系統是以電腦系統來作說明，然而，圖 3 是根據本發明的另一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。請參照圖 3，在另一範例實施例中，主機系統 31 也可以是數位相機、攝影機、通訊裝置、音訊播放器、視訊播放器或平板電腦等系統，而記憶體儲存裝置 30 可為其所使用的安全數位(Secure Digital, SD)卡 32、小型快閃(Compact Flash, CF)卡 33 或嵌入式儲存裝置 34 等各式非揮發性記憶體儲存裝置。嵌入式儲存裝置 34 包括嵌入式多媒體卡(embedded Multi Media Card, eMMC)341 及/或嵌入式多晶片封裝(embedded Multi Chip Package, eMCP)儲存裝置 342 等各類型將記憶體模組直接耦接於主機系統的基板上的嵌

入式儲存裝置。

【0034】圖 4 是根據本發明的一範例實施例所繪示的記憶體儲存裝置的概要方塊圖。請參照圖 4，記憶體儲存裝置 10 包括連接介面單元 402、記憶體控制電路單元 404 與可複寫式非揮發性記憶體模組 406。

【0035】在本範例實施例中，連接介面單元 402 是相容於序列先進附件(Serial Advanced Technology Attachment, SATA)標準。然而，必須瞭解的是，本發明不限於此，連接介面單元 402 亦可以是符合並列先進附件(Parallel Advanced Technology Attachment, PATA)標準、電氣和電子工程師協會(Institute of Electrical and Electronic Engineers, IEEE)1394 標準、高速周邊零件連接介面(Peripheral Component Interconnect Express, PCI Express)標準、通用序列匯流排(Universal Serial Bus, USB)標準、SD 介面標準、超高速一代(Ultra High Speed-I, UHS-I)介面標準、超高速二代(Ultra High Speed-II, UHS-II)介面標準、記憶棒(Memory Stick, MS)介面標準、MCP 介面標準、MMC 介面標準、eMMC 介面標準、通用快閃記憶體(Universal Flash Storage, UFS)介面標準、eMCP 介面標準、CF 介面標準、整合式驅動電子介面(Integrated Device Electronics, IDE)標準或其他適合的標準。連接介面單元 402 可與記憶體控制電路單元 404 封裝在一個晶片中，或者連接介面單元 402 是佈設於一包含記憶體控制電路單元 404 之晶片外。

【0036】記憶體控制電路單元 404 用以執行以硬體型式或軟體型

式實作的多個邏輯閘或控制指令並且根據主機系統 11 的指令在可複寫式非揮發性記憶體模組 406 中進行資料的寫入、讀取與抹除等運作。

【0037】 可複寫式非揮發性記憶體模組 406 是耦接至記憶體控制電路單元 404 並且用以儲存主機系統 11 所寫入之資料。可複寫式非揮發性記憶體模組 406 可以是單階記憶胞(Single Level Cell, SLC)NAND 型快閃記憶體模組(即，一個記憶胞中可儲存 1 個位元的快閃記憶體模組)、多階記憶胞(Multi Level Cell, MLC)NAND 型快閃記憶體模組(即，一個記憶胞中可儲存 2 個位元的快閃記憶體模組)、複數階記憶胞(Triple Level Cell, TLC)NAND 型快閃記憶體模組(即，一個記憶胞中可儲存 3 個位元的快閃記憶體模組)、其他快閃記憶體模組或其他具有相同特性的記憶體模組。

【0038】 在本範例實施例中，可複寫式非揮發性記憶體模組 406 的記憶胞會構成多個實體程式化單元，並且此些實體程式化單元會構成多個實體抹除單元。例如，同一條字元線上的記憶胞會組成一或多個實體程式化單元。若每一個記憶胞可儲存 2 個以上的位元，則同一條字元線上的實體程式化單元至少可被分類為下實體程式化單元與上實體程式化單元。例如，一記憶胞的最低有效位元(Least Significant Bit, LSB)是屬於下實體程式化單元，並且一記憶胞的最高有效位元(Most Significant Bit, MSB)是屬於上實體程式化單元。一般來說，在 MLC NAND 型快閃記憶體中，下實體程式化單元的寫入速度會大於上實體程式化單元的寫入速度，及/

或下實體程式化單元的可靠度是高於上實體程式化單元的可靠度。

【0039】 在本範例實施例中，實體程式化單元為程式化的最小單元。即，實體程式化單元為寫入資料的最小單元。例如，實體程式化單元為實體頁面(page)或是實體扇(sector)。若實體程式化單元為實體頁面，則此些實體程式化單元通常包括資料位元區與冗餘(redundancy)位元區。資料位元區包含多個實體扇，用以儲存使用者資料，而冗餘位元區用以儲存系統資料(例如，錯誤更正碼)。在本範例實施例中，資料位元區包含 32 個實體扇，且一個實體扇的大小為 512 位元組(byte, B)。然而，在其他範例實施例中，資料位元區中也可包含 8 個、16 個或數目更多或更少的實體扇，並且每一個實體扇的大小也可以是更大或更小。另一方面，實體抹除單元為抹除之最小單位。亦即，每一實體抹除單元含有最小數目之一併被抹除之記憶胞。例如，實體抹除單元為實體區塊(block)。

【0040】 在本範例實施例中，可複寫式非揮發性記憶體模組 406 中的每一個記憶胞是以電壓(以下亦稱為臨界電壓)的改變來儲存一或多個位元。具體來說，每一個記憶胞的控制閘極(control gate)與通道之間有一個電荷捕捉層。透過施予一寫入電壓至控制閘極，可以改變電荷捕捉層的電子量，進而改變記憶胞的臨界電壓。此改變臨界電壓的操作亦稱為“把資料寫入至記憶胞”或“程式化記憶胞”。隨著臨界電壓的改變，可複寫式非揮發性記憶體模組 406 中的每一個記憶胞具有多個儲存狀態。透過施予讀取電壓可以判

斷一個記憶胞是屬於哪一個儲存狀態，藉此取得此記憶胞所儲存的一或多個位元。

【0041】圖 5 是根據本發明的一範例實施例所繪示的記憶體控制電路單元的概要方塊圖。

【0042】請參照圖 5，記憶體控制電路單元 404 包括記憶體管理電路 502、主機介面 504、記憶體介面 506 及錯誤檢查與校正電路 508。

【0043】記憶體管理電路 502 用以控制記憶體控制電路單元 404 的整體運作。具體來說，記憶體管理電路 502 具有多個控制指令，並且在記憶體儲存裝置 10 運作時，這些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。以下說明記憶體管理電路 502 的操作時，等同於說明記憶體控制電路單元 404 的操作。

【0044】在本範例實施例中，記憶體管理電路 502 的控制指令是以韌體型式來實作。例如，記憶體管理電路 502 具有微處理器單元(未繪示)與唯讀記憶體(未繪示)，並且這些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 10 運作時，這些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

【0045】在另一範例實施例中，記憶體管理電路 502 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 406 的特定區域(例如，記憶體模組中專用於存放系統資料的系統區)中。此外，記憶體管理電路 502 具有微處理器單元(未繪示)、唯讀記憶體(未繪示)及隨機存取記憶體(未繪示)。特別是，此唯讀記憶體具有開機碼(boot code)，並且當記憶體控制電路單元 404 被致能時，微

處理器單元會先執行此開機碼來將儲存於可複寫式非揮發性記憶體模組 406 中之控制指令載入至記憶體管理電路 502 的隨機存取記憶體中。之後，微處理器單元會運轉此些控制指令以進行資料的寫入、讀取與抹除等運作。

【0046】 此外，在另一範例實施例中，記憶體管理電路 502 的控制指令亦可以一硬體型式來實作。例如，記憶體管理電路 502 包括微控制器、記憶胞管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路。記憶胞管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路是耦接至微控制器。記憶胞管理電路用以管理可複寫式非揮發性記憶體模組 406 的記憶胞或其群組。記憶體寫入電路用以對可複寫式非揮發性記憶體模組 406 下達寫入指令序列以將資料寫入至可複寫式非揮發性記憶體模組 406 中。記憶體讀取電路用以對可複寫式非揮發性記憶體模組 406 下達讀取指令序列以從可複寫式非揮發性記憶體模組 406 中讀取資料。記憶體抹除電路用以對可複寫式非揮發性記憶體模組 406 下達抹除指令序列以將資料從可複寫式非揮發性記憶體模組 406 中抹除。資料處理電路用以處理欲寫入至可複寫式非揮發性記憶體模組 406 的資料以及從可複寫式非揮發性記憶體模組 406 中讀取的資料。寫入指令序列、讀取指令序列及抹除指令序列可各別包括一或多個程式碼或指令碼並且用以指示可複寫式非揮發性記憶體模組 406 執行相對應的寫入、讀取及抹除等操作。在一範例實施例中，記憶體管理電路 502 還

可以下達其他類型的指令序列給可複寫式非揮發性記憶體模組 406 以指示執行相對應的操作。

【0047】 在本範例實施例中，記憶體管理電路 502 會配置多個邏輯單元以映射可複寫式非揮發性記憶體模組 406 中的實體抹除單元。其中一個邏輯單元可以是指一個邏輯位址、一個邏輯程式化單元、一個邏輯抹除單元或者由多個連續或不連續的邏輯位址組成。此外，一個邏輯單元可被映射至一或多個實體抹除單元。

【0048】 在本範例實施例中，記憶體管理電路 502 會將邏輯單元與實體抹除單元之間的映射關係(亦稱為邏輯-實體映射關係)記錄於至少一邏輯-實體映射表。當主機系統 11 欲從記憶體儲存裝置 10 讀取資料或寫入資料至記憶體儲存裝置 10 時，記憶體管理電路 502 可根據此邏輯-實體映射表來執行對於記憶體儲存裝置 10 的資料存取。

【0049】 主機介面 504 是耦接至記憶體管理電路 502 並且用以接收與識別主機系統 11 所傳送的指令與資料。也就是說，主機系統 11 所傳送的指令與資料會透過主機介面 504 來傳送至記憶體管理電路 502。在本範例實施例中，主機介面 504 是相容於 SATA 標準。然而，必須瞭解的是本發明不限於此，主機介面 504 亦可以是相容於 PATA 標準、IEEE 1394 標準、PCI Express 標準、USB 標準、SD 標準、UHS-I 標準、UHS-II 標準、MS 標準、MMC 標準、eMMC 標準、UFS 標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

【0050】 記憶體介面 506 是耦接至記憶體管理電路 502 並且用以

存取可複寫式非揮發性記憶體模組 406。也就是說，欲寫入至可複寫式非揮發性記憶體模組 406 的資料會經由記憶體介面 506 轉換為可複寫式非揮發性記憶體模組 406 所能接受的格式。具體來說，若記憶體管理電路 502 要存取可複寫式非揮發性記憶體模組 406，記憶體介面 506 會傳送對應的指令序列。例如，這些指令序列可包括指示寫入資料的寫入指令序列、指示讀取資料的讀取指令序列、指示抹除資料的抹除指令序列、以及用以指示各種記憶體操作(例如，改變讀取電壓準位或執行垃圾回收操作等等)的指令序列。這些指令序列例如是由記憶體管理電路 502 產生並且透過記憶體介面 506 傳送至可複寫式非揮發性記憶體模組 406。這些指令序列可包括一或多個訊號，或是在匯流排上的資料。此外，這些訊號或資料可包括指令碼或程式碼。例如，在讀取指令序列中，會包括讀取的辨識碼、記憶體位址等資訊。

【0051】 錯誤檢查與校正電路 508 是耦接至記憶體管理電路 502 並且用以執行錯誤檢查與校正操作以確保資料的正確性。具體來說，當記憶體管理電路 502 從主機系統 11 中接收到寫入指令時，錯誤檢查與校正電路 508 會為對應此寫入指令的資料產生對應的錯誤更正碼(error correcting code, ECC)及/或錯誤檢查碼(error detecting code, EDC)，並且記憶體管理電路 502 會將對應此寫入指令的資料與對應的錯誤更正碼及/或錯誤檢查碼寫入至可複寫式非揮發性記憶體模組 406 中。之後，當記憶體管理電路 502 從可複寫式非揮發性記憶體模組 406 中讀取資料時會同時讀取此資料

對應的錯誤更正碼及/或錯誤檢查碼，並且錯誤檢查與校正電路 508 會依據此錯誤更正碼及/或錯誤檢查碼對所讀取的資料執行錯誤檢查與校正操作。

【0052】 在一範例實施例中，記憶體控制電路單元 404 還包括緩衝記憶體 510 與電源管理電路 512。

【0053】 緩衝記憶體 510 是耦接至記憶體管理電路 502 並且用以暫存來自於主機系統 11 的資料與指令或來自於可複寫式非揮發性記憶體模組 406 的資料。電源管理電路 512 是耦接至記憶體管理電路 502 並且用以控制記憶體儲存裝置 10 的電源。

【0054】 在本範例實施例中，錯誤檢查與校正電路 508 支援低密度奇偶檢查(low-density parity-check, LDPC)碼。例如，錯誤檢查與校正電路 508 可利用低密度奇偶檢查碼來編碼與解碼。在低密度奇偶檢查碼中，是用一個檢查矩陣(亦稱為奇偶檢查矩陣)來定義有效的碼字。以下將奇偶檢查矩陣標記為矩陣 H ，並且一碼字標記為 V 。依照以下方程式(1)，若奇偶檢查矩陣 H 與碼字 V 的相乘是零向量，表示碼字 V 為有效碼字(valid codeword)。其中運算子 \otimes 表示模 2(mod 2)的矩陣相乘。換言之，矩陣 H 的零空間(null space)便包含了所有的有效碼字。然而，本發明並不限制碼字 V 的內容。例如，碼字 V 也可以包括用任意演算法所產生的錯誤更正碼或是錯誤檢查碼。

【0055】 $H \otimes V^T = 0 \dots (1)$

【0056】 其中矩陣 H 的維度是 k -乘- n (k -by- n)，碼字 V 的維度是 1 -

乘 $-n$ 。 k 與 n 為正整數。碼字 V 中包括了訊息位元與奇偶位元，即碼字 V 可以表示成 $[U P]$ ，其中向量 U 是由訊息位元所組成，而向量 P 是由奇偶位元所組成。向量 U 的維度是 1 -乘 $-(n-k)$ ，而向量 P 的維度是 1 -乘 $-k$ 。在一個碼字中，奇偶位元即是用來保護訊息位元並且可視為是對應於訊息位元產生的錯誤更正碼或錯誤檢查碼。其中，保護訊息位元例如是指維持訊息位元的正確性。例如，當從可複寫式非揮發性記憶體模組 406 中讀取一筆資料時，此資料中的奇偶位元即可用來更正相應的資料中可能存在的錯誤。

【0057】 在一範例實施例中，一個碼字中的訊息位元與奇偶位元統稱為資料位元。例如，碼字 V 中具有 n 個資料位元，其中訊息位元的長度為 $(n-k)$ 位元，並且奇偶位元的長度是 k 位元。因此，碼字 V 的碼率(code rate)為 $(n-k)/n$ 。

【0058】 一般來說，在使用低密度奇偶檢查碼來編碼時會使用一個產生矩陣(以下標記為 G)，使得對於任意的向量 U 都可滿足以下方程式(2)。其中產生矩陣 G 的維度是 $(n-k)$ -乘 $-n$ 。

$$\mathbf{【0059】} \quad U \otimes G = [U P] = V \dots (2)$$

【0060】 由方程式(2)所產生的碼字 V 為有效碼字。因此可將方程式(2)代入方程式(1)，藉此得到以下方程式(3)。

$$\mathbf{【0061】} \quad H \otimes G^T \otimes U^T = 0 \dots (3)$$

【0062】 由於向量 U 可以是任意的向量，因此以下方程式(4)必定會滿足。也就是說，在決定奇偶檢查矩陣 H 以後，對應的產生矩陣 G 也可被決定。

【0063】 $H \otimes G^T = 0 \dots (4)$

【0064】 在解碼一個碼字 V 時，會先對碼字 V 中的資料位元執行一個奇偶檢查操作，例如將奇偶檢查矩陣 H 與碼字 V 相乘以產生一個向量(以下標記為 S ，如以下方程式(5)所示)。若向量 S 是零向量(即，向量 S 中的每一個元素都是零)，則表示解碼成功並且可直接輸出碼字 V 。若向量 S 不是零向量(即，向量 S 中的至少一個元素不是零)，則表示碼字 V 中存在至少一個錯誤並且碼字 V 不是有效碼字。

【0065】 $H \otimes V^T = S \dots (5)$

【0066】 向量 S 的維度是 k -乘-1。向量 S 中的每一個元素亦稱為校驗子(syndrome)。若碼字 V 不是有效的碼字，錯誤檢查與校正電路 508 會執行一個解碼操作，以嘗試更正碼字 V 中的錯誤。

【0067】 圖 6 是根據本發明的一範例實施例所繪示的奇偶檢查矩陣的示意圖。

【0068】 請參照圖 6，奇偶檢查矩陣 600 的維度是 k -乘- n 。例如， k 為 8，並且 n 為 9。然而，本發明並不限制正整數 k 與 n 為多少。奇偶檢查矩陣 600 的每一列(row)亦代表了一限制(constraint)。以奇偶檢查矩陣 600 的第一列為例，若某一個碼字是有效碼字，則將此碼字中第 3、5、8 與第 9 個位元做模 2 的加法之後，會得到位元“0”。在此領域有通常知識者應能理解如何用奇偶檢查矩陣 600 來編碼，在此便不再贅述。此外，奇偶檢查矩陣 600 僅為一個範例矩陣，而非用以限制本發明。

【0069】 當記憶體管理電路 502 要將多個位元儲存至可複寫式非揮發性記憶體模組 406 時，錯誤檢查與校正電路 508 會對應於每 $(n-k)$ 個欲儲存之位元(即，訊息位元)產生 k 個奇偶位元。接下來，記憶體管理電路 502 會把這 n 個位元(即，資料位元)作為一個碼字寫入至可複寫式非揮發性記憶體模組 406。

【0070】 圖 7 是根據本發明的一範例實施例所繪示的記憶胞的臨界電壓分佈的示意圖。

【0071】 請參照圖 7，橫軸代表記憶胞的臨界電壓，而縱軸代表記憶胞個數。例如，圖 7 是表示一個實體程式化單元中各個記憶胞的臨界電壓分布狀況。假設狀態 710 對應於位元“1”並且狀態 720 對應於位元“0”，若某一個記憶胞的臨界電壓屬於狀態 710，此記憶胞所儲存的是位元“1”；相反地，若某一個記憶胞的臨界電壓屬於狀態 720 時，此記憶胞所儲存的是位元“0”。須注意的是，在本範例實施例中，臨界電壓分佈中的一個狀態對應至一個位元值(即，“0”或“1”)，並且記憶胞的臨界電壓分佈有兩種可能的狀態。然而，在其他範例實施例中，臨界電壓分佈中的每一個狀態也可以對應至多個位元值並且記憶胞的臨界電壓的分佈也可能有四種、八種或其他任意個狀態。此外，本發明也不限制每一個狀態所代表的位元。例如，在圖 7 的另一範例實施例中，狀態 710 也可以對應於位元“0”，而狀態 720 則對應於位元“1”。

【0072】 在本範例實施例中，當要從可複寫式非揮發性記憶體模組 406 讀取資料時，記憶體管理電路 502 會發送一讀取指令序列

至可複寫式非揮發性記憶體模組 406。此讀取指令序列用以指示可複寫式非揮發性記憶體模組 406 從多個記憶胞(以下亦稱為第一記憶胞)讀取資料(以下亦稱為第一資料)。在本範例實施例中，第一記憶胞是屬於同一個實體程式化單元。然而，在另一範例實施例中，第一記憶胞亦可以是屬於不同的實體程式化單元。根據此讀取指令序列，可複寫式非揮發性記憶體模組 406 可使用圖 7 中的讀取電壓 701 來讀取第一記憶胞。若第一記憶胞中的某一者的臨界電壓小於讀取電壓 701，則此記憶胞會被導通並且記憶體管理電路 502 會讀到位元“1”。相反地，若第一記憶胞中的某一者的臨界電壓大於讀取電壓 701，則此記憶胞不會被導通並且記憶體管理電路 502 會讀到位元“0”。

【0073】 在本範例實施例中，狀態 710 與狀態 720 之間包含一個重疊區域 730。重疊區域 730 的面積正相關於第一記憶胞中臨界電壓落於重疊區域 730 內的記憶胞之總數。重疊區域 730 表示在第一記憶胞中有一些記憶胞所儲存的應該是位元“1”(屬於狀態 710)，但其臨界電壓大於所施加的讀取電壓 701；或者，在第一記憶胞中有一些記憶胞所儲存的應該是位元“0”(屬於狀態 720)，但其臨界電壓小於所施加的讀取電壓 701。換言之，經由施加讀取電壓 701 所讀取的資料中，有部份的位元會有錯誤。

【0074】 一般來說，若第一記憶胞的使用時間很短(例如，資料在第一記憶胞中存放時間不長)及/或第一記憶胞的使用程度很低(例如，第一記憶胞的讀取計數、寫入計數及/或抹除計數不高)，重疊

區域 730 之面積通常很小，甚至可能不存在重疊區域 730(即，狀態 710 與 720 不重疊)。或者，若記憶體儲存裝置 10 才剛出廠，則重疊區域 730 通常不存在。若重疊區域 730 的面積很小，經由施加讀取電壓 701 而從第一記憶胞讀取到的資料中的錯誤位元往往較少。

【0075】 然而，隨著可複寫式非揮發性記憶體模組 406(或第一記憶胞)的使用時間及/或使用程度增加，重疊區域 730 的面積會逐漸加大。例如，若第一記憶胞的使用時間很長(例如，資料在第一記憶胞中存放時間很長)及/或第一記憶胞的使用程度很高(例如，第一記憶胞的讀取計數、寫入計數及/或抹除計數很高)，則重疊區域 730 之面積會變大(例如，狀態 710 與 720 會變更平坦及/或狀態 710 與 720 彼此更靠近)。若重疊區域 730 的面積很大，則經由施加讀取電壓 701 而從第一記憶胞讀取到的資料中的錯誤位元往往較多。換言之，重疊區域 730 的面積會正相關於從第一記憶胞讀取出來的資料中錯誤位元的發生機率。

【0076】 在本範例實施例中，在從可複寫式非揮發性記憶體模組 406 接收所讀取之第一資料之後，錯誤檢查與校正電路 508 會執行一奇偶檢查操作以驗證第一資料中是否存在錯誤。若判定第一資料中存在錯誤，則錯誤檢查與校正電路 508 會執行解碼操作來嘗試更正第一資料中的錯誤。

【0077】 在本範例實施例中，錯誤檢查與校正電路 508 是執行迭代(iteration)解碼操作。一個迭代解碼操作是用來解碼來自於可複

寫式非揮發性記憶體模組 406 的一個解碼單位。例如，一個解碼單位為一個碼字。在一個迭代解碼操作中，用於檢查資料之正確性的奇偶檢查操作與用於更正資料中的錯誤之解碼操作會重覆執行，直到成功的解碼或總迭代次數到達一預定次數為止。若總迭代次數到達此預定次數，表示對於此資料的整個迭代解碼操作失敗，並且錯誤檢查與校正電路 508 會停止解碼。此外，若經由奇偶檢查操作判定某一資料中不存在錯誤，則錯誤檢查與校正電路 508 會輸出此資料。

【0078】 在本範例實施例中，錯誤檢查與校正電路 508 可基於不同的解碼條件來對第一資料執行多個解碼操作。須注意的是，基於不同的解碼條件，錯誤檢查與校正電路 508 定位第一資料中錯誤位元所使用之嚴謹度(strict level)也會不同。例如，在某些情況下，錯誤檢查與校正電路 508 會基於定位錯誤位元之嚴謹度較高(即，較嚴格)的解碼條件來執行一迭代解碼操作中的至少一解碼操作。此外，在某些情況下，錯誤檢查與校正電路 508 會改為基於定位錯誤位元之嚴謹度較低(即，較寬鬆)的解碼條件來執行同一個迭代解碼操作中的至少一解碼操作。

【0079】 在本範例實施例中，定位錯誤位元之嚴謹度較高是指對於第一資料中的錯誤位元之判斷與篩選較為嚴格，從而第一資料中的一或多個位元較不容易被判定為是錯誤位元。相反的，定位錯誤位元之嚴謹度較低則是指對於第一資料中的錯誤位元之判斷與篩選較為寬鬆，從而第一資料中的一或多個位元較容易被判定

為是錯誤位元。換言之，基於定位錯誤位元之嚴謹度較低的解碼條件來對某一碼字執行解碼操作有較高的機率翻轉更多的位元，但是也增加翻轉到不需要翻轉之位元(即，誤翻)的機率；反之，基於定位錯誤位元之嚴謹度較高的解碼條件來對此碼字執行解碼操作則有較高的機率是翻轉較少的位元，但是也降低翻轉到不需要翻轉之位元的機率。須注意的是，在此提及的翻轉某一個位元是指改變此位元的位元值，例如將某一位元的位元值從“1”改變為“0”或從“0”改變為“1”。

【0080】 在本範例實施例中，錯誤檢查與校正電路 508 配置有多個階段(stage)，其中每一個階段對應於一個解碼條件。在對於第一資料的同一個迭代解碼操作中，錯誤檢查與校正電路 508 可在這些階段中切換。此外，在每一個階段中，錯誤檢查與校正電路 508 可執行一或多個解碼操作。

【0081】 圖 8 是根據本發明的一範例實施例所繪示的在一個迭代解碼操作中切換階段的示意圖。請參照圖 8，假設有階段 0~階段 15 供錯誤檢查與校正電路 508 使用，其中階段 0 是定位錯誤位元之嚴謹度最高(即，最嚴謹)的階段，而階段 15 是定位錯誤位元之嚴謹度最低(即，最寬鬆)的階段。在階段 0~階段 15 中，定位錯誤位元之嚴謹度逐漸下降。例如，階段 0 的嚴謹度高於階段 1 的嚴謹度，階段 1 的嚴謹度高於階段 2 的嚴謹度，並且階段 14 的嚴謹度高於階段 15 的嚴謹度。

【0082】 在本範例實施例中，若錯誤檢查與校正電路 508 當前是

操作於階段 0(即，基於階段 0 的解碼條件來執行解碼操作)且判定需要切換解碼條件，錯誤檢查與校正電路 508 會切換至階段 1。若錯誤檢查與校正電路 508 當前是操作於階段 1(即，基於階段 1 的解碼條件來執行解碼操作)且判定需要切換解碼條件，錯誤檢查與校正電路 508 會切換至階段 2。依此類推，錯誤檢查與校正電路 508 可在對於第一資料的同一個迭代解碼操作中從階段 0 逐一切換至階段 15，直到某一個解碼操作成功或總迭代次數達到預定次數為止。須注意的是，在從階段 0 逐一切換至階段 15 的過程中，錯誤檢查與校正電路 508 對於待解碼資料中錯誤位元的定位越來越寬鬆，從而在每一個解碼操作中被翻轉的錯誤位元之總數可能會逐漸增加。但是，這也代表著在每一個解碼操作中被「誤翻」的位元之總數也可能逐漸增加。

【0083】 在某些情況下，若在解碼操作中被「誤翻」的位元過多，可能會導致連續執行的多個解碼操作維持在錯誤發散的狀態。在錯誤發散的狀態下，即便執行更多的解碼操作，資料中錯誤位元之總數可能不會減少或者會處於上下震盪的狀況，從而最終導致整個迭代解碼操作失敗(例如，總迭代次數達到預定次數)。因此，在本範例實施例中，錯誤檢查與校正電路 508 可從階段 15 回到階段 0~階段 14 中的某一個階段。藉由重新提高解碼操作中定位錯誤位元的嚴謹度，所執行的解碼操作有很高的機率可脫離錯誤發散之狀態，提高後續的解碼成功率。此外，相較於一般使用雜訊干擾(noising)(即，隨機地改變待解碼資料之一或多個位元值)或類似

方式以嘗試脫離錯誤發散之狀態，藉由重新提高解碼操作中定位錯誤位元的嚴謹度也有更高的機率翻轉到真正的錯誤位元。

【0084】 回到圖 8，若錯誤檢查與校正電路 508 當前是操作於階段 15(即，基於階段 15 的解碼條件來執行解碼操作)且判定需要切換解碼條件，錯誤檢查與校正電路 508 會切換回至階段 0~階段 14 中的某一個階段，從而在下一次執行的解碼操作中提高定位錯誤位元的嚴謹度。在從階段 15 切換回嚴謹度較高的階段之後，錯誤檢查與校正電路 508 可繼續切換至階段 15，除非其間執行的某一個解碼操作成功或總迭代次數達到預定次數為止。此外，在同一個迭代解碼操作中，若錯誤檢查與校正電路 508 多次地從階段 15 切換回先前的階段，每一次切換回去的階段可能不同。以圖 8 為例，若前一次從階段 15 切換為先前的階段是回到階段 7(圖 8 中標記為“1”)，下一次從階段 15 切換為先前的階段可能是回到階段 9(圖 8 中標記為“2”)。

【0085】 須注意的是，圖 8 中的階段 0~階段 15 僅是一個範例。在其他未提及的範例實施例中，錯誤檢查與校正電路 508 可操作之階段之總數亦可以是更多或更少。此外，錯誤檢查與校正電路 508 亦可以在一次的切換中跳過一或多個階段，例如，從階段 0 直接切換到階段 2 等等。

【0086】 具體來看，假設錯誤檢查與校正電路 508 當前是基於某一解碼條件(以下亦稱為第一解碼條件)對第一資料執行某一解碼操作(以下亦稱為第一解碼操作)。若第一解碼操作失敗，記憶體管

理電路 502 會判斷第一解碼操作是否符合一預設狀態(以下亦稱為第一預設狀態)。若第一解碼操作符合第一預設狀態，錯誤檢查與校正電路 508 會基於另一解碼條件(以下亦稱為第二解碼條件)對第一資料執行另一解碼操作(以下亦稱為第二解碼操作)，其中基於第二解碼條件定位第一資料中的錯誤位元的嚴謹度高於基於第一解碼條件定位第一資料中的錯誤位元的嚴謹度。

【0087】 此外，記憶體管理電路 502 還會判斷第一解碼操作是否符合另一預設狀態(以下亦稱為第二預設狀態)。若第一解碼操作符合第二預設狀態，錯誤檢查與校正電路 508 會基於另一解碼條件(以下亦稱為第三解碼條件)對第一資料執行另一解碼操作(以下亦稱為第三解碼操作)，其中基於第三解碼條件定位第一資料中的錯誤位元的嚴謹度低於基於第一解碼條件定位第一資料中的錯誤位元的嚴謹度。若第一解碼操作不符合第一預設狀態也不符合第二預設狀態，錯誤檢查與校正電路 508 會再次基於第一解碼條件對第一資料執行第一解碼操作。

【0088】 圖 9A 是根據本發明的一範例實施例所繪示的切換階段的示意圖。請參照圖 9A，假設錯誤檢查與校正電路 508 當前是操作於階段 n(即，第一解碼條件)。若操作於階段 n 的第一解碼操作失敗且尚未達到整個迭代解碼操作的停止條件(例如，總迭代次數達到預定次數)，記憶體管理電路 502 會判斷第一解碼條件是否符合一階段條件。例如，記憶體管理電路 502 會判斷階段 n 是否是定位錯誤位元之嚴謹度最低的階段(例如，圖 8 中的階段 15)。若

階段 n 不是定位錯誤位元之嚴謹度最低的階段(例如，階段 n 可能是圖 8 中的階段 0~階段 14 中的任一者)，記憶體管理電路 502 會判定第一解碼條件不符合階段條件。此外，記憶體管理電路 502 會判斷第一解碼操作所翻轉的位元之總數是否符合一數目條件。例如，若第一解碼操作所翻轉的位元之總數為零(即，沒有任何一個位元在第一解碼操作中被翻轉)，記憶體管理電路 502 會判定第一解碼操作所翻轉的位元之總數符合數目條件。反之，若第一解碼操作所翻轉的位元之總數不為零(即，至少一個位元在第一解碼操作中被翻轉)，則記憶體管理電路 502 會判定第一解碼操作所翻轉的位元之總數不符合數目條件。若第一解碼條件不符合階段條件且第一解碼操作所翻轉的位元之總數符合數目條件，錯誤檢查與校正電路 508 會切換到操作於階段 $n+1$ (即，第三解碼條件)。

【0089】 換言之，在本範例實施例中，由於前一次執行的解碼操作(即，第一解碼操作)中沒有翻轉任何位元且還有嚴謹度更低的解碼條件可以使用，故錯誤檢查與校正電路 508 會在下一次的解碼操作(即，第三解碼操作)中降低定位錯誤位元之嚴謹度，從而提高待解碼資料中至少一個位元被翻轉的機率。

【0090】 圖 9B 是根據本發明的另一範例實施例所繪示的切換階段的示意圖。請參照圖 9B，假設錯誤檢查與校正電路 508 當前是操作於階段 m (即，第一解碼條件)。若操作於階段 m 的第一解碼操作失敗且尚未達到整個迭代解碼操作的停止條件，記憶體管理電路 502 會判斷第一解碼條件是否符合階段條件。由於階段 m 已

經是定位錯誤位元之嚴謹度最低的階段(例如，圖 8 中的階段 15)，記憶體管理電路 502 會判定第一解碼條件符合階段條件。在判定第一解碼條件符合階段條件之後，記憶體管理電路 502 會計數第一解碼操作的一迭代計數值，其中此迭代計數值表示操作於階段 m 的第一解碼操作已經反覆(iteratively)執行了幾次。然後，記憶體管理電路 502 會判斷迭代計數值是否符合一計數條件。若迭代計數值不符合計數條件，錯誤檢查與校正電路 508 會繼續執行操作於階段 m 的第一解碼操作。若迭代計數值符合計數條件，例如，迭代計數值達到 10 次，錯誤檢查與校正電路 508 會切換回定位錯誤位元之嚴謹度較高的階段 p (即，第二解碼條件)。

【0091】 換言之，在本範例實施例中，操作於階段 m 的第一解碼操作已經反覆執行過很多次(例如，10 次)且仍然無法成功地解碼第一資料，表示有很高的機率是重覆翻轉到太多不需要翻轉的位元。因此，錯誤檢查與校正電路 508 會在下一次的解碼操作(即，第二解碼操作)中提高定位錯誤位元之嚴謹度，從而減少部分位元被誤翻的機率。此外，在操作於階段 p 之後，錯誤檢查與校正電路 508 可接續被操作於階段 $p+1$ 等等，如圖 9A 的範例實施例，在此便不贅述。

【0092】 圖 9C 是根據本發明的另一範例實施例所繪示的切換階段的示意圖。請參照圖 9C，接續於圖 9B 的範例實施例，若錯誤檢查與校正電路 508 再次被操作於階段 m 、當前操作於階段 m 的解碼操作(即，第一解碼操作)失敗且尚未達到整個迭代解碼操作的

停止條件，記憶體管理電路 502 會再次判定第一解碼操作符合階段條件並計數第一解碼操作的迭代計數值。例如，此迭代計數值表示從階段 p 再次回到階段 m 之後，操作於階段 m 之第一解碼操作總共執行了幾次。然後，記憶體管理電路 502 會判斷迭代計數值是否符合一計數條件。例如，記憶體管理電路 502 會判斷對應於此次操作於階段 m 之第一解碼操作的迭代計數值是否等於 7。若迭代計數值不符合計數條件(例如，迭代計數值小於 7)，錯誤檢查與校正電路 508 會重複執行操作於階段 m 的第一解碼操作。若迭代計數值符合計數條件，例如，迭代計數值達到 7，錯誤檢查與校正電路 508 會切換回定位錯誤位元之嚴謹度較高的階段 q (即，新的第二解碼條件)。在操作於階段 q 之後，錯誤檢查與校正電路 508 可接續被操作於階段 $q+1$ 等等，如圖 9A 的範例實施例，在此便不贅述。

【0093】 須注意的是，在圖 9B 與圖 9C 的一範例實施例中，用於決定是要回到先前階段 p (或 q)或持續維持在階段 m 的計數條件不同。例如，在對於第一資料的同一迭代解碼操作中，記憶體管理電路 502 可以從多個候選計數條件中選擇對應於不同計數值的計數條件，以作為判斷是要回到先前階段之依據。例如，在圖 9B 的一範例實施例中，記憶體管理電路 502 可以從多個候選計數條件中選擇一個候選計數條件(以下亦稱為第一候選計數條件)作為當前使用的計數條件，其中第一候選計數條件對應於第一計數值(例如，10)。然後，在圖 9C 的一範例實施例中，記憶體管理電路 502

改為從此些候選計數條件中選擇另一個候選計數條件(以下亦稱為第二候選計數條件)作為當前使用的計數條件，其中第二候選計數條件對應於第二計數值(例如，7)。藉由減少依序使用之計數條件的計數值，可提高整個迭代解碼操作的執行效率。然而，在另一範例實施例中，在對於第一資料的同一迭代解碼操作中，所使用的計數條件也可以是不變的。

【0094】 在圖 9B 與圖 9C 的一範例實施例中，階段 p 與階段 q 也不同(即，p 不等於 q)，其中階段 p 對於定位錯誤位元之嚴謹度高於階段 q 對於定位錯誤位元之嚴謹度。例如，在對於第一資料的同一迭代解碼操作中，記憶體管理電路 502 可從多個候選解碼條件中選擇適當的解碼條件作為第二解碼條件。例如，在圖 9B 的一範例實施例中，記憶體管理電路 502 可以從多個候選解碼條件中選擇一個候選解碼條件(以下亦稱為第一候選解碼條件)作為即將使用的第二解碼條件，其對應於階段 p。然後，在圖 9C 的一範例實施例中，記憶體管理電路 502 改為從此些候選解碼條件中選擇另一個候選解碼條件(以下亦稱為第二候選解碼條件)作為即將使用的第二解碼條件，其對應於階段 q。藉由將第二解碼條件從階段 p 改變為階段 q，亦可提高整個迭代解碼操作的執行效率。然而，在另一範例實施例中，在對於第一資料的同一迭代解碼操作中，錯誤檢查與校正電路 508 也可以是始終從階段 m 切換到同一個階段(例如階段 p 或階段 q)，而非不同的階段。

【0095】 圖 10 是根據本發明的一範例實施例所繪示的奇偶檢查操

作的示意圖。請參照圖 10，假設從第一記憶胞中讀取的第一資料包含碼字 1001，則在奇偶檢查操作中，根據方程式(5)，奇偶檢查矩陣 1000 會與碼字 1001 相乘並且獲得校驗向量 1002(即，向量 S)。其中，碼字 1001 中的每一個位元是對應到校驗向量 1002 中的至少一個元素(即，校驗子)。舉例來說，碼字 1001 中的位元 V_0 (對應至奇偶檢查矩陣 1000 中的第一行)是對應到校驗子 S_1 、 S_4 及 S_7 ；位元 V_1 (對應至奇偶檢查矩陣 1000 中的第二行)是對應到校驗子 S_2 、 S_3 及 S_6 ，以此類推。若位元 V_0 是錯誤位元，則校驗子 S_1 、 S_4 及 S_7 的至少其中之一可能會是“1”。若位元 V_1 是錯誤位元，則校驗子 S_2 、 S_3 及 S_6 的至少其中之一可能會是“1”，以此類推。換言之，若校驗子 $S_0 \sim S_7$ 皆是“0”，表示碼字 1001 中可能沒有錯誤，因此錯誤檢查與校正電路 508 可直接輸出碼字 1001。然而，若碼字 801 中具有錯誤，則校驗子 $S_0 \sim S_7$ 的至少其中之一可能會是“1”，並且錯誤檢查與校正電路 508 會對碼字 1001 執行解碼操作。

【0096】 在本範例實施例中，錯誤檢查與校正電路 508 是使用位元翻轉(Bit-Flipping)演算法來執行解碼操作，因此錯誤檢查與校正電路 508 是基於一個翻轉門檻值來識別第一資料中需要被翻轉之位元(即，錯誤位元)，其中每一個階段(或解碼條件)是對應於一個翻轉門檻值。例如，在圖 8 的一範例實施例中，階段 0 所對應的翻轉門檻值最大，階段 15 所對應的翻轉門檻值最小，並且階段 0 至階段 15 之翻轉門檻值逐漸降低。然而，在另一範例實施例中，錯誤檢查與校正電路 508 亦可以是使用最小-總合(Min-Sum)演算

法或總和-乘積(Sum-Product)演算法等解碼演算法來執行解碼操作。

【0097】 在本範例實施例中，錯誤檢查與校正電路 508 會根據奇偶檢查矩陣 1000 與校驗向量 1002 來計算碼字 1001 中每一個位元的錯誤權重。例如，錯誤檢查與校正電路 508 會將對應至碼字 1001 中同一個位元的校驗子相加以取得此位元的錯誤權重。例如， $E_0 \sim E_8$ 分別用來表示位元 $V_0 \sim V_8$ 的錯誤權重，其中位元 V_0 的錯誤權重 E_0 等於校驗子 S_1 、 S_4 及 S_7 的相加；位元 V_1 的錯誤權重 E_1 等於校驗子 S_2 、 S_3 及 S_6 的相加，以此類推。須注意的是，在此對校驗子 $S_0 \sim S_7$ 所做的加法是一般的加法，而不是模 2 的加法。例如，錯誤檢查與校正電路 508 可以透過以下方程式(6)來取得碼字 1001 中每一個位元的錯誤權重，其中向量 f 中的每一個元素即可用來表示碼字中每一個位元的錯誤權重。

$$\mathbf{f} = \mathbf{S}^T \times \mathbf{H} \dots (6)$$

【0099】 在獲得錯誤權重之後，錯誤檢查與校正電路 508 會翻轉碼字 1001 中錯誤權重大於所使用之翻轉門檻值的全部或至少一部分位元。因此，藉由切換階段(或解碼條件)，錯誤檢查與校正電路 508 用來識別錯誤位元之翻轉門檻值也會被調整，從而錯誤檢查與校正電路 508 在某一解碼操作中定位錯誤位元是嚴謹還是寬鬆亦可被決定。

【0100】 在一範例實施例中，錯誤檢查與校正電路 508 是透過以下方程式(7)來定義第一資料中每一個位元的錯誤權重，其中方程

式(7)亦稱為成本函式(cost function)。

$$\text{【0101】 } EW_i = \alpha A_i + \beta B_i \dots (7)$$

【0102】 在方程式(7)中， EW_i 表示第一資料中第 i 個位元(即，位元 V_i)的錯誤權重， A_i 等於圖 10 的範例實施例中的 E_i ，而 B_i 的值則對應於位元 V_i 之當前值是否等於其初始值而設定。例如，假設位元 V_i 的初始值是“1”，在經過至少一次的解碼操作之後，若位元 V_i 被改變為“0”，則 B_i 的值會被設為“1”，以表示位元 V_i 之當前值與其初始值不同；反之，在經過至少一次的解碼操作之後，若位元 V_i 仍然是“1”，則 B_i 的值會被設為“0”，以表示位元 V_i 之當前值等於其初始值。此外， α 與 β 皆為常數。相較於直接以 E_i 作為位元 V_i 的錯誤權重，方程式(7)使用更多的參數來調節位元 V_i 的錯誤權重 EW_i 。在某些情況下，錯誤權重 EW_i 相較於錯誤權重 E_i 對於錯誤位元之定位更加的精確。

【0103】 在一範例實施例中，在獲得第一資料的校驗向量之後，錯誤檢查與校正電路 508 會獲得第一資料的校驗子總合。以圖 10 為例，錯誤檢查與校正電路 508 會累加校驗子 $S_0 \sim S_7$ 以獲得對應於碼字 1001 的校驗子總合。例如，若校驗子 $S_0 \sim S_7$ 中有 k 個“1”，則碼字 1001 的校驗子總合即為 k 。錯誤檢查與校正電路 508 會判斷此校驗子總合是否小於一預設值。若此校驗子總合小於預設值，錯誤檢查與校正電路 508 會將第一資料中各位元的錯誤權重值減少，例如從第一錯誤權重值減少為第二錯誤權重值。在減少第一資料中各位元的錯誤權重值之後，下一個解碼操作可被執行。例

如，在下一個解碼操作(例如，第一解碼操作)中，若某一個位元之減少後的錯誤權重值(即，第二錯誤權重值)大於對應於所使用之第一解碼條件的翻轉門檻值，錯誤檢查與校正電路 508 會在此第一解碼操作中翻轉此位元。然而，若所統計之校驗子總合不小於預設值，錯誤檢查與校正電路 508 不會主動減少第一資料中各位元的錯誤權重值。

【0104】 在一範例實施例中，若判定第一資料之校驗子總合小於預設值，錯誤檢查與校正電路 508 會改為使用以下方程式(8)來計算第一資料中各位元的錯誤權重。相較於使用方程式(7)，使用方程式(8)可以減少計算出來的錯誤權重的值。

$$\text{【0105】 } EW_i = \alpha A_i \dots (8)$$

【0106】 須注意的是，雖然上述範例實施例皆是以位元翻轉演算法作為範例，但是在其他未提及的實施例中，錯誤檢查與校正電路 508 亦可以是使用最小-總合演算法或總和-乘積演算法等解碼演算法來執行解碼操作。所屬技術領域具有通常知識者應當知曉需要藉由調整哪些參數來調整各種解碼演算法中用於定位錯誤位元之嚴謹度，在此便不贅述。

【0107】 圖 11 是根據本發明的一範例實施例所繪示的解碼方法的流程圖。請參照圖 11，在步驟 S1101 中，從可複寫式非揮發性記憶體模組的多個第一記憶胞讀取第一資料。在步驟 S1102 中，基於第一解碼條件對第一資料執行第一解碼操作。須注意的是，本發明並不限制此第一解碼操作是在讀取第一資料之後執行的第幾

次解碼操作，只要屬於對於第一資料的同一個迭代解碼操作即可。在步驟 S1103 中，判斷第一解碼操作是否符合第一預設狀態。若第一解碼操作符合第一預設狀態，在步驟 S1104 中，基於第二解碼條件對第一資料執行第二解碼操作，其中基於第二解碼條件定位第一資料中的錯誤位元之嚴謹度高於基於第一解碼條件定位第一資料中的錯誤位元之嚴謹度。若第一解碼操作不符合第一預設狀態，在步驟 S1105 中，判斷第一解碼操作是否符合第二預設狀態。若第一解碼操作符合第二預設狀態，在步驟 S1106 中，基於第三解碼條件對第一資料執行第三解碼操作，其中基於第三解碼條件定位第一資料中的錯誤位元之嚴謹度低於基於第一解碼條件定位第一資料中的錯誤位元之嚴謹度。若第一解碼操作不符合第一預設狀態也不符合第二預設狀態，在步驟 S1105 之後，步驟 S1102 可被重複執行。須注意的是，在圖 11 的解碼方法中，只要達到整個迭代解碼操作的停止條件(例如，解碼成功或總迭代次數達到預定次數)，則整個迭代解碼操作就會停止。

【0108】 圖 12 是根據本發明的另一範例實施例所繪示的解碼方法的流程圖。請參照圖 12，在步驟 S1201 中，從可複寫式非揮發性記憶體模組的多個第一記憶胞讀取第一資料。在步驟 S1202 中，對第一資料執行奇偶檢查操作以獲得第一資料的校驗子總合。在步驟 S1203 中，判斷校驗子總合是否小於預設值。若校驗子總合小於預設值，在步驟 S1204 中，將第一資料中各位元的錯誤權重值從第一錯誤權重值減少為第二錯誤權重值。在步驟 S1205 中，

基於一解碼條件對第一資料執行解碼操作。例如，此時的解碼條件為第一解碼條件。此外，若校驗子總合不小於預設值，則在步驟 S1203 之後也進入步驟 S1205。在步驟 S1206 中，判斷解碼操作是否符合第一預設狀態。若解碼操作符合第一預設狀態，在步驟 S1207 中，將解碼條件更新為第二解碼條件，其中基於第二解碼條件定位第一資料中的錯誤位元之嚴謹度高於基於第一解碼條件定位第一資料中的錯誤位元之嚴謹度。若解碼操作不符合第一預設狀態，在步驟 S1208 中，判斷解碼操作是否符合第二預設狀態。若解碼操作符合第二預設狀態，在步驟 S1209 中，將解碼條件更新為第三解碼條件，其中基於第三解碼條件定位第一資料中的錯誤位元之嚴謹度低於基於第一解碼條件定位第一資料中的錯誤位元之嚴謹度。若解碼操作不符合第一預設狀態也不符合第二預設狀態，在步驟 S1208 之後，步驟 S1202 可被重複執行。此外，在步驟 S1207 與 S1209 之後，步驟 S1202 亦可被重複執行。須注意的是，在圖 12 的解碼方法中，只要達到整個迭代解碼操作的停止條件(例如，解碼成功或總迭代次數達到預定次數)，則整個迭代解碼操作就會停止。

【0109】 然而，圖 11 與圖 12 中各步驟已詳細說明如上，在此便不再贅述。值得注意的是，圖 11 與圖 12 中各步驟可以實作為多個程式碼或是電路，本發明不加以限制。此外，圖 11 與圖 12 的方法可以搭配以上範例實施例使用，也可以單獨使用，本發明不加以限制。

【0110】 綜上所述，本發明可在迭代解碼操作中彈性地調整解碼操作定位錯誤位元的嚴謹度。此外，透過所設定的切換規則，記憶體儲存裝置的解碼效率可被提升。

【0111】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0112】

- 10：記憶體儲存裝置
- 11：主機系統
- 110：系統匯流排
- 111：處理器
- 112：隨機存取記憶體
- 113：唯讀記憶體
- 114：資料傳輸介面
- 12：輸入/輸出(I/O)裝置
- 20：主機板
- 201：隨身碟
- 202：記憶卡
- 203：固態硬碟

- 204：無線記憶體儲存裝置
- 205：全球定位系統模組
- 206：網路介面卡
- 207：無線傳輸裝置
- 208：鍵盤
- 209：螢幕
- 210：喇叭
- 32：SD 卡
- 33：CF 卡
- 34：嵌入式儲存裝置
- 341：嵌入式多媒體卡
- 342：嵌入式多晶片封裝儲存裝置
- 402：連接介面單元
- 404：記憶體控制電路單元
- 406：可複寫式非揮發性記憶體模組
- 502：記憶體管理電路
- 504：主機介面
- 506：記憶體介面
- 508：錯誤檢查與校正電路
- 510：緩衝記憶體
- 512：電源管理電路
- 600、1000：奇偶檢查矩陣

710、720：狀態

701：讀取電壓

730：重疊區域

1001：碼字

1002：校驗向量

S1101：步驟(從可複寫式非揮發性記憶體模組的多個第一記憶胞讀取第一資料)

S1102：步驟(基於第一解碼條件對第一資料執行第一解碼操)

S1103：步驟(判斷第一解碼操作是否符合第一預設狀態)

S1104：步驟(基於第二解碼條件對第一資料執行第二解碼操作)

S1105：步驟(判斷第一解碼操作是否符合第二預設狀態)

S1106：步驟(基於第三解碼條件對第一資料執行第三解碼操作)

S1201：步驟(從可複寫式非揮發性記憶體模組的多個第一記憶胞讀取第一資料)

S1202：步驟(對第一資料執行奇偶檢查操作以獲得第一資料的校驗子總合)

S1203：步驟(判斷校驗子總合是否小於預設值)

S1204：步驟(將第一資料中各位元的錯誤權重值從第一錯誤權重值減少為第二錯誤權重值)

S1205：步驟(基於一解碼條件對第一資料執行解碼操作)

S1206：步驟(判斷解碼操作是否符合第一預設狀態)

S1207：步驟(將解碼條件更新為第二解碼條件)

**公告本**

申請日: 105/08/12

【發明摘要】IPC分類: **G11C 29/42** (2006.01)
G11C 8/10 (2006.01)**【中文發明名稱】**

解碼方法、記憶體儲存裝置及記憶體控制電路單元

【英文發明名稱】DECODING METHOD, MEMORY STORAGE DEVICE AND
MEMORY CONTROL CIRCUIT UNIT

【中文】一種解碼方法、記憶體儲存裝置及記憶體控制電路單元。此解碼方法包括：從可複寫式非揮發性記憶體模組的多個第一記憶胞讀取第一資料；基於第一解碼條件對所述第一資料執行第一解碼操作；以及若所述第一解碼操作符合第一預設狀態，基於第二解碼條件對所述第一資料執行第二解碼操作，其中基於所述第二解碼條件定位所述第一資料中的錯誤位元之嚴謹度高於基於所述第一解碼條件定位所述第一資料中的所述錯誤位元之嚴謹度。藉此，可提升記憶體儲存裝置的解碼效率。

【英文】 A decoding method, a memory storage device and a memory control circuit unit are provided. The method includes: reading first data from a plurality of first memory cells of a rewritable non-volatile memory module; performing a first decoding operation on the first data based on a first decoding condition; and performing a second decoding operation on the first data based on a second

decoding condition if the first decoding operation conforms to a first default status, where a strict level of locating an error bit in the first data based on the second decoding condition is higher than a strict level of locating the error bit in the first data based on the first decoding condition. Therefore, a decoding efficiency of a memory storage device can be improved.

【指定代表圖】圖 11。

【代表圖之符號簡單說明】

S1101：步驟(從可複寫式非揮發性記憶體模組的多個第一記憶胞讀取第一資料)

S1102：步驟(基於第一解碼條件對第一資料執行第一解碼操作)

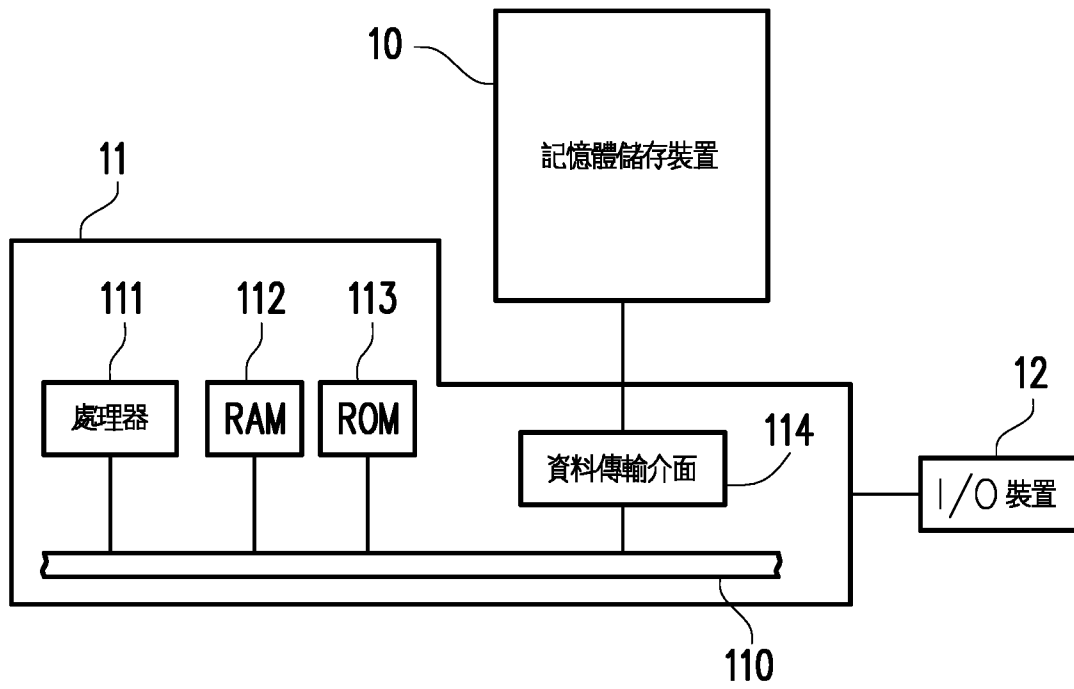
S1103：步驟(判斷第一解碼操作是否符合第一預設狀態)

S1104：步驟(基於第二解碼條件對第一資料執行第二解碼操作)

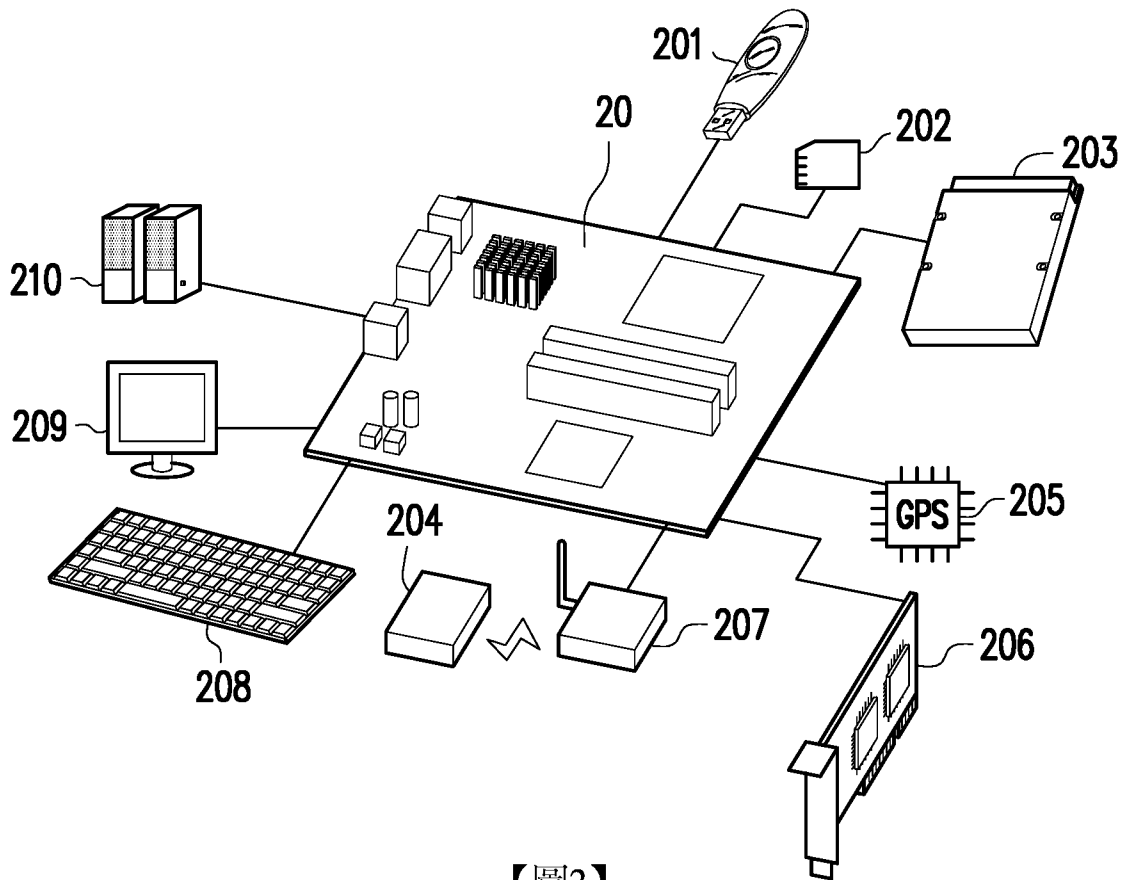
S1105：步驟(判斷第一解碼操作是否符合第二預設狀態)

S1106：步驟(基於第三解碼條件對第一資料執行第三解碼操作)

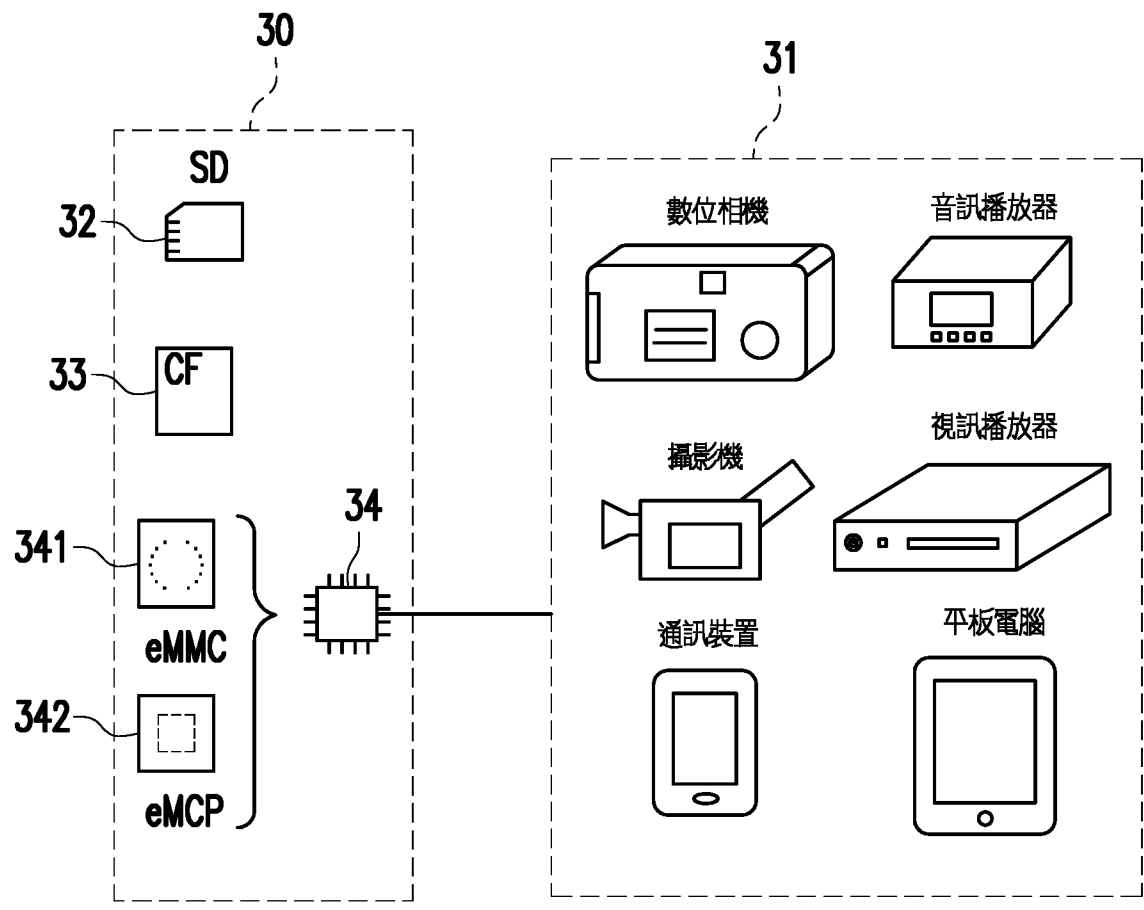
【發明圖式】



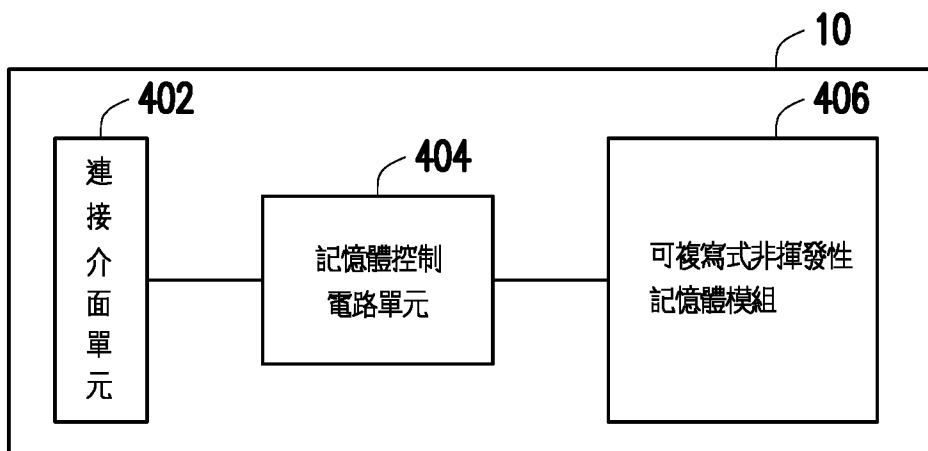
【圖1】



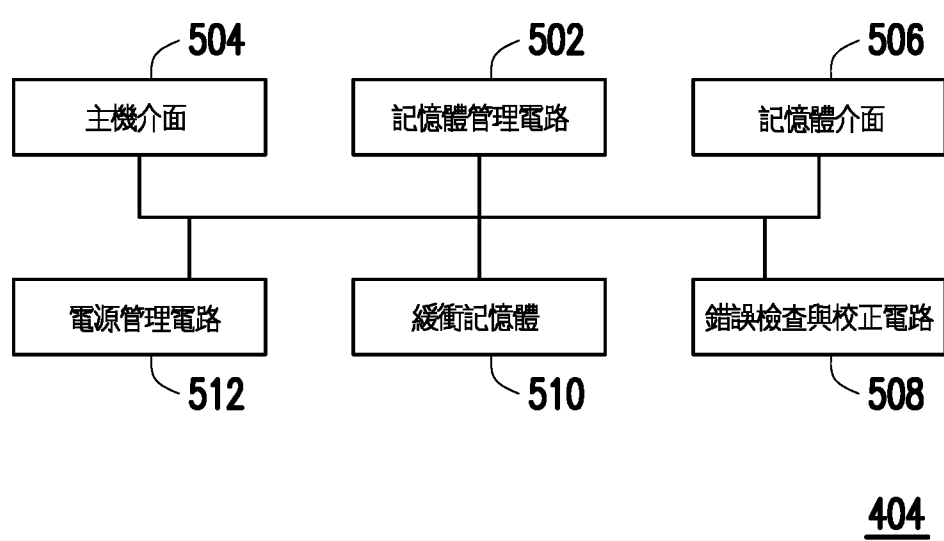
【圖2】



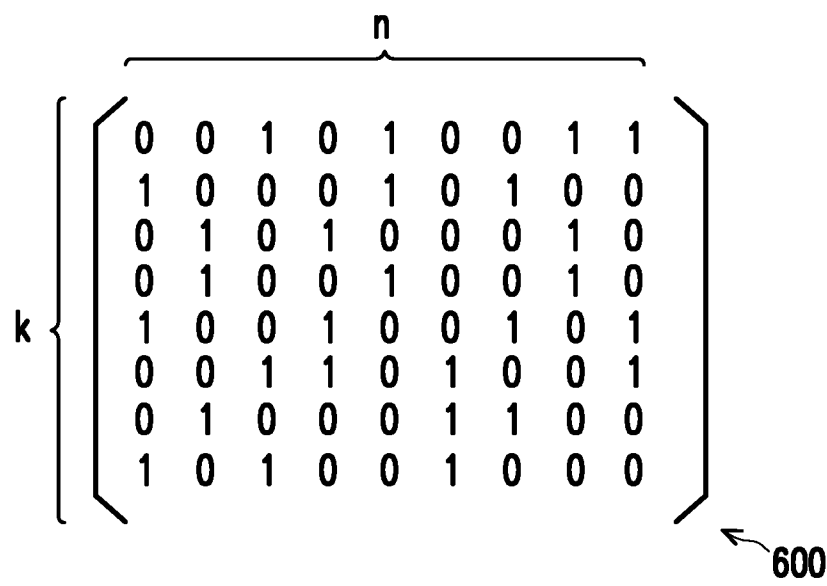
【圖3】



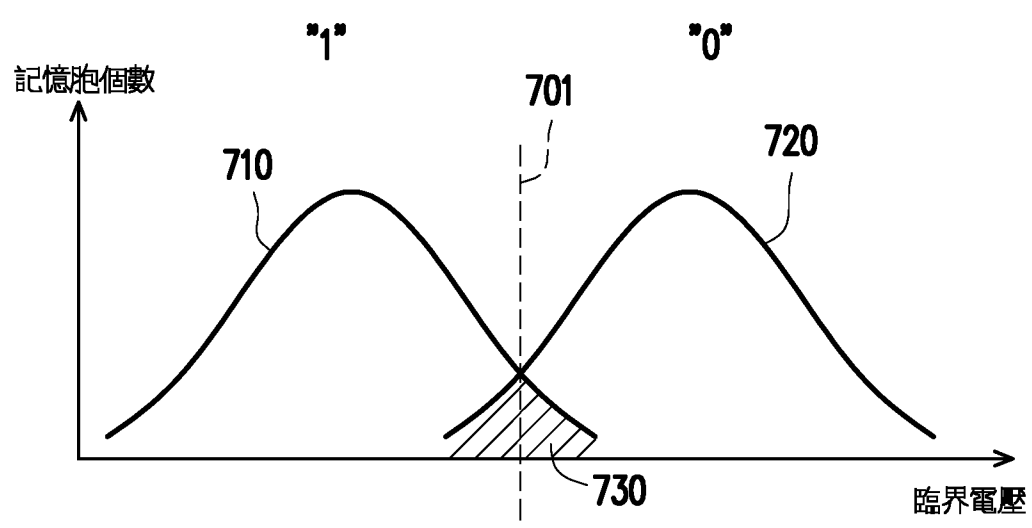
【圖4】



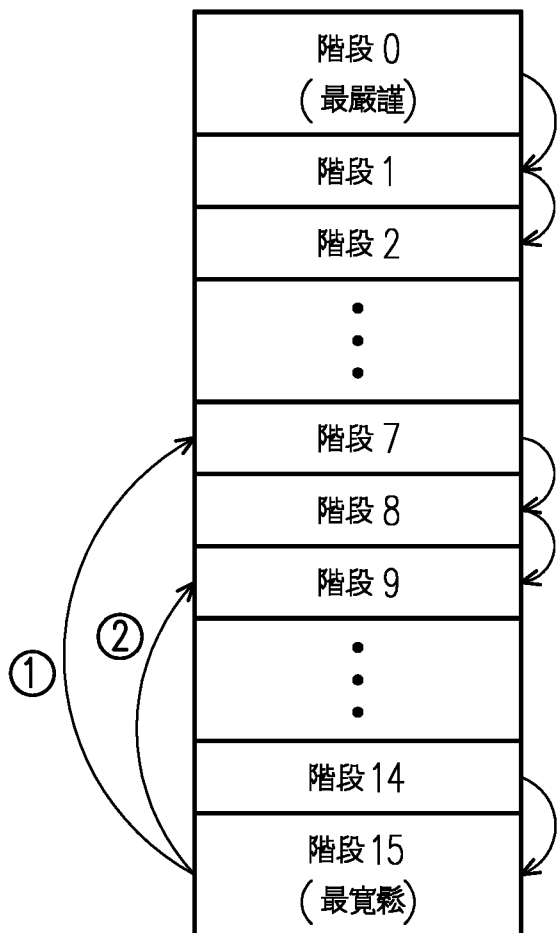
【圖5】



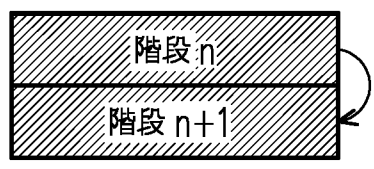
【圖6】



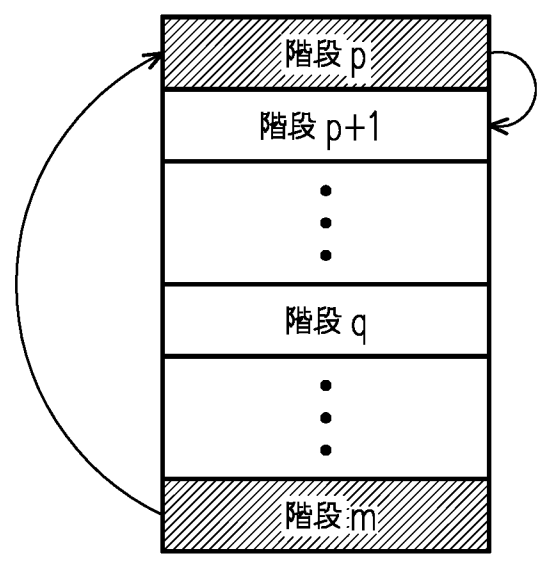
【圖7】



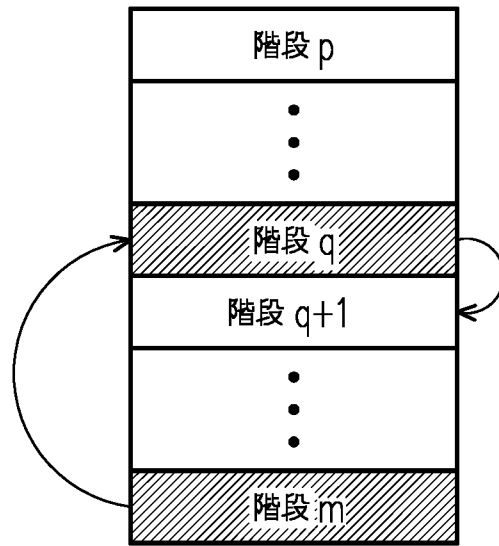
【圖8】



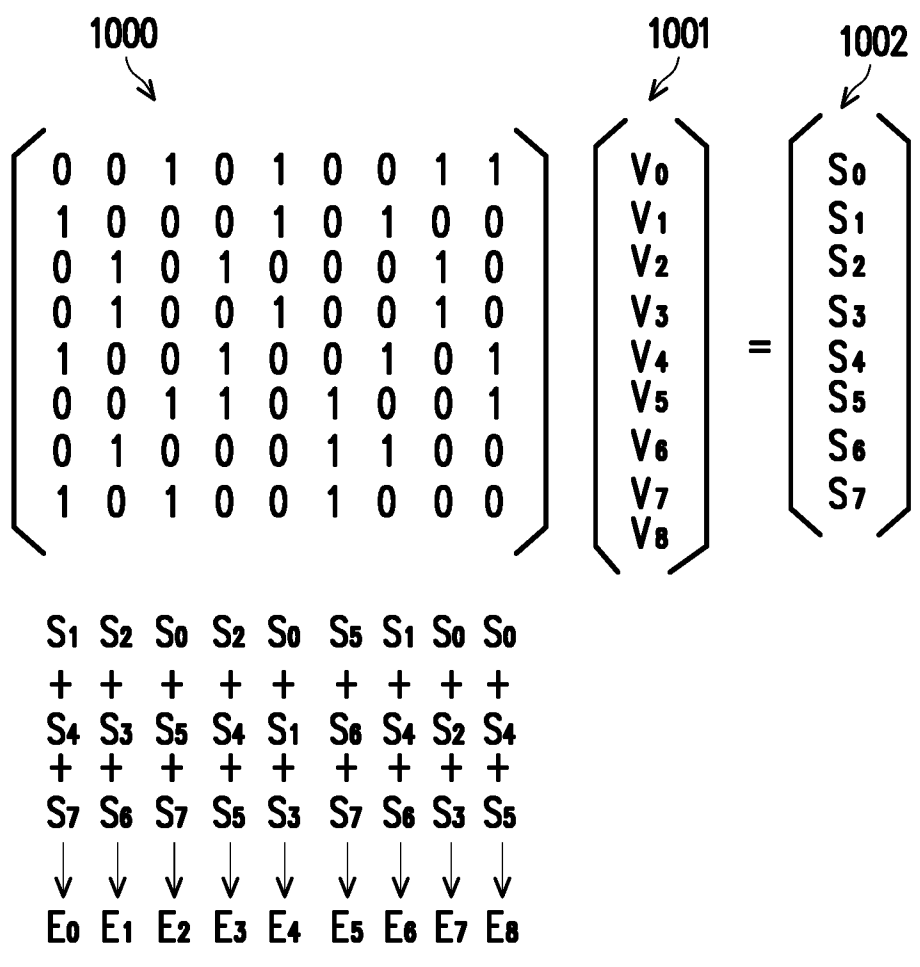
【圖9A】



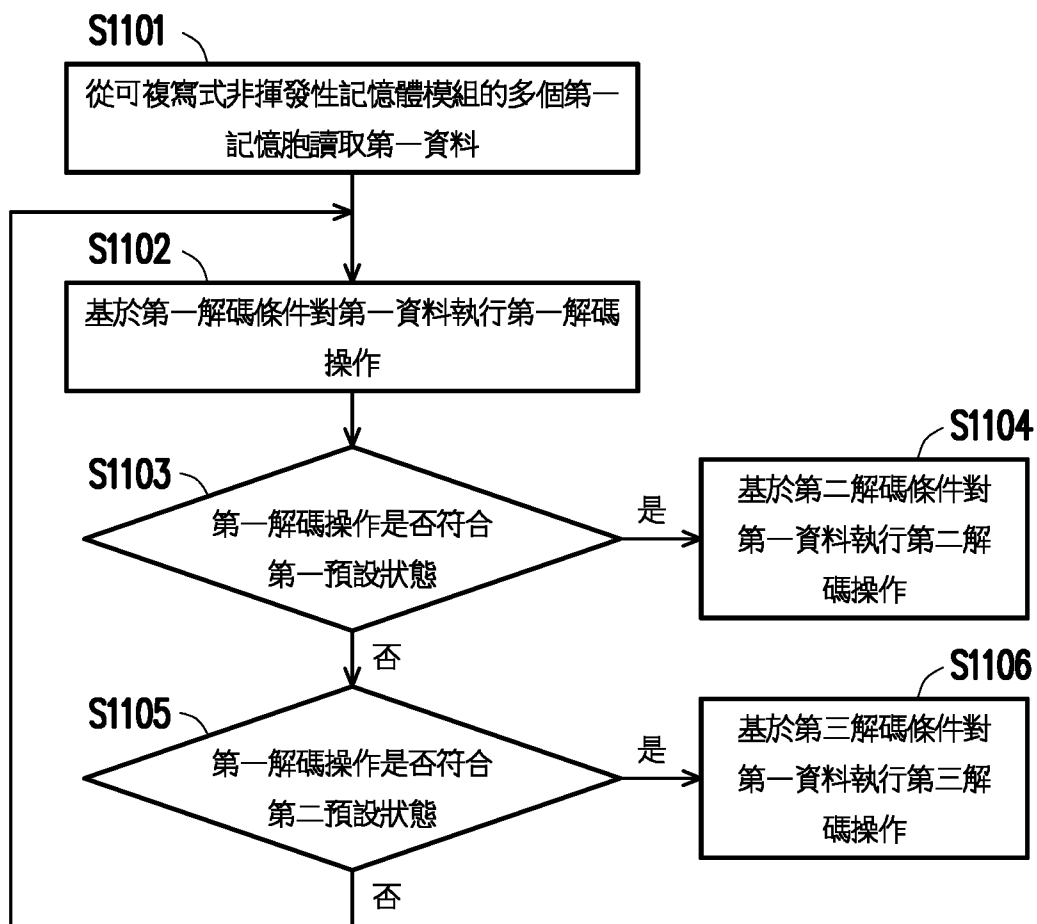
【圖9B】



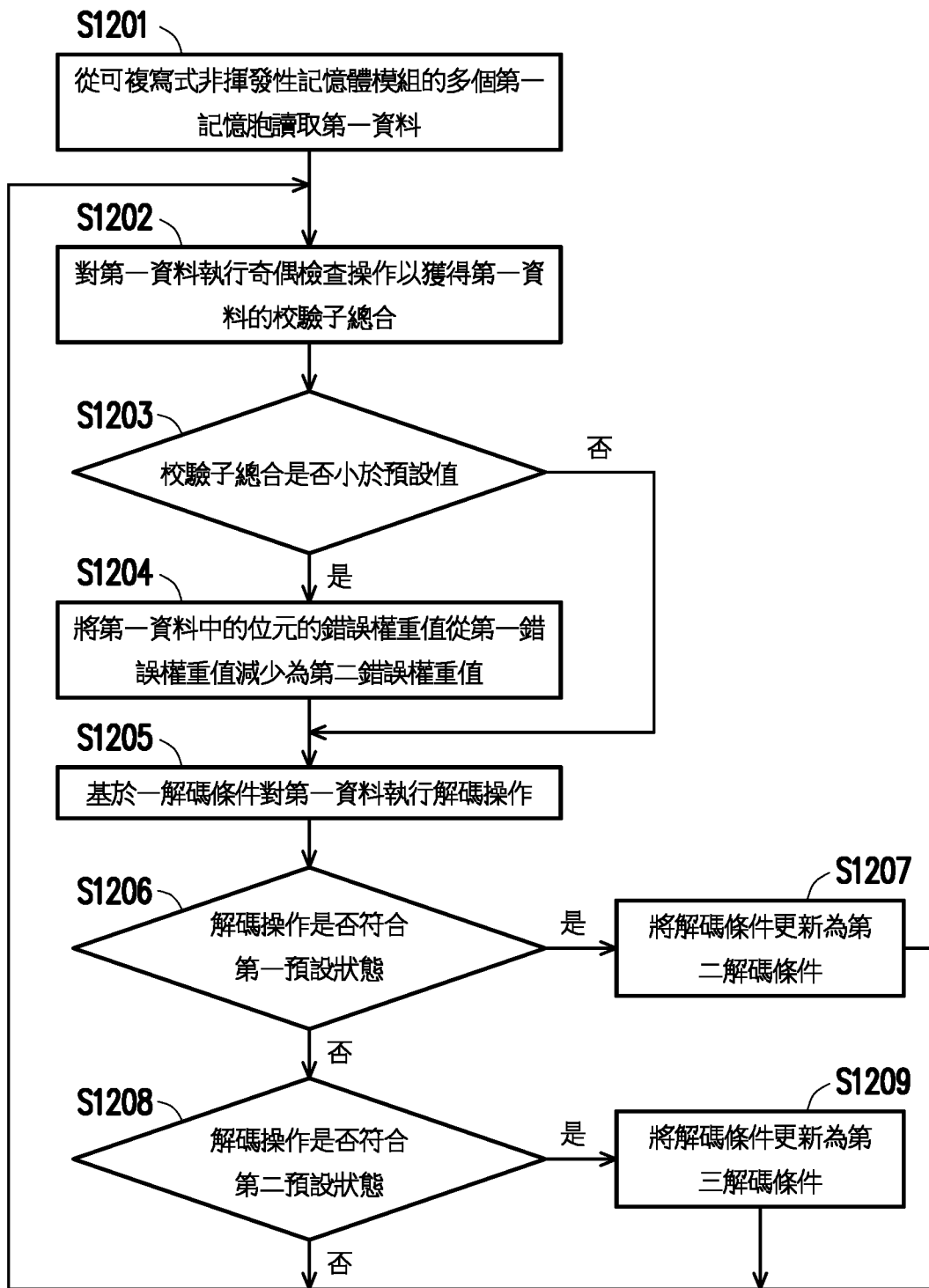
【圖9C】



【圖10】



【圖11】



【圖12】

decoding condition if the first decoding operation conforms to a first default status, where a strict level of locating an error bit in the first data based on the second decoding condition is higher than a strict level of locating the error bit in the first data based on the first decoding condition. Therefore, a decoding efficiency of a memory storage device can be improved.

【指定代表圖】圖 11。

【代表圖之符號簡單說明】

S1101：步驟(從可複寫式非揮發性記憶體模組的多個第一記憶胞讀取第一資料)

S1102：步驟(基於第一解碼條件對第一資料執行第一解碼操作)

S1103：步驟(判斷第一解碼操作是否符合第一預設狀態)

S1104：步驟(基於第二解碼條件對第一資料執行第二解碼操作)

S1105：步驟(判斷第一解碼操作是否符合第二預設狀態)

S1106：步驟(基於第三解碼條件對第一資料執行第三解碼操作)

S1208：步驟(判斷解碼操作是否符合第二預設狀態)

S1209：步驟(將解碼條件更新為第三解碼條件)

【發明申請專利範圍】

【第1項】一種解碼方法，用於包括多個記憶胞的一可複寫式非揮發性記憶體模組，該解碼方法包括：

從所述多個記憶胞中的多個第一記憶胞讀取一第一資料；

基於一第一解碼條件對該第一資料執行一第一解碼操作；以及

若該第一解碼操作符合一第一預設狀態，基於一第二解碼條件對該第一資料執行一第二解碼操作，

其中基於該第二解碼條件定位該第一資料中的一錯誤位元的一嚴謹度高於基於該第一解碼條件定位該第一資料中的該錯誤位元的一嚴謹度，

其中該第一解碼條件與該第二解碼條件對應於不同的翻轉門檻值，且該翻轉門檻值是用來在相應的解碼操作中識別該錯誤位元。

【第2項】如申請專利範圍第1項所述的解碼方法，更包括：

若該第一解碼操作符合一第二預設狀態，基於一第三解碼條件對該第一資料執行一第三解碼操作，

其中基於該第三解碼條件定位該第一資料中的該錯誤位元的一嚴謹度低於基於該第一解碼條件定位該第一資料中的該錯誤位元的該嚴謹度。

【第3項】如申請專利範圍第2項所述的解碼方法，更包括：

若該第一解碼條件符合一階段條件，計數該第一解碼操作的

一迭代計數值；以及

若該迭代計數值符合一計數條件，判定該第一解碼操作符合該第一預設狀態。

【第4項】如申請專利範圍第3項所述的解碼方法，更包括：

若該第一解碼條件不符合該階段條件且該第一解碼操作所翻轉的一位元之一總數符合一數目條件，判定該第一解碼操作符合該第二預設狀態。

【第5項】如申請專利範圍第3項所述的解碼方法，更包括：

從一第一候選計數條件與一第二候選計數條件中選擇該計數條件，

其中該第一候選計數條件對應於一第一計數值，該第二候選計數條件對應於一第二計數值，並且該第一計數值不同於該第二計數值。

【第6項】如申請專利範圍第1項所述的解碼方法，更包括：

從一第一候選解碼條件與一第二候選解碼條件中選擇該第二解碼條件，

其中基於該第一候選解碼條件定位一資料中的一錯誤位元的一嚴謹度高於基於該第二候選解碼條件定位該資料中的該錯誤位元的一嚴謹度。

【第7項】如申請專利範圍第1項所述的解碼方法，更包括：

對該第一資料執行一奇偶檢查操作以獲得該第一資料的一校驗子總合；

若該校驗子總合小於一預設值，將該第一資料中的一位元的一錯誤權重值從一第一錯誤權重值減少為一第二錯誤權重值；以及

若該第二錯誤權重值大於對應於該第一解碼條件的該翻轉門檻值，在該第一解碼操作中翻轉該位元。

【第8項】一種記憶體儲存裝置，包括：

一連接介面單元，用以耦接至一主機系統；

一可複寫式非揮發性記憶體模組，包括多個記憶胞；以及

一記憶體控制電路單元，耦接至該連接介面單元與該可複寫式非揮發性記憶體模組，

其中該記憶體控制電路單元用以發送一讀取指令序列，其中該讀取指令序列指示從所述多個記憶胞中的多個第一記憶胞讀取一第一資料，

其中該記憶體控制電路單元更用以基於一第一解碼條件對該第一資料執行一第一解碼操作，

其中若該第一解碼操作符合一第一預設狀態，該記憶體控制電路單元更用以基於一第二解碼條件對該第一資料執行一第二解碼操作，

其中基於該第二解碼條件定位該第一資料中的一錯誤位元的一嚴謹度高於基於該第一解碼條件定位該第一資料中的該錯誤位元的一嚴謹度，

其中該第一解碼條件與該第二解碼條件對應於不同的翻轉門

檻值，且該翻轉門檻值是用來在相應的解碼操作中識別該錯誤位元。

【第9項】如申請專利範圍第8項所述的記憶體儲存裝置，其中若該第一解碼操作符合一第二預設狀態，該記憶體控制電路單元更用以基於一第三解碼條件對該第一資料執行一第三解碼操作，

其中基於該第三解碼條件定位該第一資料中的該錯誤位元的一嚴謹度低於基於該第一解碼條件定位該第一資料中的該錯誤位元的該嚴謹度。

【第10項】如申請專利範圍第9項所述的記憶體儲存裝置，其中若該第一解碼條件符合一階段條件，該記憶體控制電路單元更用以計數該第一解碼操作的一迭代計數值，

其中若該迭代計數值符合一計數條件，該記憶體控制電路單元判定該第一解碼操作符合該第一預設狀態。

【第11項】如申請專利範圍第10項所述的記憶體儲存裝置，其中若該第一解碼條件不符合該階段條件且該第一解碼操作所翻轉的一位元之一總數符合一數目條件，該記憶體控制電路單元判定該第一解碼操作符合該第二預設狀態。

【第12項】如申請專利範圍第10項所述的記憶體儲存裝置，其中該記憶體控制電路單元更用以從一第一候選計數條件與一第二候選計數條件中選擇該計數條件，

其中該第一候選計數條件對應於一第一計數值，該第二候選計數條件對應於一第二計數值，並且該第一計數值不同於該第二

計數值。

【第13項】如申請專利範圍第8項所述的記憶體儲存裝置，其中該記憶體控制電路單元更用以從一第一候選解碼條件與一第二候選解碼條件中選擇該第二解碼條件，

其中基於該第一候選解碼條件定位一資料中的一錯誤位元的一嚴謹度高於基於該第二候選解碼條件定位該資料中的該錯誤位元的一嚴謹度。

【第14項】如申請專利範圍第8項所述的記憶體儲存裝置，其中該記憶體控制電路單元更用以對該第一資料執行一奇偶檢查操作以獲得該第一資料的一校驗子總合，

其中若該校驗子總合小於一預設值，該記憶體控制電路單元更用以將該第一資料中的一位元的一錯誤權重值從一第一錯誤權重值減少為一第二錯誤權重值，

其中若該第二錯誤權重值大於對應於該第一解碼條件的該翻轉門檻值，該記憶體控制電路單元更用以在該第一解碼操作中翻轉該位元。

【第15項】一種記憶體控制電路單元，用以控制包括多個記憶胞的一可複寫式非揮發性記憶體模組，該記憶體控制電路單元包括：

一主機介面，用以耦接至一主機系統；

一記憶體介面，用以耦接至該可複寫式非揮發性記憶體模組；

一錯誤檢查與校正電路；以及

一記憶體管理電路，耦接至該主機介面、該記憶體介面及該

錯誤檢查與校正電路，

其中該記憶體管理電路用以發送一讀取指令序列，其中該讀取指令序列指示從所述多個記憶胞中的多個第一記憶胞讀取一第一資料，

其中該錯誤檢查與校正電路用以基於一第一解碼條件對該第一資料執行一第一解碼操作，

其中若該第一解碼操作符合一第一預設狀態，該錯誤檢查與校正電路更用以基於一第二解碼條件對該第一資料執行一第二解碼操作，

其中該錯誤檢查與校正電路基於該第二解碼條件定位該第一資料中的一錯誤位元的一嚴謹度高於該錯誤檢查與校正電路基於該第一解碼條件定位該第一資料中的該錯誤位元的一嚴謹度，

其中該第一解碼條件與該第二解碼條件對應於不同的翻轉門檻值，且該翻轉門檻值是用來在相應的解碼操作中識別該錯誤位元。

【第16項】 如申請專利範圍第15項所述的記憶體控制電路單元，其中若該第一解碼操作符合一第二預設狀態，該錯誤檢查與校正電路更用以基於一第三解碼條件對該第一資料執行一第三解碼操作，

其中該錯誤檢查與校正電路基於該第三解碼條件定位該第一資料中的該錯誤位元的一嚴謹度低於該錯誤檢查與校正電路基於該第一解碼條件定位該第一資料中的該錯誤位元的該嚴謹度。

【第17項】如申請專利範圍第16項所述的記憶體控制電路單元，其中若該第一解碼條件符合一階段條件，該記憶體管理電路更用以計數該第一解碼操作的一迭代計數值，

其中若該迭代計數值符合一計數條件，該記憶體管理電路判定該第一解碼操作符合該第一預設狀態。

【第18項】如申請專利範圍第17項所述的記憶體控制電路單元，其中若該第一解碼條件不符合該階段條件且該第一解碼操作所翻轉的一位元之一總數符合一數目條件，該記憶體管理電路判定該第一解碼操作符合該第二預設狀態。

【第19項】如申請專利範圍第17項所述的記憶體控制電路單元，其中該記憶體管理電路更用以從一第一候選計數條件與一第二候選計數條件中選擇該計數條件，

其中該第一候選計數條件對應於一第一計數值，該第二候選計數條件對應於一第二計數值，並且該第一計數值不同於該第二計數值。

【第20項】如申請專利範圍第15項所述的記憶體控制電路單元，其中該記憶體管理電路更用以從一第一候選解碼條件與一第二候選解碼條件中選擇該第二解碼條件，

其中該錯誤檢查與校正電路基於該第一候選解碼條件定位一資料中的一錯誤位元的一嚴謹度高於該錯誤檢查與校正電路基於該第二候選解碼條件定位該資料中的該錯誤位元的一嚴謹度。

【第21項】 如申請專利範圍第15項所述的記憶體控制電路單元，其中該錯誤檢查與校正電路更用以對該第一資料執行一奇偶檢查操作以獲得該第一資料的一校驗子總合，

其中若該校驗子總合小於一預設值，該錯誤檢查與校正電路更用以將該第一資料中的一位元的一錯誤權重值從一第一錯誤權重值減少為一第二錯誤權重值，

其中若該第二錯誤權重值大於對應於該第一解碼條件的該翻轉門檻值，該錯誤檢查與校正電路更用以在該第一解碼操作中翻轉該位元。