

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024年6月6日 (06.06.2024)



(10) 国际公布号
WO 2024/113681 A1

- (51) 国际专利分类号:
G06F 1/08 (2006.01) G06F 1/10 (2006.01)
G06F 1/06 (2006.01)
- (21) 国际申请号: PCT/CN2023/093323
- (22) 国际申请日: 2023年5月10日 (10.05.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202211518351.2 2022年11月30日 (30.11.2022) CN
- (71) 申请人: 苏州元脑智能科技有限公司 (SUZHOU METABRAIN INTELLIGENT TECHNOLOGY CO., LTD.) [CN/CN]; 中国江苏省苏

州市吴中区吴中经济开发区郭巷街道官浦路1号9幢, Jiangsu 215000 (CN)。

(72) 发明人: 张宥骏 (ZHANG, Youjyun); 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路1号9幢, Jiangsu 215000 (CN)。

(74) 代理人: 北京康信知识产权代理有限责任公司 (KANGXIN PARTNERS, P.C.); 中国北京市海淀区知春路甲48号盈都大厦A座16层, Beijing 100098 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,

(54) Title: CLOCK ARCHITECTURE AND PROCESSING MODULE

(54) 发明名称: 一种时钟架构及处理模组

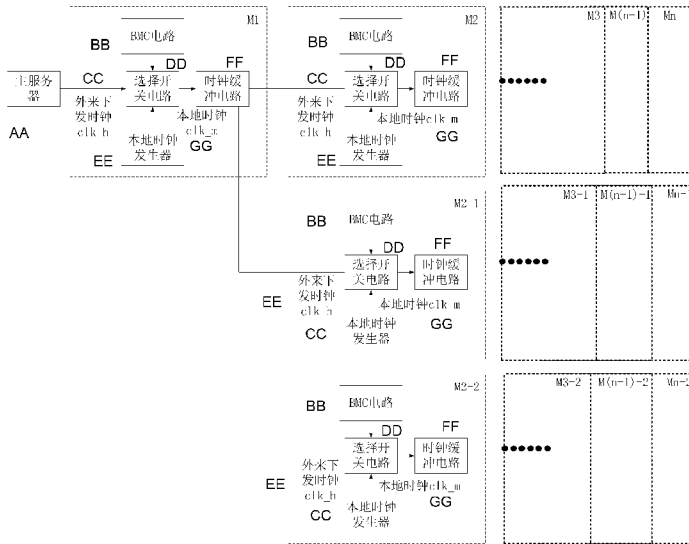


图 2

- AA Master server
- BB BMC circuit
- CC External issuing clock
- DD Selective switch circuit
- EE Local clock generator
- FF Clock buffer circuit
- GG Local clock

(57) Abstract: A clock architecture, comprising: one or more clock module layers. Each clock module layer comprises one or more clock modules; each clock module comprises a local clock generator, a selective switch circuit, and a plurality of clock buffer circuits, wherein the local clock generator is configured to generate an independent local clock; a first input terminal of the selective switch circuit receives the local clock, a second input terminal of the selective switch circuit receives an external issuing clock, a plurality of output terminals of the selective switch circuit are respectively connected to input terminals of the plurality of clock buffer circuits,



WO 2024/113681 A1

LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

and an enable terminal of the selective switch circuit is configured to receive an enable signal; the selective switch circuit is configured to enable, according to the enable signal, all the output terminals to output the local clock or all the output terminals to output the external issuing clock.

(57) 摘要: 一种时钟架构, 包括一层或多层时钟模块层; 每层时钟模块层包括一个或多个时钟模块, 每个时钟模块包括本地时钟发生器、选择开关电路、多个时钟缓冲电路, 其中, 本地时钟发生器, 被设置为产生独立的本地时钟, 选择开关电路的第一输入端接收本地时钟, 选择开关电路的第二输入端接收外来下发时钟, 选择开关电路的多个输出端分别与多个时钟缓冲电路的输入端连接, 选择开关电路的使能端被设置为接收使能信号, 选择开关电路, 被设置为根据使能信号使所有输出端输出本地时钟或者使所有输出端输出外来下发时钟。

一种时钟架构及处理模组

相关申请的交叉引用

本申请要求于 2022 年 11 月 30 日提交中国专利局，申请号为 202211518351.2，申请名称为“一种时钟架构及处理模组”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请实施例涉及时钟控制领域，特别涉及一种时钟架构及处理模组。

背景技术

当前，为了提高系统的运算速度，高速运算模组应运而生，高速运算模组中每个运算模块可以独立运算执行运行任务，从而提高了运算任务的完成速度。但是，在高速运算模组中，不同模块之间的通信有一定的频率同步要求，如果通信频率之间的相位偏离过大，通信过程中会发生可修正错误或/或不可修正错误。

由此，高速运算模组中通信频率的设置较为苛刻，一旦频率拓扑结构固定则不再扩展，其运算模块的拓扑结构以及算力也受到限制，使得高速运算模组内部无法灵活调整频率，整个运算模组的算力处于不够理想的状态。

针对相关技术中存在的上述技术问题，本领域技术人员尚未提出有效的解决方案。

发明内容

有鉴于此，本申请实施例的目的在于提供一种更为灵活、可提供更高算力支持的时钟架构及处理模组。其方案如下：

一种时钟架构，时钟架构包括一层或多层时钟模块层；每层时钟模块层包括一个或多个时钟模块，每个时钟模块包括本地时钟发生器、选择开关电路、多个时钟缓冲电路，其中：

本地时钟发生器，被设置为产生独立的本地时钟；

选择开关电路的第一输入端接收本地时钟，选择开关电路的第二输入端接收外来下发时钟，选择开关电路的多个输出端分别与多个时钟缓冲电路的输入端连接，选择开关电路的使能端被设置为接收使能信号；

选择开关电路，被设置为根据使能信号使所有输出端输出本地时钟或使所有输出端输出外来下发时钟。

可选的，最高时钟模块层中时钟模块的外来下发时钟由主服务器提供。

可选的，每个时钟缓冲电路的输出端与下级模块一一连接，下级模块包括非时钟模块和/或下一时钟模块层的时钟模块。

可选的，当下级模块为下一时钟模块层的时钟模块，对应的时钟缓冲电路的输出端连接下一时钟模块层的时钟模块的第二输入端。

可选的，每个时钟模块还包括：

BMC 电路，被设置为连接选择开关电路的使能端，并生成使能信号。

可选的，时钟架构还包括集线器；

所有 BMC 电路的物理层接口、主服务器的网络端口分别与集线器的接口连接。

可选的，非时钟模块包括运算模块、和/或通信模块、和/或存储模块，每个运算模块分别连接时钟缓冲电路的一个输出端。

可选的，运算模块包括 FPGA 电路、和/或 CPLD 电路、和/或 GPU 电路；

运算模块还包括存储电路，存储电路与 FPGA 电路或 CPLD 电路或 GPU 电路连接。

可选的，通信模块包括：通信芯片和/或通信卡槽，通信模块的时钟端独立连接时钟缓冲电路的一个输出端。

可选的，当下级模块为下一时钟模块层的时钟模块，对应的时钟缓冲电路的输出端通过一个通信卡槽连接下一时钟模块层的时钟模块的第二输入端。

可选的，时钟架构中时钟模块层的最大允许层数通过时钟抖动最大限定值确定。

可选的，确定时钟模块层的最大允许层数通过时钟抖动最大限定值的过程，包括：

获取当前时钟架构的拓扑关系；

确定拓扑关系中通信路径最长的时钟链路；

根据当前时钟架构的各元件抖动值计算时钟链路的抖动值；

根据抖动值和时钟抖动最大限定值，确定时钟架构的最大允许层数。

可选的，根据抖动值和时钟抖动最大限定值，确定时钟架构的最大允许层数的过程，包括：

比较抖动值与时钟抖动最大限定值的大小；

调整当前时钟架构中时钟模块层的层数并返回执行获取当前时钟架构的拓扑关系的步骤；

当 N 层时钟模块层对应的抖动值超过时钟抖动最大限定值，且 N-1 层时钟模块层对应的抖动值不超过时钟抖动最大限定值，确定时钟架构的最大允许层数为 N-1 层；N 为不小于 1

的整数。

可选的，根据当前时钟架构的各元件抖动值计算时钟链路的抖动值的过程，包括：

对时钟链路上各元件抖动值的平方和作开方计算，得到时钟链路的抖动值。

可选的，BMC 电路的通用输入输出 GPIO 端与选择开关电路的使能端连接，GPIO 端被设置为向使能端发出使能信号。

可选的，根据使能信号使所有输出端输出本地时钟或使所有输出端输出外来下发时钟的过程，包括：

根据使能信号的电平高低与配置关系，使所有输出端同时输出本地时钟，或，使所有输出端同时输出外来下发时钟。

可选的，存储电路包括内存条和存储硬盘。

可选的，时钟抖动最大限定值根据使用的通信协议决定。

相应的，本申请还公开了一种处理模组，包括：

如上文任一项时钟架构；

为时钟架构的最高时钟模块层提供外来下发时钟的主服务器；

各时钟信号端分别连接时钟架构中时钟缓冲电路的输出端的多个非时钟模块。

可选的，处理模组为高速运算模组，高速运算模组中所有单元的时钟由时钟架构相应提供。

本申请实施例公开了一种时钟架构，每个时钟模块中选择开关电路可选择本地时钟或外来下发时钟作为输出时钟，从而应用该时钟架构的处理模组，如高速运算模组中的时钟调控更为灵活，该时钟架构可扩展、时钟可选的特性为处理模组准确运行提高提供了可靠基础。

附图说明

为了更清楚地说明本申请实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据提供的附图获得其他的附图。

图 1 为本申请实施例中时钟模块的结构分布图；

图 2 为本申请实施例中一种时钟架构的结构分布图；

图 3a 为本申请实施例中共同时钟架构的结构分布图；

图 3b 为本申请实施例中分离时钟架构的结构分布图；

图 4 为本申请实施例中一种确定时钟架构的最大允许层数的步骤流程图；

图 5 为本申请实施例中一种可选的时钟架构的结构分布图。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请实施例保护的范围。

高速运算模组中通信频率的设置较为苛刻，一旦频率拓扑结构固定则不再扩展，其运算模块的拓扑结构以及算力也受到限制，使得高速运算模组内部无法灵活调整频率，整个运算模组的算力处于不够理想的状态。

本申请实施例公开了一种时钟架构，每个时钟模块中选择开关电路可选择本地时钟或外来下发时钟作为输出时钟，从而应用该时钟架构的处理模组，如高速运算模组中的时钟调控更为灵活，该时钟架构可扩展、时钟可选的特性为处理模组准确运行提高提供了可靠基础。

本申请实施例公开了一种时钟架构，时钟架构包括一层或多层时钟模块层，每层时钟模块层包括一个或多个时钟模块 M；参见图 1 所示，每个时钟模块 M 包括本地时钟发生器 clk gen、选择开关电路 MUX、多个时钟缓冲电路 clk buffer，其中：

本地时钟发生器 clk gen，被设置为产生独立的本地时钟 clk_m；

选择开关电路 MUX 的第一输入端接收本地时钟 clk_m，选择开关电路 MUX 的第二输入端接收外来下发时钟 clk_h，选择开关电路 MUX 的多个输出端分别与多个时钟缓冲电路 clk buffer 的输入端连接，选择开关电路 MUX 的使能端被设置为接收使能信号；

选择开关电路 MUX，被设置为根据使能信号使所有输出端输出本地时钟 clk_m 或使所有输出端输出外来下发时钟 clk_h。

可以理解的是，最高时钟模块层中时钟模块 M 中的外来下发时钟 clk_h 由主服务器 host server 提供。

可以理解的是，每个时钟缓冲电路 clk buffer 的输出端与下级模块一一连接，下级模块包括非时钟模块和/或下一时钟模块层的时钟模块 M。可选的，当下级模块为下一时钟模块层的时钟模块 M，对应的时钟缓冲电路 clk buffer 的输出端连接下一时钟模块层的时钟模块 M 的第二输入端。

可选的，每层时钟模块 M 还包括：BMC (Baseboard Management Controller, 基板管理

控制器) 电路, 被设置为连接选择开关电路 MUX 的使能端, 并生成使能信号。可以理解的是, 通常 BMC 电路的 GPIO 端与 MUX 的使能端 SEL pin 连接, 并向使能端 SEL pin 发出使能信号。

可以理解的是, 选择开关电路 MUX 的两个输入端接收两个不同的时钟: 本地时钟 clk_m 和外来下发时钟 clk_h, 根据选择开关电路 MUX 的特性, 选择开关电路 MUX 的所有输出端输出相同的输出时钟, 根据使能信号的电平高低与配置关系, 选择开关电路 MUX 的所有输出端可同时输出本地时钟 clk_m, 或者, 选择开关电路 MUX 的所有输出端可同时输出外来下发时钟 clk_h。通过当前时钟模块 M 中选择开关电路 MUX 的输出, 为当前时钟模块 M 中下级模块提供相应的时钟, 保证下级模块按照时钟运行。

可以理解的是, 非时钟模块包括运算模块、和/或通信模块、和/或存储模块, 每个运算模块分别连接时钟缓冲电路 clk buffer 的一个输出端。

可以理解的是, 非时钟模块的详细设定可根据应用该时钟架构的处理模块的实际类型进行调整, 下面以处理模组为高速运算模组为例进行详细描述:

在一些可选的实施例中, 运算模块包括 FPGA (Field-Programmable Gate Array, 现场可编程门阵列) 电路、和/或 CPLD (Complex Programmable Logic Device, 复杂可编程逻辑器件) 电路、和/或 GPU (Graphics Processing Unit, 图形处理器) 电路; 运算模块还包括存储电路, 存储电路与 FPGA 电路或 CPLD 电路或 GPU 电路连接。可以理解的是, 通常存储电路与 FPGA 电路可形成一个运算单元 Computing Module, 多个运算单元可形成一个高速运算模组, 高速运算模组中所有单元的时钟由本实施例中时钟架构相应提供, 由于本实施例中时钟架构的时钟供应灵活、架构可扩展, 能够为更高算力的运算模组提供时钟支持。其中, 运算模块的实际类型根据时钟架构所要服务的高速运算模组的内部结构决定。

可选的, 存储电路包括内存条和存储硬盘, 内存条可选 DIMM (Dual Inline Memory Modules, 即双列直插式存储模块), 存储硬盘可选 SSD (Solid State Disk, 固态硬盘) 或其他形式的存储硬盘。类似的, 存储电路的实际类型根据时钟架构所要服务的高速运算模组的内部结构决定。

可选的, 通信模块包括: 通信芯片和/或通信卡槽, 通信模块的时钟端独立连接时钟缓冲电路 clk buffer 的一个输出端。可以理解的是, 通信芯片和通信卡槽可根据通信协议确定, 通常选择 PCIe 协议 (peripheral component interconnect express, 高速串行计算机扩展总线标准), 相应的, 通信芯片包括但不限于 PCIe switch 芯片, 通信卡槽包括 pcie slot。

以图 1 所示的单层时钟模块 M 为例，该时钟模块 M 中包括四个时钟缓冲电路：第一时钟缓冲电路 clk buffer 1、第二时钟缓冲电路 clk buffer 2、第三时钟缓冲电路 clk buffer 3、第四时钟缓冲电路 clk buffer 4，所有时钟缓冲电路 clk buffer 的输出端提供相同的时钟，每个时钟缓冲电路 clk buffer 上输出端的个数和每个输出端所提供的通道条数可根据时钟架构所要服务的高速运算模组的内部结构决定。

可选的，图 1 中第一时钟缓冲电路 clk buffer 1 提供五个输出端，其中第一输出端 clk_<0:3>与一个通信卡槽 PICE slot*4 连接，为 host 提供时钟，第二输出端 clk_<4:7>与一个通信卡槽 PICE slot*4 连接，为 scale-up 提供时钟，第三输出端 clk_<8:11>与一个通信卡槽 PICE slot*4 连接，为 scale-out 提供时钟，第四输出端 clk_<12:15>与一个运算模块 FPGA 1 连接，FPGA 1 还接有一个内存条 DIMM，二者形成一个运算单元 Computing Module 1，第五输出端 clk_<16:19>与一个运算模块 FPGA 3 连接，FPGA 3 还接有另一个内存条 DIMM，二者形成一个运算单元 Computing Module 3。

类似的，图 1 中第二时钟缓冲电路 clk buffer 2 提供三个输出端，其中第一输出端 clk_<0:7>与一个 NVME 协议的 8 通道存储硬盘 NVME SSD*8（标记为 SW#1）连接，第二输出端 clk_<8:15>与另一个 NVME 协议的 8 通道存储硬盘 NVME SSD*8（标记为 SW#2）连接，第三输出端 clk_<16:19>与一个运算模块 FPGA 2 连接，FPGA 2 还接有一个内存条 DIMM，二者形成一个运算单元 Computing Module 2。

类似的，图 1 中第三时钟缓冲电路 clk buffer 3 提供三个输出端，其中第一输出端 clk_<0:7>与一个 NVME 协议的 8 通道存储硬盘 NVME SSD*8（标记为 SW#3）连接，第二输出端 clk_<8:15>与另一个 NVME 协议的 8 通道存储硬盘 NVME SSD*8（标记为 SW#4）连接，第三输出端 clk_<16:19>与一个运算模块 FPGA 4 连接，FPGA 4 还接有一个内存条 DIMM，二者形成一个运算单元 Computing Module 4。

类似的，图 1 中第四时钟缓冲电路 clk buffer 4 提供 7 个输出端，其中第一输出端至第六输出端 100M<0>、100M<1>、100M<2>、100M<3>、100M<4>、100M<5>分别连接通信芯片 PCIe switch#1- PCIe switch#5，第七输出端 100M<6>连接 BMC 电路，这里的 BMC 电路指当前时钟模块 M 中被设置为输出使能信号的 BMC 电路，可见，时钟缓冲电路 clk buffer 的输出端还可连接 BMC 电路，从而为 BMC 电路提供时钟支持。

可以理解的是，每个时钟模块 M 的下级模块为非时钟模块的实际形式，可根据时钟架构所要服务的高速运算模组的内部结构决定，而时钟模块 M 的下级模块为下一时钟模块层的时钟模块 M 时，相邻的时钟模块 M 之间串行连接。可选的，每个时钟模块 M 均存在一个内部的

本地时钟发生器 `clk gen` 生成的独立本地时钟 `clk_m` 和一个外来下发时钟 `clk_h`，最高时钟模块层的时钟模块 `M` 的外来下发时钟 `clk_h` 由主服务器 `host server` 提供，其它时钟模块层的时钟模块 `M` 的外来下发时钟 `clk_h` 由上一层的时钟模块 `M` 提供，上一层的时钟模块 `M` 中选择开关电路 `MUX` 的一个输出端连接一个时钟缓冲电路 `clk buffer` 的输入端，该时钟缓冲电路 `clk buffer` 的输出端连接其它时钟模块层的时钟模块 `M` 的第二输入端，向其它时钟模块层的时钟模块 `M` 发送外来下发时钟 `clk_h`。

可以理解的是，当下级模块为下一时钟模块层的时钟模块 `M`，对应的时钟缓冲电路 `clk buffer` 的输出端通过一个通信卡槽连接下一时钟模块层的时钟模块 `M` 的第二输入端。

如图 2 所示，图 2 为一种可选的时钟架构的示例，该时钟架构中忽略了下级模块为非时钟模块的内容，仅针对多层时钟模块层的时钟模块 `M` 的连接结构，其中 `M1` 为最高时钟模块层时钟模块，其外来下发时钟由主服务器 `host server` 提供，并通过多个通信卡槽 `PCIe slot` 分别为第二时钟模块层的时钟模块 `M2`、`M2-1`、`M2-2` 和 `M2-3` 提供外来下发时钟，第二时钟模块层的时钟模块分别为各自连接的下一层时钟模块提供外来下发时钟。对于每个时钟模块来说，其存在两个可选的时钟，即外来下发时钟 `clk_h` 和本地时钟 `clk_m`，时钟模块 `M` 内部可通过选择开关 `MUX` 从这两个可选的时钟之中确定一个时钟作为非时钟模块的时钟和下一时钟模块层的时钟模块 `M` 的外来下发时钟。

可以理解的是，在 `PCIE` 标准规范中，一条 `PCIE` 通道包含发送和接收两条端，总 `PCIE` 连接数据带宽可通过增加额外的通道扩展，其灵活性使得 `PCIE` 普遍出现在服务器、网络附加存储、网络交换机、路由器和电视机顶盒等应用中，这些应用本身的严格时序运算和系统设计的挑战对 `PCIE` 频率的性能要求十分严苛。通常，`PCIE` 指定一个 `100MHz` 的外部参考频率即 `Refclk`，精确度在正负 `300ppm` 内，被设置为协调两个 `PCIE` 设备间的数据传输。`PCIE` 标准支持三种范围的频率分配方案：公共频率、资料频率和分离时钟架构，所有频率方案都要求正负 `300ppm` 的频率精确度。

可选的，共同时钟架构 (`Common Clock`) 如图 3a 所示，单个时钟源同时被分配到发送端 (`PCIe Device A`) 和接收端 (`PCIe Device B`)。这种频率方式因简单而普遍用于对成本敏感的产品应用中，可以支持 `SSC` (`Spread Spectrum Clocking`，展频时钟) 并减少 `EMI` (`Electro Magnetic Interference`，电磁干扰) 的影响。

可选的，分离时钟架构 (`Separate Reference Clock`) 如图 3b 所示，发送端 (`PCIe Device A`) 和接收端 (`PCIe Device B`) 各自使用分离的频率源，不再同时发送频率到所有 `PCIE` 端点。分离频率源标准的频率间隔需维持在正负 `600ppm` 之间，从而每一个参考时钟

Reference clock 仍能保持正负 300ppm 的频率精确度。也因为频率独立运作，接收器的有效抖动成为发送器抖动和接收器锁相回路（PLL）的平方和的开方根（RSS）。这种分离时钟架构没有抖动限制，但通常要求时钟抖动（jitter）预算比共同频率架构更严格。在现有技术中，若要求采用正负 300ppm 的整体频率幅度，则分离时钟架构中 Reference clock 之间的频率间隔限制会大大阻碍了 SSC 的应用。

可以理解的是，PCIe 连接被设置为将从大量数据从发射器传送到接收器，并保证数据传输的高成功率。为达到这点，位中心或邻近位的发射器所传送的数据必须经由接收器采样，接收器中的频率/频率数据复原（Clock/Data Recovery block, CDR）会产生一个频率，定期采样数据至锁存器（latch）。该过程中各种相位抖动源引起样本时序的波动，由于样本位置偏离理想位置，位错误率（Bit Error rate）增加，进而导致 PCIe 在运作时产生可修正错误或不可修正错误。

相应的，本实施例中时钟架构中时钟可选，既可选择支持共同时钟架构为高速运算模组提供时钟，也可选择支持分离时钟架构为高速运算模组提供时钟，时钟架构支持两种时钟架构的自动切换，并同时保有对于展频频率（SSC）的支持与时钟抖动（jitter）预算控制。

可选的，时钟架构中时钟模块层的最大允许层数通过时钟抖动最大限定值确定。通常情况下，时钟抖动最大限定值根据使用的通信协议决定，可采用 PCI sig 协对不同的 PCIe 协议规定了不同的时钟抖动限制，如下表 1 所示：

表 1 PCIe 协议与时钟抖动最大限制值（Common Clock Jitter Limit）的对应表

Data Rate	PCIe Gen	Common Clock Jitter Limit
2.5G	1	108 ps PK-PK
5G	2	3.1 ps RMS
8G	3	1.0 ps RMS
16G	4	0.5 ps RMS

可选的，时钟架构中时钟抖动的计算以元件抖动为计算参数，通信路径最长的时钟链路的抖动值作为当前时钟架构的时钟抖动值。可选的，确定时钟模块层的最大允许层数通过时钟抖动最大限定值的过程，参见图 4 所示，包括：

- S1: 获取当前时钟架构的拓扑关系；
- S2: 确定拓扑关系中通信路径最长的时钟链路；
- S3: 根据当前时钟架构的各元件抖动值计算时钟链路的抖动值；
- S4: 根据抖动值和时钟抖动最大限定值，确定时钟架构的最大允许层数。

在一些可选的实施例中，根据抖动值和时钟抖动最大限定值，确定时钟架构的最大允许层数的过程，包括：

比较抖动值与时钟抖动最大限定值的大小；

调整当前时钟架构中时钟模块层的层数并返回执行获取当前时钟架构的拓扑关系的步骤；

当 N 层时钟模块层对应的抖动值超过时钟抖动最大限定值，且 N-1 层时钟模块层对应的抖动值不超过时钟抖动最大限定值，确定时钟架构的最大允许层数为 N-1 层；N 为不小于 1 的整数。

在一些可选的实施例中，根据当前时钟架构的各元件抖动值计算时钟链路的抖动值的过程，包括：

对时钟链路上各元件抖动值的平方和作开方计算，得到时钟链路的抖动值。

可选的，以图 1 为例，其中本地时钟发生器 clk gen 型号可选为 IDT 公司的 9SQ440 芯片，9SQ440 芯片可以通过 25MHz 外部石英晶振产生 100MHz 的稳定时钟源输出；选择开关电路 MUX 型号可选为 IDT 公司的 9DML04 芯片，9DML04 芯片拥有两个 100MHz 的时钟输入端，并具有四个稳定的 100MHz 输出端；BMC 电路的型号可选为 ASPEED 公司的 AST2600 芯片，时钟缓冲电路 clk buffer 的型号可选为 9QXL2001BNHGI 芯片；BMC 电路通过 GPIO 端连接选择开关电路 MUX 的使能引脚 SEL pin，藉以达成自动切换输入端口的功能，可选的，当 GPIO 端输出低电平的使能信号，选择开关电路 MUX 将时钟输入端口切换至外来下发时钟 clk_h，当 GPIO 端输出为高电平的使能信号，选择开关电路 MUX 将时钟输入端口切换至本地时钟 clk_m，该使能控制逻辑也可根据实际进行调整，此处不作限制。

以图 1 为例，根据以上选型的最大时钟抖动参数，主服务器 host server 提供的外来下发时钟 clk_h 的元件抖动为 200fs，选择开关电路 MUX 的元件抖动为 100fs，时钟缓冲电路 clk buffer 的元件抖动为 40fs，当前时钟模块 M 的时钟抖动值为 $jitter_rms = \sqrt{200^2 + 100^2 + 40^2} = 227.2fs$ ，当前时钟架构的时钟抖动最大限定值为 500fs rms，显然当前时钟模块 M 小于时钟抖动最大限定值。

可选的，将图 1 中的选型应用于图 2 的时钟架构中，以时钟模块层的层数 n=3，即通信路径最长的时钟链路为 3 为例，图 2 的时钟架构的时钟抖动值为：

$$jitter_rms = \sqrt{200^2 + 100^2 + 40^2 + 100^2 + 40^2 + 100^2 + 40^2} = 273.5fs ;$$

时钟抖动最大限定值仍为 500fs rms，3 层时钟模块层满足时钟抖动要求。

可选的，对于将图 1 的选型应用到图 2 的时钟架构，假设主服务器 host server 提供的外来下发时钟 clk_h 的元件抖动为 200fs，每个时钟模块 M 中选择开关电路 MUX 的元件抖动为 100fs，时钟缓冲电路 clk buffer 的元件抖动为 40fs，则 N 层时钟模块层对应的通信路径最长的时钟链路包括串联的 N 各时钟模块 M，此时时钟链路的抖动值计算为：

$jitter_rms = \sqrt{200^2 + (100^2 + 40^2) \times N}$ ，通过对 N 逐个取值并计算抖动值，最终可得到抖动

值 $jitter_rms$ 最接近且小于时钟抖动最大限定值的最大允许层数。根据计算，不超过时钟抖动最大限定值 $500fs_rms$ 的最大允许层数为 18 层，此时时钟架构的时钟抖动值为：

$$jitter_rms = \sqrt{200^2 + (100^2 + 40^2) \times 18} = 498.799 fs。$$

可以理解的是，此处时钟架构的最大允许层数，不代表时钟架构中所有时钟模块 M 的个数，指的是时钟架构中时钟模块层的层数，对应最长通信链路中时钟模块 M 的个数，如图 2 中 M2 和 M2-1 均为第 2 时钟模块层的时钟模块。

在一些可选的实施例中，BMC 电路与主服务器 host server 之间也可进行通讯，参见图 5 所示，所有 BMC 电路与主服务器通过 I2C 总线连接。在一些可选的实施例中，时钟架构还包括集线器 HUB；所有 BMC 电路的物理层接口、主服务器的网络端口分别与集线器的接口连接。实际应用时，可选择以上两种连接方式中的任意一种或者选择两种连接方式均实施，这两种不同时钟模块中的 BMC 电路之间、主服务器和 BMC 电路之间可以进行相互沟通，从而实现时钟信号的动态切换。

本申请实施例公开了一种时钟架构，每个时钟模块中选择开关电路可选择本地时钟或外来下发时钟作为输出时钟，从而应用该时钟架构的处理模组，如高速运算模组中的时钟调控更为灵活，该时钟架构可扩展、时钟可选的特性为处理模组准确运行提高提供了可靠基础。

相应的，本申请实施例还公开了一种处理模组，包括：

如上文任一实施例时钟架构；

为时钟架构的最高时钟模块层提供外来下发时钟的主服务器；

各时钟信号端分别连接时钟架构中时钟缓冲电路的输出端的多个非时钟模块。

可选的，处理模组中时钟架构包括一层或多层时钟模块层，每层时钟模块层包括一个或多个时钟模块 M；参见图 1 所示，每个时钟模块 M 包括本地时钟发生器 clk gen、选择开关电路 MUX、多个时钟缓冲电路 clk buffer，其中：

本地时钟发生器 clk gen，被设置为产生独立的本地时钟 clk_m；

选择开关电路 MUX 的第一输入端接收本地时钟 clk_m，选择开关电路 MUX 的第二输入端接收外来下发时钟 clk_h，选择开关电路 MUX 的多个输出端分别与多个时钟缓冲电路 clk buffer 的输入端连接，选择开关电路 MUX 的使能端被设置为接收使能信号；

选择开关电路 MUX，被设置为根据使能信号使所有输出端输出本地时钟 clk_m 或使所有输出端输出外来下发时钟 clk_h。

可以理解的是，最高时钟模块层中时钟模块 M 中的外来下发时钟 clk_h 由主服务器 host server 提供。

可以理解的是，每个时钟缓冲电路 clk buffer 的输出端与下级模块一一连接，下级模块包括非时钟模块和/或下一时钟模块层的时钟模块 M。可选的，当下级模块为下一时钟模块层的时钟模块 M，对应的时钟缓冲电路 clk buffer 的输出端连接下一时钟模块层的时钟模块 M 的第二输入端。

可选的，每层时钟模块 M 还包括：BMC 电路，被设置为连接选择开关电路 MUX 的使能端，并生成使能信号。可以理解的是，通常 BMC 电路的 GPIO（General Purpose Input/Output，通用输入输出）端与 MUX 的使能端 SEL pin 连接，并向使能端 SEL pin 发出使能信号。

可以理解的是，选择开关电路 MUX 的两个输入端接收两个不同的时钟：本地时钟 clk_m 和外来下发时钟 clk_h，根据选择开关电路 MUX 的特性，选择开关电路 MUX 的所有输出端输出相同的输出时钟，根据使能信号的电平高低与配置关系，选择开关电路 MUX 的所有输出端可同时输出本地时钟 clk_m，或者，选择开关电路 MUX 的所有输出端可同时输出外来下发时钟 clk_h。通过当前时钟模块 M 中选择开关电路 MUX 的输出，为当前时钟模块 M 中下级模块提供相应的时钟，保证下级模块按照时钟运行。

可以理解的是，非时钟模块包括运算模块、和/或通信模块、和/或存储模块，每个运算模块分别连接时钟缓冲电路 clk buffer 的一个输出端。

可以理解的是，非时钟模块的设定可根据应用该时钟架构的处理模組的类型进行调整，下面以处理模組为高速运算模組为例进行描述：

在一些可选的实施例中，运算模块包括 FPGA 电路、和/或 CPLD 电路、和/或 GPU 电路；运算模块还包括存储电路，存储电路与 FPGA 电路或 CPLD 电路或 GPU 电路连接。可以理解的是，通常存储电路与 FPGA 电路可形成一个运算单元 Computing Module，多个运算单元可形成一个高速运算模組，高速运算模組中所有单元的时钟由本实施例中时钟架构相应提供，由于本实施例中时钟架构的时钟供应灵活、架构可扩展，能够为更高算力的运算模組提供时钟支持。其中，运算模块的类型根据时钟架构所要服务的高速运算模組的内部结构决定。

可选的，存储电路包括内存条和存储硬盘，内存条可选 DIMM（Dual Inline Memory Modules，双列直插式存储模块），存储硬盘可选 SSD 或其他形式的存储硬盘。类似的，存储电路的类型根据时钟架构所要服务的高速运算模組的内部结构决定。

可选的，通信模块包括：通信芯片和/或通信卡槽，通信模块的时钟端独立连接时钟缓冲电路 clk buffer 的一个输出端。可以理解的是，通信芯片和通信卡槽可根据通信协议确定，通常选择 PCIe 协议，相应的，通信芯片包括但不限于 PCIe switch 芯片，通信卡槽包

括 pcie slot。

以图 1 所示的单层时钟模块 M 为例，该时钟模块 M 中包括四个时钟缓冲电路：第一时钟缓冲电路 clk buffer 1、第二时钟缓冲电路 clk buffer 2、第三时钟缓冲电路 clk buffer 3、第四时钟缓冲电路 clk buffer 4，所有时钟缓冲电路 clk buffer 的输出端提供相同的时钟，每个时钟缓冲电路 clk buffer 上输出端的个数和每个输出端所提供的通道条数可根据时钟架构所要服务的高速运算模组的内部结构决定。

可选的，图 1 中第一时钟缓冲电路 clk buffer 1 提供五个输出端，其中第一输出端 clk_<0:3>与一个通信卡槽 PICE slot*4 连接，为 host 提供时钟，第二输出端 clk_<4:7>与一个通信卡槽 PICE slot*4 连接，为 scale-up 提供时钟，第三输出端 clk_<8:11>与一个通信卡槽 PICE slot*4 连接，为 scale-out 提供时钟，第四输出端 clk_<12:15>与一个运算模块 FPGA 1 连接，FPGA 1 还接有一个内存条 DIMM，二者形成一个运算单元 Computing Module 1，第五输出端 clk_<16:19>与一个运算模块 FPGA 3 连接，FPGA 3 还接有另一个内存条 DIMM，二者形成一个运算单元 Computing Module 3。

类似的，图 1 中第二时钟缓冲电路 clk buffer 2 提供三个输出端，其中第一输出端 clk_<0:7>与一个 NVME 协议的 8 通道存储硬盘 NVME SSD*8（标记为 SW#1）连接，第二输出端 clk_<8:15>与另一个 NVME 协议的 8 通道存储硬盘 NVME SSD*8（标记为 SW#2）连接，第三输出端 clk_<16:19>与一个运算模块 FPGA 2 连接，FPGA 2 还接有一个内存条 DIMM，二者形成一个运算单元 Computing Module 2。

类似的，图 1 中第三时钟缓冲电路 clk buffer 3 提供三个输出端，其中第一输出端 clk_<0:7>与一个 NVME 协议的 8 通道存储硬盘 NVME SSD*8（标记为 SW#3）连接，第二输出端 clk_<8:15>与另一个 NVME 协议的 8 通道存储硬盘 NVME SSD*8（标记为 SW#4）连接，第三输出端 clk_<16:19>与一个运算模块 FPGA 4 连接，FPGA 4 还接有一个内存条 DIMM，二者形成一个运算单元 Computing Module 4。

类似的，图 1 中第四时钟缓冲电路 clk buffer 4 提供 7 个输出端，其中第一输出端至第六输出端 100M<0>、100M<1>、100M<2>、100M<3>、100M<4>、100M<5>分别连接通信芯片 PCIe switch#1- PCIe switch#5，第七输出端 100M<6>连接 BMC 电路，这里的 BMC 电路指当前时钟模块 M 中被设置为输出使能信号的 BMC 电路，可见，时钟缓冲电路 clk buffer 的输出端还可连接 BMC 电路，从而为 BMC 电路提供时钟支持。

可以理解的是，每个时钟模块 M 的下级模块为非时钟模块的形式，可根据时钟架构所要服务的高速运算模组的内部结构决定，而时钟模块 M 的下级模块为下一时钟模块层的时钟模

块 M 时，相邻的时钟模块 M 之间串行连接。可选的，每个时钟模块 M 均存在一个内部的本地时钟发生器 clk_gen 生成的独立本地时钟 clk_m 和一个外来下发时钟 clk_h，最高时钟模块层的时钟模块 M 的外来下发时钟 clk_h 由主服务器 host server 提供，其它时钟模块层的时钟模块 M 的外来下发时钟 clk_h 由上一层的时钟模块 M 提供，上一层的时钟模块 M 中选择开关电路 MUX 的一个输出端连接一个时钟缓冲电路 clk buffer 的输入端，该时钟缓冲电路 clk buffer 的输出端连接其它时钟模块层的时钟模块 M 的第二输入端，向其它时钟模块层的时钟模块 M 发送外来下发时钟 clk_h。

可以理解的是，当下级模块为下一时钟模块层的时钟模块 M，对应的时钟缓冲电路 clk buffer 的输出端通过一个通信卡槽连接下一时钟模块层的时钟模块 M 的第二输入端。

如图 2 所示，图 2 为一种可选的时钟架构的示例，该时钟架构中忽略了下级模块为非时钟模块的内容，仅针对多层时钟模块层的时钟模块 M 的连接结构，其中 M1 为最高时钟模块层时钟模块，其外来下发时钟由主服务器 host server 提供，并通过多个通信卡槽 PCIe slot 分别为第二时钟模块层的时钟模块 M2、M2-1、M2-2 和 M2-3 提供外来下发时钟，第二时钟模块层的时钟模块分别为各自连接的下一层时钟模块提供外来下发时钟。对于每个时钟模块来说，其存在两个可选的时钟，即外来下发时钟 clk_h 和本地时钟 clk_m，时钟模块 M 内部可通过选择开关 MUX 从这两个可选的时钟之中确定一个时钟作为非时钟模块的时钟和下一时钟模块层的时钟模块 M 的外来下发时钟。

可以理解的是，PCIe 连接被设置为将从大量数据从发射器传送到接收器，并保证数据传输的高成功率。为达到这点，位中心或邻近位的发射器所传送的数据必须经由接收器采样，接收器中的频率/频率数据复原 (Clock/Data Recovery block, CDR) 会产生一个频率，定期采样数据至锁存器 (latch)。该过程中各种相位抖动源引起样本时序的波动，由于样本位置偏离理想位置，位错误率 (Bit Error rate) 增加，进而导致 PCIe 在运作时产生可修正错误 (correctable error) 或不可修正错误 (uncorrectable error)。

相应的，本实施例中时钟架构中时钟可选，既可选择支持共同时钟架构架构为高速运算模组提供时钟，也可选择支持分离时钟架构为高速运算模组提供时钟，时钟架构支持两种时钟架构的自动切换，并同时保有对于展频频率 (SSC) 的支持与时钟抖动 (jitter) 预算控制。

可选的，时钟架构中时钟模块层的最大允许层数通过时钟抖动最大限定值确定。通常情况下，时钟抖动最大限定值根据使用的通信协议决定，可采用 PCI sig 协对不同的 PCIe 协议规定了不同的时钟抖动限制，如表 1 所示。

可选的，时钟架构中时钟抖动的计算以元件抖动为计算参数，通信路径最长的时钟链路的抖动值作为当前时钟架构的时钟抖动值。可选的，确定时钟模块层的最大允许层数通过时钟抖动最大限定值的过程，参见图 4 所示，包括：

- S1: 获取当前时钟架构的拓扑关系；
- S2: 确定拓扑关系中通信路径最长的时钟链路；
- S3: 根据当前时钟架构的各元件抖动值计算时钟链路的抖动值；
- S4: 根据抖动值和时钟抖动最大限定值，确定时钟架构的最大允许层数。

在一些可选的实施例中，根据抖动值和时钟抖动最大限定值，确定时钟架构的最大允许层数的过程，包括：

比较抖动值与时钟抖动最大限定值的大小；

调整当前时钟架构中时钟模块层的层数并返回执行获取当前时钟架构的拓扑关系的步骤；

当 N 层时钟模块层对应的抖动值超过时钟抖动最大限定值，且 N-1 层时钟模块层对应的抖动值不超过时钟抖动最大限定值，确定时钟架构的最大允许层数为 N-1 层；N 为不小于 1 的整数。

在一些可选的实施例中，根据当前时钟架构的各元件抖动值计算时钟链路的抖动值的过程，包括：

对时钟链路上各元件抖动值的平方和作开方计算，得到时钟链路的抖动值。

可选的，以图 1 为例，其中本地时钟发生器 clk gen 型号可选为 IDT 公司的 9SQ440 芯片，9SQ440 芯片可以通过 25MHz 外部石英晶振产生 100MHz 的稳定时钟源输出；选择开关电路 MUX 型号可选为 IDT 公司的 9DML04 芯片，9DML04 芯片拥有两个 100MHz 的时钟输入端，并具有四个稳定的 100MHz 输出端；BMC 电路的型号可选为 ASPEED 公司的 AST2600 芯片，时钟缓冲电路 clk buffer 的型号可选为 9QXL2001BNHGI 芯片；BMC 电路通过 GPIO 端连接选择开关电路 MUX 的使能引脚 SEL pin，藉以达成自动切换输入端口的功能，可选的，当 GPIO 端输出低电平的使能信号，选择开关电路 MUX 将时钟输入端口切换至外来下发时钟 clk_h，当 GPIO 端输出为高电平的使能信号，选择开关电路 MUX 将时钟输入端口切换至本地时钟 clk_m，该使能控制逻辑也可根据实际进行调整，此处不作限制。

以图 1 为例，根据以上选型的最大时钟抖动参数，主服务器 host server 提供的外来下发时钟 clk_h 的元件抖动为 200fs，选择开关电路 MUX 的元件抖动为 100fs，时钟缓冲电路 clk buffer 的元件抖动为 40fs，当前时钟模块 M 的时钟抖动值为 $jitter_rms = \sqrt{200^2 + 100^2 + 40^2} = 227.2 fs$ ，当前时钟架构的时钟抖动最大限定值为 500fs rms，显然当前时钟模块 M 小于时钟抖动最大限定值。

可选的，将图 1 中的选型应用于图 2 的时钟架构中，以时钟模块层的层数 $n=3$ ，即通信路径最长的时钟链路为 3 为例，图 2 的时钟架构的时钟抖动值为：

$$jitter_rms = \sqrt{200^2 + 100^2 + 40^2 + 100^2 + 40^2 + 100^2 + 40^2} = 273.5fs$$

时钟抖动最大限定值仍为 500fs rms，3 层时钟模块层满足时钟抖动要求。

可选的，对于将图 1 的选型应用到图 2 的时钟架构，假设主服务器 host server 提供的外来下发时钟 clk_h 的元件抖动为 200fs，每个时钟模块 M 中选择开关电路 MUX 的元件抖动为 100fs，时钟缓冲电路 clk buffer 的元件抖动为 40fs，则 N 层时钟模块层对应的通信路径最长的时钟链路包括串联的 N 各时钟模块 M，此时时钟链路的抖动值计算为：

$jitter_rms = \sqrt{200^2 + (100^2 + 40^2) \times N}$ ，通过对 N 逐个取值并计算抖动值，最终可得到抖动值 jitter_rms 最接近且小于时钟抖动最大限定值的最大允许层数。根据计算，不超过时钟抖动最大限定值 500fs rms 的最大允许层数为 18 层，此时时钟架构的时钟抖动值为：

$$jitter_rms = \sqrt{200^2 + (100^2 + 40^2) \times 18} = 498.799fs$$

可以理解的是，此处时钟架构的最大允许层数，不代表时钟架构中所有时钟模块 M 的个数，指的是时钟架构中时钟模块层的层数，对应最长通信链路中时钟模块 M 的个数，如图 2 中 M2 和 M2-1 均为第 2 时钟模块层的时钟模块。

在一些可选的实施例中，BMC 电路与主服务器 host server 之间也可进行通讯，参见图 5 所示，所有 BMC 电路与主服务器通过 I2C 总线连接。在一些可选的实施例中，时钟架构还包括集线器 HUB；所有 BMC 电路的物理层接口、主服务器的网络端口分别与集线器的接口连接。实际应用时，可选择以上两种连接方式中的任意一种或者选择两种连接方式均实施，这两种不同时钟模块中的 BMC 电路之间、主服务器和 BMC 电路之间可以进行相互沟通，从而实现时钟信号的动态切换。

本申请实施例时钟架构中，每个时钟模块中选择开关电路可选择本地时钟或外来下发时钟作为输出时钟，从而应用该时钟架构的处理模组，如高速运算模组中的时钟调控更为灵活，该时钟架构可扩展、时钟可选的特性为处理模组准确运行提高提供了可靠基础。

最后，还需要说明的是，在本文中，诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括要素的过程、方法、物品或者设备中还存在另外的相同要素。

以上对本申请实施例所提供的一种时钟架构及处理模组进行了详细介绍，本文中应用了可选个例对本申请实施例的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理

解本申请实施例的方法及其核心思想；同时，对于本领域的一般技术人员，依据本申请实施例的思想，在可选实施方式及应用范围上均会有改变之处，综上，本说明书内容不应理解为本申请实施例的限制。

权 利 要 求 书

1. 一种时钟架构，其特征在于，所述时钟架构包括一层或多层时钟模块层；每层所述时钟模块层包括一个或多个时钟模块，每个所述时钟模块包括本地时钟发生器、选择开关电路、多个时钟缓冲电路，其中：

所述本地时钟发生器，被设置为产生独立的本地时钟；

所述选择开关电路的第一输入端接收所述本地时钟，所述选择开关电路的第二输入端接收外来下发时钟，所述选择开关电路的多个输出端分别与多个时钟缓冲电路的输入端连接，所述选择开关电路的使能端被设置为接收使能信号；

所述选择开关电路，被设置为根据所述使能信号使所有所述输出端输出所述本地时钟或使所有所述输出端输出所述外来下发时钟。

2. 根据权利要求 1 所述时钟架构，其特征在于，最高所述时钟模块层中所述时钟模块的所述外来下发时钟由主服务器提供。

3. 根据权利要求 1 所述时钟架构，其特征在于，每个所述时钟缓冲电路的输出端与下级模块一一连接，所述下级模块包括非时钟模块和/或下一所述时钟模块层的所述时钟模块。

4. 根据权利要求 3 所述时钟架构，其特征在于，当所述下级模块为下一所述时钟模块层的所述时钟模块，对应的所述时钟缓冲电路的所述输出端连接下一所述时钟模块层的所述时钟模块的所述第二输入端。

5. 根据权利要求 1 所述时钟架构，其特征在于，每个所述时钟模块还包括：

BMC 电路，被设置为连接所述选择开关电路的所述使能端，并生成所述使能信号。

6. 根据权利要求 5 所述时钟架构，其特征在于，还包括集线器；

所有所述 BMC 电路的物理层接口、主服务器的网络端口分别与所述集线器的接口连接。

7. 根据权利要求 3 所述时钟架构，其特征在于，所述非时钟模块包括运算模块、和/或通信模块、和/或存储模块，每个所述运算模块分别连接所述时钟缓冲电路的一个输出端。

8. 根据权利要求 7 所述时钟架构，其特征在于，所述运算模块包括 FPGA 电路、和/或 CPLD 电路、和/或 GPU 电路；

所述运算模块还包括存储电路，所述存储电路与所述 FPGA 电路或所述 CPLD 电路或所述 GPU 电路连接。

9. 根据权利要求 7 所述时钟架构，其特征在于，所述通信模块包括：通信芯片和/或通信卡槽，所述通信模块的时钟端独立连接所述时钟缓冲电路的一个输出端。

10. 根据权利要求 3 所述时钟架构，其特征在于，

当所述下级模块为下一所述时钟模块层的所述时钟模块，对应的所述时钟缓冲电路的所述输出端通过一个通信卡槽连接下一所述时钟模块层的所述时钟模块的所述第二输入端。

11. 根据权利要求 1 至 10 任一项所述时钟架构，其特征在于，所述时钟架构中所述时钟模块层的最大允许层数通过时钟抖动最大限定值确定。

12. 根据权利要求 11 所述时钟架构，其特征在于，确定所述时钟模块层的最大允许层数通过时钟抖动最大限定值的过程，包括：

获取当前时钟架构的拓扑关系；

确定所述拓扑关系中通信路径最长的时钟链路；

根据当前时钟架构的各元件抖动值计算所述时钟链路的抖动值；

根据所述抖动值和时钟抖动最大限定值，确定所述时钟架构的最大允许层数。

13. 根据权利要求 12 所述时钟架构，其特征在于，所述根据所述抖动值和时钟抖动最大限定值，确定所述时钟架构的最大允许层数的过程，包括：

比较所述抖动值与时钟抖动最大限定值的大小比较所述抖动值与时钟抖动最大限定值的大小；

调整当前时钟架构中时钟模块层的层数并返回执行所述获取当前时钟架构的拓扑关系的步骤；

当 N 层所述时钟模块层对应的所述抖动值超过所述时钟抖动最大限定值，且 N-1 层所述时钟模块层对应的所述抖动值不超过所述时钟抖动最大限定值，确定所述时钟架构的最大允许层数为 N-1 层；N 为不小于 1 的整数。

14. 根据权利要求 12 所述时钟架构，其特征在于，所述根据当前时钟架构的各元件抖动值计算所述时钟链路的抖动值的过程，包括：

对所述时钟链路上各元件抖动值的平方和作开方计算，得到所述时钟链路的抖动值。

15. 根据权利要求 5 所述时钟架构，其特征在于，所述 BMC 电路的通用输入输出 GPIO 端与所述选择开关电路的所述使能端连接，所述 GPIO 端被设置为向所述使能端发出所述使能信号。

16. 根据权利要求 1 所述时钟架构，其特征在于，所述根据所述使能信号使所有所述

输出端输出所述本地时钟或使所有所述输出端输出所述外来下发时钟的过程，包括：

根据所述使能信号的电平高低与配置关系，使所有所述输出端同时输出所述本地时钟，或，使所有所述输出端同时输出所述外来下发时钟。

17. 根据权利要求 8 所述时钟架构，其特征在于，所述存储电路包括内存条和存储硬盘。

18. 根据权利要求 11 所述时钟架构，其特征在于，所述时钟抖动最大限定值根据使用的通信协议决定。

19. 一种处理模组，其特征在于，包括：

如权利要求 1 至 18 任一项所述时钟架构；

为所述时钟架构的最高时钟模块层提供外来下发时钟的主服务器；

各时钟信号端分别连接所述时钟架构中所述时钟缓冲电路的输出端的多个非时钟模块。

20. 根据权利要求 19 所述处理模组，其特征在于，所述处理模组为高速运算模组，所述高速运算模组中所有单元的时钟由所述时钟架构相应提供。

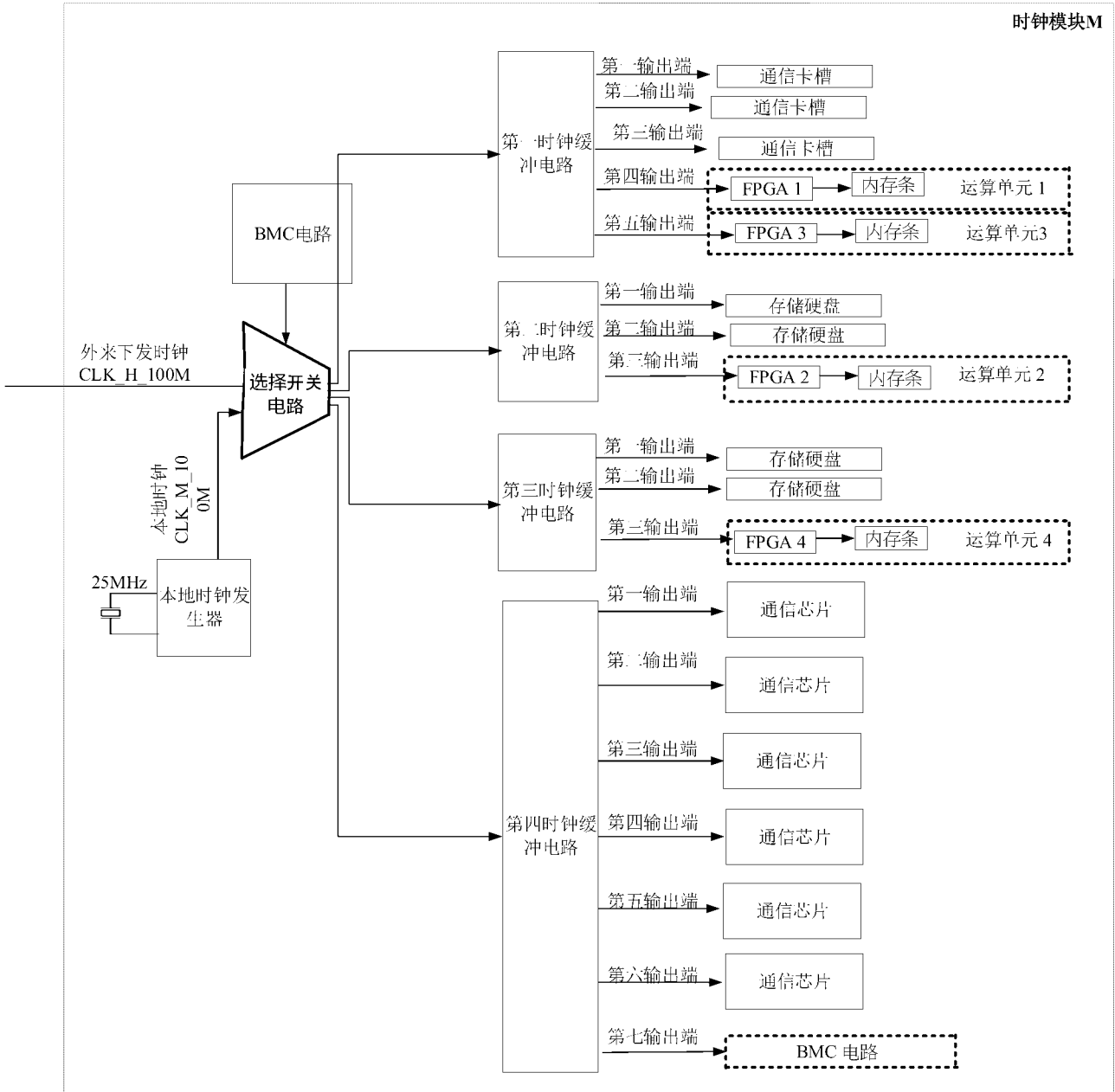


图 1

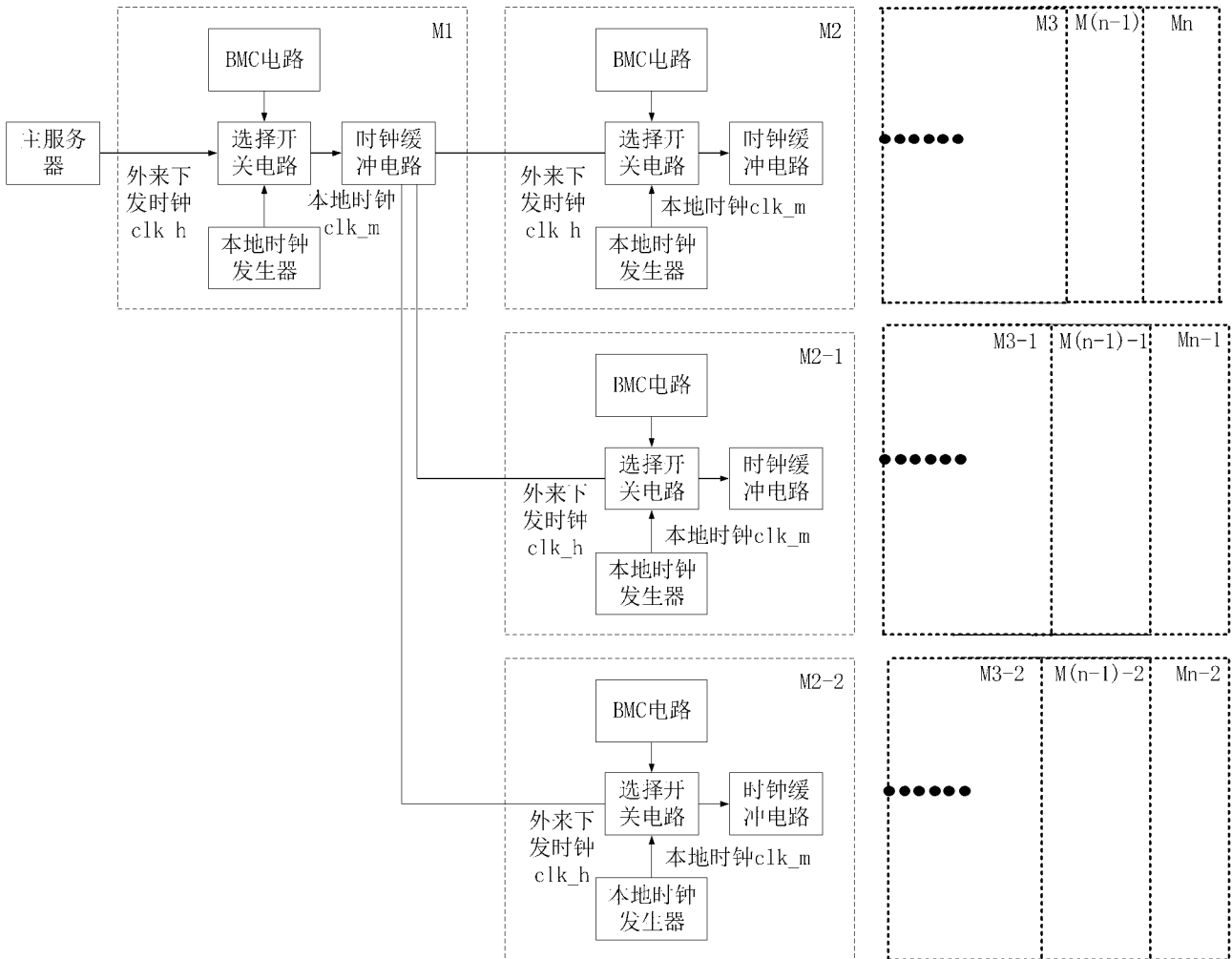


图 2

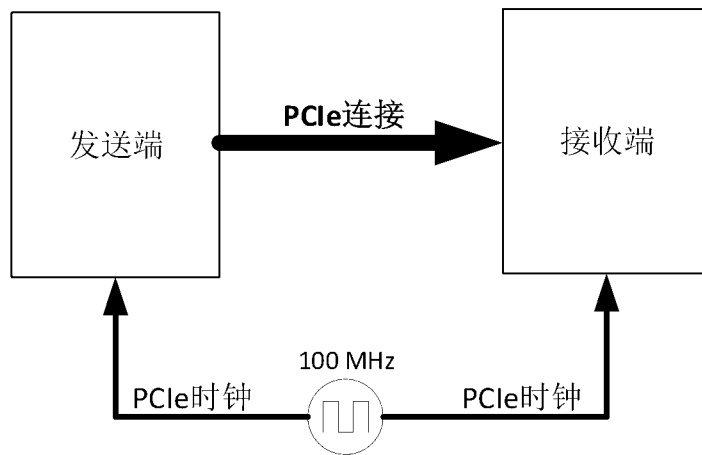


图 3a

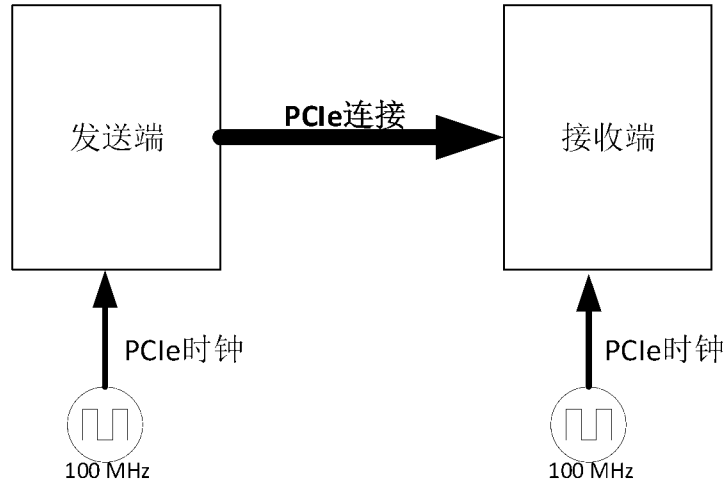


图 3b

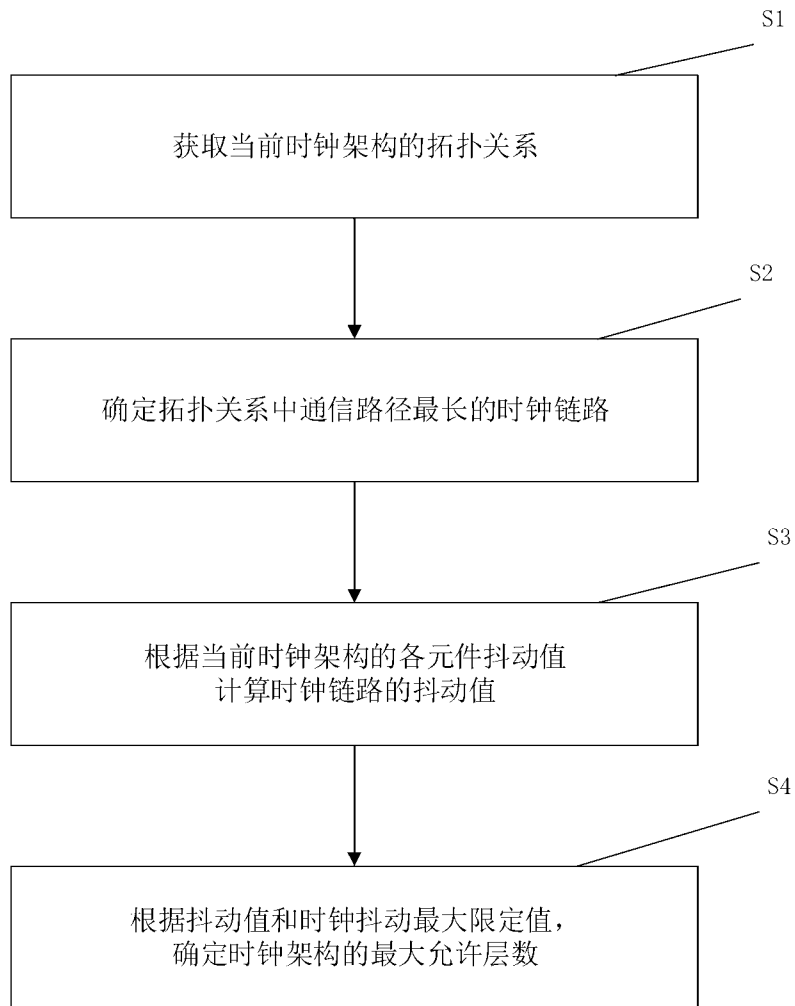


图 4

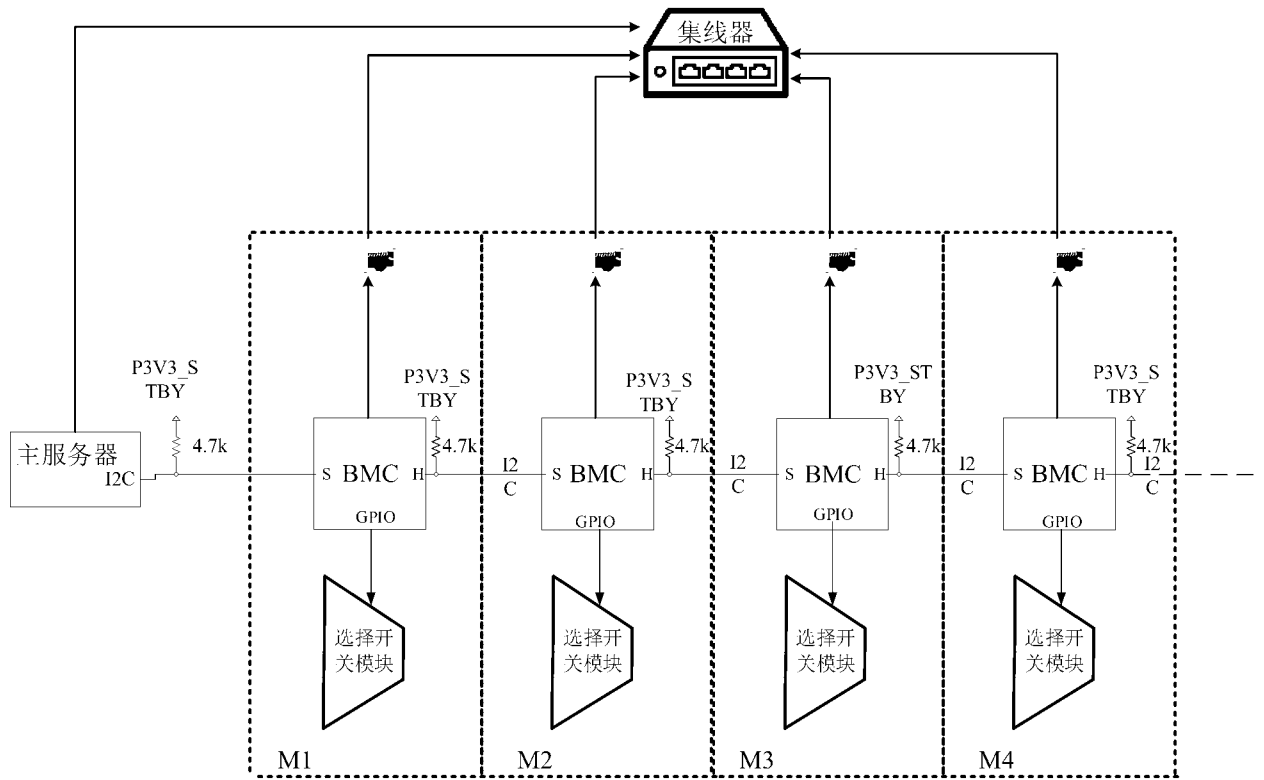


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/093323

A. CLASSIFICATION OF SUBJECT MATTER

G06F1/08(2006.01)i; G06F1/06(2006.01)n; G06F1/10(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; DWPI; USTXT; WOTXT; ENTXT; IEE: 时钟, 多级, 级联, 上一级, 前端, 后端, 本地, 开关, 多路, 使能, 抖动, clock, multi-stage, cascade, front-end, back end, local, MUX, jitter

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 115543016 A (SUZHOU INSPUR INTELLIGENT TECHNOLOGY CO., LTD.) 30 December 2022 (2022-12-30) claims 1-15, description, paragraphs [0022]-[0090], and figures 1-5	1-20
X	CN 113177019 A (SHANDONG YINGXIN COMPUTER TECHNOLOGY CO., LTD.) 27 July 2021 (2021-07-27) description, paragraphs [0036]-[0080], and figures 1-3	1-20
Y	CN 112291027 A (HANGZHOU DPTECH TECHNOLOGIES CO., LTD.) 29 January 2021 (2021-01-29) description, paragraphs [0023]-[0082], and figures 1-4	1-20
Y	CN 114967839 A (JINGXIN MICROELECTRONIC TECHNOLOGY (TIANJIN) CO., LTD.) 30 August 2022 (2022-08-30) description, paragraphs [0017]-[0039], and figures 1-6	1-20
A	CN 113608575 A (SHENZHEN MICROBT ELECTRONICS TECHNOLOGY CO., LTD.) 05 November 2021 (2021-11-05) entire document	1-20

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 June 2023

Date of mailing of the international search report

06 July 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/093323

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115543016	A	30 December 2022	CN	115543016	B	10 March 2023
CN	113177019	A	27 July 2021	CN	113177019	B	09 August 2022
CN	112291027	A	29 January 2021	None			
CN	114967839	A	30 August 2022	None			
CN	113608575	A	05 November 2021	None			

国际检索报告

国际申请号

PCT/CN2023/093323

<p>A. 主题的分类</p> <p>G06F1/08(2006.01)i; G06F1/06(2006.01)n; G06F1/10(2006.01)n</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>IPC:G06F</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS;CNTXT;CNKI;VEN;DWPI;USTXT;WOTXT;ENTXT;IEEE: 时钟, 多级, 级联, 上一级, 前端, 后端, 本地, 开关, 多路, 使能, 抖动, clock, multi-stage, cascade, front-end, back end, local, MUX, jitter</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 115543016 A (苏州浪潮智能科技有限公司) 2022年12月30日 (2022 - 12 - 30) 权利要求第1-15项, 说明书第[0022]-[0090]段, 图1-5</td> <td>1-20</td> </tr> <tr> <td>X</td> <td>CN 113177019 A (山东英信计算机技术有限公司) 2021年7月27日 (2021 - 07 - 27) 说明书第[0036]-[0080]段, 图1-3</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>CN 112291027 A (杭州迪普科技股份有限公司) 2021年1月29日 (2021 - 01 - 29) 说明书第[0023]-[0082]段, 图1-4</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>CN 114967839 A (井芯微电子技术(天津)有限公司) 2022年8月30日 (2022 - 08 - 30) 说明书第[0017]-[0039]段, 图1-6</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 113608575 A (深圳比特微电子科技有限公司) 2021年11月5日 (2021 - 11 - 05) 全文</td> <td>1-20</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 115543016 A (苏州浪潮智能科技有限公司) 2022年12月30日 (2022 - 12 - 30) 权利要求第1-15项, 说明书第[0022]-[0090]段, 图1-5	1-20	X	CN 113177019 A (山东英信计算机技术有限公司) 2021年7月27日 (2021 - 07 - 27) 说明书第[0036]-[0080]段, 图1-3	1-20	Y	CN 112291027 A (杭州迪普科技股份有限公司) 2021年1月29日 (2021 - 01 - 29) 说明书第[0023]-[0082]段, 图1-4	1-20	Y	CN 114967839 A (井芯微电子技术(天津)有限公司) 2022年8月30日 (2022 - 08 - 30) 说明书第[0017]-[0039]段, 图1-6	1-20	A	CN 113608575 A (深圳比特微电子科技有限公司) 2021年11月5日 (2021 - 11 - 05) 全文	1-20
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PX	CN 115543016 A (苏州浪潮智能科技有限公司) 2022年12月30日 (2022 - 12 - 30) 权利要求第1-15项, 说明书第[0022]-[0090]段, 图1-5	1-20																		
X	CN 113177019 A (山东英信计算机技术有限公司) 2021年7月27日 (2021 - 07 - 27) 说明书第[0036]-[0080]段, 图1-3	1-20																		
Y	CN 112291027 A (杭州迪普科技股份有限公司) 2021年1月29日 (2021 - 01 - 29) 说明书第[0023]-[0082]段, 图1-4	1-20																		
Y	CN 114967839 A (井芯微电子技术(天津)有限公司) 2022年8月30日 (2022 - 08 - 30) 说明书第[0017]-[0039]段, 图1-6	1-20																		
A	CN 113608575 A (深圳比特微电子科技有限公司) 2021年11月5日 (2021 - 11 - 05) 全文	1-20																		
国际检索实际完成的日期	2023年6月19日	国际检索报告邮寄日期	2023年7月6日																	
ISA/CN的名称和邮寄地址	中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	授权官员	任洪潮 电话号码 (+86) 0512-88995644																	

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/093323

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 115543016 A	2022年12月30日	CN 115543016 B	2023年3月10日
CN 113177019 A	2021年7月27日	CN 113177019 B	2022年8月9日
CN 112291027 A	2021年1月29日	无	
CN 114967839 A	2022年8月30日	无	
CN 113608575 A	2021年11月5日	无	