



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0063082
(43) 공개일자 2008년07월03일

<p>(51) Int. Cl. G09G 3/20 (2006.01) G09G 3/30 (2006.01) H05B 33/08 (2006.01) H02M 3/07 (2006.01)</p> <p>(21) 출원번호 10-2007-0130696 (22) 출원일자 2007년12월14일 심사청구일자 없음 (30) 우선권주장 JP-P-2006-00355771 2006년12월28일 일본(JP)</p>	<p>(71) 출원인 소니 가부시키 가이샤 일본국 도쿄도 미나토쿠 코난 1-7-1</p> <p>(72) 발명자 진타 세이이치로 일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시키 가이샤 나이</p> <p>(74) 대리인 이화익, 권태복</p>
---	--

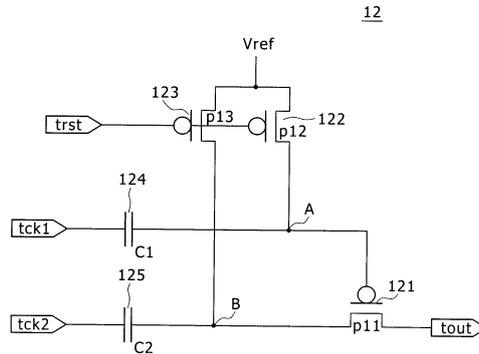
전체 청구항 수 : 총 18 항

(54) 전압공급 회로, 표시장치, 전자기기 및 전압공급 방법

(57) 요약

제1 및 제2 노드; 소정의 전위; 및 상기 제1 노드에 접속된 제어 단자, 상기 제2 노드에 접속된 제1 단자, 및 출력 단자에 접속된 제2 단자를 가지는 출력 트랜지스터를 포함하는 전압공급 회로가 제공된다. 상기 회로는 활성화의 리셋 신호에 응답하여 온 되고, 상기 소정의 전위와 상기 제1 및 제2 노드에 함께 접속되는 스위칭 소자; 상기 제1 노드에 접속되어 클록이 공급되는 제1 캐패시터; 상기 제2 노드에 접속되어 클록이 공급되는 제2 캐패시터; 및 상기 제1 및 제2 노드의 전위가 그 사이에 유지되는 소정의 차이에 의해 변동하도록 상기 클록의 진폭을 조정하는 조정부를 더 포함한다. 상기 리셋 신호는 기본적으로 상기 클록과 역상이다.

대표도 - 도4



특허청구의 범위

청구항 1

제1 및 제2 노드;

소정의 전위;

상기 제1 노드에 접속된 제어 단자, 상기 제2 노드에 접속된 제1 단자, 및 출력 단자에 접속된 제2 단자를 가지는 출력 트랜지스터;

활성화의 리셋 신호에 응답하여 온되고, 상기 소정의 전위와 상기 제1 및 제2 노드에 함께 접속되는 스위칭 소자;

상기 제1 노드에 접속되어 클록이 공급되는 제1 캐패시터;

상기 제2 노드에 접속되어 클록이 공급되는 제2 캐패시터;

상기 제1 및 제2 노드의 전위가 그 사이에 유지되는 소정의 차이에 의해 변동하도록 상기 클록의 진폭을 조정하는 조정부를 포함하며,

상기 리셋 신호는 기본적으로 상기 클록과 역상인 것을 특징으로 하는 전압공급 회로.

청구항 2

제1항에 있어서,

상기 조정부는 진폭이 서로 다른 제1 및 제2 클록을 생성하고, 상기 제1 클록을 상기 제1 캐패시터에 입력하고, 상기 제2 클록을 상기 제2 캐패시터에 입력하는 기능을 가지며;

상기 조정부는 상기 제1 클록의 진폭을 상기 제2 클록의 진폭보다 큰 진폭으로 설정하는 것을 특징으로 하는 전압공급 회로.

청구항 3

제1항에 있어서,

상기 조정부는 상기 제2 노드에 접속된 부가 용량을 가지며;

상기 조정부는 하나의 클록을 상기 제1 및 제2 캐패시터에 병렬로 입력하는 기능을 가지는 것을 특징으로 하는 전압공급 회로.

청구항 4

제2항에 있어서,

상기 조정부는 하나의 클록으로부터 상기 클록 신호와 상기 제1 및 제2 클록을 생성하여 상기 스위칭 소자와 상기 제1 및 제2 캐패시터에 입력하는 기능을 가지는 것을 특징으로 하는 전압공급 회로.

청구항 5

제3항에 있어서,

상기 조정부는 하나의 클록으로부터 상기 리셋 신호와 상기 클록을 생성하여 상기 스위칭 소자와 상기 제1 및 제2 캐패시터에 입력하는 기능을 가지는 것을 특징으로 하는 전압공급 회로.

청구항 6

제2항에 있어서,

상기 리셋 신호는 상기 제1 및 제2 클록에 대하여 선행하는 것을 특징으로 하는 전압공급 회로.

청구항 7

제6항에 있어서,

상기 조정부는 상기 클록을 상기 리셋 신호로 지연시키는 지연회로를 가지는 것을 특징으로 하는 전압공급 회로.

청구항 8

제3항에 있어서,

상기 리셋 신호는 상기 제1 및 제2 클록에 대하여 선행하는 것을 특징으로 하는 전압공급 회로.

청구항 9

제8항에 있어서,

상기 조정부는 상기 클록을 상기 리셋 신호로 지연시키는 지연회로를 가지는 것을 특징으로 하는 전압공급 회로.

청구항 10

제2항에 있어서,

상기 리셋 신호는 상기 출력 트랜지스터로부터 전위가 출력되는 기간보다 긴 기간 동안 비활성화되는 것을 특징으로 하는 전압공급 회로.

청구항 11

제3항에 있어서,

상기 리셋 신호는 상기 출력 트랜지스터로부터 전위가 출력되는 기간보다 긴 기간 동안 비활성화되는 것을 특징으로 하는 전압공급 회로.

청구항 12

제4항에 있어서,

상기 조정부는 클록 및 인에이블 신호로부터 상기 리셋 신호를 생성하는 기능을 가지는 것을 특징으로 하는 전압공급 회로.

청구항 13

제5항에 있어서,

상기 조정부는 클록 및 인에이블 신호로부터 상기 리셋 신호를 생성하는 기능을 가지는 것을 특징으로 하는 전압공급 회로.

청구항 14

매트릭스 형태로 배열된 복수의 화소 회로;

상기 화소 회로를 형성하는 소자를 구동시키는 구동신호를 출력할 수 있는 주사부; 및

상기 주사부에 구동전압을 공급하는 전압공급 회로를 포함하며, 상기 전압공급 회로는,

제1 및 제2 노드;

소정의 전위;

상기 제1 노드에 접속된 제어 단자, 상기 제2 노드에 접속된 제1 단자, 및 출력 단자에 접속된 제2 단자를 가지는 출력 트랜지스터;

활성화의 리셋 신호에 응답하여 온 되고, 상기 소정의 전위와 상기 제1 및 제2 노드에 함께 접속되는 스위칭 소자;

상기 제1 노드에 접속되어 클록이 공급되는 제1 캐패시터;

상기 제2 노드에 접속되어 클록이 공급되는 제2 캐패시터; 및

상기 제1 및 제2 노드의 전위가 그 사이에 유지되는 소정의 차이에 의해 변동하도록 상기 클록의 진폭을 조정하는 조정부를 포함하며,

상기 리셋 신호는 기본적으로 상기 클록과 역상인 것을 특징으로 하는 표시장치.

청구항 15

제14항에 있어서,

상기 조정부는 진폭이 서로 다른 제1 및 제2 클록을 생성하고, 상기 제1 클록을 상기 제1 캐패시터에 입력하고, 상기 제2 클록을 상기 제2 캐패시터에 입력하는 기능을 가지며;

상기 조정부는 상기 제1 클록의 진폭을 상기 제2 클록의 진폭보다 큰 진폭으로 설정하는 것을 특징으로 하는 표시장치.

청구항 16

제14항에 있어서,

상기 조정부는 상기 제2 노드에 접속된 부가 용량을 가지며;

상기 조정부는 하나의 클록을 상기 제1 및 제2 캐패시터에 병렬로 입력하는 기능을 가지는 것을 특징으로 하는 표시장치.

청구항 17

표시장치를 포함하는데, 상기 표시장치는,

매트릭스 형태로 배열된 복수의 화소 회로;

상기 화소 회로를 형성하는 소자를 구동시키는 구동신호를 출력할 수 있는 주사부;

상기 주사부에 구동전압을 공급하는 전압공급 회로를 포함하며, 상기 전압공급 회로는,

제1 및 제2 노드;

소정의 전위;

상기 제1 노드에 접속된 제어 단자, 상기 제2 노드에 접속된 제1 단자, 및 출력 단자에 접속된 제2 단자를 가지는 출력 트랜지스터;

활성화의 리셋 신호에 응답하여 온 되고, 상기 소정의 전위와 상기 제1 및 제2 노드에 함께 접속되는 스위칭 소자;

상기 제1 노드에 접속되어 클록이 공급되는 제1 캐패시터;

상기 제2 노드에 접속되어 클록이 공급되는 제2 캐패시터; 및

상기 제1 및 제2 노드의 전위가 그 사이에 유지되는 소정의 차이에 의해 변동하도록 상기 클록의 진폭을 조정하는 조정부를 포함하며,

상기 리셋 신호는 기본적으로 상기 클록과 역상인 것을 특징으로 하는 전자기기.

청구항 18

제1 노드에 접속되어 클록이 공급되는 제1 캐패시터와, 제2 노드에 접속되어 다른 클록이 공급되는 제2 캐패시터와, 상기 제1 노드에 접속된 제어 단자, 상기 제2 노드에 접속된 제1 단자, 및 출력 단자에 접속된 제2 단자를 가지는 출력 트랜지스터를 사용하여 전압을 공급하는 전압공급 방법에 있어서,

상기 클록 신호와 기본적으로 역상인 리셋 신호가 활성화되는 동안, 소정의 전위와 상기 제1 및 제2 노드를 접속하는 제1 단계;

상기 제1 및 제2 노드의 전위가 그 사이에 유지되는 소정의 차이에 의해 변동하도록 상기 클록의 진폭을 조정하

는 제2 단계; 및

전위변동에 응답하여 상기 출력 트랜지스터로부터 상기 제2 노드의 전위에 대응하는 전압을 출력하는 제3 단계를 포함하는 것을 특징으로 하는 전압공급 방법.

명세서

발명의 상세한 설명

기술분야

- <1> 본 발명은 표시장치 구동부에 양 또는 음의 구동전압을 공급하는 DC-DC 컨버터와 같은 구성 요소를 포함하는 전압공급 회로에 관한 것이다. 또한, 본 발명은 상기 전압공급 회로를 가지는 표시장치 및 전자기기, 및 상기 전압공급 회로를 사용한 전압공급 방법에 관한 것이다.
- <2> 본 발명은 2006년 12월 28일자로 일본국 특허청에 제출된 일본국 특허출원 JP 2006-355771에 관련된 주제를 포함하며, 그 전체 내용은 본 명세서에 참고문헌으로 편입된다.

배경기술

- <3> 화상 표시장치, 예를들면 액정 디스플레이 또는 유기 EL(Electro luminescence) 디스플레이는 매트릭스 형태로 배열된 복수의 화소를 가진다. 이런 표시장치는 표시해야 할 화상정보에 따라 각 화소의 광강도를 제어함으로써 화상을 표시한다.
- <4> 이런 종류의 표시장치에 있어서, DC-DC 컨버터를 포함하는 전원회로가 표시 패널에 제공될 수 있다.
- <5> 도 1은 DC-DC 컨버터의 구성예를 도시하는 회로도이다. 도 2는 도 1에 도시된 DC-DC 컨버터의 타이밍도이다.
- <6> 도 1에 도시된 DC-DC 컨버터(1)는 n채널 MOS (NMOS) 트랜지스터(n1)에 의해 형성되는 출력 트랜지스터(2)를 구비한다. 또한, DC-DC 컨버터(1)는 p채널 MOS (PMOS) 트랜지스터(p1, p2)에 의해 형성되는 다른 트랜지스터(3과 4)를 구비한다.
- <7> 상기 출력 트랜지스터(2)의 소스와 트랜지스터(3)의 드레인 사이의 접속점에 의해 노드(A)가 형성된다. 노드(B)는 상기 출력 트랜지스터(2)의 게이트, 상기 트랜지스터(3)의 게이트, 및 상기 트랜지스터(4)의 드레인에 접속되어 있다.
- <8> 노드(A)는 클록(CKg)이 공급되는 캐패시터(5)(Cap1)에 접속된다. 노드(B)는 상기 클록(CKg)과 역상인 클록(xCKg)이 공급되는 캐패시터(6)(Cap2)에 접속되어 있다.
- <9> 상기 DC-DC 컨버터(1)에 있어서, 상기 출력 트랜지스터(2)의 게이트와 소스에는 용량 결합된 클록 펄스가 공급되어, 음의 전원전압(V_{ssg})을 생성한다.
- <10> 부수적으로, 상기 D-D 컨버터는 CMOS 구성을 가진다.
- <11> 패널 생산량의 향상을 도모하기 위한 기술중 하나는 TFT 회로가 단일 형태의 트랜지스터(동일 극성의 트랜지스터)(PMOS 또는 NMOS)를 사용하여 구성되는 기술이다.
- <12> 여러가지의 단일 형태의 구성 회로가 전원회로에 사용되는 레벨 시프터, 버퍼, 인버터, 및 시프트 레지스터에 대해 제안되어 있다. 참고로, 일본국 공개특허공보 2005-123864호, 2005-123865호, 2005-143068호, 2005-149624호가 참조될 수 있다.

발명의 내용

해결하고자하는 과제

- <13> 그러나, 이런 회로를 갖는 패널의 구성은 몇 종류의 전원을 요구한다.
- <14> 일반적으로, CMOS 구성을 가지는 패널에서는 2계통의 전원전압(GND을 포함하는)을 외부에서 공급받고, 그 이외는 패널 내부에서 생성한다.
- <15> 이것은 패널의 제조 공정수 증가를 초래하고, 생산량의 향상을 곤란하게 한다.

- <16> 더욱이, 그 외부에 DC-DC 컨버터를 가지는 것보다 패널 내부에 DC-DC 컨버터를 가지는 것이 비용적으로 유리하다. 그 때문에, 단일 구성의 경우라도, 패널 내에 DC-DC 컨버터를 제공하는 것이 바람직하다.
- <17> 동일 극성의 트랜지스터에 의해 형성되는 패널 및 다른 장치 내에 배치될 수 있고, 생산량의 향상, 공정수와 비용 저감을 보장할 수 있는 전압공급 회로, 상기 전압공급 회로를 가지는 표시장치 및 전자기기, 및 상기 전압공급 회로를 사용한 전압공급 방법을 제공하는 것이 바람직하다.

과제 해결수단

- <18> 본 발명의 제1 실시예에 따른 전압공급 회로는 제1 및 제2 노드와, 소정의 전위를 포함한다. 상기 전압공급 회로는 상기 제1 노드에 접속된 제어 단자, 상기 제2 노드에 접속된 제1 단자, 및 출력 단자에 접속된 제2 단자를 가지는 출력 트랜지스터를 더 포함한다. 상기 전압공급 회로는 활성화의 리셋 신호에 응답하여 온 되고, 상기 소정의 전위와 상기 제1 및 제2 노드에 함께 접속되는 스위칭 소자를 더 포함한다. 상기 전압공급 회로는 상기 제1 노드에 접속되어 클록이 공급되는 제1 캐패시터와, 상기 제2 노드에 접속되어 클록이 공급되는 제2 캐패시터를 더 포함한다. 상기 전압공급 회로는 상기 제1 및 제2 노드의 전위가 그 사이에 유지되는 소정의 차이에 의해 변동하도록 상기 클록의 진폭을 조정하는 조정부를 더 포함한다. 상기 리셋 신호는 기본적으로 상기 클록과 역상이다.
- <19> 바람직하게, 상기 조 정부는 진폭이 서로 다른 제1 및 제2 클록을 생성하고, 상기 제1 클록을 상기 제1 캐패시터에 입력하고, 상기 제2 클록을 상기 제2 캐패시터에 입력하는 기능을 가진다. 상기 조 정부는 상기 제1 클록의 진폭을 상기 제2 클록의 진폭보다 큰 진폭으로 설정한다.
- <20> 바람직하게, 상기 조 정부는 상기 제2 노드에 접속된 부가 용량을 가지며, 하나의 클록을 상기 제1 및 제2 캐패시터에 병렬로 입력하는 기능을 가진다.
- <21> 본 발명의 제2 실시예에 따른 표시장치는 매트릭스 형태로 배열된 복수의 화소 회로를 포함한다. 상기 표시장치는 적어도 상기 화소 회로를 형성하는 소자를 구동시키는 구동신호를 출력할 수 있는 주사부를 더 포함한다. 상기 표시장치는 상기 주사부에 구동전압을 공급하는 전압공급 회로를 더 포함한다. 상기 전압공급 회로는 제1 및 제2 노드와, 소정의 전위를 포함한다. 상기 전압공급 회로는 상기 제1 노드에 접속된 제어 단자, 상기 제2 노드에 접속된 제1 단자, 및 출력 단자에 접속된 제2 단자를 가지는 출력 트랜지스터를 더 포함한다. 상기 전압공급 회로는 활성화의 리셋 신호에 응답하여 온 되고, 상기 소정의 전위와 상기 제1 및 제2 노드에 함께 접속되는 스위칭 소자를 더 포함한다. 상기 전압공급 회로는 상기 제1 노드에 접속되어 클록이 공급되는 제1 캐패시터와, 상기 제2 노드에 접속되어 클록이 공급되는 제2 캐패시터를 더 포함한다. 상기 전압공급 회로는 상기 제1 및 제2 노드의 전위가 그 사이에 유지되는 소정의 차이에 의해 변동하도록 상기 클록의 진폭을 조정하는 조 정부를 더 포함한다. 상기 리셋 신호는 기본적으로 상기 클록과 역상이다.
- <22> 본 발명의 제3 실시예는 표시장치를 가지는 전자기기이다. 상기 표시장치는 매트릭스 형태로 배열된 복수의 화소 회로를 포함한다. 상기 표시장치는 적어도 상기 화소 회로를 형성하는 소자를 구동시키는 구동신호를 출력할 수 있는 주사부를 더 포함한다. 상기 표시장치는 상기 주사부에 구동전압을 공급하는 전압공급 회로를 더 포함한다. 상기 전압공급 회로는 제1 및 제2 노드와, 소정의 전위를 포함한다. 상기 전압공급 회로는 상기 제1 노드에 접속된 제어 단자, 상기 제2 노드에 접속된 제1 단자, 및 출력 단자에 접속된 제2 단자를 가지는 출력 트랜지스터를 더 포함한다. 상기 전압공급 회로는 활성화의 리셋 신호에 응답하여 온 되고, 상기 소정의 전위와 상기 제1 및 제2 노드에 함께 접속되는 스위칭 소자를 더 포함한다. 상기 전압공급 회로는 상기 제1 노드에 접속되어 클록이 공급되는 제1 캐패시터와, 상기 제2 노드에 접속되어 클록이 공급되는 제2 캐패시터를 더 포함한다. 상기 전압공급 회로는 상기 제1 및 제2 노드의 전위가 그 사이에 유지되는 소정의 차이에 의해 변동하도록 상기 클록의 진폭을 조정하는 조 정부를 더 포함한다. 상기 리셋 신호는 기본적으로 상기 클록과 역상이다.
- <23> 본 발명의 제4 실시예는 제1 및 제2 캐패시터와 출력 트랜지스터를 사용하여 전압을 공급하기 위한 전압공급 방법이다. 상기 제1 캐패시터는 상기 제1 노드에 접속되어 클록이 공급된다. 상기 제2 캐패시터는 상기 제2 노드에 접속되어 다른 클록이 공급된다. 상기 출력 트랜지스터는 상기 제1 노드에 접속된 제어 단자, 상기 제2 노드에 접속된 제1 단자, 및 출력 단자에 접속된 제2 단자를 가진다. 상기 전압공급 방법은 제1, 제2 및 제3 단계를 포함한다. 상기 제1 단계에서는 상기 클록 신호와 기본적으로 역상인 리셋 신호가 활성화되는 동안 소정의 전위와 상기 제1 및 제2 노드를 접속한다. 상기 제2 단계에서는 상기 제1 및 제2 노드의 전위가 그 사이에 유지되는 소정의 차이에 의해 변동하도록 상기 클록의 진폭을 조정한다. 상기 제3 단계에서는 전위변동에 응답하여 상기

출력 트랜지스터로부터 상기 제2 노드의 전위에 대응하는 전압을 출력한다.

- <24> 본 발명 실시예에 따르면, 리셋 신호가 활성화되는 동안 스위칭 소자가 온 되어, 예를 들어 제1 및 제2 노드를 소정의 전위 레벨로 초기화시킨다.
- <25> 상기 제1 및 제2 노드는 상기 소정의 전위에 관하여 제1 및 제2 클록의 진폭에서의 변화에 의해 전위가 변동한다.
- <26> 상기 제1 및 제2 노드의 전위 변동에 의해 상기 출력 트랜지스터로부터 소정의 전위가 출력된다.

효 과

- <27> 본 발명의 일실시예에 따른 전원공급 회로는 동일 극성의 트랜지스터에 의해 형성되는 패널에 배치될 수 있으며, 생산량의 향상, 공정수와 비용 저감을 제공한다.

발명의 실시를 위한 구체적인 내용

- <28> 이하, 본 발명의 바람직한 실시예가 첨부한 도면을 참조하여 설명될 것이다.
- <29> <제1 실시예>
- <30> 도 3은 본 발명의 제1 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다. 도 4는 제1 실시예에 따른 DC-DC 컨버터의 구성예를 도시하는 회로도이다. 도 5는 제1 실시예에 따른 전압공급 회로의 타이밍도이다.
- <31> 제1 실시예에 따른 전압공급 회로(10)는 조정부(11) 및 DC-DC 컨버터(DDcon)(12)를 포함한다.
- <32> A는 제1 노드를, B는 제2 노드를, ck1 및 ck2는 동상의 제1 및 제2 클록을, rst는 기본적으로 상기 제1 및 제2 클록(ck1 및 ck2)과 역상의 리셋 신호를 각각 나타낸다.
- <33> 조정부(11)는 리셋 신호(rst)와 클록(ck1 및 ck2)의 레벨을 조정하는 레벨 시프터(lvlsft)(111, 112 및 113)를 구비한다.
- <34> 레벨 시프터(111)는 전원전압(Vdd)과 접지전위(GND) 사이의 중간 진폭을 가지는 신호를 생성하여 DC-DC 컨버터(12)에 공급하기 위하여 리셋 신호(rst)의 진폭을 시프트시킨다.
- <35> 레벨 시프터(112)는 전원전압(Vdd)와 접지전위(GND) 사이의 중간 진폭을 가지는 신호를 생성하여 DC-DC 컨버터(12)에 공급하기 위하여 클록(ck1)의 진폭을 시프트시킨다.
- <36> 레벨 시프터(113)는 전원전압(Vdd2)과 접지전위(GND) 사이의 중간 진폭을 가지는 신호를 생성하여 DC-DC 컨버터(12)에 공급하기 위하여 클록(ck2)의 진폭을 시프트시킨다.
- <37> 전원전압(Vdd 및 Vdd2)은 $Vdd > Vdd2$ 의 관계를 충족시킨다.
- <38> 따라서, DC-DC 컨버터(12)에 공급되는 제1 클록(ck1)과 제2 클록(ck2)이 비교될 때, 제1 클록(ck1)의 진폭($\Delta V1$)이 제2 클록(ck2)의 진폭($\Delta V2$)보다도 크다 ($\Delta V1 > \Delta V2$).
- <39> 예를들면, Vdd는 10V로, Vdd2는 8V로 설정된다.
- <40> DC-DC 컨버터(12)는 도 4에 도시된 바와 같이 PMOS 트랜지스터에 의해 형성된 출력 트랜지스터(121)(p11), PMOS 트랜지스터에 의해 유사하게 형성된 스위칭 트랜지스터(스위칭 소자)(122(p12), 123(p13)), 및 제1 및 제2 캐패시터(124 및 125)를 포함한다.
- <41> 한편, 도면에서의 Vref는 소정의 전위를 보이고 있다. 또한, C1은 제1 캐패시터(124)의 용량을, C2는 제2 캐패시터(125)의 용량을 각각 보이고 있다.
- <42> 출력 트랜지스터(121)는 제1 노드(A)에 접속되는 게이트, 제2 노드(B)에 접속되는 소스, 및 출력 단자(out)에 접속되는 드레인을 가진다.
- <43> 스위칭 트랜지스터 소자(122 및 123)는 소정의 전위(Vref)에 공통적으로 접속되는 이들의 소스를 가진다. 스위칭 트랜지스터(122)는 제1 노드(A)에 접속되는 드레인을 가진다. 스위칭 트랜지스터(123)는 제2 노드(B)에 접속되는 드레인을 가진다. 스위칭 트랜지스터 소자(122 및 123)는 리셋 신호(rst)의 입력 단자(trst), 즉 레벨 시프터(111)의 출력에 공통적으로 접속되는 이들의 게이트를 가진다.

- <44> 제1 캐패시터(124)는 제1 노드(A)에 접속되는 제1 전극, 및 클록(ck1)의 입력 단자(tck1), 즉 레벨 시프터(112)의 출력에 접속되는 제2 전극을 가진다.
- <45> 제2 캐패시터(125)는 제2 노드(B)에 접속되는 제1 전극, 및 클록(ck1)의 입력 단자(tck2), 즉 레벨 시프터(113)의 출력에 접속되는 제2 전극을 가진다.
- <46> 이러한 구성을 가지는 DC-DC 컨버터(12)에 있어서, 제1 노드(A)의 전위(ΔV1)가 제2 노드(B)의 전위(ΔV2)보다 커지도록 클록의 진폭이 조정부(11)에 의해 조정된다.
- <47> 보다 구체적으로, 전술한 바와 같이, DC-DC 컨버터(12)에 공급되는 제1 클록(ck1)과 제2 클록(ck2)의 진폭은 제1 클록(ck1)의 진폭(ΔV1)이 제2 클록(ck2)의 진폭(ΔV2)보다도 크다(ΔV1 > ΔV2).
- <48> 제1 및 제2 클록(ck1 및 ck2)은 제1 및 제2 캐패시터(124 및 125)를 통하여 제1 및 제2 노드(A 및 B)의 전위를 변동시킨다.
- <49> 도 5에 도시된 바와 같이, 리셋 펄스 신호(rst)가 로우(low) 레벨에 있는 동안, 스위칭 트랜지스터(122 및 123)는 온 된다. 이것은 제1 및 제2 노드(A 및 B)가 소정의 전위(Vref)로 초기화되도록 한다.
- <50> 제1 및 제2 노드(A 및 B)는 클록(ck1 및 ck2)의 진폭에서 개별적으로 소정의 전위(Vref)에 관하여 전위변동한다.
- <51> 제1 및 제2 노드(A 및 B)의 전위변동에 의해 출력 트랜지스터(121)로부터 음전위(Vss2)가 출력된다.
- <52> 음전위(Vss2)는 제2 노드(B)의 로우(Lo) 전위이다. 음전위(Vss3)는 제1 노드(A)의 로우(Lo) 전위이다.
- <53> 여기에서, 출력 트랜지스터(121)의 임계 전압(Vth)은 Vth(p11)으로 나타내면, 음전위(Vss2)의 출력 조건은 다음 식(1)과 같이 표현될 수 있다.

<54>
$$V_{ss3} - V_{ss2} < V_{th}(p11) \quad (1)$$

<55> 제1 노드(A)의 기생 용량 및 제2 노드(B)의 기생 용량은 Cpa 및 Cpb로 나타내면, 제1 노드(A)와 제2 노드(B)의 진폭(ΔV1' 및 ΔV2')이 다음 식(2) 및 (3)에 의해 결정될 수 있다.

<56>
$$\Delta V1' = \Delta V1 \times C1 / (C1 + Cpa) \quad (2)$$

<57>
$$\Delta V2' = \Delta V2 \times C2 / (C2 + Cpb) \quad (3)$$

<58> 따라서, 상기 식 (1), (2) 및 (3)의 관계를 고려하여 클록(ck1 및 ck2)의 진폭이 결정될 수 있다.

<59> 제1 노드(A)와 제2 노드(B)의 진폭(ΔV1' 및 ΔV2')을 사용하여, 출력 트랜지스터(121)의 구동조건은 다음과 같이 나타낼 수 있다.

<60>
$$\Delta V2' - \Delta V1' < V_{th}(p11) \quad (4)$$

<61> 여기에서, ΔV1 및 ΔV2가 다음 식 (5)와 같이 계수 k를 사용하여 서로 관련시키면, 다음 식 (6)과 같은 관계가 얻어질 수 있다.

<62>
$$k\Delta V2 = \Delta V1 \quad (5)$$

<63>
$$\{C2 / (C2 + Cpb) - kC1 / (C1 + Cpa)\} \Delta V2 < V_{th}(p11) \quad (6)$$

<64> 제1 실시예에 의하면, DC-DC 컨버터는 출력 트랜지스터(121), 스위칭 트랜지스터(122 및 123), 제1 및 제2 캐패시터(124 및 125) 및 조정부(11)를 포함한다. 출력 트랜지스터(121)는 그 게이트(제어 단자)가 제1 노드(A)에 접속되고, 그 소스가 제2 노드에 접속되고, 그 드레인이 출력 단자(tout)에 접속되어 있다. 스위칭 트랜지스터(122)는 그 소스가 소정의 전위(Vref)에 접속되고, 그 드레인이 제1 노드(A)에 접속되고, 그 게이트가 리셋 신호(rst)의 공급 라인에 접속되어 있다. 스위칭 트랜지스터(123)는 그 소스가 소정의 전위(Vref)에 접속되고, 그 드레인이 제2 노드(B)에 접속되고, 그 게이트가 리셋 신호(rst)의 공급 라인에 접속되어 있다. 제1 캐패시터(124)는 그 제1 전극이 제1 노드(A)에 접속되고, 그 제2 전극이 제1 클록(ck1)의 공급 라인에 접속되어 있다.

제2 캐패시터(125)는 그 제1 전극이 제2 노드(B)에 접속되고, 제2 전극이 제2 클록(ck2)의 공급 라인에 접속되어 있다. 조정부(11)는 제1 클록(ck1)의 진폭(ΔV1)이 제2 클록(ck2)의 진폭(ΔV2)보다도 커지도록 그리고 제1 및 제2 노드(A 및 B)의 전위가 조정 진폭에 따라 변동되도록 제1 및 제2 클록(ck1 및 ck2)의 진폭을 조정한다. 제1 및 제2 클록(ck1 및 ck2)은 동상이다. 리셋 신호(rst)는 기본적으로 제1 및 제2 클록(ck1 및 ck2)과 역상으로 설정된다. 결과적으로, 제1 실시예에 따른 DC-DC 컨버터는 이하의 효과를 제공한다.

- <65> DC-DC 컨버터가 동일 극성인 p 채널의 트랜지스터(예를들면, TFT)에 의해 형성될 수 있고, 따라서 정밀한 방식으로 음전위를 출력하는 것이 가능해진다.
- <66> 이것은 DC-DC 컨버터가 동일 극성의 트랜지스터에 의해 형성되는 채널에 배치가능하도록 하여, 생산량의 향상, 공정수와 비용 저감을 제공한다.
- <67> <제2 실시예>
- <68> 도 6은 본 발명의 제2 실시예에 따른 전압공급 회로의 구성예를 도시하는 블럭도이다. 도 7은 제2 실시예에 따른 DC-DC 컨버터의 구성예를 도시하는 회로도이다. 또한 도 8은 제2 실시예에 따른 전압공급 회로의 타이밍도이다.
- <69> 제2 실시예에 따른 전압공급 회로(10A)가 전술한 제1 실시예에 따른 전압공급회로(10)와 다른 점은 2개의 클록이 아니고 하나의 클록(ck)이 사용된다는 것이다. 상기 회로(10A)가 회로(10)와 추가적으로 다른 점은 조정부(11A)의 레벨 시프터(112)가 전원전압(Vdd)과 접지전위(GND) 사이의 중간 진폭을 가지는 신호를 생성하여 DC-DC 컨버터(12A)에 공급하기 위하여 리셋 신호(rst)의 진폭에서와 같이 클록(ck)의 진폭을 시프트시킨다. 상기 회로(10A)가 회로(10)와 추가적으로 다른 점은 진폭이 다른 신호가 제1 및 제2 노드(A 및 B)에 공급되도록 DC-DC 컨버터(12A)가 클록 진폭을 조정한다는 것이다.
- <70> 구체적으로, 도 7에 도시된 바와 같이, 캐패시터(124 및 125)는 이들의 제2 전극이 클록 입력단(tck)에 공통적으로 접속된다. 또한, 제2 노드(B)와 기준전위 (예를들면, 접지전위 GND) 사이에는 기생 용량(캐패시터)으로서 기능하도록 캐패시터(Cb)가 배치된다.
- <71> DC-DC 컨버터(12A)에 있어서, 도 7 및 도 8에 도시된 바와 같이, 리셋 신호(rst)에 의해 제1 및 제2 노드(A 및 B)의 전위가 초기화된다. 그 후에, 제1 및 제2 노드(A 및 B)의 전위는 캐패시터(124 및 125)의 용량(C1 및 C2)을 사용하여 입력(ck)의 커플링에 의해 감소된다.
- <72> 이때, 제2 노드(B)에는 기생 용량 126(Cb)이 접속되어 있다. 그러므로, 제1 및 제2 노드(A 및 B)의 커플링 계인이 조정된다. 결과적으로, 노드(B)의 로우(Lo) 전위만이 출력된다.
- <73> 제1 노드(A)의 기생 용량을 Cpa, 제2 노드(B)의 기생 용량을 Cpb라고 하면, 다음 식(7) 및 (8)에 의해, 제1 노드(A)와 제2 노드(B)의 진폭(ΔV1' 및 ΔV2')이 결정된다.

<74>
$$\Delta V1' = \Delta V1 \times C1 / (C1 + Cpa) \quad (7)$$

<75>
$$\Delta V2' = \Delta V2 \times C2 / (C2 + Cb + Cpb) \quad (8)$$

<76> 여기에서, ΔV1 = ΔV2이다.

<77> 따라서, 상기 식 (1), (7) 및 (8)의 관계를 고려하여 클록(ck1 및 ck2)의 진폭이 결정될 수 있다.

<78> 제1 노드(A)와 제2 노드(B)의 진폭(ΔV1' 및 ΔV2')을 사용하면, 출력 트랜지스터(121)의 구동조건은 다음과 같이 나타낼 수 있다.

<79>
$$\Delta V2' - \Delta V1' < Vth(p11) \quad (9)$$

<80> 결과적으로, 하기 식 (10)과 같은 관계가 얻어질 수 있다.

<81>
$$\{C2 / (C2 + Cb + Cpb) - C1 / (C1 + Cpa)\} \Delta V2 < Vth(p11) \quad (10)$$

<82> 따라서, 상기 조건이 충족되도록 Cb를 결정하게 된다.

<83> 제2 실시예에 의하면, 전술한 제1 실시예와 동등한 효과를 제공한다. 더욱이, 이런 실시예에 따른 전압공급 회

로는 2펄스(ck, rst) 및 3전원(Vdd, Vss, Vref)에서 구동될 수 있다. 패널 회로 설계에서의 단일 형태의 CMOS 트랜지스터(PMOS 및 NMOS)의 사용은 감소된 공정수와 생산량의 향상을 보장한다.

<84> <제3 실시예>

<85> 도 9는 본 발명의 제3 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.

<86> 리셋 신호(rst)가 제1 및 제2 클럭(ck1, ck2)과 역상이기 때문에, 또한 제1 및 제2 클럭(ck1, ck2)이 동상이기 때문에, 하나의 클럭(ck)이 진폭 시프트후에 리셋 신호(rst)와 제1 및 제2 클럭(ck1 및 ck2)을 생성하는데 사용된다는 점에서, 제3 실시예에 따른 전압공급 회로(10B)는 전술한 제1 실시예에 따른 전압공급 회로(10)와 다르다.

<87> 구체적으로, 리셋 신호(rst)를 위한 레벨 시프터(111B)는 인버터 기능을 갖는 레벨 시프터(인버터)이다. 상기 클럭(ck)은 3개의 레벨 시프터(111B, 112 및 113)에 병렬로 입력된다.

<88> 또한, 인버터(111B)는 DC-DC 컨버터(12)와 마찬가지로 동일 극성의 PMOS 트랜지스터만을 사용하여 구성될 수 있다.

<89> 도 10은 동일 극성의 PMOS 트랜지스터만을 사용하여 구성된 인버터의 일례를 도시하는 회로도이다.

<90> 인버터(130)는 도 10에 도시된 바와 같이 PMOS 트랜지스터(131 내지 133), 캐패시터(134), 및 노드(ND131 및 ND132)를 포함한다.

<91> 트랜지스터(131)의 소스가 노드(ND131)에 접속되고, 게이트 및 드레인이 기준전위(Vss)에 접속되어 있다. 트랜지스터(132)의 소스가 노드(ND132)에 접속되고, 드레인이 기준전위(Vss)에 접속되고, 게이트가 노드(ND131)에 접속되어 있다.

<92> 트랜지스터(133)의 소스가 전원전압(Vdd)의 공급 라인에 접속되고, 드레인이 노드(ND132)에 접속되고, 게이트가 신호 입력 라인(IN)에 접속되어 있다.

<93> 캐패시터(134)의 제1 전극이 노드(ND131)에 접속되고, 제2 전극이 노드(ND132)에 접속되고, 노드(ND132)가 출력(OUT)에 접속되어 있다.

<94> 전술한 바와 같이 구성된 인버터(130)에 있어서, 로우 레벨의 신호가 입력되면, 트랜지스터(133)가 온 되고, 노드(ND132)의 전위가 상승한다. 그 결과, 캐패시터(C134)을 통하여 노드(ND131)의 전위가 상승되고, 트랜지스터(132)이 오프된다. 그 결과, Vdd 레벨의 신호가 출력(OUT)으로 출력된다.

<95> 하이 레벨의 신호가 입력되면, 트랜지스터(133)가 오프되고, 노드(ND131)의 전위는 트랜지스터(131)를 통하여 방전되어, 트랜지스터(132)가 온 된다. 그 결과, Vss 레벨의 신호가 출력(OUT)으로 출력된다.

<96> 전술한 것을 제외하고, 본 실시예에 따른 전압공급 회로는 제1 실시예에 따른 전압공급 회로에서와 동일하게 구성된다.

<97> 제3 실시예에 의하면, 전술한 제1 실시예와 동등한 효과를 제공한다.

<98> <제4 실시예>

<99> 도 11은 본 발명의 제4 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.

<100> 리셋 신호(rst)와 클럭(ck)이 역상이기 때문에, 하나의 클럭(ck)이 진폭 시프트후의 리셋 신호(rst)를 생성하는데 사용된다는 점에서, 제4 실시예에 따른 전압공급 회로(10C)는 전술한 제2 실시예에 따른 전압공급회로(10A)와 다르다.

<101> 구체적으로, 리셋 신호(rst)를 위한 레벨 시프터(111C)는 인버터 기능을 갖는 레벨 시프터(인버터)이다. 클럭(ck)이 2개의 레벨 시프터(111C 및 112)에 병렬로 입력된다.

<102> 또한, 인버터(111C)는 도 10에 도시된 DC-DC 컨버터(12A)에서와 같이 동일 극성의 PMOS 트랜지스터만을 사용하여 구성될 수 있다.

<103> 전술한 것을 제외하고, 본 실시예에 따른 전압공급 회로는 제2 실시예에 따른 전압공급 회로에서와 동일하게 구성된다.

<104> 제4 실시예에 의하면, 전술한 제2 실시예와 동등한 효과를 얻을 수 있다.

- <105> <제5 실시예>
- <106> 도 12는 본 발명의 제5 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.
- <107> 클럭용 레벨 시프터(112)의 전단에 지연회로(114)가 제공된다는 점에서, 제5 실시예에 따른 전압공급 회로(10D)는 전술한 제4 실시예에 따른 전압공급 회로(10C)와 다르다.
- <108> 지연회로(114)가 제공되는 이유는 도 13 및 도 14를 참조하여 설명될 것이다.
- <109> 도 13은 리셋 신호(rst)가 클럭(ck)에 대하여 지연되는 경우를 나타내는 타이밍도이다.
- <110> 도 14는 리셋 신호(rst)가 클럭(ck)에 대하여 선행하는 경우를 나타내는 타이밍도이다.
- <111> 리셋 신호(rst)가 클럭(ck)과 역상이다. 그러므로, 제5 실시예에 따른 전압공급 회로(10D)는 제4 실시예에 따른 전압공급 회로(10C)에서와 동일한 방식으로 구성될 수 있다.
- <112> 그러나, 여기에서 위상관계에 있어서는 주의할 필요가 있다.
- <113> 도 13에 도시된 바와 같이, 리셋 신호(rst)가 클럭(ck)에 대하여 지연되는 경우에, 도 7에 도시된 스위칭 트랜지스터(122 및 123)가 둘다 온 되기 때문에, 제1 및 제2 노드(A 및 B)의 전위를 감소시키는 충분한 커플링이 달성될 수 없다. 따라서, 정상 동작이 보장될 수 없다.
- <114> 이에 대하여, 리셋 신호(rst)가 클럭(ck)에 대하여 선행하는 경우에, 이것은 동작에 어떤 심각한 문제를 내포하지 않는다. 역지로 말하면, 제1 및 제2 노드(A 및 C)의 Lo 기간이 짧아진다. 결과적으로, 음의 공급 전압(Vss2)의 공급 성능은 저하된다. 또한, 출력(OUT) 노드의 플로팅(floating)기간, 즉 Vss2의 비공급 기간은 길어진다.
- <115> 출력(OUT) 노드의 Vss2 전위는 상기 비공급 기간 동안 변동될 수 있다. 그러므로, 가능한 한 비공급 기간은 짧게 되어야 한다.
- <116> 도 14에서, 비공급 기간은 짧아진다. DC-DC 컨버터(12A)의 공급 성능 저하가 있더라도, 지연회로(114)로 리셋 신호(rst)의 클럭(ck)에 대한 지연을 제어함으로써 충분한 Vss2의 공급이 달성될 수 있다. 그러므로, Vss2가 충분히 공급되는 한, 전압공급 회로(10D)가 사용될 수 있다.
- <117> 전술한 것을 제외하고, 본 실시예에 따른 전압공급 회로는 제2 및 제4 실시예에 따른 전압공급 회로에서와 동일하게 구성된다.
- <118> 제5 실시예에 의하면, 전술한 제2 및 제4 실시예와 동등한 효과를 얻을 수 있다.
- <119> <제6 실시예>
- <120> 도 15는 본 발명의 제6 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.
- <121> 제5 실시예에 있어서 설명된 바와 같이 동일한 이유 때문에 클럭용 레벨 시프터(112 및 113)의 전단에 지연회로(114)가 제공된다는 점에서, 제6 실시예에 따른 전압공급 회로(10E)는 전술한 제3 실시예에 따른 전압공급 회로(10B)와 다르다.
- <122> 또한, 도 15에 도시된 구성에서, 제1 및 제2 클럭(ck1 및 k2)이 동상으로 유지되도록 보장하는 것도 중요하다.
- <123> 전술한 것을 제외하고, 본 실시예에 따른 전압공급 회로는 제1 및 제3 실시예에 따른 전압공급 회로에서와 동일하게 구성된다.
- <124> 제6 실시예에 의하면, 전술한 제1 및 제3 실시예와 동등한 효과를 얻을 수 있다.
- <125> <제7 실시예>
- <126> 도 16은 본 발명의 제7 실시예에 따른 전압공급 회로를 설명하기 위한 타이밍도이다.
- <127> 음전위(Vss2)의 공급 기간이 리셋 신호(rst) 타이밍에 의해 감소되지 않도록 리셋 신호(rst)의 오프 기간(하이 레벨 기간)이 길어진다는 점에서, 제7 실시예에 따른 전압공급 회로(10F)는 전술한 제2 실시예에 따른 전압공급 회로(10A)와 다르다.
- <128> 전술한 것을 제외하고, 본 실시예에 따른 전압공급 회로는 제2 실시예에 따른 전압공급 회로에서와 동일하게 구성된다.

- <129> 제7 실시예는 전술한 제2 실시예와 동등한 효과를 제공한다.
- <130> 또한, 이런 구성은 제1 실시예의 구성에 대하여도 마찬가지로 적용할 수 있다.
- <131> <제8 실시예>
- <132> 도 17은 본 발명의 제8 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다. 도 18은 제8 실시예에 따른 전압공급 회로의 타이밍도이다.
- <133> NAND 회로 기능부(115)가 리셋 신호(rst)를 생성하는 레벨 시프터로서의 인버터 기능 대신에 제공되어, 리셋 신호(rst)가 클록(ck)과 인에이블 신호(en)로부터 선택적으로 생성될 수 있다는 점에서, 제8 실시예에 따른 전압공급 회로(10G)는 전술한 제4 실시예에 따른 전압공급 회로(10C)와 다르다.
- <134> 이런 경우에, 도 18에 도시된 바와 같이, 전술한 제7 실시예에서와 같이 리셋 신호(rst)의 오프 기간(하이 레벨 기간)은 길어지며, 리셋 신호(rst) 타이밍은 음전위(Vss2)의 공급 기간이 확실하게 감소되지 않도록 임의로 결정될 수 있다.
- <135> 도 19는 동일 극성의 PMOS 트랜지스터만을 사용하여 구성된 NAND 회로의 일례를 도시하는 회로도이다.
- <136> NAND 회로(140)는 도 19에 도시된 바와 같이 PMOS 트랜지스터(141 내지 144), 캐패시터(145), 및 노드(ND141 및 ND142)를 포함한다.
- <137> 트랜지스터(141)의 소스가 노드(ND141)에 접속되고, 게이트 및 드레인이 기준전위(Vss)에 접속되어 있다. 트랜지스터(142)의 소스가 노드(ND142)에 접속되고, 드레인이 기준전위(Vss)에 접속되고, 게이트가 노드(ND141)에 접속되어 있다.
- <138> 트랜지스터(143)의 소스가 전원전압(Vdd)의 공급 라인에 접속되고, 드레인이 노드(ND142)에 접속되고, 게이트가 신호 입력 라인(IN1)에 접속되어 있다.
- <139> 트랜지스터(144)의 소스가 전원전압(Vdd)의 공급 라인에 접속되고, 드레인이 노드(ND142)에 접속되고, 게이트가 신호 입력 라인(IN2)에 접속되어 있다.
- <140> 캐패시터(145)의 제1 전극이 노드(ND141)에 접속되고, 제2 전극이 노드(ND142)에 접속되고, 노드(ND142)이 출력(OUT)에 접속되어 있다.
- <141> 전술한 바와 같이 구성된 NAND 회로(140)에 있어서, 2개의 신호(en 및 ck)가 로우 레벨 또는 상기 신호중 하나가 하이 레벨이고 다른 하나가 로우 레벨인 경우에, 트랜지스터(143 및 144)의 둘다 또는 어느 하나가 온 되고, 노드(ND142)의 전위가 상승한다. 그 결과, 캐패시터(145)를 통하여 노드(ND141)의 전위가 상승하고, 트랜지스터(142)가 오픈된다. 그 결과, Vdd 레벨의 리셋(rst) 신호가 출력(OUT)으로 출력된다.
- <142> NAND 회로(140)가 둘다 하이 레벨인 2개의 신호(en 및 ck)가 입력되면, 트랜지스터(143 및 144)가 둘다 오픈된다. 이것은 노드(ND141)의 전위가 트랜지스터(141)를 통하여 방전되어, 트랜지스터(142)를 온 되게 한다. 그 결과, Vss 레벨의 리셋 신호(rst)가 출력(OUT)으로 출력된다.
- <143> 전술한 것을 제외하고, 본 실시예에 따른 전압공급 회로는 제2 및 제4 실시예에 따른 전압공급 회로에서와 동일하게 구성된다.
- <144> 제7 실시예는 전술한 제2 및 제4 실시예와 동등한 효과를 제공한다.
- <145> 또한, 이런 구성은 제1 실시예의 구성에 대하여도 마찬가지로 적용할 수 있다.
- <146> <제9 실시예>
- <147> 도 20은 본 발명의 제9 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.
- <148> 도 19 에 도시된 바와 같은 구성을 가지는 NAND 회로 기능부(115)가 제8 실시예에서와 같이 리셋 신호(rst)를 생성하는 레벨 시프터로서의 인버터 기능 대신에 제공되어 리셋 신호(rst)가 클록(ck)과 인에이블 신호(en)에 의해 선택적으로 생성될 수 있다는 점에서, 제9 실시예에 따른 전압공급 회로(10H)는 전술한 제3 실시예에 따른 전압공급 회로(10B)와 다르다.
- <149> 이런 경우에도, 전술한 제7 실시예에서와 같이 리셋 신호(rst)의 오프 기간(하이 레벨 기간)은 길어지며, 리셋 신호(rst) 타이밍은 음전위(Vss2)의 공급 기간이 확실하게 감소되지 않도록 임의로 결정될 수 있다.

- <150> 전술한 것을 제외하고, 본 실시예에 따른 전압공급 회로는 제1 및 제3 실시예에 따른 전압공급 회로에서와 동일하게 구성된다.
- <151> 제9 실시예는 전술한 제1 및 제3 실시예와 동등한 효과를 제공한다.
- <152> <제10 실시예>
- <153> 도 21은 본 발명의 제10 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.
- <154> NOR 회로 기능부(116)가 리셋 신호(rst)를 생성하는 레벨 시프터로 제공되는 NAND 회로 기능부(115) 대신에 제공되어, 리셋 신호(rst)가 클럭(ck)과 인에이블 신호(en)에 의해 선택적으로 생성된다는 점에서, 제10 실시예에 따른 전압공급 회로(101)는 전술한 제8 실시예에 따른 전압공급 회로(10B)와 다르다.
- <155> 도 22는 동일 극성의 PMOS 트랜지스터만을 사용하여 구성된 NOR 회로의 일례를 도시하는 회로도이다.
- <156> NOR 회로(150)는 도 22에 도시된 바와 같이 PMOS 트랜지스터(151 내지 154), 캐패시터(155), 및 노드(ND151와 ND152)를 포함한다.
- <157> 트랜지스터(151)의 소스가 노드(ND151)에 접속되고, 게이트 및 드레인이 기준전위(Vss)에 접속되어 있다. 트랜지스터(152)의 소스가 노드(ND152)에 접속되고, 드레인이 기준전위(Vss)에 접속되고, 게이트가 노드(ND151)에 접속되어 있다.
- <158> 트랜지스터(153)의 소스가 전원전압(Vdd)의 공급 라인에 접속되고, 드레인이 트랜지스터(154)의 소스에 접속되고, 트랜지스터(154)의 드레인이 노드(ND152)에 접속되고, 트랜지스터(153)의 게이트가 신호 입력 라인(IN1)에 접속되고, 트랜지스터(154)의 게이트가 입력 라인(IN2)에 접속되어 있다.
- <159> 그리고, 캐패시터(155)의 제1 전극이 노드(ND151)에 접속되고, 제2 전극이 노드(ND152)에 접속되고, 노드(ND152)가 출력(OUT)에 접속되어 있다.
- <160> 전술한 바와 같이 구성된 NOR 회로(150)에 있어서, 2개의 신호(en 및 ck)가 모두 로우 레벨인 경우에, 트랜지스터(153,154)가 둘다 온 되고, 노드(ND152)의 전위가 상승한다. 그 결과, 캐패시터(C155)를 통하여 노드(ND151)의 전위가 상승하고, 트랜지스터(152)가 오프된다. 그 결과, 출력(OUT)에 Vdd 레벨의 리셋(rst) 신호가 출력된다.
- <161> 2개의 신호(en 및 ck)가 모두 하이 레벨 또는 어느 하나가 하이 레벨의 신호로서 입력되면, 트랜지스터(153 및 154)의 양쪽 또는 어느 하나가 오프되고, 노드(ND151)의 전위는 트랜지스터(151)를 통하여 방전되어, 트랜지스터(152)가 온 된다. 그 결과, 출력(OUT)에 Vss 레벨의 리셋 신호(rst)가 출력된다.
- <162> 전술한 것을 제외하고, 본 실시예에 따른 전압공급 회로는 제2, 제4, 및 제8 실시예에 따른 전압공급 회로에서와 동일하게 구성된다.
- <163> 제9 실시예는 전술한 제2, 제4, 및 제8 실시예와 동등한 효과를 제공한다.
- <164> 또한, 도면에는 나타나지 않았지만, 상기 NOR 회로가 제9 실시예의 NAND 회로 대신에 적용하는 것이 가능하다.
- <165> 이상 실시예에 있어서, PMOS가 동일 극성의 트랜지스터로서 사용되는 경우가 설명되었더라도, 이런 실시예들은 NMOS를 사용하여 동일한 방식으로 구성될 수 있다. NMOS가 사용될 때, 음전위가 아니고 양전위가 출력된다. 이외에는, 이미 언급한 전압공급 회로가 기본적으로 NMOS 트랜지스터를 사용하여 동일한 방식으로 구성될 수 있다.
- <166> NMOS 트랜지스터를 사용하여 전압공급 회로를 구성할 경우에, 예를들면 비정질 실리콘을 사용하여 TFT를 형성하는 것이 용이하다. 그 결과, 나중에 설명하는 바와 같은 화소 회로를 가지는 유기 EL 표시장치의 패널에 전압공급 회로를 용이하게 배치하는 것이 가능해진다.
- <167> 이하, NMOS 트랜지스터에 의해 형성되는 전압공급 회로의 바람직한 실시예에 관하여 설명이 이루어질 것이다.
- <168> 또한, 기본적인 회로 기능은 동일하다. 그러므로, 전술한 PMOS를 사용하는 회로와의 차이를 중심으로 설명될 것이다.
- <169> <제11 실시예>
- <170> 도 23은 제11 실시예에 따른 DC-DC 컨버터의 구성예를 도시하는 회로도이다. 도 24는 제11 실시예에 따른 전압공

급 회로의 타이밍도이다.

- <171> PMOS 트랜지스터(121, 122 및 123)가 NMOS 트랜지스터(121N, 122N 및 123N)(n11 내지 n13)로 치환되었다는 점에 서, 제11 실시예에 따른 전압공급 회로(10J)는 전술한 제1 실시예에 따른 전압공급 회로(10)와 다르다.
- <172> 이런 경우에, 음전위(Vss2)는 양전위(Vdd2)로 치환된다. 음전위(Vss3)는 양전위(Vdd3)로 치환된다(Vdd3 > Vdd2 > Vdd > Vref).
- <173> 이러한 구성을 가지는 DC-DC 컨버터(12J)에 있어서, 조정부(11)는 제1 노드(A)의 전위(ΔV1)가 제2 노드(B)의 전위(ΔV2)보다 커지도록 클록 진폭을 조정한다.
- <174> 보다 구체적으로, 전술한 바와 같이, DC-DC 컨버터(12J)에 공급되는 제1 클록(ck1)과 제2 클록(ck2)의 진폭이 비교되면, 제1 클록(ck1)의 진폭(ΔV1)이 제2 클록(ck2)의 진폭(ΔV2)보다도 크다(ΔV1 > ΔV2).
- <175> 제1 및 제2 클록(ck1, ck2)은 제1 및 제2 캐패시터(124 및 125)를 통하여 제1 및 제2 노드(A 및 B)의 전위를 변동시킨다.
- <176> 도 24에 도시된 바와 같이, 제1 및 제2 노드(A 및 B)는 리셋 펄스 신호(rst)가 로우 레벨에 있는 동안, 스위칭 트랜지스터(122N와 123N)는 온 된다. 이것은 제1 및 제2 노드(A 및 B)가 소정의 전위(Vref)로 초기화되도록 한다.
- <177> 제1 및 제2 노드(A 및 B)는 소정의 전위(Vref)를 기준으로 클록(ck1 및 ck2)의 진폭에서 전위가 변동한다.
- <178> 상기 제1 및 제2 노드(A 및 B)의 전위변동에 의해, 출력 트랜지스터(121N)로부터 양전위(Vdd2)가 출력된다.
- <179> 양전위(Vdd2)는 제2 노드(B)의 하이(Hi) 전위이다. 음전위(Vdd3)는 제1 노드(A)의 하이(Hi) 전위이다.
- <180> 여기에서, 출력 트랜지스터(121N)의 임계 전압(Vth)을 Vth(n11)이라고 하면, 음전위(Vdd2)의 출력 조건은 다음과 같다.

$$\mathbf{Vdd3 - Vdd2 > Vth(n11)} \quad (11)$$

제1 노드(A)의 기생 용량을 Cpa, 제2 노드(B)의 기생 용량을 Cpb이라고 하면, 제1 노드(A)와 제2 노드(B)의 진폭(ΔV1' 및 ΔV2')은 다음 식(12)와 (13)에 의해 결정될 수 있다.

$$\mathbf{\Delta V1' = \Delta V1 \times C1 / (C1 + Cpa)} \quad (12)$$

$$\mathbf{\Delta V2' = \Delta V2 \times C2 / (C2 + Cpb)} \quad (13)$$

따라서, 클록(ck1 및 ck2)의 진폭은 상기 식 (11), (12) 및 (13)의 관계를 고려하여 결정될 필요가 있다.

제1 노드(A)와 제2 노드(B)의 진폭(ΔV1' 및 ΔV2')을 사용하여, 출력 트랜지스터(121N)의 구동조건은 다음과 같이 나타낼 수 있다.

$$\mathbf{\Delta V1' - \Delta V2' > Vth(n11)} \quad (14)$$

여기에서, ΔV1' 및 ΔV2'가 계수 k를 사용하여 하기의 식 (15)에 나타낸 바와 같이 서로 관련시키면, 하기 식 (16)과 같은 관계가 얻어질 수 있다.

$$\mathbf{k\Delta V2 = \Delta V1} \quad (15)$$

$$\mathbf{\{kC1 / (C1 + Cpa) - C2 / (C2 + Cpb)\} \Delta V2 > Vth(n11)} \quad (16)$$

제11 실시예는 제1 실시예와 동등한 효과를 제공한다. 더욱이, 본 실시예는 비정질 실리콘을 사용하여 제작되는 패널에 용이하게 적용하기 쉽고, 따라서 실용에 입각한 전압공급 회로를 실현하는 것이 가능해진다.

<제12 실시예>

도 25는 제12 실시예에 따른 DC-DC 컨버터의 구성예를 도시하는 회로도이다. 도 26은 제12 실시예에 따른 전압공급

급 회로의 타이밍도이다.

<194> PMOS 트랜지스터(121,122,123)가 NMOS 트랜지스터(121N, 122N 및 123N)로 치환된다는 점에서, 제12 실시예에 따른 전압공급 회로(10K)는 전술한 제2 실시예에 따른 전압공급 회로(10A)와 다르다.

<195> 전술한 바와 같이 구성된 DC-DC 컨버터(12K)에 있어서, 도 25 및 도 26에 도시된 바와 같이, 제1 및 제2 노드(A 및 B)의 전위는 리셋 신호(rst)에 의해 초기화된다. 그 후에, 제1 및 제2 노드(A 및 B)의 전위는 캐패시터(124 및 125)의 용량(C1 및 C2)을 사용한 입력(ck)의 커플링에 의해 상승된다.

<196> 이때, 기생 용량(126)(Cb)은 제2 노드(B)에 접속된다. 그후에, 제1 및 제2 노드(A 및 B)의 커플링 계인이 조정된다. 그 결과, 노드(B)의 하이(Hi) 전위만 출력된다.

<197> 제1 및 제2 노드(A 및 B)의 기생 용량이 각각 Cpa와 Cpb라고 나타내면, 제1 및 제2 노드(A 및 B)의 진폭(ΔV1' 및 ΔV2')은 다음 식(17)과 (18)에 의해 결정될 수 있다.

<198>
$$\Delta V1' = \Delta V1 \times C1 / (C1 + Cpa) \quad (17)$$

<199>
$$\Delta V2' = \Delta V2 \times C2 / (C2 + Cb + Cpb) \quad (18)$$

<200> 따라서, 클럭(ck1 및 ck2)의 진폭은 상기 식 (11), (17) 및 (18)의 관계를 고려하여 결정될 필요가 있다.

<201> 제1 및 제2 노드(A 및 B)의 진폭(ΔV1' 및 ΔV2')을 사용하여, 출력 트랜지스터(121N)의 구동조건은 다음과 같이 나타낼 수 있다.

<202>
$$\Delta V1' - \Delta V2' > Vth(n11) \quad (19)$$

<203> 여기에서, ΔV1 = ΔV2이다.

<204> 그 결과, 하기 식 (20)과 같은 관계가 얻어질 수 있다.

<205>
$$\{C1 / (C1 + Cpa) - C2 / (C2 + Cb + Cpb)\} \Delta V2 > Vth(n11) \quad (20)$$

<206> 따라서, 상기 조건을 충족되도록 Cb를 결정할 필요가 있다.

<207> 제12 실시예는 제1 실시예와 같은 효과를 제공한다. 더욱이, 본 실시예에 따른 전압공급 회로는 2펄스(ck, rst) 및 3전원(Vdd, Vss, Vref)에서 구동될 수 있다. 패널 회로 설계에서의 단일 형태의 CMOS 트랜지스터(PMOS 및 NMOS) 사용은 공정수 저감과 생산량의 향상을 보장한다.

<208> <제13 실시예>

<209> 도 27은 본 발명의 제13 실시예에 따른 전압공급 회로를 설명하기 위한 타이밍도이다.

<210> 음전위(Vss2)의 공급 기간이 리셋 신호(rst) 타이밍에 의해 감소되지 않도록 리셋 신호(rst)의 오프 기간(하이 레벨 기간)이 길다는 점에서, 제13 실시예에 따른 전압공급 회로(10L)는 전술한 제12 실시예에 따른 전압공급 회로(10A)와 다르다.

<211> 전술한 것을 제외하면, 본 실시예에 따른 전압공급 회로는 제12 실시예에서와 같이 동일한 방식으로 구성된다.

<212> 제13 실시예는 제12 실시예와 동등한 효과를 제공한다.

<213> 도면에 나타내지 않았지만, 이 구성은 제11 실시예에도 적용가능하다.

<214> <제14 실시예>

<215> 도 28은 본 발명의 제14 실시예에 따른 전압공급 회로의 구성예를 도시하는 블럭도이다. 도 29는 제14 실시예에 따른 전압공급 회로의 타이밍도이다.

<216> NOR 회로 기능부(116N)가 리셋 신호(rst)를 생성하는 레벨 시프터로서의 인버터 기능 대신에 제공되어 리셋 신호(rst)가 클럭(ck)과 인에이블 신호(en)에 의해 선택적으로 생성될 수 있다는 점에서, 제14 실시예에 따른 전압공급 회로(10M)는 전술한 제12 실시예에 따른 전압공급 회로(10K)와 다르다.

<217> 이 경우에도, 제14 실시예는 제7 실시예와 같이 리셋 신호(rst)의 오프 기간(하이 레벨 기간)이 길어서, 리셋

신호(rst) 타이밍이 임의로 결정될 수 있고, 음전위(Vss2)의 공급 기간이 감소되지 않는다는 동일한 장점을 제공한다.

- <218> 도 30은 동일 극성의 PMOS 트랜지스터만을 사용하여 구성된 NOR 회로의 일례를 도시하는 회로도이다.
- <219> NOR 회로(150)는 도 30에 도시된 바와 같이 NMOS 트랜지스터(151N 내지 154N), 캐패시터(155N), 및 노드(ND151N와 ND152N)를 포함한다.
- <220> 트랜지스터(151N)의 소스가 노드(ND151N)에 접속되고, 게이트 및 드레인이 전원 전위(Vdd)에 접속되어 있다. 트랜지스터(152N)의 소스가 노드(ND152N)에 접속되고, 드레인이 전원 전위(Vdd)에 접속되고, 게이트가 노드(ND151N)에 접속되어 있다.
- <221> 트랜지스터(153N)의 소스가 기준전압(Vss)의 공급 라인에 접속되고, 드레인이 트랜지스터(154N)의 소스에 접속되고, 트랜지스터(154N)의 드레인이 노드(ND152N)에 접속되고, 트랜지스터(153N)의 게이트가 신호 입력 라인(IN1)에 접속되고, 트랜지스터(154N)의 게이트가 입력 라인(IN2)에 접속되어 있다.
- <222> 캐패시터(155N)의 제1 전극이 노드(ND151N)에 접속되고, 제2 전극이 노드(ND152N)에 접속되어 있다. 노드(ND152N)는 출력(OUT)에 접속되어 있다.
- <223> 전술한 바와 같이 구성된 NOR 회로(150N)에 있어서, 2개의 신호(en 및 ck)의 둘다 또는 어느 하나가 하이 레벨인 경우에, 트랜지스터(153N와 154N) 둘다 또는 어느 하나는 온 되고, 노드(ND152N)의 전위는 하강한다. 이것은 캐패시터(155N)를 통하여 노드(ND151N)의 전위가 하강하도록 하며, 트랜지스터(152N)를 오픈시킨다. 그 결과, Vss 레벨의 리셋(rst) 신호가 출력(OUT)으로 출력된다.
- <224> NOR 회로(150N)가 둘다 로우 레벨인 2개의 신호(en 및 ck)를 입력받으면, 트랜지스터(153N와 154N)는 둘다 오픈되고, 노드(ND151N)의 전위는 트랜지스터(151N)를 통하여 충전되고, 트랜지스터(152N)가 온 된다. 그 결과, Vdd 레벨의 리셋 신호(rst)가 출력(OUT)으로 출력된다.
- <225> 전술한 것을 제외하면, 본 실시예의 전압공급 회로는 제12 실시예에 따른 전압공급 회로에서와 동일한 방식으로 구성된다.
- <226> 제14 실시예는 제12 실시예와 동등한 효과를 제공한다.
- <227> <제15 실시예>
- <228> 도 31은 본 발명의 제15 실시예에 따른 전압공급 회로의 구성예를 도시하는 블럭도이다.
- <229> NOR 회로 기능부(116N)가 제14 실시예와 같이 리셋 신호(rst)를 생성하는 레벨 시프터로서 역할하도록 제공되며, 리셋 신호(rst)가 클럭(ck)과 인에이블 신호(en)에 의해 선택적으로 생성된다는 점에서, 제15 실시예에 따른 전압공급 회로(10N)는 전술한 제11 실시예에 따른 전압공급 회로(10J)와 다르다.
- <230> 이런 경우에도, 제15 실시예는 제7 실시예와 같이 리셋 신호(rst)의 오픈 기간(하이 레벨 기간)이 길어서, 리셋 신호(rst) 타이밍은 음전위(Vss2)의 공급 기간이 확실하게 감소되지 않도록 임의로 결정될 수 있다.
- <231> 전술한 것을 제외하면, 본 실시예의 전압공급 회로는 제11 실시예에 따른 전압공급 회로에서와 동일한 방식으로 구성된다.
- <232> 제15 실시예는 제11 실시예와 동등한 효과를 제공한다.
- <233> 또한, NMOS 트랜지스터만으로 이루어지는 인버터(130N) 또는 NAND 회로(140N)가 NOR 회로의 대신에 제14 및 제15 실시예에 적용하는 것이 가능하다.
- <234> 도 32는 동일 극성의 트랜지스터, 즉 NMOS 트랜지스터만을 사용하여 구성된 인버터의 일례를 도시하는 회로도이다.
- <235> 인버터(130N)는 도 32에 도시된 바와 같이 NMOS 트랜지스터(131N 내지 133N), 캐패시터(134N), 및 노드(ND131N와 ND132N)를 포함한다.
- <236> 트랜지스터(131N)의 소스가 노드(ND131N)에 접속되고, 게이트 및 드레인이 전원 전위(Vdd)에 접속되어 있다. 트랜지스터(132N)의 소스가 노드(ND132N)에 접속되고, 드레인이 전원 전위(Vdd)에 접속되고, 게이트가 노드(ND131N)에 접속되어 있다.

- <237> 트랜지스터(133N)의 소스가 기준전위(V_{ss})에 접속되고, 드레인이 노드(ND132N)에 접속되고, 게이트가 신호 입력 라인(IN)에 접속되어 있다.
- <238> 캐패시터(134N)의 제1 전극이 노드(ND131)에 접속되고, 제2 전극이 노드(ND132N)에 접속되어 있다. 노드(ND132N)는 출력(OUT)에 접속되어 있다.
- <239> 전술한 바와 같이 구성된 인버터(130N)에 있어서, 하이 레벨의 신호가 입력되면, 트랜지스터(133)가 온 되고, 노드(ND132)의 전위가 하강한다. 이것은 캐패시터(C134)를 통하여 노드(ND131)의 전위가 하강하도록 하고, 트랜지스터(132N)가 오프된다. 그 결과, V_{ss} 레벨의 신호가 출력(OUT)으로 출력된다.
- <240> 로우 레벨의 신호가 입력되면, 트랜지스터(133)가 오프되고, 노드(ND131N)의 전위는 트랜지스터(131N)를 통하여 충전되어, 트랜지스터(132N)가 온 된다. 그 결과, V_{dd} 레벨의 신호가 출력(OUT)으로 출력된다.
- <241> 도 33은 동일 극성의 트랜지스터, 즉 NMOS 트랜지스터만을 사용하여 구성된 NAND 회로의 일례를 도시하는 회로도이다.
- <242> NAND 회로(140N)는 도 33에 도시된 바와 같이 NMOS 트랜지스터(141N 내지 144N), 캐패시터(145N), 및 노드(ND141N와 ND142N)를 포함한다.
- <243> 트랜지스터(141N)의 소스가 노드(ND141N)에 접속되고, 게이트 및 드레인이 전원 전위(V_{dd})에 접속되어 있다. 트랜지스터(142N)의 소스가 노드(ND142N)에 접속되고, 드레인이 전원 전위(V_{dd})에 접속되고, 게이트가 노드(ND141N)에 접속되어 있다.
- <244> 트랜지스터(143N)의 소스가 기준전위(V_{ss})에 접속되고, 드레인이 노드(ND142N)에 접속되고, 게이트가 신호 입력 라인(IN1)에 접속되어 있다.
- <245> 트랜지스터(144N)의 소스가 전원전압(V_{dd})의 공급 라인에 접속되고, 드레인이 노드(ND142N)에 접속되고, 게이트가 신호 입력 라인(IN2)에 접속되어 있다.
- <246> 캐패시터(145N)의 제1 전극이 노드(ND141N)에 접속되고, 제2 전극이 노드(ND142N)에 접속되어 있다. 노드(ND142N)는 출력(OUT)에 접속되어 있다.
- <247> 전술한 바와 같이 구성된 NAND 회로(140N)에 있어서, 2개의 신호(en 및 ck)가 모두 하이 레벨인 경우에, 둘다의 트랜지스터(143N, 144N)가 온 되고, 노드(ND142N)의 전위를 하강시킨다. 이것은 캐패시터(145N)를 통하여 노드(ND141N)의 전위가 하강하도록 하고, 트랜지스터(142N)를 오프시킨다. 그 결과, V_{ss} 레벨의 리셋신호(rst)가 출력(OUT)으로 출력된다.
- <248> NAND 회로(140N)가 둘다 또는 어느 하나가 로우 레벨인 2개의 신호(en 및 ck)를 입력받으면, 트랜지스터(143N와 144N)는 둘다 또는 어느 하나가 오프된다. 이것은 노드(ND141N)의 전위가 트랜지스터(141N)를 통하여 충전되도록 하여, 트랜지스터(142N)를 온시킨다. 그 결과, V_{dd} 레벨의 리셋 신호(rst)가 출력(OUT)으로 출력된다.
- <249> 이상, NMOS로 이루어지는 전압공급 회로가 설명되었다. 또한, 여기에서 설명되지 않은 일부 구성이 있다. 그러나, PMOS 트랜지스터로 이루어지는 제1 내지 제10 실시예에 따른 전압공급 회로의 구성이 적용가능한 것은 말할 필요도 없다.
- <250> 전술한 바와 같이, NMOS 트랜지스터를 사용하여 전압공급 회로를 구성할 경우, 예를들면 비정질 실리콘을 사용한 TFT의 형성이 용이하다. 그 결과, 전압공급 회로가 화소 회로를 사용하는 유기 EL 표시장치의 패널에 용이하게 배치될 수 있다.
- <251> 이하, 본 발명의 바람직한 실시예에 따른 전압공급 회로(10, 10A 내지 10N)가 유기 EL 표시장치에 사용되고 배치되는 구성예에 관한 설명이 이루어질 것이다.
- <252> <제16 실시예>
- <253> 도 34는 본 발명의 제16 실시예에 따른 화소 회로를 채용한 유기 EL 표시장치의 구성을 나타내는 블록도이다. 도 35는 제16 실시예에 따른 화소 회로의 구체적인 구성을 나타내는 회로도이다.
- <254> 도 34 및 도 35에 도시된 바와 같이, 표시장치(200)는 화소 회로(201)가 m×n의 매트릭스 형태로 배열된 화소 어레이부(202)를 포함한다. 또한, 표시장치(200)는 수평 선택기(HSEL)(203), 기록 주사부(WSCN)(204), 파워 구동 주사부(PDSCN)(205) 및 기록 주사부(204)에 구동전압을 공급하는 전압공급 회로(P1)(206)를 더 포함한다. 또

한 표시장치(200)는 파워 구동 주사 부(205)에 구동전압을 공급하는 전압공급 회로(PW)(207), 및 수평 선택기(103)에 의해 선택되어 휘도정보에 따른 데이터 신호(Vsig) 또는 오프셋 신호(Vofs)의 입력 신호(SIN)를 공급받는 신호 라인(SGL201 내지 SGL20n)를 더 포함한다. 또한 표시장치(200)는 기록 주사부(204)로부터 게이트 펄스(주사 펄스)(GP)에 의해 구동되는 구동배선으로 역할하는 주사선(WSL201 내지 WSL120m)을 더 포함한다. 또한, 표시장치(200)는 파워 구동 선(PSL201 내지 PSL20m)을 더 포함한다. 파워 구동 선(PSL201 내지 PSL20m)은 거기에 인가되는 파워 신호(PSG)로서 구동된다. 파워 신호(PSG)는 파워 구동 주사부(205)에 의해 선택적으로 VCC(예를 들면, 전원전압) 또는 VSS(예를 들면, 음전압)을 설정한다.

- <255> 또한, 이것들의 구성요소는 예를 들면 동일한 패널에 형성된다.
- <256> 화소 어레이부(202)에 있어서, 화소 회로(201)가 $m \times n$ 의 매트릭스 형태로 배열되더라도, 도 34는 도면의 간략화 때문에 $2(= m) \times 3(= n)$ 의 매트릭스 형태로 배열한 예를 도시하고 있다.
- <257> 또한, 도 35에서도, 도면에 간략화 때문에 단일 화소 회로의 구체적인 구성을 보이고 있다.
- <258> 도 35에 도시된 바와 같이, 본 실시예에 따른 화소 회로(201)는 구동 트랜지스터로서의 n 채널 TFT211, 스위칭 트랜지스터로서의 n 채널 TFT212, 및 캐패시터(C211)를 포함한다. 또한 화소 회로(201)는 유기 EL 발광소자(OLED: 전기광학소자)로 이루어지는 발광소자(213), 제1 및 제2 노드(ND211와 ND212)를 더 포함한다.
- <259> 화소 회로(201)에 있어서, 파워 구동선(전원 라인)(PSL201 내지 PSL20m)과 소정의 기준전위(Vcat)(예를 들면, 접지전위) 사이에는 구동 트랜지스터로서의 TFT211, 노드(ND211), 및 발광소자(OLED)(213)가 직렬로 접속되어 있다.
- <260> 구체적으로, 발광소자(213)의 캐소드가 기준전위(Vcat)에 접속되고, 애노드가 제1 노드(ND211)에 접속되어 있다. TFT212의 소스가 제1 노드ND211에 접속되고, TFT211의 드레인이 파워 구동선(PSL)에 접속되어 있다.
- <261> TFT211의 게이트는 제2 노드(ND212)에 접속되어 있다.
- <262> 캐패시터(C211)의 제1 전극은 제1 노드(ND211)에 접속되고, 캐패시터(C211)의 제2 전극은 제2 노드(ND212)에 접속되어 있다.
- <263> 신호 라인(SGL)과 제2 노드(ND212) 사이에는 TFT212의 소스-드레인이 각각 접속되어 있다. TFT212의 게이트는 주사선(WSL)에 접속되어 있다.
- <264> 전술한 바와 같이, 제16 실시예에 따른 화소 회로(201)에서, 구동 트랜지스터로서의 TFT211는 게이트와 소스 사이에 연결되는 캐패시터(C211)를 구비하고 있다. 캐패시터(C211)는 화소 용량으로서 기능한다.
- <265> 다음에, 상기 구성의 보다 구체적인 동작이 도 36a 내지 도 36e, 및 도 37 내지 도 44를 참조하여 화소 회로의 동작을 중심으로 설명될 것이다.
- <266> 도 36a는 주사선(WSL)에 인가되는 게이트 펄스(주사 펄스)(GP)를 나타낸다. 도 36b는 파워 구동선(PSL)에 인가되는 파워 신호(PSG)를 나타낸다. 도 36c는 신호 라인(SGL)에 인가되는 입력 신호(SIN)를 나타낸다. 도 36d는 제2 노드(ND212)의 전위(VND212)를 나타낸다. 도 36e는 제1 노드(ND211)의 전위(VND211)를 나타낸다.
- <267> 우선, EL 발광소자(213)가 발광할 때, 도 36b 및 도 37에 도시된 바와 같이, 파워 구동선(PSL)의 전위는 전원전압(VCC)이며, TFT212는 오프된다.
- <268> 이때, 구동 트랜지스터로서의 TFT211은 포화 영역에서 동작되도록 설계된다. 따라서, EL 발광소자(213)에 흐르는 전류(Ids)는 TFT211의 게이트-소스 전압(Vgs)에 따라 소정의 값을 취한다.
- <269> 다음에, 비발광 기간동안, 도 36b 및 도 38에 도시된 바와 같이, 전원 라인인 파워 구동선(PSL)의 전위는 Vss로 저하된다. 이때, 전압(Vss)이 EL 발광소자(213)의 임계값(Vthel)과 캐소드 전압(Vcat)의 합보다도 작을 때, 즉 $Vss < Vthel + Vcat$ 이면, EL 발광소자(213)는 발광을 중지한다. 이것은 전원 라인인 파워 구동선(PSL)이 구동 트랜지스터로서 역할하는 TFT211의 소스가 된다. 이때, EL 발광소자(213)의 애노드(노드 ND211)는 도 36e에 도시된 바와 같이 Vss로 충전된다.
- <270> 더욱이, 도 36a, 도 36c, 도 36d, 도 36e, 및 도 39에 도시된 바와 같이, 신호 라인(SGL)의 전위가 오프셋 전압(Vofs)에 도달할 때, 게이트 펄스(GP)는 하이 레벨로 설정되어, TFT212을 온 시키고 TFT211의 게이트 전위를 Vofs로 한다.
- <271> 이때, TFT211의 게이트-소스 전압은 (Vofs - Vss)의 값을 취한다. 이 TFT211의 게이트-소스 전압(Vofs - Vss)

이 TFT211의 임계 전압(V_{th})보다도 크지 않다면, 임계값 보정은 실행될 수 없다. 그러므로, TFT211의 게이트-소스 전압($V_{ofs} - V_{ss}$)이 TFT211의 임계 전압(V_{th})보다도 커야 한다. 즉, 관계($V_{ofs} - V_{ss} > V_{th}$)가 유지될 필요가 있다.

- <272> 다음에, 임계값 보정 동안, 파워 구동선(PSL)에 인가하는 파워 신호(PSG)는 다시 전원전압(V_{cc})으로 설정된다.
- <273> 파워 구동선(PSL)이 전원전압(V_{cc})으로 설정되기 때문에, EL 발광소자(213)의 애노드(노드 ND211)가 TFT211의 소스로서 기능하고, 도 40에 도시된 바와 같은 방향으로 전류가 흐른다.
- <274> EL 발광소자(213)의 등가회로는 도 40에 도시된 바와 같이 다이오드와 캐패시터에 의해 나타낸다. 그러므로, 관계($V_{el} \leq V_{cat} + V_{thel}$)가 충족되는 한(EL 발광소자(213)의 누설 전류가 TFT211에 흐르는 전류보다도 상당히 작은 한), TFT211를 통해 흐르는 전류는 캐패시터(C_{211} 와 C_{el})를 충전하기 위해서 사용된다.
- <275> 이때, 캐패시터(C_{el})의 전압(V_{el})은 시간과 함께 도 41에 도시된 바와 같이 상승한다. 일정 시간 경과후, TFT211의 게이트-소스 전압은 V_{th} 의 값을 취한다. 이때, 관계($V_{el} = V_{ofs} - V_{th} \leq V_{cat} + V_{thel}$)를 유지한다.
- <276> 임계값의 캔슬 동작후, 도 36a, 도 36c 및 도 42에 도시된 바와 같이, 신호 라인(SGL)의 전위는 TFT212가 온 상태로 남아서 V_{sig} 까지 상승된다. 상기 데이터 신호(V_{sig})는 계조 레벨에 대응하는 전압 레벨이 된다. 이때, TFT211의 게이트 전위는 TFT212가 온 상태이기 때문에 도 36d에 도시된 바와 같이 V_{sig} 가 된다. 그러나, 파워 구동선(PSL)로부터 전류(I_{ds})가 흐르기 때문에 소스 전위는 시간과 함께 상승한다.
- <277> 이때, TFT211의 소스 전압이 EL 발광소자(213)의 임계 전압(V_{thel})과 캐소드전압(V_{cat})의 합을 초과하지 않으면(EL 발광소자(213)의 누설 전류가 TFT211에 흐르는 전류보다도 상당히 작으면), TFT211에 흐르는 전류는 캐패시터(C_{211} 와 C_{el})를 충전하는데도 사용된다.
- <278> 이때, TFT211의 임계값 보정은 이미 완료되었다. 그러므로, TFT211에 흐르는 전류는 이동도(μ)를 반영한다.
- <279> 구체적으로, 도 43에 도시된 바와 같이, 이동도(μ)가 커질수록, 전류 흐름이 커지고 소스 전압의 상승도 빠르다. 반대로, 이동도(μ)가 작아지면, 전류 흐름이 작아지고 소스 전압의 상승은 늦어진다. 그 결과, TFT211의 게이트-소스 전압은 이동도(μ)를 반영하기 때문에 작아진다. 상기 게이트-소스 전압은 이동도의 완전한 보정을 위해 일정 시간내에 V_{gs} 와 거의 동일해질 것이다.
- <280> 최종적으로, 도 36a 내지 도 36c, 및 도 44에 도시된 바와 같이, 게이트 펄스(GP)가 로우 레벨로 천이되어, 기록 동작을 종료하기 위해 TFT212를 오프시키고, EL 발광소자(213)를 발광시킨다.
- <281> TFT211의 게이트-소스 전압은 일정하다. 그러므로, 정전류(I_{ds}')가 TFT211로부터 EL 발광소자(213)로 흐른다. V_{el} 은 상기 전류(I_{ds}')가 동일한 EL 발광소자(213)에 흐르는 전압(V_x)까지 상승한다. 그 결과, EL 발광소자(213)는 발광한다.
- <282> 또한, 본 화소 회로(201)에 있어서, EL 발광소자(213)의 발광 시간이 길어지면 그 I-V특성은 변화되어버린다. 그 결과, 도 44에 도시된 B점(노드 ND211)의 전위도 변화된다. 그러나, TFT211의 게이트-소스 전압은 일정하게 유지된다. 그러므로, EL 발광소자(213)에 흐르는 전류는 변화되지 않는다. 따라서, EL 발광소자(213)의 I-V특성이 열화되더라도, 정전류(I_{ds}')가 지속적으로 흐른다. 그 결과, EL 발광소자(213)의 휘도가 변화되지 않는다.
- <283> 이상, 제16 실시예에서, 도 38에 도시된 회로, 즉 2개의 트랜지스터와 1개의 캐패시터를 포함하는 2Tr+1C 화소 회로를 가지는 표시장치(200)에 관하여 설명이 이루어졌다.
- <284> 그러나, 본 실시예는 2Tr+1C 화소 회로를 가지는 표시장치(200) 이외의 다른 표시장치에 적용하는 것이 가능하다. 즉, 본 실시예는 OLED와 직렬로 접속되는 구동 및 스위칭 트랜지스터 이외에, 이동도 또는 임계값 캔슬을 위한 TFT 또는 다른 구성요소를 개별적으로 가지는 표시장치에도 적용하는 것이 가능하다.
- <285> 이하에, 전술한 표시장치 중에서 5개의 트랜지스터와 1개의 캐패시터를 포함하는 5Tr+1C 화소 회로를 가지는 표시장치의 구성예에 대해서 설명이 이루어질 것이다.
- <286> <제17 실시예>
- <287> 도 45는 본 발명의 제17 실시예에 따른 화소 회로를 채용한 유기 EL 표시장치의 구성을 나타내는 블럭도이다. 도 46은 제17 실시예에 따른 화소 회로의 구체적인 구성을 나타내는 회로도이다.
- <288> 도 45 및 도 46에 도시된 바와 같이, 표시장치(300)는 화소 회로(301)가 $m \times n$ 의 매트릭스 형태로 배열된 화소 어레이부(302)를 포함한다. 또한 표시장치(300)는 수평 선택기(HSEL)(303), 기록 주사부(WSCN)(304), 구동 주사

부(DSCN)(305), 제1 오토 제로 회로(AZRD1)(306), 제2 오토 제로 회로(AZRD2)(307), 및 기록 주사부(304)에 구동전압을 공급하는 전압공급 회로(P11)(307)를 더 포함한다. 또한 표시장치(300)는 구동 주사부(305)에 구동전압을 공급하는 전압공급 회로(P12)(308), 제1 오토제로 회로(AZRD1)(306)에 구동전압을 공급하는 전압공급 회로(P13)(309), 제2 오토 제로 회로(AZRD2)(307)에 구동전압을 공급하는 전압공급 회로(P14)(310)를 더 포함한다. 또한 표시장치(300)는 수평 선택기(303)에 의해 선택되어 휘도정보에 따른 데이터 신호의 입력 신호(SIN)가 공급되는 신호 라인(SGL)을 더 포함한다. 또한 표시장치(300)는 기록 주사부(304)에 의해 선택 구동되는 제2 구동배선으로서의 주사선(WSL), 구동 주사부(305)에 의해 선택 구동되는 제1 구동배선으로서의 구동선(DSL)을 더 포함한다. 또한 표시장치(300)는 제1 오토 제로 회로(306)에 의해 선택 구동되는 제4 구동배선으로서의 제1 오토 제로 선(AZL1), 및 제2 오토 제로 회로(307)에 의해 선택 구동되는 제3 구동배선으로서의 제2 오토 제로 선(AZL2)을 더 포함한다.

- <289> 또한, 이런 구성요소는 예를들면 동일한 패널에 형성된다.
- <290> 도 45 및 도 46에 도시된 바와 같이, 제17 실시예에 따른 화소 회로(301)는 p채널 TFT(311), n채널 TFT(312 내지 315), 캐패시터(C311)를 포함한다. 또한, 화소 회로(301)는 유기 발광소자(OLED)로 이루어지는 발광소자(316), 제1 노드(ND311), 및 제2 노드(ND312)를 포함한다.
- <291> TFT(311)에 의해 제1 스위칭 트랜지스터가 형성되고, TFT(313)에 의해 제2 스위칭 트랜지스터가 형성되고, TFT(315)에 의해 제3 스위칭 트랜지스터가 형성되고, TFT(314)에 의해 제4 스위칭 트랜지스터가 형성되어 있다.
- <292> 또한, 전원전압(Vcc)의 공급 라인(전원 전위)이 제1 기준전위에 해당하고, 접지전위(GND)가 제2 기준전위에 해당한다. 더욱이, VSS1이 제4 기준전위에 해당하고, VSS2이 제3 기준전위에 해당한다.
- <293> 화소 회로(301)에 있어서, 제1 기준전위(본 실시예에서는 전원 전위 Vcc)와 제2 기준전위(본 실시예에서는 접지 전위 GND) 사이에는 TFT(311), 구동 트랜지스터로서의 TFT(312), 제1 노드(ND311), 및 발광소자(OLED)(316)가 직렬로 접속되어 있다. 구체적으로, 발광소자(316)의 캐소드가 접지전위(GND)에 접속되고, 애노드가 제1 노드(ND311)에 접속된다. TFT(312)의 소스가 제1 노드(ND311)에 접속된다. TFT(311)의 드레인이 TFT(311)의 드레인에 접속되고, TFT(311)의 소스가 전원 전위(Vcc)에 접속되어 있다.
- <294> TFT(312)의 게이트는 제2 노드(ND312)에 접속되고, TFT(311)의 게이트는 구동선(DSL)에 접속되어 있다.
- <295> TFT(313)의 드레인이 제1 노드(311) 및 캐패시터(C211)의 제1 전극에 접속되어 있다. TFT(313)의 소스가 고정 전위(VSS2)에 접속되고, TFT(313)의 게이트가 제2 오토 제로 선(AZL2)에 접속되어 있다. 캐패시터(C311)의 제2 전극이 제2 노드(ND312)에 접속되어 있다.
- <296> TFT(314)의 소스와 드레인이 신호 라인(SGL)과 제2 노드(ND312) 사이에 각각 접속되어 있다. TFT(314)의 게이트가 주사선(WSL)에 접속되어 있다.
- <297> 더욱이, TFT(315)의 소스와 드레인이 제2 노드(ND312)와 소정의 전위(Vss1) 사이에 각각 접속되어 있다. TFT(315)의 게이트가 제1 오토 제로 선(AZL1)에 접속되어 있다.
- <298> 전술한 바와 같이, 제16 실시예에 따른 화소 회로(301)에서, 캐패시터(C311)가 구동 트랜지스터로서의 TFT(312)의 게이트-소스에 화소 용량으로서 접속된다. 동일 회로(301)에서, TFT(312)의 소스 전위는 비발광 기간에 스위칭 트랜지스터로서의 TFT(313)를 통해 고정 전위에 접속된다. 또한, 동일 회로(201)에서, TFT(312)의 게이트와 드레인은 임계값 보정 기간동안 임계값(Vth)의 보정을 위해 함께 접속된다.
- <299> 다음에, 상기 구성의 동작이 도 47a 내지 도 47e를 참조하여 화소 회로의 동작을 중심으로 설명이 이루어질 것이다.
- <300> 도 47a는 구동선(DSL)에 인가되는 구동신호(DS)를 나타낸다. 도 47b는 주사선(WSL)에 인가되는 구동신호(WS) (제16 실시예의 게이트 펄스 GP에 해당)를 나타낸다. 도 47c는 제1 오토 제로 선(AZL1)에 인가되는 구동신호(AZ1)를 나타낸다. 도 47d는 제2 오토 제로 선(AZL2)에 인가되는 구동신호(AZ2)를 나타낸다. 도 47e는 제2 노드(ND312)의 전위를 나타낸다. 도 47f는 제1 노드(ND311)의 전위를 나타낸다.
- <301> 구동 주사부(305)에 의해 구동선(DSL)에 인가되는 구동신호(DS)는 하이 레벨로 유지된다. 기록 주사부(304)에 의해 주사선(WSL)에 인가되는 구동신호(WS)는 로우 레벨로 유지된다. 오토 제로 회로(306)에 의해 오토 제로 선(AZL1)에 인가되는 구동신호(AZ1)는 로우 레벨로 유지된다. 오토 제로 회로(307)에 의해 오토 제로 선(AZL2)에 인가되는 구동신호(AZ2)는 하이 레벨로 유지된다.

- <302> 그 결과, TFT(313)이 온 된다. 이때, TFT(313)를 통해 전류가 흐르고, TFT(312)의 소스 전위(노드 ND311의 전위)는 VSS2까지 하강한다. 그 때문에, EL 발광소자(216)에 인가되는 전압도 0V으로 하강하고, EL 발광소자(316)가 발광을 중지하게 된다.
- <303> 이 경우에, TFT(314)가 온 되더라도, 캐패시터(C311)에 의해 유지되는 전압, 즉 TFT(312)의 게이트 전압은 바뀌지 않는다.
- <304> 다음에, EL 발광소자(317)의 비발광 기간동안, 도 47c와 도 47d에 도시된 바와 같이, 오토 제로 선(AZL2)에 인가되는 구동신호(AZ2)가 하이 레벨로 유지된 상태에서, 오토 제로 선(AZL1)에 인가되는 구동신호(AZ1)가 하이 레벨로 설정된다. 이것은 제2 노드(ND312)의 전위가 VSS1이 되도록 한다.
- <305> 그 다음에, 오토 제로 선(AZL2)에 인가되는 구동신호(AZ2)가 로우 레벨로 다시 천이된 후, 구동 주사부(305)에 의해 구동선(DSL)에 인가되는 구동신호(DS)가 소정기간 동안에만 로우 레벨로 천이된다.
- <306> 이것은 TFT(313)가 오프되도록 하여 TFT(315와 312)가 온 된다. 그 결과, TFT(312와 311)에 전류가 흐르고, 제1 노드의 전위를 상승시킨다.
- <307> 그 다음에, 구동 주사부(305)에 의해 구동선(DSL)에 인가되는 구동신호(DS)가 하이 레벨로 다시 천이되고, 구동신호(AZ1)가 다시 로우 레벨로 된다.
- <308> 그 결과, 구동 트랜지스터(TFT(312))의 임계값(V_{th})이 보정되고, 제2 노드(ND312)와 제1 노드(ND311) 사이의 전위차는 V_{th} 와 동일하게 된다.
- <309> 그 상태에서 소정기간 경과후에, 기록 주사부(304)에 의해 주사선(WSL)에 인가되는 구동신호(WS)가 소정기간 하이 레벨로 유지된다. 이것은 데이터가 데이터 선으로부터 노드(ND312)에 기록되도록 한다. 구동신호(WS)가 하이 레벨에 있는 동안, 구동 주사부(305)에 의해 구동선(DSL)에 인가되는 구동신호(DS)가 하이 레벨로 천이된다. 그 다음에, 구동신호(WS)가 로우 레벨로 천이된다.
- <310> 이때, TFT(312)가 온 되고, 그리고, TFT(314)가 오프되어, 이동도의 보정이 행해진다.
- <311> 이 경우에, TFT(314)는 오프된다. TFT(312)의 게이트-소스 전압은 일정하다. 그러므로, 정전류(I_{ds})가 TFT(312)를 통해 EL 발광소자(316)로 흐른다. 그 결과, 제1 노드(ND311)의 전위는 EL 발광소자(316)로 전류(I_{ds})가 흐르는 전압(V_x)까지 상승하고, EL 발광소자(316)를 발광시킨다.
- <312> 본 회로에 있어서도, EL 발광소자는 발광 시간이 길어지면 그 전류-전압(I-V)특성은 변화되어버린다. 그 결과, 제1 노드(ND311)의 전위도 변화된다. 그러나, TFT(312)의 게이트-소스 전압(V_{gs})은 일정하게 유지된다. 그러므로, EL 발광소자(316)에 흐르는 전류는 변화되지 않는다. 따라서, EL 발광소자(316)의 I-V특성이 열화되더라도, 정전류(I_{ds}) 흐름이 계속된다. 그 결과, EL 발광소자(316)의 휘도가 변화되지 않는다.
- <313> 진술한 바와 같이 구동되는 화소 회로를 가지는 표시장치는 동일 극성의 트랜지스터, 즉 n 채널 또는 p 채널의 트랜지스터(예를 들면, TFT)를 사용하여 형성될 수 있고, 따라서 양 또는 음전위를 정확하게 출력하는 것이 가능해진다.
- <314> 본 실시예에 따른 표시장치는 동일 극성의 트랜지스터에 의해 형성되는 패널에 배치가능하여, 생산량의 향상을 제공하고, 공정수와 비용 감소를 보장한다.
- <315> 본 실시예에 따른 표시장치는 도 48에 도시된 바와 같은 여러가지 전자기기에 적용가능하다. 그런 전자기기 중에는 도 48a에 도시된 바와 같은 텔레비전(400)의 표시부(410), 도 48b 내지 도 48d에 도시된 바와 같은 디지털 카메라(500)와 캠코더(600)의 표시 장치(510, 610), 도 48g에 도시된 바와 같은 랩탑 PC(70)의 표시 장치(710), 도 48e와 도 48f에 도시된 바와 같은 휴대 단말장치(800와 900)의 표시장치(810와 910)가 있다.
- <316> 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 첨부한 청구범위의 범위 또는 그것의 균등물 내에서 여러가지 변형, 조합, 부분 조합, 및 변경이 설계변경 및 다른 요인에 의존하여 이루어질 수 있다고 이해될 것이다.

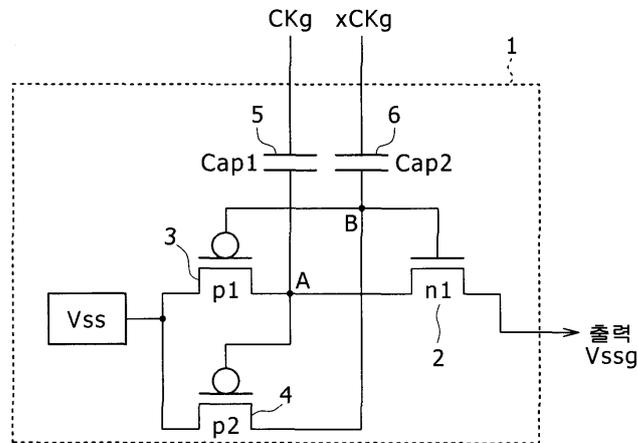
도면의 간단한 설명

- <317> 도 1은 CMOS 구성을 가지는 DC-DC 컨버터를 도시하는 회로도이다.
- <318> 도 2는 도 1에 도시된 DC-DC 컨버터의 타이밍도이다.

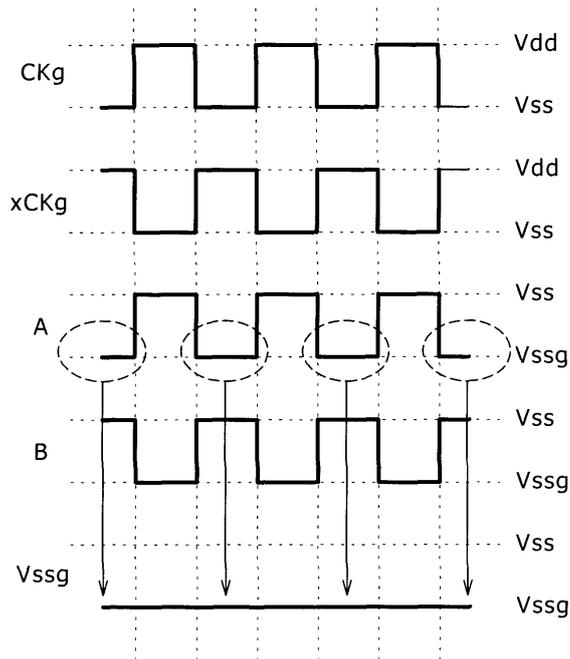
- <319> 도 3은 본 발명의 제1 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.
- <320> 도 4는 제1 실시예에 따른 DC-DC 컨버터의 구성예를 도시하는 회로도이다.
- <321> 도 5는 제1 실시예에 따른 전압공급 회로의 타이밍도이다.
- <322> 도 6은 본 발명의 제2 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.
- <323> 도 7은 제2 실시예에 따른 DC-DC 컨버터의 구성예를 도시하는 회로도이다.
- <324> 도 8은 제2 실시예에 따른 전압공급 회로의 타이밍도이다.
- <325> 도 9는 본 발명의 제3 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.
- <326> 도 10은 동일 극성의 트랜지스터, 즉 PMOS 트랜지스터만을 사용하여 구성된 인버터의 일례를 도시하는 회로도이다.
- <327> 도 11은 본 발명의 제4 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.
- <328> 도 12는 본 발명의 제5 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.
- <329> 도 13은 리셋 신호(rst)가 클럭(ck)에 대하여 지연되는 경우를 나타내는 타이밍도이다.
- <330> 도 14는 리셋 신호(rst)가 클럭(ck)에 대하여 선행하는 경우를 나타내는 타이밍도이다.
- <331> 도 15는 본 발명의 제6 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.
- <332> 도 16은 본 발명의 제7 실시예에 따른 전압공급 회로를 설명하기 위한 타이밍도이다.
- <333> 도 17은 본 발명의 제8 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.
- <334> 도 18은 제8 실시예에 따른 전압공급 회로의 타이밍도이다.
- <335> 도 19는 동일 극성의 트랜지스터, 즉 PMOS 트랜지스터만을 사용하여 구성된 NAND 회로의 일례를 도시하는 회로도이다.
- <336> 도 20은 본 발명의 제9 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.
- <337> 도 21은 본 발명의 제10 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.
- <338> 도 22는 동일 극성의 트랜지스터, 즉 PMOS 트랜지스터만을 사용하여 구성된 NOR 회로의 일례를 도시하는 회로도이다.
- <339> 도 23은 제11 실시예에 따른 DC-DC 컨버터의 구성예를 도시하는 회로도이다.
- <340> 도 24는 제11 실시예에 따른 전압공급 회로의 타이밍도이다.
- <341> 도 25는 제12 실시예에 따른 DC-DC 컨버터의 구성예를 도시하는 회로도이다.
- <342> 도 26은 제12 실시예에 따른 전압공급 회로의 타이밍도이다.
- <343> 도 27은 본 발명의 제13 실시예에 따른 전압공급 회로를 설명하기 위한 타이밍도이다.
- <344> 도 28은 본 발명의 제14 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.
- <345> 도 29는 제14 실시예에 따른 전압공급 회로의 타이밍도이다.
- <346> 도 30은 동일 극성의 트랜지스터, 즉 PMOS 트랜지스터만을 사용하여 구성된 NOR 회로의 일례를 도시하는 회로도이다.
- <347> 도 31은 본 발명의 제15 실시예에 따른 전압공급 회로의 구성예를 도시하는 블록도이다.
- <348> 도 32는 동일 극성의 트랜지스터, 즉 NMOS 트랜지스터만을 사용하여 구성된 인버터의 일례를 도시하는 회로도이다.
- <349> 도 33은 동일 극성의 트랜지스터, 즉 NMOS 트랜지스터만을 사용하여 구성된 NAND 회로의 일례를 도시하는 회로도이다.

도면

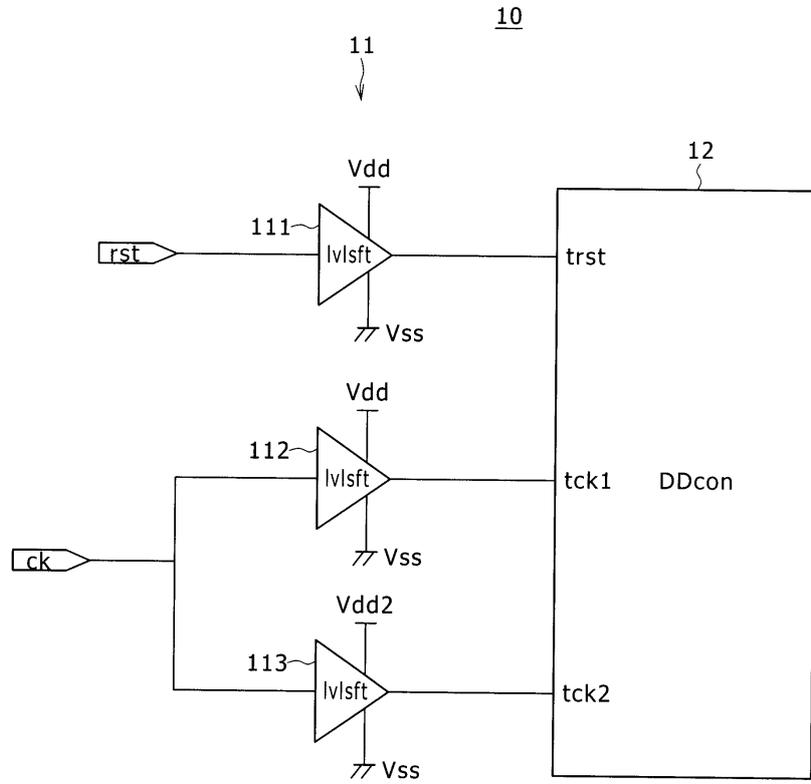
도면1



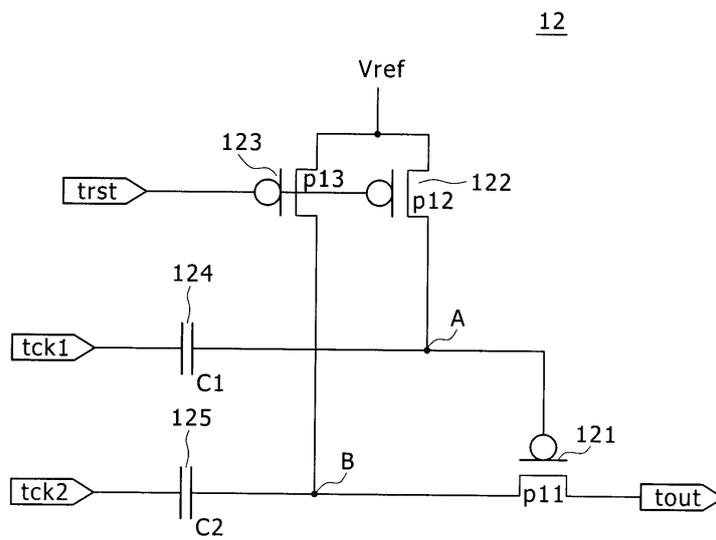
도면2



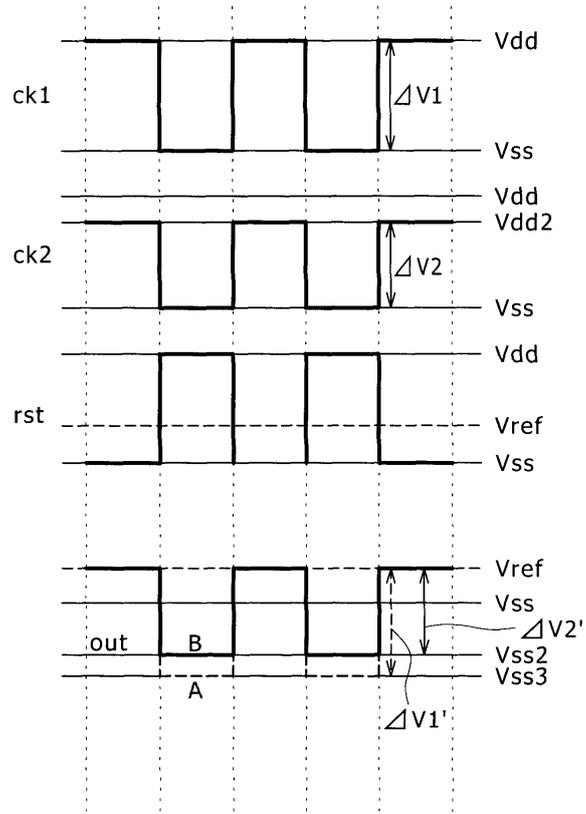
도면3



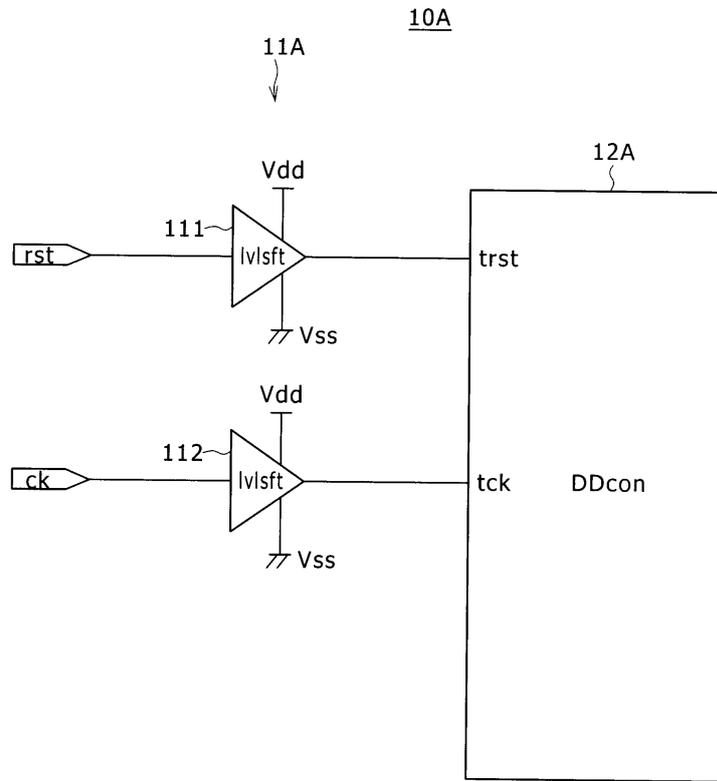
도면4



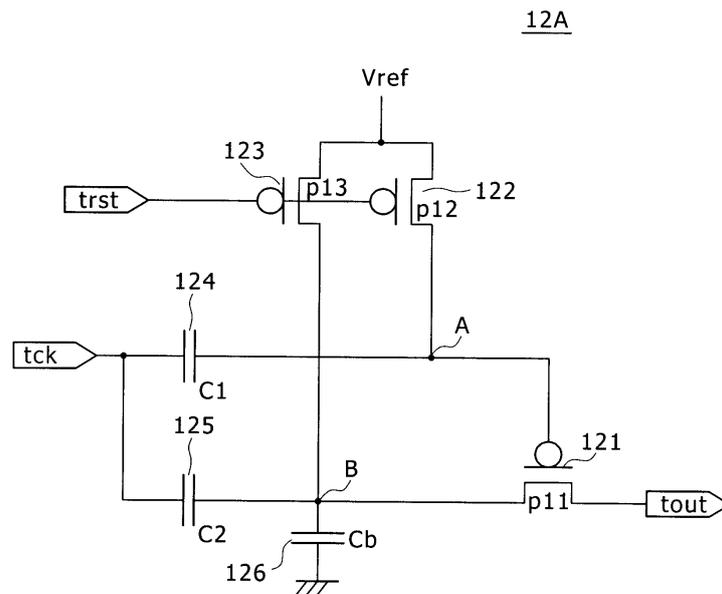
도면5



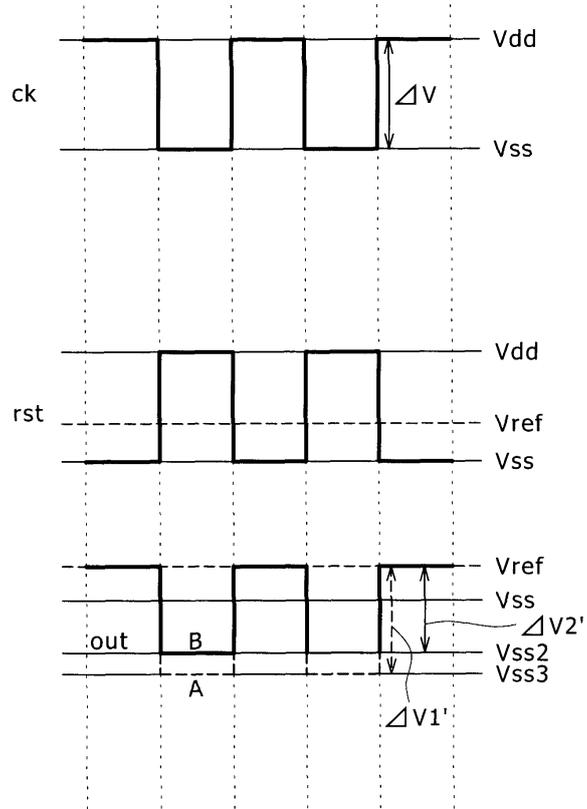
도면6



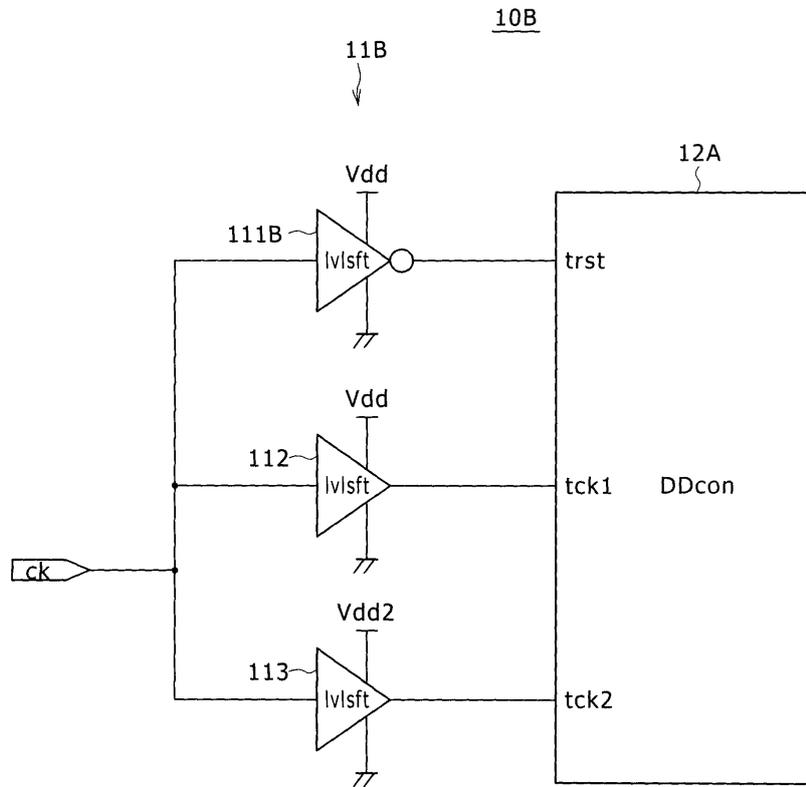
도면7



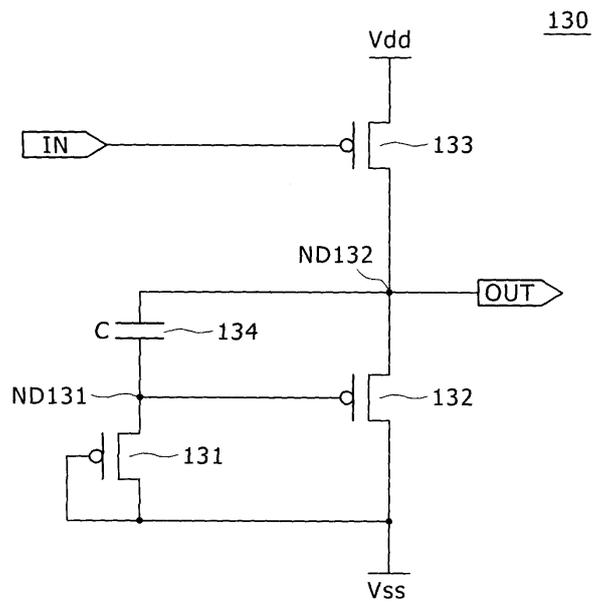
도면8



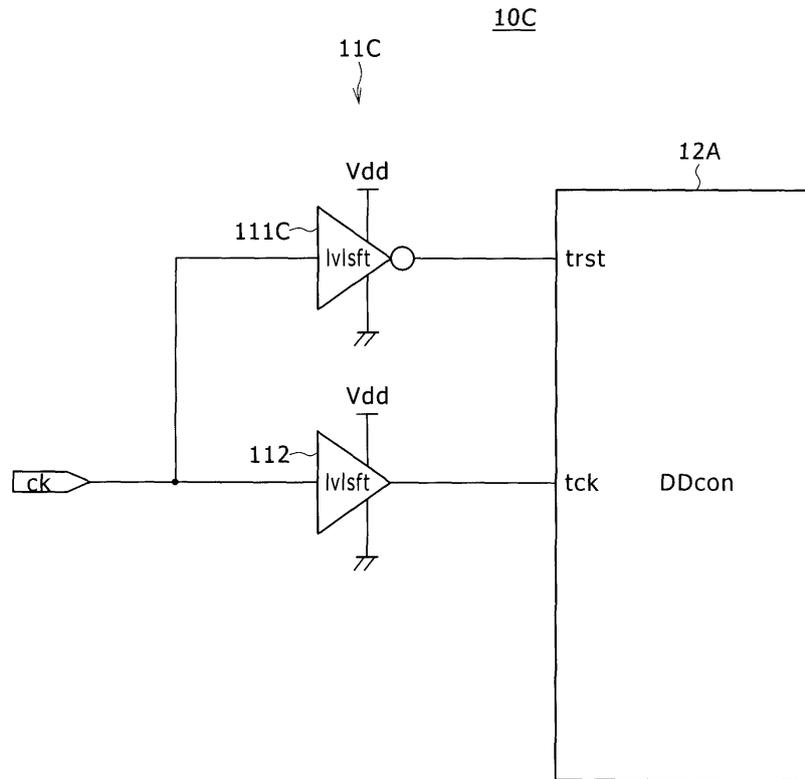
도면9



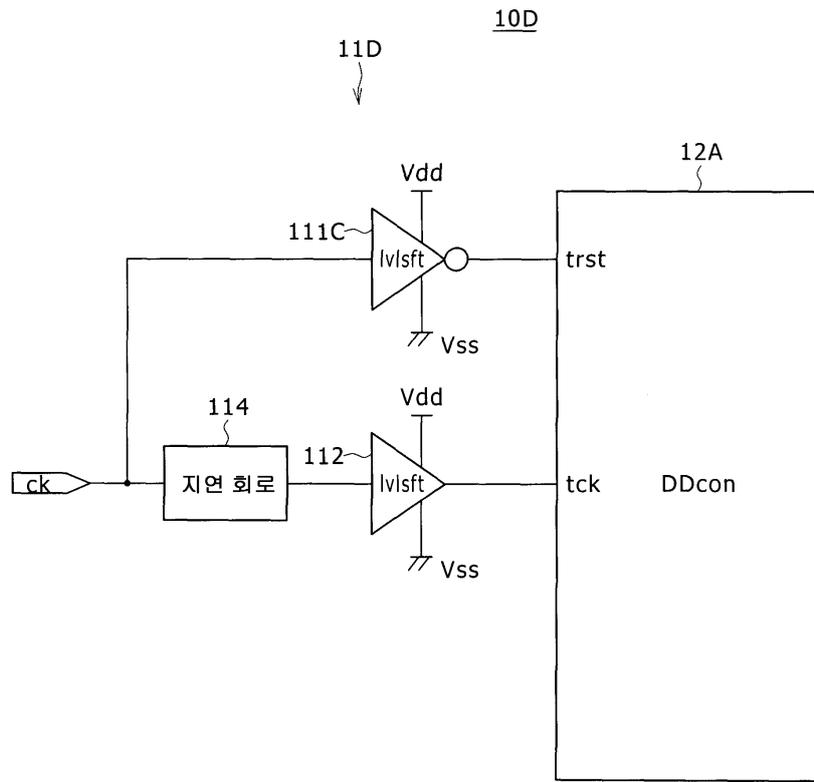
도면10



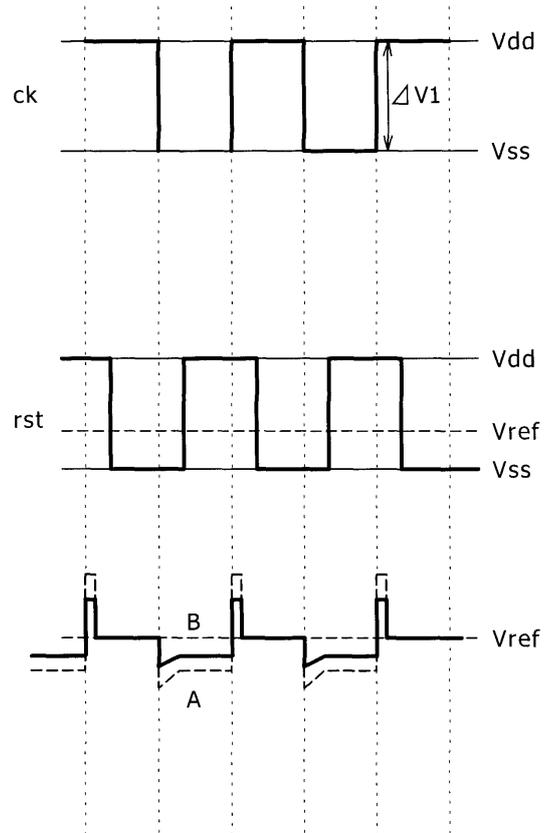
도면11



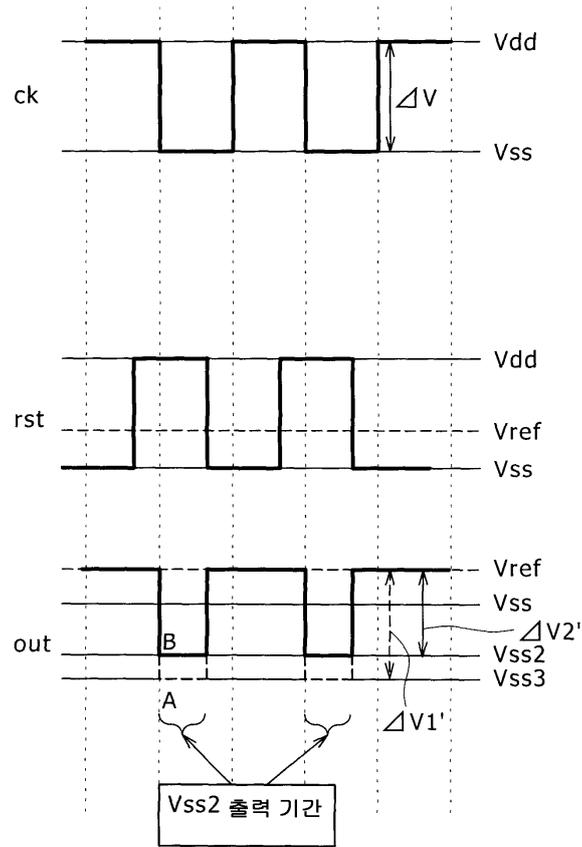
도면12



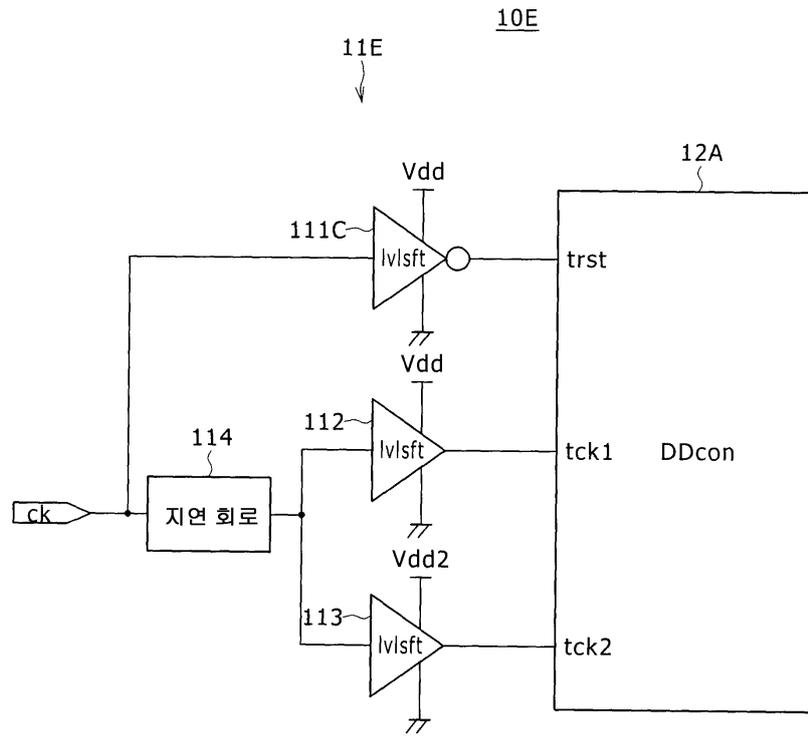
도면13



도면14

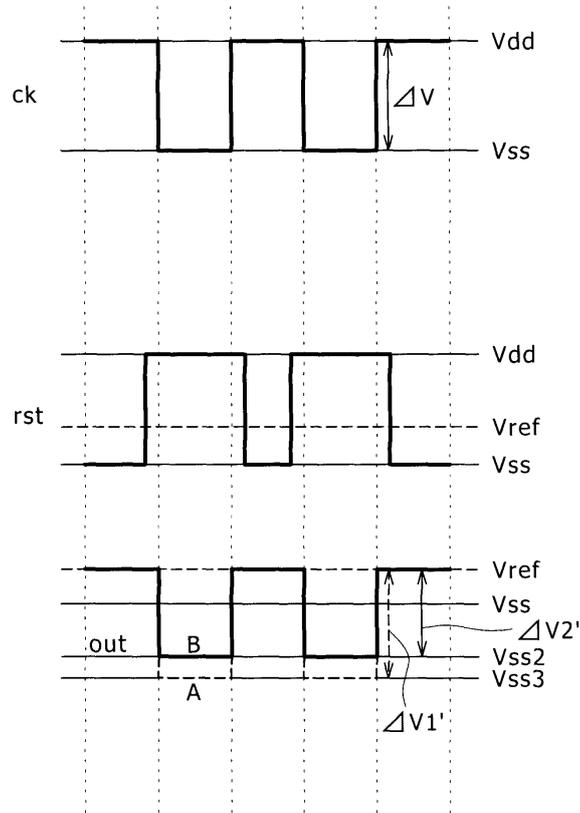


도면15

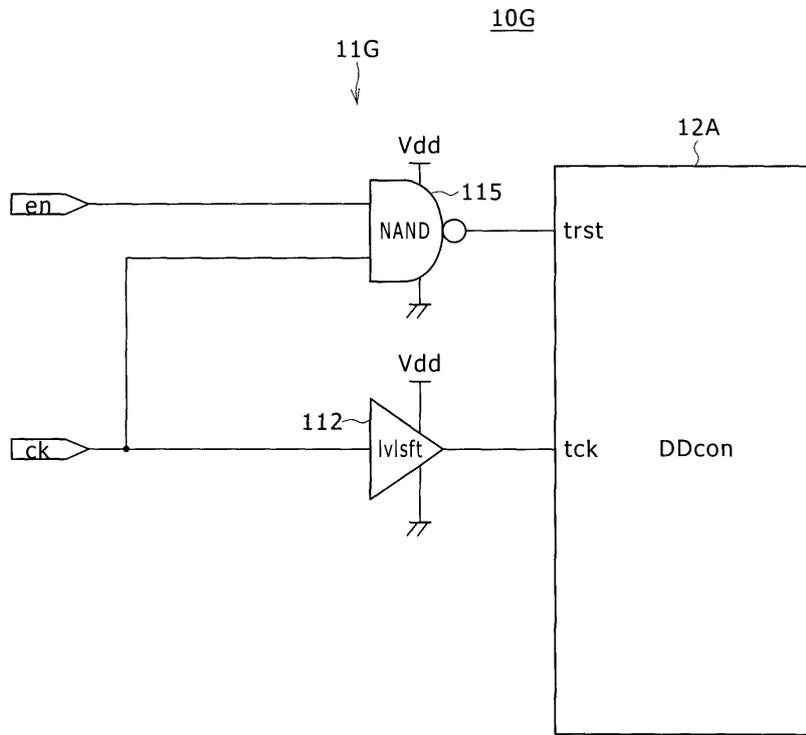


도면16

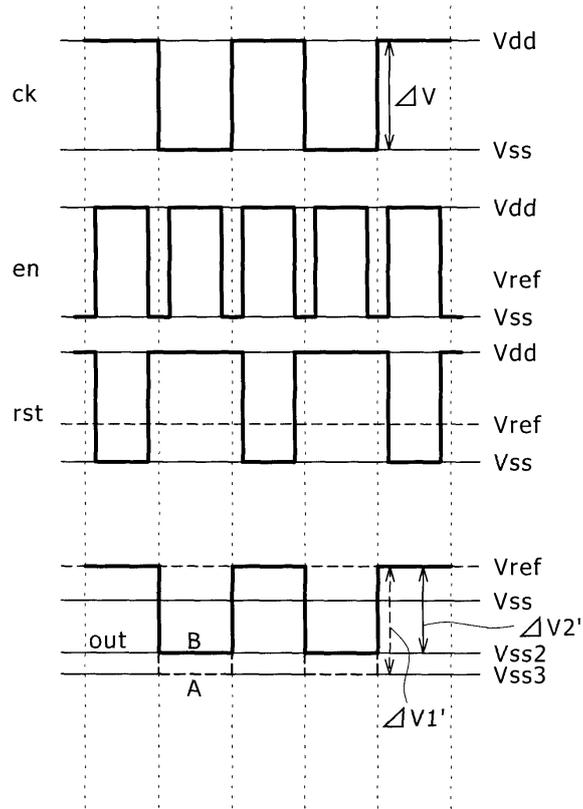
10F



도면17

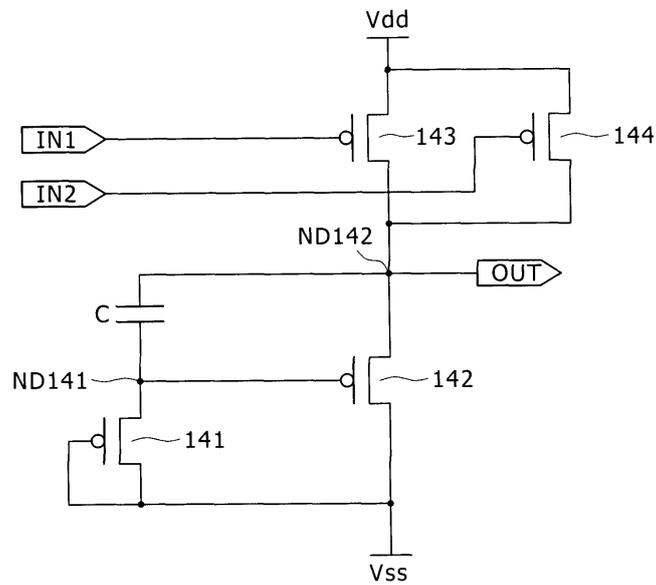


도면18

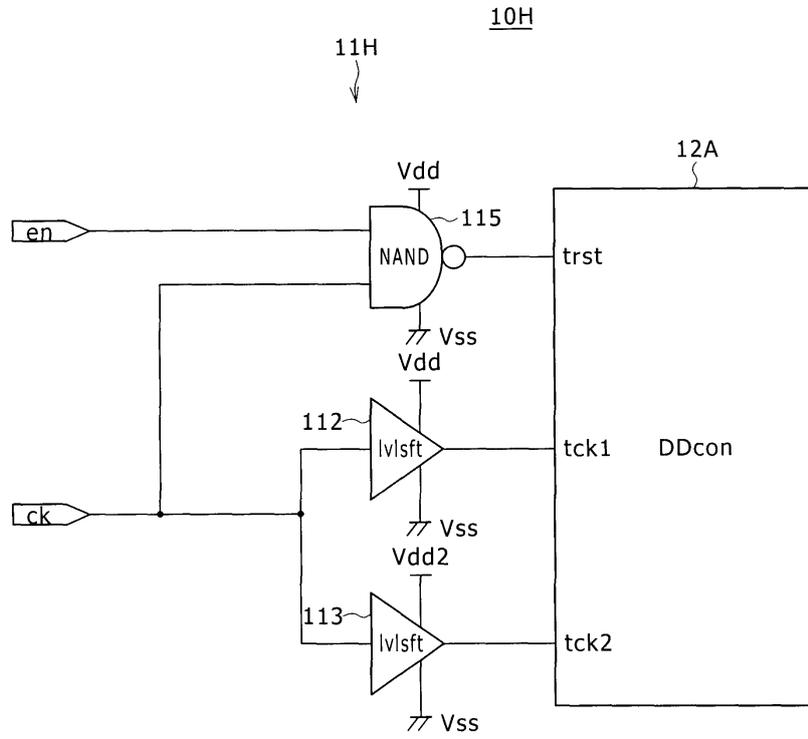


도면19

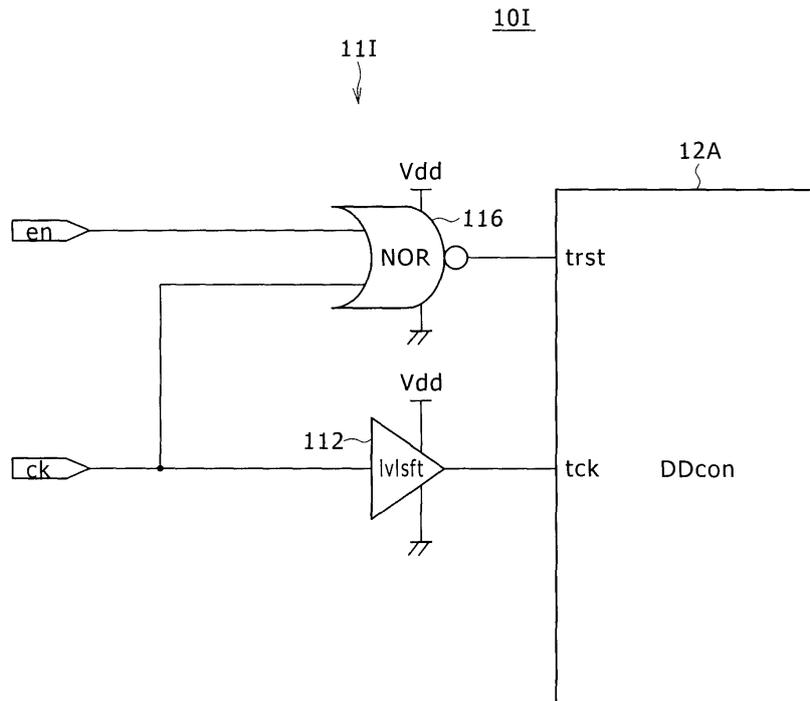
140



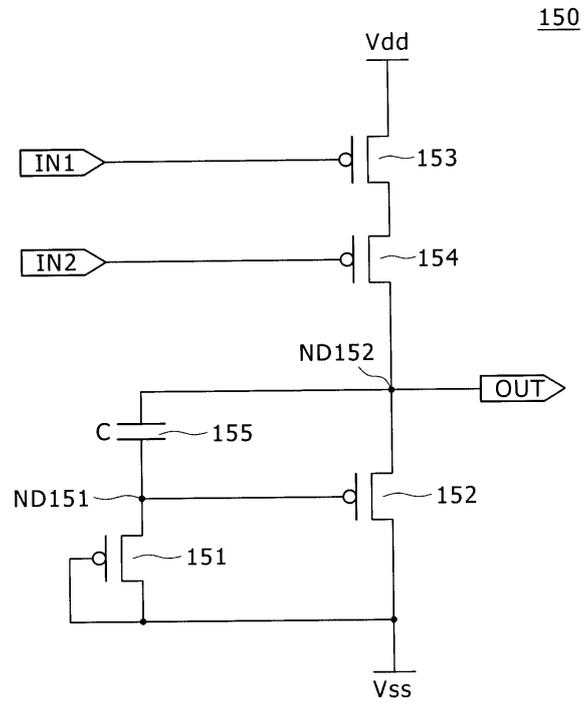
도면20



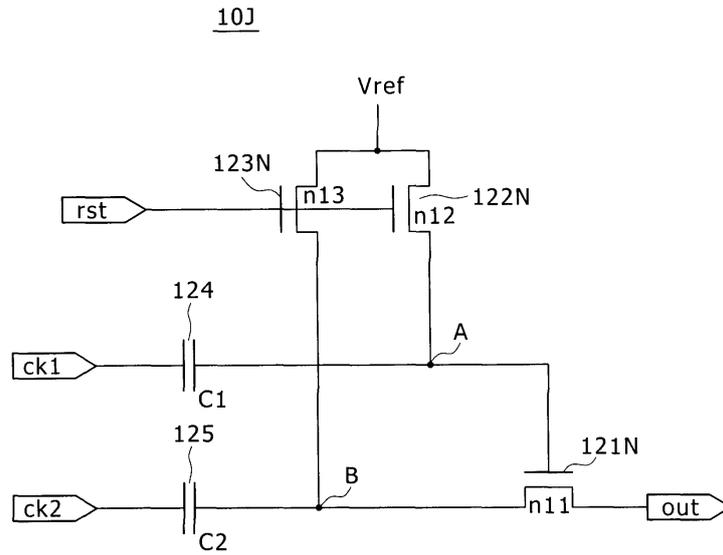
도면21



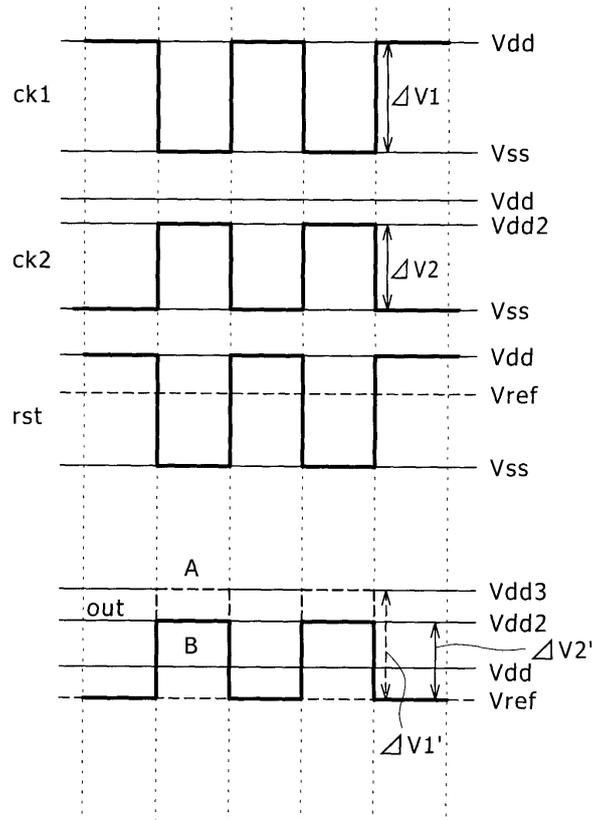
도면22



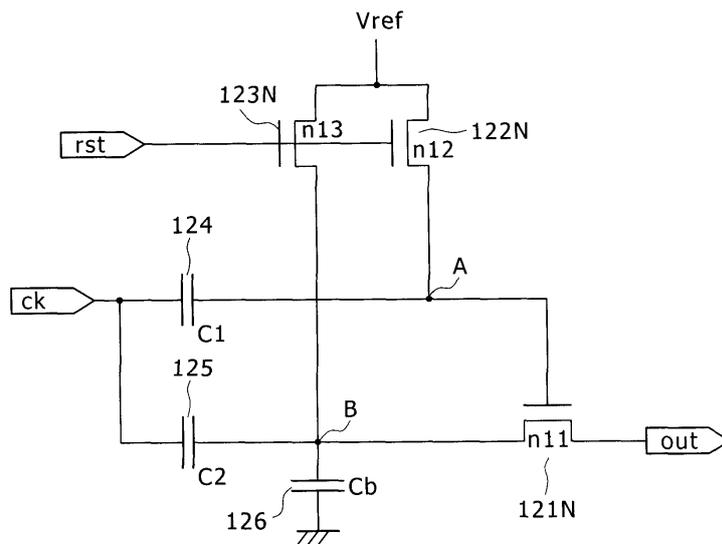
도면23



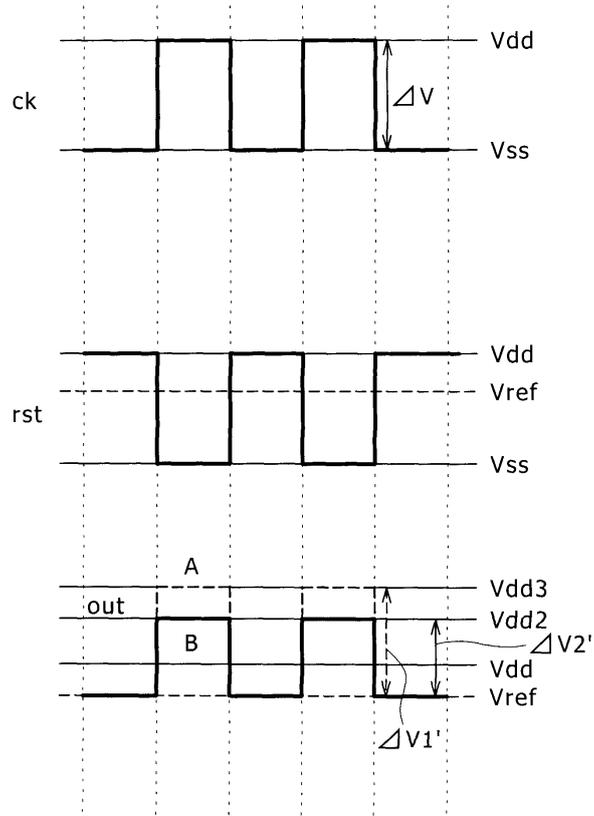
도면24



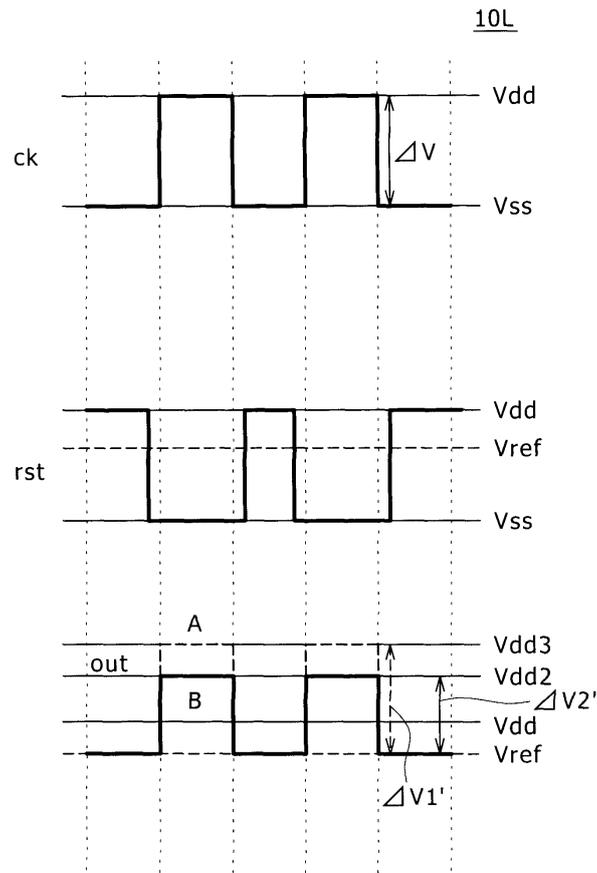
도면25



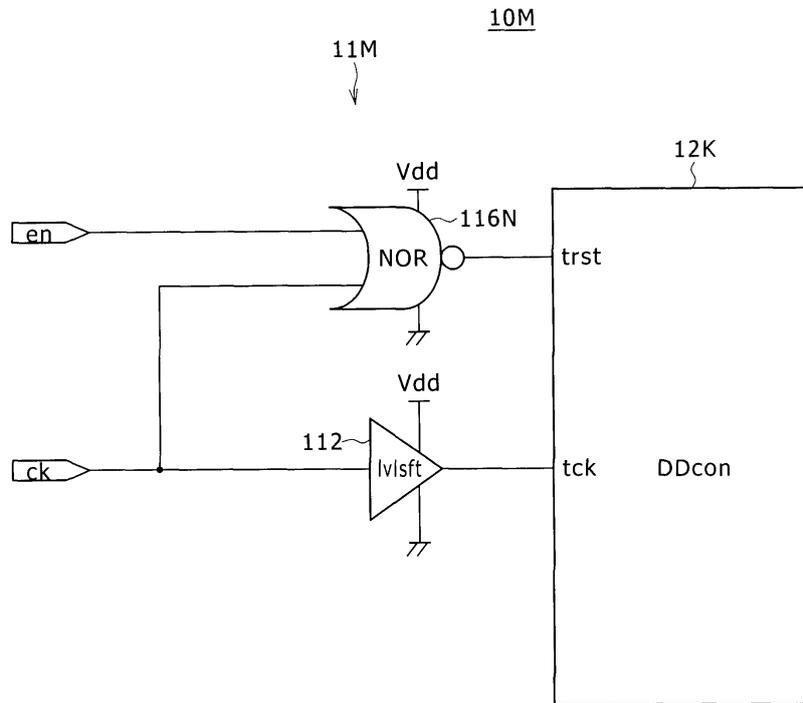
도면26



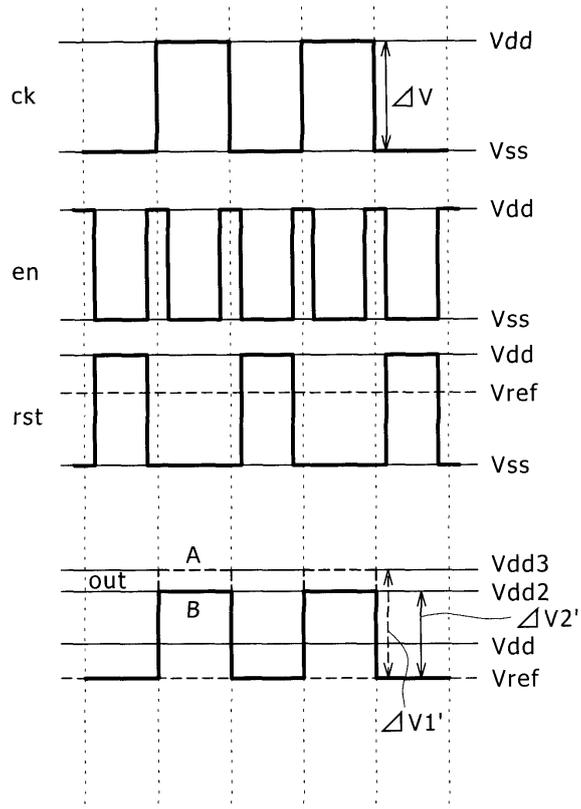
도면27



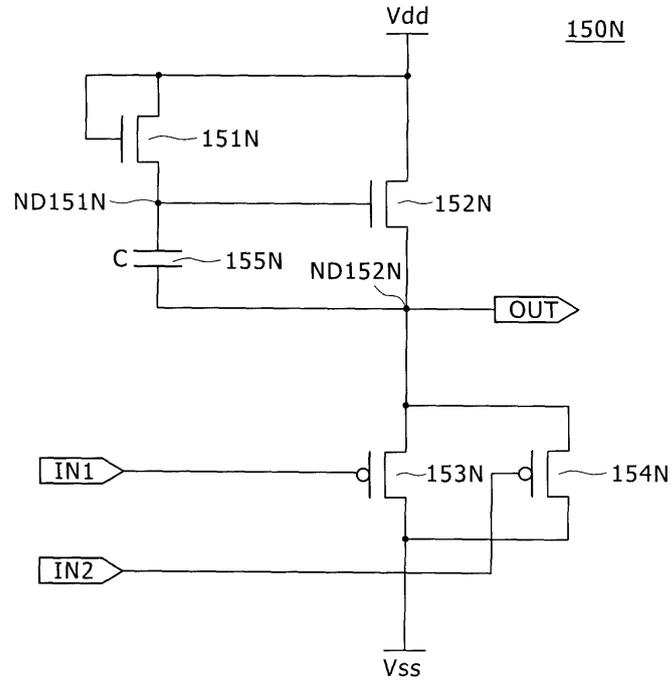
도면28



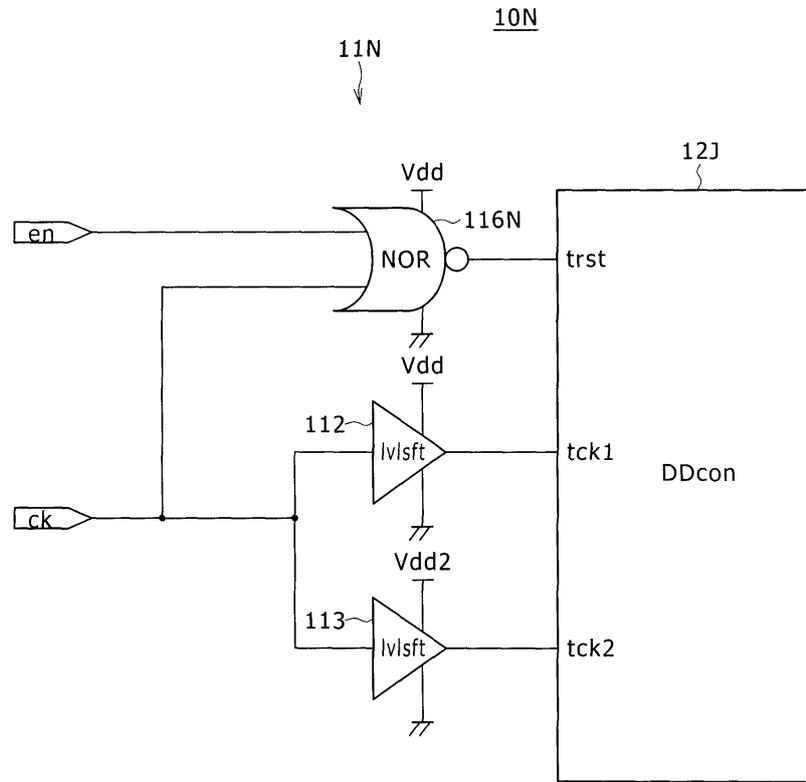
도면29



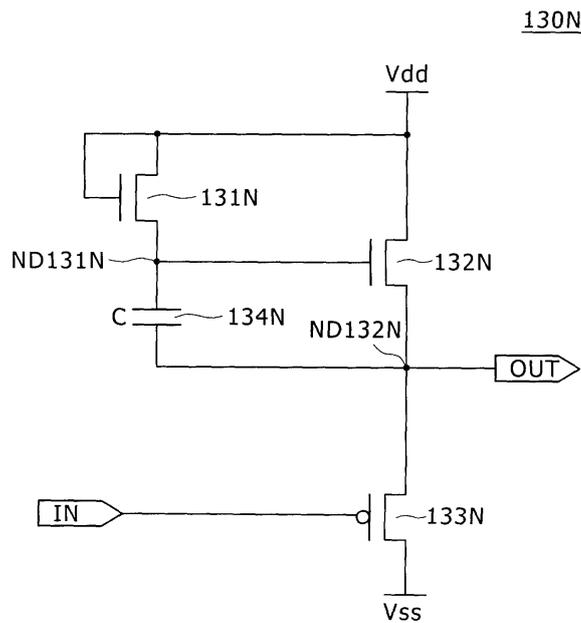
도면30



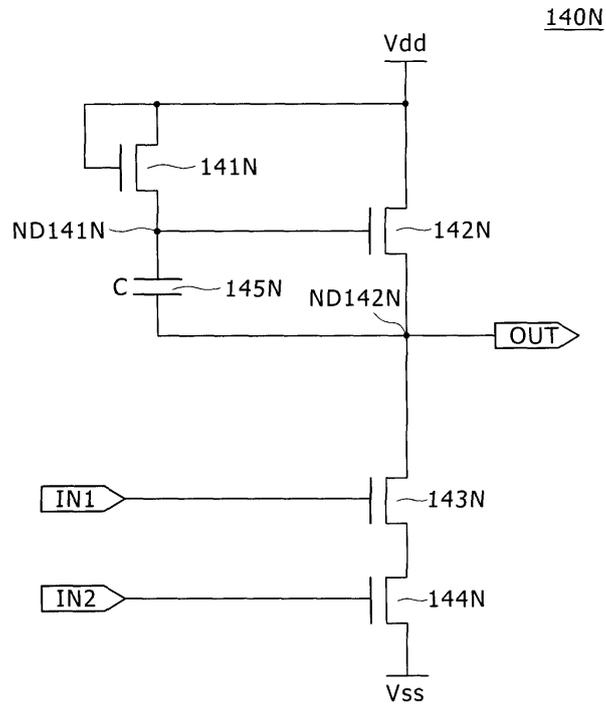
도면31



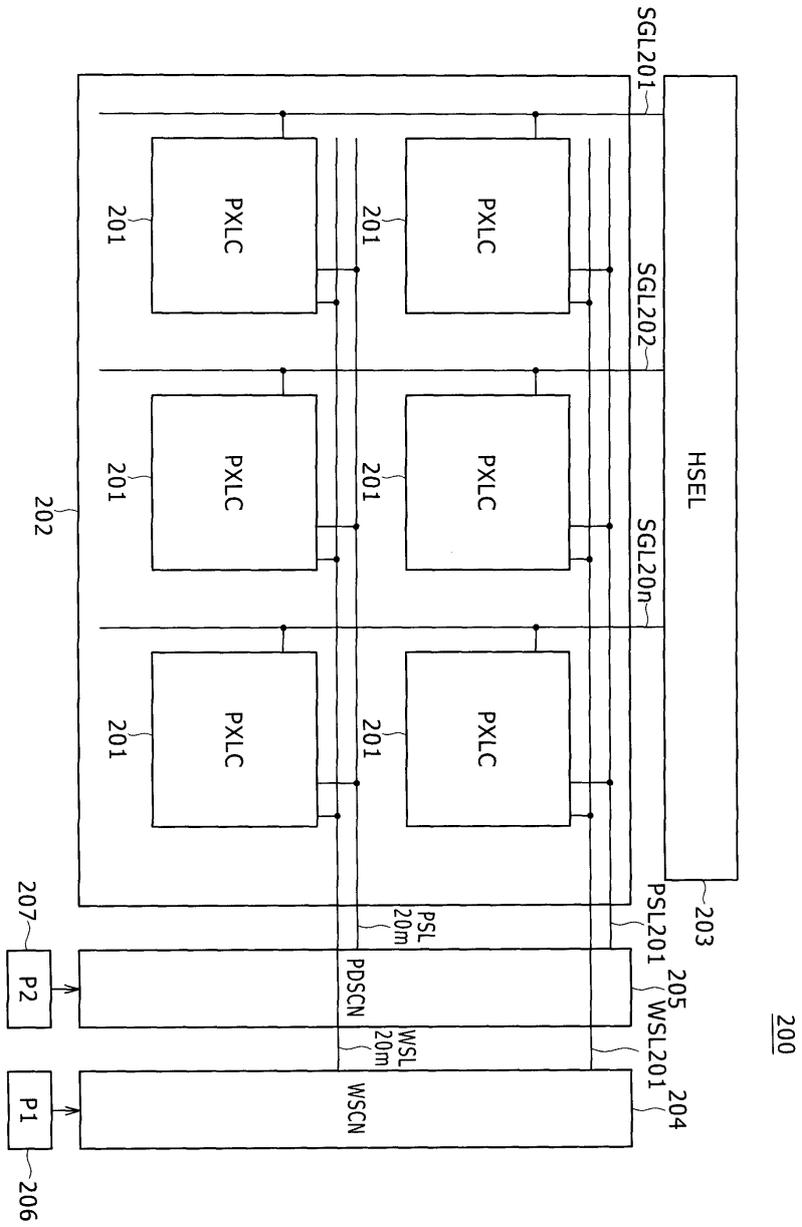
도면32



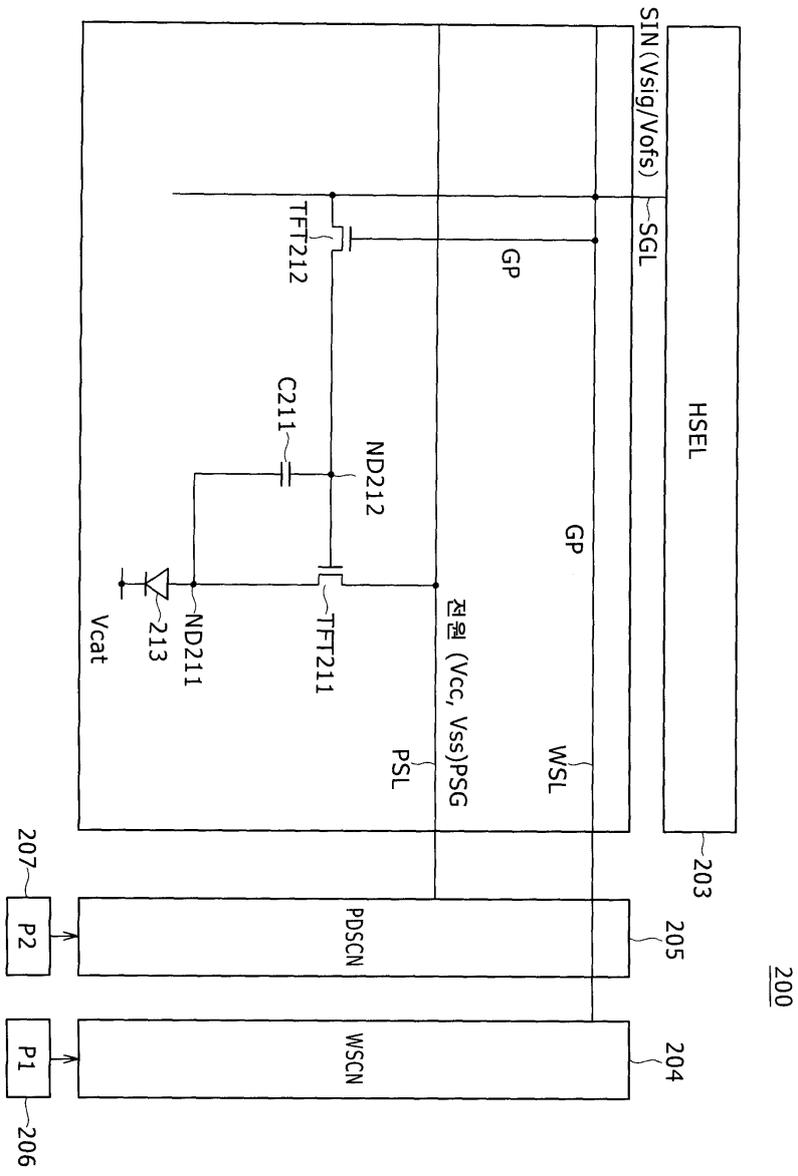
도면33



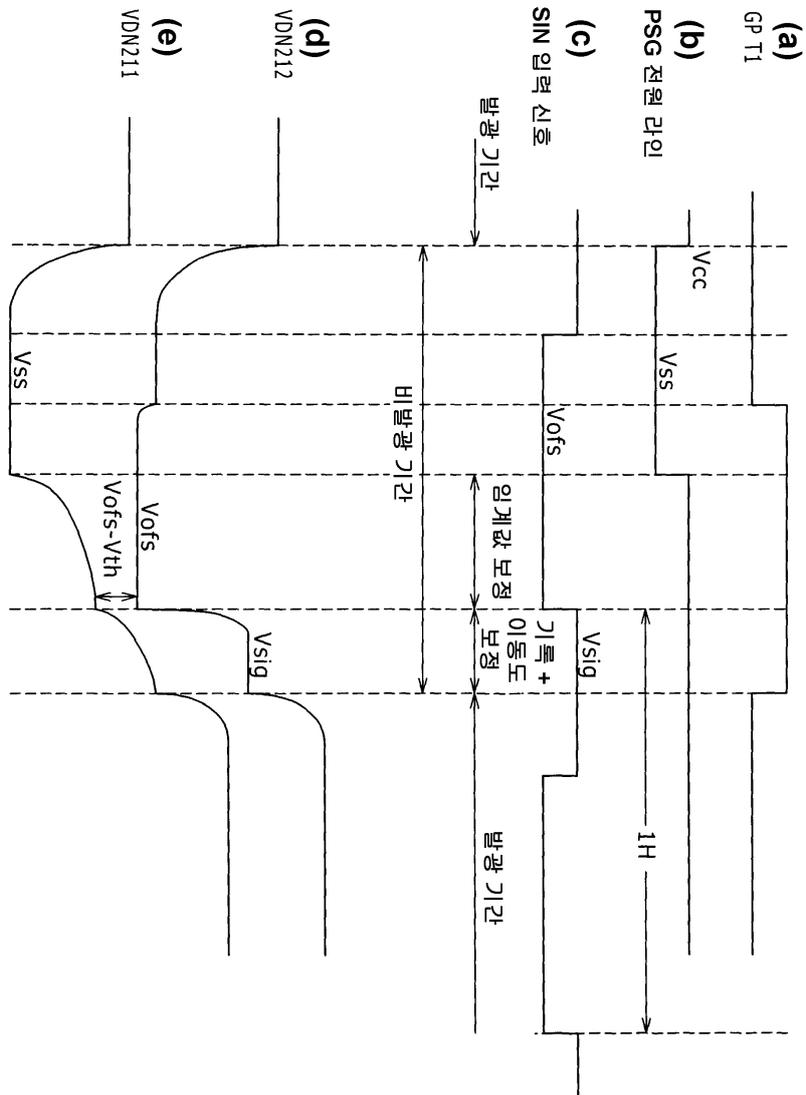
도면34



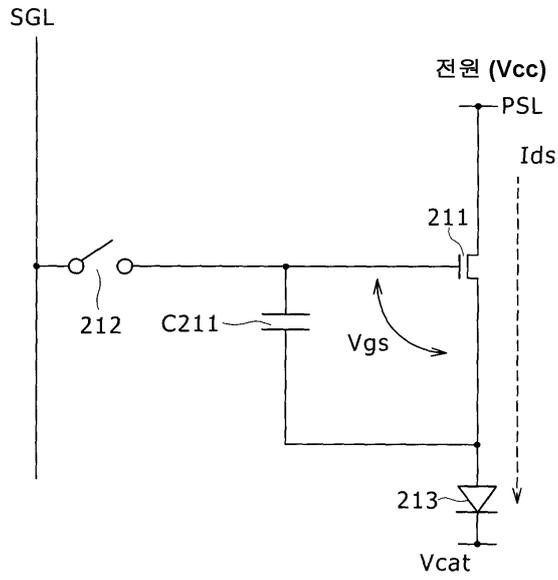
도면35



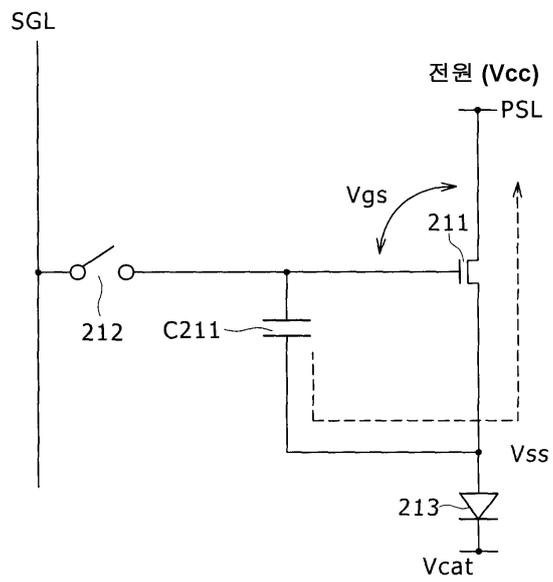
도면36



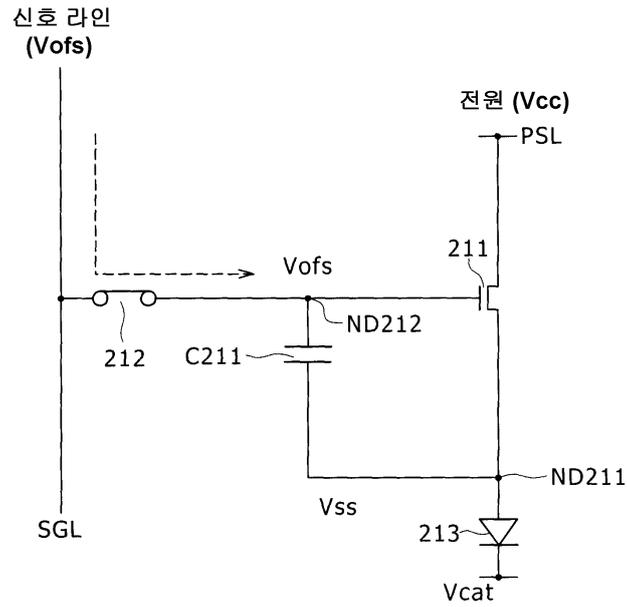
도면37



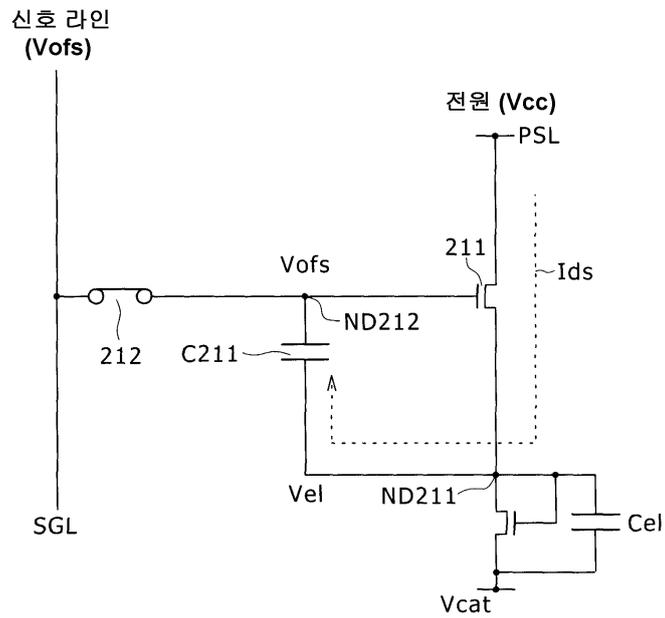
도면38



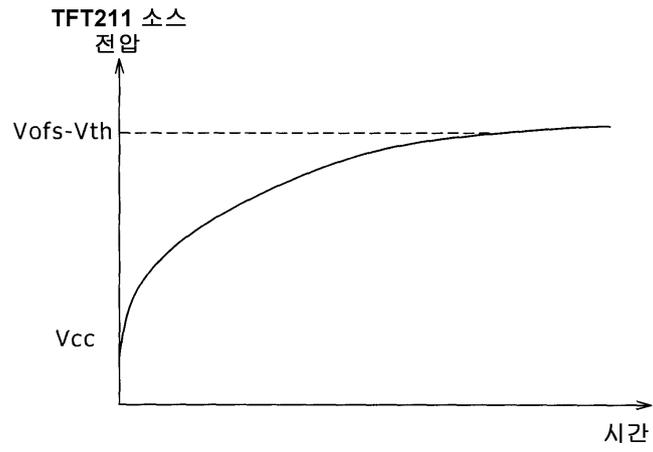
도면39



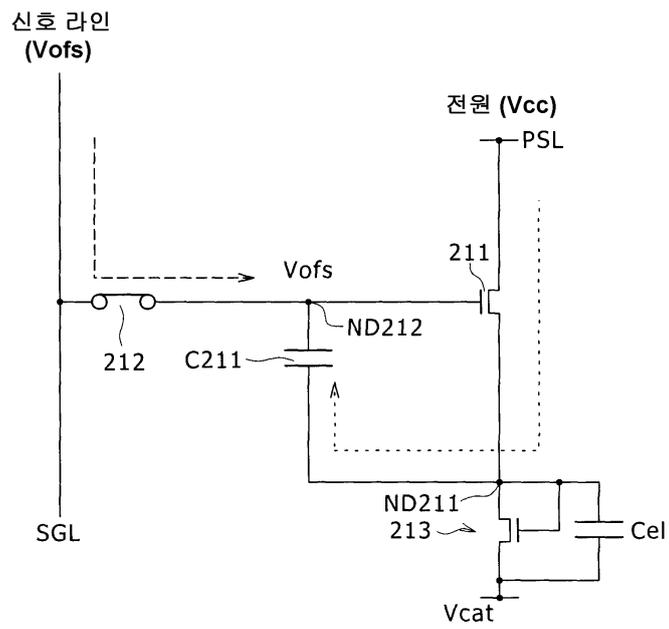
도면40



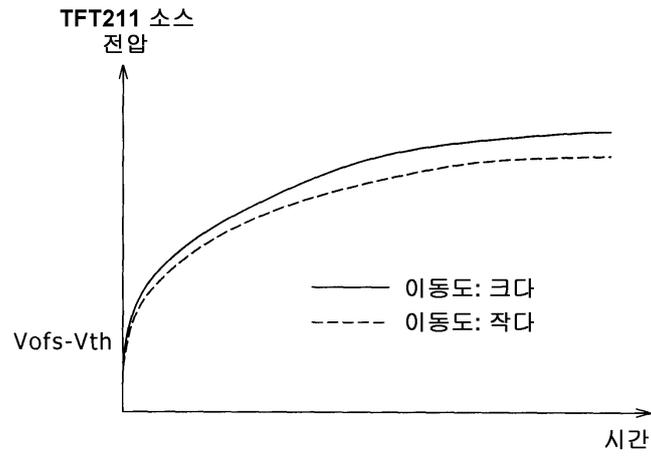
도면41



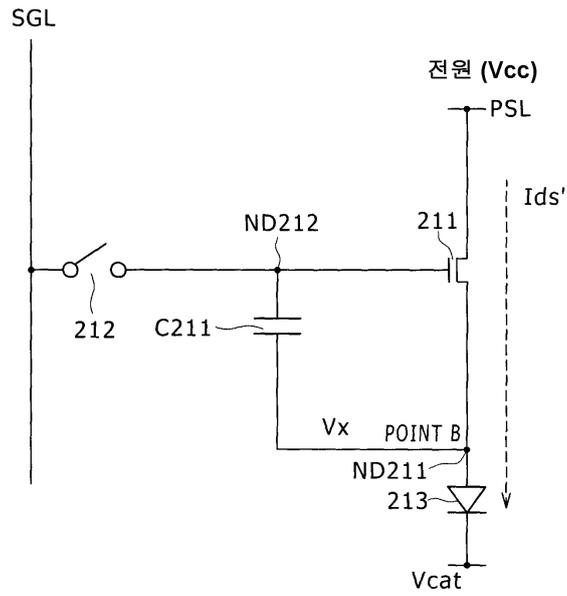
도면42



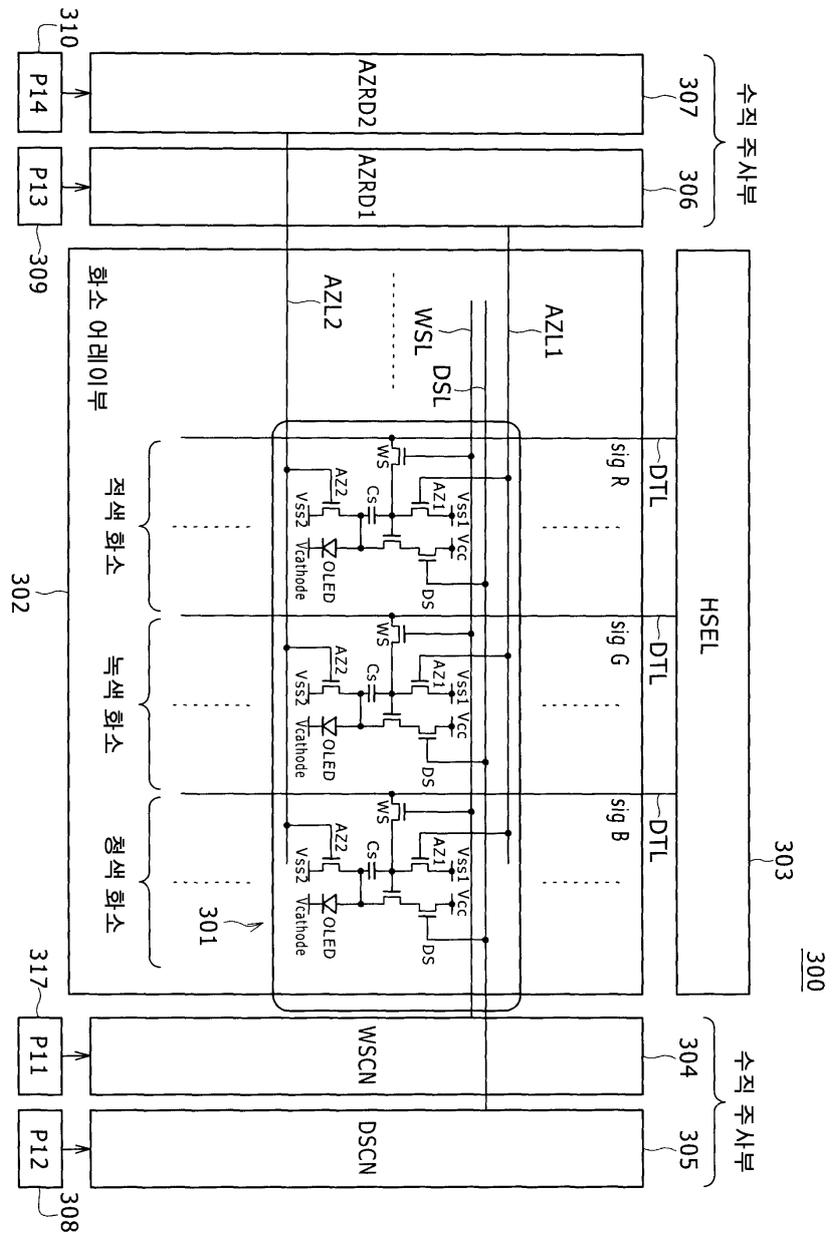
도면43



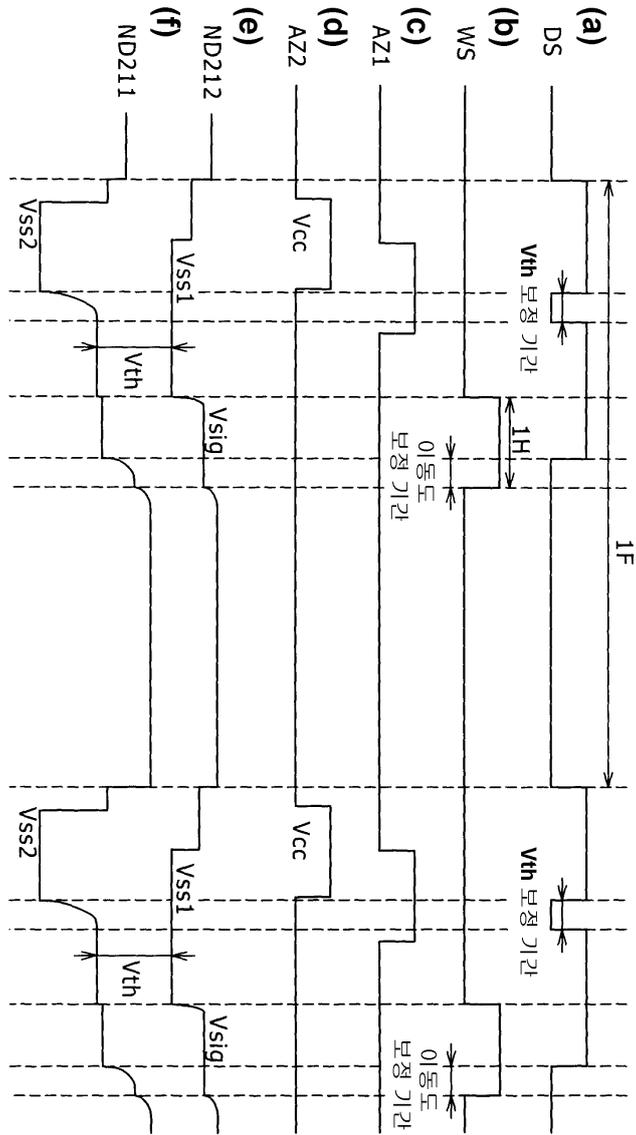
도면44



도면45



도면47



도면48

