

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-6651

(P2004-6651A)

(43) 公開日 平成16年1月8日(2004.1.8)

(51) Int. Cl.<sup>7</sup>

H01L 29/786  
G02F 1/1345  
G02F 1/1368

F I

H01L 29/78 618D  
G02F 1/1345  
G02F 1/1368  
H01L 29/78 612B  
H01L 29/78 619A

テーマコード(参考)

2H092  
5F110

審査請求有 請求項の数 28 O L (全 31 頁)

(21) 出願番号 特願2003-25871 (P2003-25871)  
(22) 出願日 平成15年2月3日(2003.2.3)  
(31) 優先権主張番号 特願2002-91626 (P2002-91626)  
(32) 優先日 平成14年3月28日(2002.3.28)  
(33) 優先権主張国 日本国(JP)

(71) 出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号  
(74) 代理人 100089037  
弁理士 渡邊 隆  
(74) 代理人 100064908  
弁理士 志賀 正武  
(74) 代理人 100110364  
弁理士 実広 信哉  
(72) 発明者 安川 昌宏  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
Fターム(参考) 2H092 GA59 GA60 HA28 JA28 JA29  
JB51 JB56 KA03 KA04 MA13  
MA17 MA25 MA29 NA29  
最終頁に続く

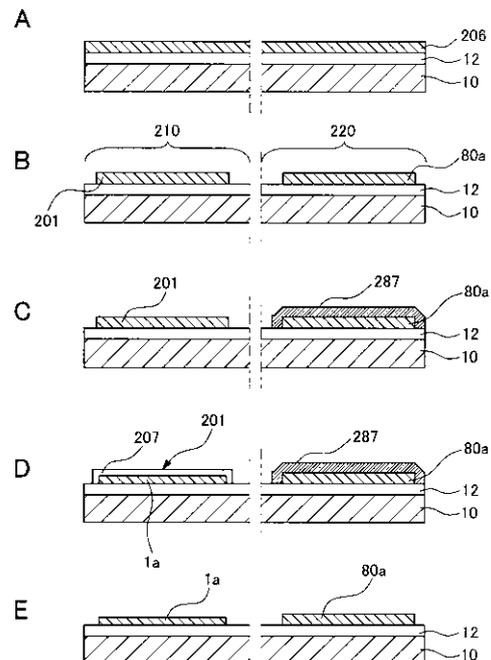
(54) 【発明の名称】 電気光学装置の製造方法、電気光学装置、半導体装置の製造方法、半導体装置、投射型表示装置及び電子機器

(57) 【要約】

【課題】厚さの異なる半導体層を備えた電気光学装置及び半導体装置における半導体層の形状を改善し、歩留まり良く製造を行うことができる電気光学装置及び半導体装置の製造方法を提供する。

【解決手段】本発明に係る製造方法は、支持基板10上に絶縁膜12を介して形成された単結晶シリコン層(半導体層)206を所定の平面形状にパターニングして複数の半導体領域210, 220に前記半導体層206を分割するパターニング工程と、前記パターニング工程により形成された前記半導体領域210, 220のうち、第1半導体領域210の半導体層201を所定の半導体層厚に薄層化する薄層化工程と、を含むことを特徴としている。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

基板と、該基板上に絶縁膜を介して形成された半導体層とを備え、前記半導体層が、層厚の異なる二以上の半導体領域に分割された電気光学装置の製造方法であって、前記半導体層を所定の平面形状にパターンニングして複数の半導体領域に前記半導体層を分割するパターンニング工程と、前記パターンニング工程により形成された前記半導体領域のうち、一以上の領域の半導体層を所定の半導体層厚に薄層化する薄層化工程と、を含むことを特徴とする電気光学装置の製造方法。

## 【請求項 2】

前記薄層化工程において、薄層化される半導体領域の半導体層の表面を酸化させることにより前記半導体層表面に酸化層を形成し、その後前記酸化層を除去することにより前記半導体層を薄層化することを特徴とする請求項 1 に記載の電気光学装置の製造方法。

## 【請求項 3】

前記薄層化工程において、薄層化される半導体領域の半導体層の側面部に、耐酸化性材料を含む側面保護膜を形成した後、前記半導体層の上面を酸化させることにより前記半導体層上面に酸化層を形成し、その後前記酸化層を除去することにより前記半導体層を薄層化することを特徴とする請求項 1 又は 2 に記載の電気光学装置の製造方法。

## 【請求項 4】

前記薄膜化工程において、前記薄膜化される半導体領域以外の半導体領域に、前記耐酸化性材料を含む側壁保護膜と同一層の酸化保護膜を形成することを特徴とする請求項 3 に記載の電気光学装置の製造方法。

## 【請求項 5】

前記側面保護膜を前記酸化層と同時に除去することを特徴とする請求項 3 又は 4 に記載の電気光学装置の製造方法。

## 【請求項 6】

前記側面保護膜を、前記半導体層を構成する材料の酸化物からなる酸化膜と、該酸化膜上に形成された耐酸化性材料からなる耐酸化性膜とを含む積層構造とすることを特徴とする請求項 3 ないし 5 のいずれか 1 項に記載の電気光学装置の製造方法。

## 【請求項 7】

前記側面保護膜の半導体層厚さ方向の高さを、前記薄層化される半導体層の薄層化後の層厚とほぼ同一の高さに形成することを特徴とする請求項 3 ないし 6 のいずれか 1 項に記載の電気光学装置の製造方法。

## 【請求項 8】

前記半導体層を構成する材料がポリシリコンもしくは単結晶シリコンであることを特徴とする請求項 1 ないし 7 のいずれかに記載の電気光学装置の製造方法。

## 【請求項 9】

前記半導体層を構成する材料の酸化物からなる酸化膜が酸化シリコン膜もしくは酸化窒素シリコン膜であることを特徴とする請求項 8 に記載の電気光学装置の製造方法

## 【請求項 10】

絶縁膜を介して半導体層が形成された基板を有する電気光学装置であって、前記半導体層が、互いに異なる半導体層厚を有する複数の半導体領域に分割されており、少なくとも一の前記半導体領域の半導体層側面に、耐酸化性材料を含む側面保護膜が形成されたことを特徴とする電気光学装置。

## 【請求項 11】

前記側面保護膜が、前記半導体層を構成する材料の酸化物からなる酸化膜と、該酸化膜上に形成された耐酸化性材料からなる耐酸化性膜とを備えることを特徴とする請求項 10 に

10

20

30

40

50

記載の電気光学装置。

【請求項 1 2】

前記複数の半導体領域のうち、一又は複数の半導体領域が、複数の走査線と、前記複数の走査線と交差する複数のデータ線と、前記半導体層に形成され、前記走査線及びデータ線に対応して設けられたトランジスタと、該トランジスタに対応して設けられた画素電極とが形成された画素領域に含まれ、

他の半導体領域が、前記半導体層に形成された複数のトランジスタを有する周辺回路が形成された周辺領域に含まれることを特徴とする請求項 1 0 又は 1 1 に記載の電気光学装置。

【請求項 1 3】

前記画素領域及び周辺領域が形成された基板と対向して配置された対向基板と、前記両基板間に挟持され、前記トランジスタにより駆動される液晶とを備えたことを特徴とする請求項 1 2 に記載の電気光学装置。

【請求項 1 4】

前記半導体層を構成する材料がポリシリコン膜もしくは単結晶シリコン膜である事を特徴とする請求項 1 0 ないし 1 3 のいずれか 1 項に記載の電気光学装置。

【請求項 1 5】

前記半導体層を構成する材料の酸化物からなる酸化膜が酸化シリコン膜もしくは酸化窒素シリコン膜であることを特徴とする請求項 1 4 に記載の電気光学装置。

【請求項 1 6】

前記画素領域よりも前記周辺領域の方が、前記半導体層の層厚が厚いことを特徴とする請求項 1 2 ないし 1 5 のいずれか 1 項に記載の電気光学装置。

【請求項 1 7】

基板と、該基板上に絶縁膜を介して形成された半導体層とを備え、前記半導体層が、層厚の異なる二以上の半導体領域に分割された半導体装置の製造方法であって、

前記半導体層を所定の平面形状にパターニングして前記半導体層を複数の半導体領域に分割するパターニング工程と、

前記パターニング工程において形成された前記半導体領域のうち、一以上の領域の半導体層を所定の半導体層厚に薄層化する薄層化工程とを含み、

前記薄層化工程において薄層化される半導体領域の半導体層の側面部に、耐酸化性材料を含む側面保護膜を形成した後、前記半導体層の上面を酸化させることにより前記半導体層上面に酸化層を形成し、その後前記酸化層を除去することにより前記半導体層を薄層化することを特徴とする半導体装置の製造方法。

【請求項 1 8】

前記薄膜化工程において、

前記薄膜化される半導体領域以外の半導体領域に、前記耐酸化性材料を含む側壁保護膜と同一層の酸化保護膜を形成することを特徴とする請求項 1 7 に記載の半導体装置の製造方法。

【請求項 1 9】

前記側面保護膜を前記酸化層と同時に除去することを特徴とする請求項 1 7 又は 1 8 に記載の半導体装置の製造方法。

【請求項 2 0】

前記側面保護膜を、前記半導体層を構成する材料の酸化物からなる酸化膜と、該酸化膜上に形成された耐酸化性材料からなる耐酸化性膜とを含む積層構造とすることを特徴とする請求項 1 7 ないし 1 9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 2 1】

前記側面保護膜の半導体層厚さ方向の高さを、前記薄層化される半導体層の薄層化後の層厚とほぼ同一の高さに形成することを特徴とする請求項 1 7 ないし 2 0 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 2 2】

10

20

30

40

50

前記半導体層が単結晶シリコン層であり、前記半導体層を構成する材料の酸化物からなる酸化膜が酸化シリコン膜もしくは酸窒化シリコン膜であることを特徴とする請求項 20 又は 21 に記載の半導体装置の製造方法

【請求項 23】

絶縁膜を介して半導体層が形成された基板を有する半導体装置であって、前記半導体層が、互いに異なる半導体層厚を有する複数の半導体領域に分割されており、少なくとも一の前記半導体領域の半導体層側面に、耐酸化性材料を含む側面保護膜が形成されていることを特徴とする半導体装置。

【請求項 24】

前記側面保護膜が、前記半導体層を構成する材料の酸化物からなる酸化膜と、該酸化膜上に形成された耐酸化性材料からなる耐酸化性膜とを備えることを特徴とする請求項 23 に記載の半導体装置。 10

【請求項 25】

前記半導体層が単結晶シリコン層であり、前記半導体層を構成する材料の酸化物からなる酸化膜が酸化シリコン膜もしくは酸窒化シリコン膜であることを特徴とする請求項 23 又は 24 に記載の半導体装置

【請求項 26】

請求項 10 ないし 16 のいずれか 1 項に記載の電気光学装置を備えた投射型表示装置であって、

光源と、該光源から出射された光を変調する前記電気光学装置からなる光変調手段と、該光変調手段により変調された光を投射する投射手段とを有することを特徴とする投射型表示装置。 20

【請求項 27】

請求項 10 ないし 16 のいずれか 1 項に記載の電気光学装置を備えたことを特徴とする電子機器。

【請求項 28】

請求項 23 ないし 25 のいずれか 1 項に記載の半導体装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

30

【発明の属する技術分野】

本発明は、Silicon On Insulator (以下、「SOI」と略記する。) 技術を適用した電気光学装置及び半導体装置の製造方法、電気光学装置及び半導体装置、並びに投射型表示装置、電子機器に関し、特に、高い信頼性が得られる電気光学装置及び半導体装置を歩留まりよく製造する方法、並びに、信頼性に優れた電気光学装置及び半導体装置に関する。

【0002】

【従来の技術】

従来から、絶縁基体上に単結晶シリコン層からなる半導体層を形成し、その半導体層にトランジスタ等の半導体デバイスを形成する SOI 技術は、素子の高速化や低消費電力化、高集積化等の利点を有しており、電気光学装置 (例えば液晶装置) においても、薄膜トランジスタ (Thin Film Transistor、以下、「TFT」と略記する。) アレイが形成される支持基板などに適用されている技術である。このような SOI 技術を適用した電気光学装置を製造するには、支持基板に単結晶シリコンなどからなる単結晶半導体層を有する半導体基板を貼り合わせ、研磨する方法等により薄膜単結晶半導体層を形成し、その薄膜単結晶半導体層を例えば液晶駆動用のトランジスタ素子に形成している。

【0003】

また半導体集積回路装置において、SOI 基板上に層厚の異なる半導体領域を混在させる技術は適用されており、例えば、以下の特許文献 1 では、埋込酸化膜上に形成された層厚 50

の異なるシリコン層のうち、厚いシリコン層に部分空乏型のCMOSデバイスを形成し、薄い側のシリコン層には、完全空乏型のCMOSデバイスを形成することで、低リーク電流と高速動作とを両立できる旨記載されている。

【0004】

特に、最近の液晶装置では、液晶駆動用のトランジスタ素子とともに、周辺回路を構成するトランジスタ素子などの回路を同一の基板上に形成した液晶装置が製造されている。このような液晶装置では、液晶駆動用のトランジスタ素子を形成するための半導体層の層厚を、周辺回路を構成するトランジスタ素子を形成するための半導体層よりも薄く形成している（例えば特許文献1を参照）。このような液晶装置によれば、液晶駆動用のトランジスタ素子では、光リーク電流を低減することができ、周辺回路では、トランジスタ素子の高速駆動を実現し、またオフリーク電流を低減することができる。

10

【0005】

図12は、このような厚さの異なる半導体層を備えた半導体装置又は電気光学装置の製造工程を示す断面工程図である。この図に示す製造方法は、まず、図12Aに示す支持基板510上に酸化シリコン層512を介して形成された単結晶シリコン層506を備えたSOI基板を用意する。半導体装置の製造に際しては、前記支持基板510としてシリコン基板を用い、電気光学装置の製造に際しては、前記支持基板510として石英基板等を用いる。次いで、図12Bに示すように、このSOI基板の単結晶シリコン層506上の所定領域に、窒化シリコン膜503を形成する。

次に、図12Cに示すように、熱酸化により単結晶シリコン層506を表面側から酸化させる。この際、上記窒化シリコン膜503が形成されている領域の単結晶シリコン層506は酸化されず、窒化シリコン膜503が形成されていない領域の単結晶シリコン層506の表面部に酸化層507が形成される。

20

次に、エッチングにより上記窒化シリコン層503及び酸化層507を除去して、図12Dに示すように部分的に層厚を低減されたSOI基板が得られる。

次いで、図12Dに示すSOI基板の単結晶シリコン層506をパターンングすることで図12Eに示す層厚の異なる単結晶シリコン層（半導体層）を備えた電気光学装置が得られる。図12Eに示すように、この電気光学装置には層厚の薄い第1半導体層501と、この第1半導体層よりも層厚が大きい第2半導体層508とが形成されており、これらの半導体層のうち、第1半導体層501に画素駆動用トランジスタ素子を形成し、第2半導体層508に周辺回路用トランジスタ素子を形成することで、画素領域にあっては光リークが低減され、また周辺領域にあっては高速の駆動回路が形成された、信頼性に優れ、高速な液晶装置を構成できる電気光学装置とすることができる。

30

【0006】

【特許文献1】

特開平11-74531号公報

【0007】

【発明が解決しようとする課題】

しかしながら、上記従来の製造方法により製造された電気光学装置では、図12D～図12Eの工程において、部位により厚さの異なる単結晶シリコン層506のエッチングを行うため、図12Eに示すように、第1半導体層501の両側の酸化シリコン層512がオーバーエッチされた凹部505が形成される。また、この凹部505の形成を防止するために、酸化シリコンと単結晶シリコンとのエッチング選択比を高めると、第1半導体層501の側面部501aがオーバーエッチされて側面部501aが凹状になり、第1半導体層501の周端部が鋭角になる。この第1半導体層501の周端部が鋭角になると、第1半導体層にトランジスタ素子を形成するためにゲート酸化を行った場合に、第1半導体層501の周端部におけるゲート酸化膜が薄くなるため、寄生MOSによるオフリーク電流が増加することになる。また上記従来の製造方法により製造された電気光学装置では、図12Bの工程において、単結晶シリコン層506を表面から酸化する時に単結晶シリコン層506と酸化シリコン層512との熱膨張率の差から、単結晶シリコン層506に入り

40

50

ップ等の欠陥が発生することが分かっている。

このように、従来の製造方法では、厚さの異なる半導体層が混在した電気光学装置あるいは半導体装置のそれぞれの半導体層を正確な形状に形成するのが困難であり、それに伴うトランジスタ素子の動作不良などにより歩留まりの低下が生じることが問題となっていた。

#### 【0008】

本発明は、上記課題を解決するためになされたものであって、厚さの異なる半導体層を備えた電気光学装置における半導体層の形状を改善し、歩留まり良く高信頼性の電気光学装置を製造する方法を提供することを目的としている。

また本発明は、厚さの異なる半導体層を備え、前記半導体層に、信頼性に優れるトランジスタ素子などの半導体素子を形成し得る電気光学装置を提供することを目的としている。また本発明は、厚さの異なる半導体層を備えた半導体層装置における半導体層の形状を改善し、歩留まり良く高信頼性の半導体装置を製造する方法を提供することを目的としている。

また本発明は、厚さの異なる半導体層を備え、前記半導体層に、信頼性に優れるトランジスタ素子などの半導体素子を形成し得る半導体装置を提供することを目的としている。

また本発明は、上記電気光学装置ないし半導体装置を備え、信頼性に優れる投射型表示装置及び電子機器を提供することを目的としている。

#### 【0009】

##### 【課題を解決するための手段】

上記課題を解決するために、本発明に係る電気光学装置の製造方法は、基板と、該基板上に絶縁膜を介して形成された半導体層とを備え、前記半導体層に、その半導体層厚が異なる二以上の半導体領域が形成された電気光学装置の製造方法であって、前記半導体層を所定の平面形状にパターンニングして複数の半導体領域に前記半導体層を分割するパターンニング工程と、前記パターンニング工程により形成された前記半導体領域のうち、一以上の領域の半導体層を所定の半導体層厚に薄層化する薄層化工程と、を含むことを特徴とする。すなわち、本発明に係る製造方法は、半導体領域を分割するためのパターンニング工程を行った後に、それぞれの領域の半導体層を所定の層厚に形成する薄層化工程を行うようにしたことを特徴としている。係る製造方法によれば、半導体層厚が基板上で一定の状態パターンニングするので、エッチング深さが基板上で一定であり、従来の製造方法において問題となっていた絶縁膜のオーバーエッチは生じない。また、薄層化工程において薄層化される半導体領域が、予め他の半導体領域と分割されているため、それぞれの領域における半導体層の形状を制御しやすく、また熱膨張率の差による単結晶膜の体積の膨張を押しさえスリップ等の欠陥が発生するのを防止し、より正確な形状に半導体層を形成することができる。これにより、半導体層に形成される半導体素子の動作不良による歩留まりの低下を防ぎ、効率的な製造を行うことができる。

#### 【0010】

次に、本発明に係る製造方法においては、前記薄層化工程において、薄層化される半導体領域の半導体層の表面を酸化させることにより前記半導体層表面に酸化層を形成し、その後前記酸化層を除去することにより前記半導体層を薄層化することができる。

係る方法によれば、前記酸化層を形成する際の酸化条件により前記半導体層の層厚を制御することができ、容易かつ均一に半導体層の薄層化を行うことができる。

#### 【0011】

次に、本発明に係る製造方法は、前記薄層化工程において、薄層化される半導体領域の半導体層の側面部に、耐酸化性材料を含む側面保護膜を形成した後、前記半導体層の上面を酸化させることにより前記半導体層上面に酸化層を形成し、その後前記酸化層を除去することにより前記半導体層を薄層化することを特徴とする。

係る製造方法は、前記半導体層の側面部に側面保護膜を形成した後、その半導体層表面を酸化させて酸化層を形成し、除去することで半導体層を薄層化する方法である。この製造方法によれば、半導体層の側面部に耐酸化性材料の側面保護膜が形成されたことで、半導

10

20

30

40

50

体層の側面部が酸化されないので、この薄層化工程により半導体層の平面寸法が小さくならず、半導体層の形状の制御を、より容易かつ正確に行うことができる。

【0012】

次に、本発明に係る製造方法においては、前記薄膜化工程において、前記薄膜化される半導体領域以外の半導体領域に、前記耐酸化性材料を含む側壁保護膜と同一層の酸化保護膜を形成することができる。

係る製造方法によれば、薄層化されない半導体領域の酸化保護膜と、薄層化される半導体領域の側壁保護膜とを同一の成膜工程で形成することができるので、製造プロセスを合理化して、製造の容易性を向上させるとともに、製造コストの低減を図ることができる。

【0013】

次に、本発明に係る製造方法においては、前記側面保護膜を前記酸化層と同時に除去することもできる。

係る製造方法によれば、酸化層及び側面保護膜の除去に係る工程を共通化することができるので、製造工程の合理化を実現することができる。

【0014】

次に、本発明に係る製造方法においては、前記側面保護膜を、前記半導体層を構成する材料の酸化物からなる酸化膜と、該酸化膜上に形成された耐酸化性材料からなる耐酸化性膜とを含む積層構造とすることができる。

係る方法によっても、薄層化工程やトランジスタ形成工程における酸化工程により半導体層の側面部が酸化されるのを防止でき、半導体層やトランジスタ素子の形状、寸法制御が容易になる。

また、薄層化工程において、上記酸化膜を備えた半導体層を酸化させて酸化層を形成すると、側面部に設けられた酸化膜の作用により半導体層の周端部における酸化層の厚さが大きくなるため、酸化層除去後の半導体層周端部の形状をやや鈍角にすることができる。このような形状の半導体層とすれば、この半導体層にゲート酸化膜を形成した場合に、半導体層周端部におけるゲート酸化膜の膜厚が薄くならないため、半導体層周端部における寄生MOSの発生を抑えることができる。

上記側面保護膜は、薄層化工程において除去しても良いが、側面保護膜を残した構成とすることもできる。側面保護膜を残すことでトランジスタ形成工程におけるゲート酸化時に半導体層側面が酸化されないようにすることができるので、トランジスタ素子の寸法制御が容易になる。

【0015】

次に、本発明に係る製造方法においては、前記側面保護膜の半導体層厚さ方向の高さを、前記薄層化される半導体層の薄層化後の層厚とほぼ同一の高さに形成してもよい。

係る方法によれば、前記側面保護膜よりも突出した部分の半導体層のみを酸化させた後除去することで、側面保護膜を備えた半導体層を容易に形成することができる。このような半導体層にトランジスタ素子を形成する場合、前記半導体層の上面側のみを酸化させてゲート酸化膜を形成するので、半導体層の側端部のゲート酸化膜が薄くなることが無く、ゲート電極下部の半導体層端部での寄生MOSの形成を抑制し、オフリーク電流を抑えることができる。

【0016】

次に、本発明に係る製造方法においては、前記半導体層を構成する材料がポリシリコンもしくは単結晶シリコンであることが好ましい。前記半導体層を結晶性に優れるシリコン膜とすることで、高速動作が可能なスイッチング素子を備えた電気光学装置を製造することができる。

【0017】

次に、本発明に係る製造方法においては、前記半導体層を構成する材料の酸化物からなる酸化膜が、酸化シリコン膜もしくは酸窒化シリコン膜であることが好ましい。これらのいずれの酸化膜を用いても、半導体層の周端部における酸化層が厚く形成されるため、酸化層除去後の半導体層周端部の形状をやや鈍角にすることができる。このような形状の半導

10

20

30

40

50

体層とすれば、この半導体層にゲート酸化膜を形成した場合に、半導体層周端部におけるゲート酸化膜の膜厚が薄くならないため、半導体層周端部における寄生MOSの発生を抑えることができる。

【0018】

次に、本発明に係る電気光学装置は、絶縁膜を介して半導体層が形成された基板を有する電気光学装置であって、前記半導体層が、相異なる半導体層厚を有する複数の半導体領域に分割されており、前記半導体層領域の少なくとも一方の半導体層の側面に、耐酸化性材料を含む側面保護膜が形成されたことを特徴とする。

係る構成の電気光学装置は、半導体層の側面に側面保護膜が形成されていることで、前記半導体層を用いてトランジスタ素子などの半導体素子を形成する際に、半導体層の側面部が酸化されないようにすることができる。これにより、例えば半導体層の上面にゲート酸化膜を形成した場合に、ゲート酸化膜を半導体層の上面にのみ均一な膜厚で形成され、半導体層の側面は前記側面保護膜により保護される。従って、ゲート酸化膜の膜厚が部分的に薄くなることによる寄生MOSの発生を抑えることができ、信頼性に優れた半導体素子を形成することが可能な電気光学装置とすることができる。

10

また、上記側面保護膜の半導体層厚さ方向の高さは、前記半導体層の層厚とほぼ同じか、層厚より高く形成することが好ましい。これは、前記側面保護膜が半導体層厚よりも低くなると、半導体層に形成されるゲート酸化膜が半導体層周端部で部分的に薄くなるおそれがあるためである。

【0019】

次に、本発明に係る電気光学装置は、前記側面保護膜が、前記半導体層を構成する材料の酸化物からなる酸化膜と、該酸化膜上に形成された前記耐酸化性膜とを備える構成であっても良い。

係る構成によっても、上述の電気光学装置と同様の効果を得ることができる。

20

【0020】

次に、本発明に係る電気光学装置は、前記複数の半導体領域のうち、一又は複数の半導体領域が、複数の走査線と、前記複数の走査線と交差する複数のデータ線と、前記半導体層に形成され、前記走査線及びデータ線に対応して設けられたトランジスタと、該トランジスタに対応して設けられた画素電極とが形成された画素領域に含まれ、他の半導体領域が、前記半導体層に形成された複数のトランジスタを有する周辺回路が形成された周辺領域に含まれることを特徴とする。

30

すなわち、係る構成の電気光学装置は、画素駆動用のトランジスタ素子が形成された画素領域と、周辺回路が形成された周辺領域とで半導体層の層厚が異なり、かつ半導体層の側面部に側面保護膜を備えた電気光学装置である。このような構成とすることで、画素領域と周辺領域のそれぞれで適切な性能を備えたトランジスタ素子を形成することができるとともに、半導体層側面に形成された側面保護膜により寄生MOSの発生を抑えることができる、信頼性に優れた電気光学装置とすることができる。

【0021】

次に、本発明に係る電気光学装置は、前記画素領域及び周辺領域が形成された基板と対向して配置された対向基板と、前記両基板間に挟持され、前記トランジスタにより駆動される液晶とを備えたことを特徴とする。係る構成によれば、信頼性に優れた液晶装置を得ることができる。

40

また、本発明に係る電気光学装置は、前記画素領域よりも前記周辺領域の方が、前記半導体層の層厚が厚いことを特徴とする。

【0022】

次に、本発明に係る半導体装置の製造方法は、基板と、該基板上に絶縁膜を介して形成された半導体層とを備え、前記半導体層が、層厚の異なる二以上の半導体領域に分割された半導体装置の製造方法であって、前記半導体層を所定の平面形状にパターンニングして前記半導体層を複数の半導体領域に分割するパターンニング工程と、前記パターンニング工程において形成された前記半導体領域のうち、一以上の領域の半導体層を所定の半導体層厚に薄

50

層化する薄層化工程とを含み、前記薄層化工程において薄層化される半導体領域の半導体層の側面部に、耐酸化性材料を含む側面保護膜を形成した後、前記半導体層の上面を酸化させることにより前記半導体層上面に酸化層を形成し、その後前記酸化層を除去することにより前記半導体層を薄層化することを特徴とする。

係る製造方法では、半導体層厚が基板上で一定の状態パターンニングするので、エッチング深さが基板上で一定であり、従来の製造方法において問題となっていた絶縁膜のオーバーエッチは生じない。また、薄層化工程において薄層化される半導体領域が、予め他の半導体領域と分割されているため、それぞれの領域における半導体層の形状を制御しやすく、また熱膨張率の差による単結晶膜の体積の膨張を押さえスリップ等の欠陥が発生するのを防止し、より正確な形状に半導体層を形成することができる。さらには、半導体層の側面部に耐酸化性材料の側面保護膜が形成されていることで、半導体層の側面部が酸化されなくなり、この薄層化工程により半導体層の平面寸法が小さくならず、半導体層の形状の制御を、より容易かつ正確に行うことができる。このように、本発明に係る半導体装置の製造方法によれば、半導体層に形成される半導体素子の動作不良による歩留まりの低下を防止し、効率的な製造を行うことができる。

10

#### 【0023】

本発明に係る半導体装置の製造方法では、前記薄膜化工程において、前記薄膜化される半導体領域以外の半導体領域に、前記耐酸化性材料を含む側壁保護膜と同一層の酸化保護膜を形成することもできる。

係る製造方法によれば、薄層化されない半導体領域の酸化保護膜と、薄層化される半導体領域の側壁保護膜とを同一の成膜工程で形成することができるので、製造プロセスを合理化して、製造の容易性を向上させるとともに、製造コストの低減を図ることができる。

20

#### 【0024】

本発明に係る半導体装置の製造方法では、前記側面保護膜を前記酸化層と同時に除去することもできる。係る製造方法によれば、酸化層及び側面保護膜の除去に係る工程を共通化することができ、製造工程を合理化することができる。

#### 【0025】

本発明に係る半導体装置の製造方法では、前記側面保護膜を、前記半導体層を構成する材料の酸化物からなる酸化膜と、該酸化膜上に形成された耐酸化性材料からなる耐酸化性膜とを含む積層構造とすることもできる。

30

係る方法によっても、薄層化工程やトランジスタ形成工程における酸化工程により半導体層の側面部が酸化されるのを防止でき、半導体層やトランジスタ素子の形状、寸法制御が容易になる。

また、薄層化工程において、上記酸化膜を備えた半導体層を酸化させて酸化層を形成すると、側面部に設けられた酸化膜の作用により半導体層の周端部における酸化層の厚さが大きくなるため、酸化層除去後の半導体層周端部の形状をやや鈍角にすることができる。このような形状の半導体層とすれば、この半導体層にゲート酸化膜を形成した場合に、半導体層周端部におけるゲート酸化膜の膜厚が薄くならないため、半導体層周端部における寄生MOSの発生を抑えることができる。

上記側面保護膜は、薄層化工程において除去しても良いが、側面保護膜を残した構成とすることもできる。側面保護膜を残すことでトランジスタ形成工程におけるゲート酸化時に半導体層側面が酸化されないようにすることができるので、トランジスタ素子の寸法制御が容易になる。

40

#### 【0026】

本発明に係る半導体装置の製造方法では、前記側面保護膜の半導体層厚さ方向の高さを、前記薄層化される半導体層の薄層化後の層厚とほぼ同一の高さに形成することもできる。係る方法によれば、前記側面保護膜よりも突出した部分の半導体層のみを酸化させた後除去するので、側面保護膜を備えた半導体層を容易に形成することができる。このような半導体層にトランジスタ素子を形成する場合、前記半導体層の上面側のみを酸化させてゲート酸化膜を形成するので、半導体層の側端部のゲート酸化膜が薄くなることなく、ゲ-

50

ト電極下部の半導体層端部での寄生MOSの形成を抑制し、オフリーク電流を抑えることができるという利点がある。

【0027】

本発明に係る半導体装置の製造方法は、前記半導体層が単結晶シリコン層であり、前記半導体層を構成する材料の酸化物からなる酸化膜が酸化シリコン膜もしくは酸窒化シリコン膜であることが好ましい。

これらのいずれの酸化膜を用いても、半導体層の周端部における酸化層が厚く形成されるため、酸化層除去後の半導体層周端部の形状をやや鈍角にすることができる。このような形状の半導体層とすれば、この半導体層にゲート酸化膜を形成した場合に、半導体層周端部におけるゲート酸化膜の膜厚が薄くならないため、半導体層周端部における寄生MOSの発生を抑えることができる。

10

【0028】

本発明に係る半導体装置は、絶縁膜を介して半導体層が形成された基板を有する半導体装置であって、前記半導体層が、互いに異なる半導体層厚を有する複数の半導体領域に分割されており、少なくとも一の前記半導体領域の半導体層側面に、耐酸化性材料を含む側面保護膜が形成されていることを特徴とする。

係る構成の半導体装置は、半導体層の側面に側面保護膜が形成されていることで、前記半導体層を用いてトランジスタ素子などのデバイス形成する際に、半導体層の側面部が酸化されないようにすることができる。これにより、例えば半導体層の上面にゲート酸化膜を形成した場合に、ゲート酸化膜が半導体層の上面にのみ均一な膜厚で形成されるようになり、半導体層の側面は前記側面保護膜により保護される。従って、ゲート酸化膜の膜厚が部分的に薄くなることによる寄生MOSの発生を抑えることができ、信頼性に優れたデバイスを実装できる半導体装置とすることができる。

20

また、上記側面保護膜の半導体層厚さ方向の高さは、前記半導体層の層厚とほぼ同じか、層厚より高く形成することが好ましい。これは、前記側面保護膜が半導体層厚よりも低くなると、半導体層に形成されるゲート酸化膜が半導体層周端部で部分的に薄くなるおそれがあるためである。

【0029】

本発明に係る半導体装置は、前記側面保護膜が、前記半導体層を構成する材料の酸化物からなる酸化膜と、該酸化膜上に形成された耐酸化性材料からなる耐酸化性膜とを備える構成とすることもできる。係る構成によっても、先の構成と同様に、信頼性に優れたデバイスを実装可能な半導体装置を提供することができる。

30

【0030】

本発明に係る半導体装置は、前記半導体層が単結晶シリコン層であり、前記半導体層を構成する材料の酸化物からなる酸化膜が酸化シリコン膜もしくは酸窒化シリコン膜であることが好ましい。係る構成によっても、先の構成と同様に、信頼性に優れたデバイスを実装可能な半導体装置を提供することができる。

【0031】

次に、本発明に係る投射型表示装置は、先のいずれかに記載の電気光学装置を備えた投射型表示装置であって、光源と、該光源から出射された光を変調する前記電気光学装置からなる光変調手段と、該光変調手段により変調された光を投射する投射手段とを有することを特徴とする。

40

係る構成によれば、上記の電気光学装置を備えたことで、優れた信頼性を有する投射型表示装置とすることができる。

【0032】

次に、本発明に係る電子機器は、先のいずれかに記載の電気光学装置を備えたことを特徴とする。また、先のいずれかに記載の半導体装置を備えたことを特徴とする。

係る構成によれば、優れた信頼性を有する表示部を備えた電子機器、及び信頼性に優れた半導体集積回路を備えた電子機器を提供することができる。

【0033】

50

**【発明の実施の形態】**

以下、本発明の実施の形態を図面に基づいて説明する。

(液晶装置)

本発明に係る電気光学装置の一例である液晶装置について図面を参照して以下に説明する。

図1は、本発明の実施形態に係る電気光学装置としての液晶装置のうち、画像表示領域の等価回路を示す図である。また、図2は、本発明の実施形態に係る液晶装置におけるTFTアレイ基板を、TFTアレイ基板に形成された各構成要素と共に対向基板の側から見た平面図であり、図3は、対向基板を含めて示す図2のH-H'断面図である。

**【0034】**

図1において、本実施形態に係る液晶装置の画像表示領域を構成する複数の画素は、マトリクス状に複数形成された画素電極9と、それぞれの画素電極9を制御するためのトランジスタとしての画素スイッチング用TFT30とからなり、画像信号が供給されるデータ線6aが、前記画素スイッチング用TFT30のソースに電氣的に接続されている。上記データ線6aに書き込まれる画像信号S1、S2、...、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。

**【0035】**

また、画素スイッチング用TFT30のゲートには、走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2、...、Gmを、この順に線順次で印加するように構成されている。画素電極9は、画素スイッチング用TFT30のドレインに電氣的に接続されており、スイッチング素子である画素スイッチング用TFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、...、Snを所定のタイミングで書き込む。画素電極9を介して液晶に書き込まれた所定レベルの画像信号S1、S2、...、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。ここで、保持された画像信号がリークするのを防ぐために、画素電極9と対向電極との間に形成される液晶容量と並列に蓄積容量70が付加されている。

**【0036】**

次に、図1に示す画像表示領域を備えた液晶装置の全体構成を説明する。

図2及び図3に示されるように、本実施形態の液晶装置は、対向して配置されたTFTアレイ基板10と、対向基板20との間に液晶50を挟持して概略構成されている。前記対向基板20は、例えばガラス基板や石英基板から構成され、その内面側にはシール材52の内側に並行して額縁としての遮光膜53が設けられている。一方、TFTアレイ基板10は、例えば石英基板からなり、シール材52の外側の領域には、データ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。尚、走査線駆動回路104は、走査線3aに供給される走査信号の遅延が問題にならないのであれば、片側だけでも良いことは言うまでもない。

**【0037】**

TFTアレイ基板10の内面側には、図3に示すように複数の画素電極9が設けられており、その上側にはラビング処理等の所定の配向処理が施された配向膜(図示せず)が設けられている。上記画素電極9は、例えばITO膜などの透明導電性薄膜からなる。また、配向膜は、例えば、ポリイミド薄膜などの有機薄膜からなる。TFTアレイ基板10の画素電極9に隣接する位置には、各画素電極9をスイッチング制御する画素スイッチング用TFTが形成されている。

**【0038】**

他方、対向基板20の内面側には、図示を省略したが、その全面に渡って対向電極(図示せず)が設けられ、前記対向電極2の下側には、ラビング処理等の所定の配向処理が施された配向膜(図示せず)が設けられている。前記対向電極は、例えば、ITO膜などの透

10

20

30

40

50

明導電性薄膜からなる。また、配向膜は、例えば、ポリイミド薄膜などの有機薄膜からなる。

また、対向基板 20 には、各画素部の開口領域以外の領域に第 2 遮光膜 23 が設けられている。このため、対向基板 20 の側から入射光が、前記画素電極 9 に隣接して設けられた画素スイッチング用 T F T に入射することはない。さらに、第 2 遮光膜 23 は、コントラストの向上、色材の混色防止などの機能を有する。

#### 【0039】

また、データ線駆動回路 101 は、画面表示領域の辺に沿って両側に配列してもよい。例えば、奇数列のデータ線 6a は、画像表示領域の一方の辺に沿って配設されたデータ線駆動回路 101 から画像信号を供給し、偶数列のデータ線は、前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路 101 から画像信号を供給するようにしてもよい。この様にデータ線 6a を櫛歯状に駆動するようにすれば、データ線駆動回路 101 の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。

10

#### 【0040】

更に、T F T アレイ基板 10 の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路 104 間をつなぐための複数の配線 105 が設けられている。また、対向基板 20 のコーナー部の少なくとも 1 箇所においては、T F T アレイ基板 10 と対向基板 20 との間で電氣的導通をとるための導通材 106 が設けられている。そして、図 2 に示すように、シール材 52 とほぼ同じ輪郭を持つ対向基板 20 が当該シール材 52 により T F T アレイ基板 10 に固着されている。

20

上記 T F T アレイ基板 10 と対向基板 20 との間には、シール材 52 により囲まれた空間に液晶が封入され、液晶層 50 が形成される。液晶層 50 は、画素電極 9 からの電界が印加されていない状態で、T F T アレイ基板 10 側の配向膜と対向基板 20 側の配向膜とにより所定の配向状態を採る。液晶層 50 は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材 52 は、T F T アレイ基板 10 及び対向基板 20 をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスビーズ等のスペーサが混入されている。

#### 【0041】

また、対向基板 20 の投射光が入射する側及び T F T アレイ基板 10 の出射光が出射する側には、各々、例えば、T N (ツイステッドネマティック) モード、S T N (スーパー T N) モード、D - S T N (デュアルスキャン - S T N) モード等の動作モードや、ノーマリーホワイトモード / ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光手段などが所定の方向で配置される。

30

#### 【0042】

以上の構成を備えた本発明に係る液晶装置においては、T F T アレイ基板上における画素スイッチング用 T F T が形成されている画素領域と、周辺回路用 T F T が形成されている周辺領域とにおいて、それぞれの T F T を構成する半導体層の膜厚が異なって形成されている。

図 4 は、上記画素領域と、周辺領域とを分割してそれぞれの T F T を示した部分断面図であり、図示左側に画素領域に含まれる画素スイッチング用 T F T が示されており、図示右側に周辺領域に含まれる周辺回路用 T F T が示されている。

40

#### 【0043】

まず、図 4 左側に示す画素スイッチング用 T F T 30 は、L D D (L i g h t l y D o p e d D r a i n) 構造を有しており、走査線 3a、該走査線 3a からの電界によりチャンネルが形成される半導体層 1a のチャンネル領域 1a'、走査線 3a と半導体層 1a とを絶縁するゲート絶縁膜 (ゲート酸化膜) 2、データ線 6a、半導体層 1a の低濃度ソース領域 (ソース側 L D D 領域) 1b 及び低濃度ドレイン領域 (ドレイン側 L D D 領域) 1c、半導体層 1a の高濃度ソース領域 1d 並びに高濃度ドレイン領域 1e を備えており、半導体層 1a の側面部には側面保護膜 25 が形成されている。走査線 3a は、上記チャンネル

50

領域と対向して形成されており、ゲート電極として機能する。

上記半導体層 1 a において、高濃度ソース領域 1 d にデータ線 6 a が接続され、高濃度ドレイン領域 1 e には、複数の画素電極 9 のうちの対応する一つが接続されている。また、ソース領域 1 b 及び 1 d 並びにドレイン領域 1 c 及び 1 e は、半導体層 1 a に対し、所定濃度の不純物イオンをドーピングすることにより形成されている。

#### 【0044】

そして、上記半導体層 1 a の側面部には、窒化シリコンなどの耐酸化性材料からなる側面保護膜 2 5 が形成されている。本実施形態に係る画素スイッチング用 T F T 3 0 は、半導体層 1 a の上面側のゲート絶縁膜 2 及び側面保護膜 2 5 によりゲート電極である走査線 3 a と絶縁されている。このような構成とされていることで、半導体層 1 a の上面部にあっては、均一な膜厚に形成されたゲート絶縁膜 2 により走査線 3 a と絶縁され、半導体層 1 a の周端部及び側面部は、上記側面保護膜 2 5 により走査線 3 a と絶縁されるようになっている。従って、本実施形態の構成によれば、走査線 3 a と半導体層 1 a との距離（すなわちゲート絶縁膜 2 の膜厚）が部分的に薄くなることによる寄生 M O S の発生を効果的に抑制することができ、優れた電流特性を備え、信頼性に優れた T F T を構成することができる。

10

#### 【0045】

また、半導体層 1 a を形成する領域の下部には、第 1 遮光膜 1 1 a が設けられている。より具体的には、第 1 遮光膜 1 1 a は、夫々、画素部において、半導体層 1 a のチャンネル領域を含む T F T を、T F T アレイ基板の側から見て覆う位置に設けられている。第 1 遮光膜 1 1 a は、好ましくは不透明な高融点金属である T i、C r、W、T a、M o 及び P b のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。また、第 1 遮光膜 1 1 a が形成されていることで、T F T アレイ基板 1 0 の側からの戻り光等が、画素スイッチング用 T F T 3 0 のチャンネル領域 1 a ' や L D D 領域 1 b、1 c に入射する事態を未然に防ぐことができ、戻り光に起因する光リーク電流の発生によりトランジスタ素子としての画素スイッチング用 T F T 3 0 の特性が劣化することはない。

20

#### 【0046】

データ線 6 a は、A l 等の金属膜や金属シリサイド等の合金膜などの遮光性金属薄膜から構成されている。また、走査線 3 a、ゲート絶縁膜 2 及び第 1 層間絶縁膜 1 2 の上には、高濃度ソース領域 1 d へ通じるコンタクトホール 5 及び高濃度ドレイン領域 1 e へ通じるコンタクトホール 8 が各々形成された第 2 層間絶縁膜 4 が形成されている。このソース領域 1 d へのコンタクトホール 5 を介して、データ線 6 a は高濃度ソース領域 1 d に電氣的接続されている。さらに、データ線 6 a 及び第 2 層間絶縁膜 4 の上には、高濃度ドレイン領域 1 e へのコンタクトホール 8 が形成された第 3 層間絶縁膜 7 が形成されている。この高濃度ドレイン領域 1 e へのコンタクトホール 8 を介して、画素電極 9 a は高濃度ドレイン領域 1 e に電氣的に接続されている。前述の画素電極 9 は、このように構成された第 3 層間絶縁膜 7 の上面に設けられている。

30

#### 【0047】

一方、図 4 右側に示す周辺回路用 T F T 8 0 は、図示左側の画素スイッチング用 T F T 3 0 と同様に、L D D 構造を有しており、ゲート電極 8 3、ゲート電極 8 3 からの電界によりチャンネルが形成される半導体層 8 0 a のチャンネル領域 8 0 a '、ゲート電極 8 3 と半導体層 8 0 a とを絶縁するゲート絶縁膜 2、入力信号線 8 6 a、出力信号線 8 6 b、半導体層 8 0 a の低濃度ソース領域（ソース側 L D D 領域）8 0 b 及び低濃度ドレイン領域（ドレイン側 L D D 領域）8 0 c、半導体層 8 0 a の高濃度ソース領域 8 0 d 並びに高濃度ドレイン領域 8 0 e を備えて構成されている。

40

また、この周辺回路用 T F T 8 0 においても、画素スイッチング用 T F T 3 0 と同様に、ソース領域 8 0 b 及び 8 0 d 並びにドレイン領域 8 0 c 及び 8 0 e は、半導体層 8 0 a に対し、所定濃度の不純物イオンをドーピングすることにより形成されている。

#### 【0048】

そして、上記周辺回路用 T F T 8 0 の半導体層 8 0 a 側面部にも、窒化シリコンなどの耐

50

酸化性材料からなる側面保護膜 85 が形成されている。すなわち、本実施形態に係る周辺回路用 T F T 80 は、半導体層 80 a の上面側のゲート絶縁膜 2 及び側面保護膜 85 によりゲート電極 83 と絶縁されている。このような構成とされていることで、半導体層 80 a の上面部にあっては、均一な膜厚に形成されたゲート絶縁膜 2 によりゲート電極 83 と絶縁され、半導体層 80 a の周端部及び側面部は、上記側面保護膜 85 によりゲート電極 83 と絶縁されるようになっている。従って、本実施形態の構成によれば、ゲート電極 83 と半導体層 80 a との距離（ゲート絶縁膜 2 の膜厚）が部分的に薄くなることによる寄生 M O S の発生を効果的に抑制することができ、優れた電流特性を備え、信頼性に優れた T F T を構成することができる。

#### 【0049】

図 4 に示すように、画素スイッチング用 T F T 30 の半導体層 1 a は、周辺回路用 T F T 80 の半導体層 80 a よりも薄く形成されている。このような構成とされたことで、画素スイッチング用 T F T 30 においては、光リーク電流を低減することができる。また、周辺回路用 T F T 80 は、走査線やデータ線を駆動するために大きな電流駆動能力が必要なものであるが、半導体層 80 a の膜厚が厚く形成されていることで、走査線駆動回路 104 およびデータ線駆動回路 101 において大電流が得やすいものとなっている。

10

#### 【0050】

上記画素スイッチング用 T F T 30 を構成する半導体層 1 a の層厚は、特に限定されるものではないが、30 nm から 100 nm までの範囲、好ましくは 30 nm から 80 nm までの範囲、より好ましくは 40 nm から 60 nm までの範囲で一定の膜厚とされる。

20

半導体層 1 a の膜厚が 100 nm 以下であれば、チャネル部の不純物濃度によらずゲート電極が制御する空乏層が半導体層 1 a よりも大きく拡がるため、画素スイッチング用 T F T 30 は完全空乏型となる。さらに、半導体層 1 a の層厚を 100 nm 以下、好ましくは 80 nm 以下、より好ましくは 60 nm 以下とするならば、第 1 遮光膜 11 a で防止することの出来ない迷光が半導体層 1 a に照射されても、光励起の電子正孔対の生成量が少ないものとなる。したがって、光リーク電流を小さく抑えることができ、画素のスイッチング素子である画素スイッチング用 T F T 30 として有効である。

また、半導体層 1 a の層厚を 30 nm 以上、好ましくは 40 nm 以上とするならば、チャネル領域 1 a' の膜厚による閾値電圧等のトランジスタ特性のばらつきを小さくできる。また、コンタクト抵抗が増加することもない。

30

#### 【0051】

また、周辺回路用 T F T 80 を構成する半導体層 80 a の層厚は、特に限定されるものではないが、100 nm から 600 nm までの範囲とすることが好ましく、より好ましくは 150 nm から 400 nm までの範囲で一定の層厚とされる。

半導体層 80 a の層厚が 100 nm 以上、好ましくは 150 nm 以上であれば、十分な耐圧を確保することができるとともに、シート抵抗を十分に小さく抑えることができるため、周辺回路において十分な電流駆動能力を得ることができ、高速で駆動することのできる駆動回路を形成できる。

また、半導体層 80 a の層厚が 600 nm 以上であると、画素スイッチング用 T F T 30 を構成する半導体層 1 a を形成するときのエッチング工程において膜厚のばらつきがおきるなど、製造が困難になる恐れが生じるため好ましくない。

40

#### 【0052】

（電気光学装置の製造方法）

以下、図 2 ないし図 4 に示す液晶装置に適用される電気光学装置の製造方法を図面を参照して説明する。ただし、本発明の特徴は、上記 T F T 30, 80 を形成するための半導体層 1 a、80 a の構成、及びこれらの半導体層 1 a、80 a に形成されたトランジスタ素子にあるため、以下では半導体層 1 a、80 a の形成方法の 4 形態を、図 5 ないし図 8 を参照して説明し、半導体層 1 a、80 a へのトランジスタ素子の形成方法を図 9 ないし図 11 を参照して説明する。尚、トランジスタ素子形成後の T F T 30, 80 製造工程には、従来用いられている製造方法を適用することができる。

50

## 【 0 0 5 3 】

## [ 第 1 の 実 施 形 態 ]

図 5 は、本発明に係る製造方法による電気光学装置の製造工程を示す断面工程図である。まず、図 5 A に示すように、ガラスや石英等からなる支持基板 1 0 上に、酸化シリコンなどからなる絶縁膜 1 2 を介して形成された単結晶シリコン層 2 0 6 を備えた S O I 基板を用意する。図 5 に示す S O I 基板は、公知の方法により製造することができる。また、絶縁膜 1 2 内又は絶縁膜 1 2 と支持基板 1 0 との間に遮光膜を備えていても良い。

上記遮光膜を備えた S O I 基板は、例えば、支持基板 1 0 上に所定のパターンを有する遮光膜を形成し、次いで、前記遮光膜を形成した支持基板 1 0 上に、絶縁膜 1 2 を形成し、表面を研磨して平坦化する。

そして、貼り合わせる側の表面に酸化膜層が形成されていると共に、水素イオン ( H  <sup>+</sup>  ) が注入されている単結晶シリコン基板を、上記絶縁膜 1 2 上に貼り合わせ、熱処理を行うことにより水素イオンが注入された領域で単結晶シリコン基板を分断して単結晶シリコン層 2 0 6 を形成し、遮光膜を備えた S O I 基板を製造することができる。

10

## 【 0 0 5 4 】

次に、図 5 B に示すように、単結晶シリコン層 2 0 6 を所定形状にパターニングする。本実施形態では、単結晶シリコン層 2 0 6 を第 1 半導体領域 ( 図示左側 ) 2 1 0 と、第 2 半導体領域 ( 図示右側 ) 2 2 0 とに分割しており、第 1 半導体領域 2 1 0 には、所定形状の第 1 半導体層 2 0 1 が形成され、第 2 半導体領域 2 2 0 には、第 2 半導体層 8 0 a が形成されている。本パターニング工程は、公知のフォトリソグラフィ工程、エッチング工程等を組み合わせて行うことができる。

20

本実施形態の製造方法においては、層厚の均一な単結晶シリコン層 2 0 6 に対してパターニングを行うため、半導体層 2 0 6 の下側の絶縁膜 1 2 がオーバーエッチされることがなく、また、エッチング深さが一定で良いため、エッチング処理自体が容易になり、より高精度でのパターニングを容易に行うことができる。

## 【 0 0 5 5 】

次に、図 5 C に示すように、第 2 半導体領域 2 2 0 側の第 2 半導体層 8 0 a を覆うように窒化シリコンなどの耐酸化性材料からなるマスク材 2 8 7 を形成する。このマスク材 2 8 7 は、第 1 半導体領域をマスクした状態でプラズマ C V D 法や減圧 C V D 法、スパッタ法などにより第 2 半導体領域 2 2 0 に窒化シリコン膜を形成する方法や、第 1、第 2 半導体領域 2 1 0、2 2 0 を覆う全面に窒化シリコン膜を形成した後、フォトリソグラフィ工程、エッチング工程等により第 1 半導体領域 2 1 0 の窒化シリコン膜を除去する方法により形成することができる。

30

## 【 0 0 5 6 】

次に、図 5 D に示すように、熱酸化工程などにより第 1 半導体層 2 0 1 の表面を酸化させて、第 1 半導体層 2 0 1 表面に酸化層 2 0 7 を形成する。この酸化工程において、酸化条件を適宜変更することで、第 1 半導体層 2 0 1 上に形成される酸化層 2 0 7 の層厚を調整し、酸化層 2 0 7 除去後の第 1 半導体層の層厚を調整することができる。尚、本工程において、第 2 半導体層 8 0 a は、耐酸化性材料からなるマスク材 2 8 7 により保護されているので酸化されない。

40

## 【 0 0 5 7 】

そして、第 1 半導体層 2 0 1 上の酸化層 2 0 7 及び第 2 半導体層 8 0 a 上のマスク材 2 8 7 を、エッチング工程などにより除去することで、図 5 E に示す、薄層化された第 1 半導体層 1 a と、第 1 半導体層 1 a より層厚の大きい第 2 半導体層 8 0 a とを備えた電気光学装置が得られる。

## 【 0 0 5 8 】

以上の構成の本実施形態の製造方法によれば、容易に異なる層厚の半導体層を S O I 基板上に形成することができる。また、パターニング工程 ( 図 5 B ) が、半導体層の薄層化工程 ( 図 5 D ) よりも先に配置されているため、パターニング処理を、半導体層 2 0 6 の層厚が基板 1 0 上で均一にされた状態で行うことができるので、パターニングを極めて容易

50

に行えらるとともに、絶縁膜 12 に対するオーバーエッチも生じないようにすることができる。また本実施形態による製造方法によれば、図 5 D の工程において、単結晶シリコン層 206 を表面から酸化をする以前に単結晶シリコン層 206 を事前に第 1 半導体層 201 と第 2 半導体層 80a に分離し、単結晶シリコン層の面積を減少する事が可能になるため単結晶シリコン層と熱酸化膜層との熱膨張率の差から、単結晶シリコン層にスリップ等の欠陥が発生するのを防止する事が容易に出来る。これにより、本実施形態の製造方法によれば、半導体層の形状を精度良く制御することができ、その結果、電気光学装置を歩留まり良く製造することができる。

【0059】

[第 2 の実施形態]

図 6 は、本発明に係る製造方法の第 2 の実施形態による電気光学装置の製造工程を示す断面工程図である。図 6 に示す本実施形態の製造方法の特徴的な点は、第 1 半導体領域 210 の第 1 半導体層 201 の側面部に側面保護膜 205 を形成した後、第 1 半導体層 201 の薄層化を行う点にある。本実施形態において、図 6 B に示すパターンニング工程までは図 5 に示す上記第 1 の実施形態と同様であるので、ここでの詳細な説明は省略する。また、図 6 に示す符号の内、図 5 と共通の符号は図 1 と同一の部材であることを示している。

【0060】

図 6 B に示すように半導体層 206 のパターンニングにより第 1 半導体領域 210 及び第 2 半導体領域 220 に半導体層 201, 80a を形成したならば、半導体層 201, 80a を覆うように耐酸化性の窒化シリコン膜を基板 10 の半導体層側全面に形成する。その後、フォトリソグラフィ工程、エッチング工程等により、図 6 C に示すように、第 2 半導体領域 80a を覆う窒化シリコン膜をマスク材 287 として残し、第 1 半導体層 201 側面部を覆う側面保護膜 205 を形成する。この側面保護膜 205 は、窒化シリコン膜のエッチング条件を調整し、第 1 半導体層 201 の上面部に形成された窒化シリコン膜を除去すると共に、半導体層 201 側面部の窒化シリコン膜を残すように選択的にエッチングすることで形成することができる。

【0061】

次いで、図 6 D に示すように、熱酸化工程などにより第 1 半導体層 201 の上面部を酸化させて酸化層 208 を形成する。この酸化工程において、第 1 半導体層 201 の側面部は上記側面保護膜 205 により保護されているために酸化されず、第 1 半導体層 201 の上面部のみが酸化される。

【0062】

そして、上記酸化層 208 及び側面保護膜 205、並びにマスク材 287 をエッチング工程により除去することで、図 6 E に示す薄層化された第 1 半導体層 1a と、第 2 半導体層 80a を有する電気光学装置が得られる。

【0063】

上記本実施形態の製造方法によれば、第 1 半導体層 201 の側面部に側面保護膜 205 を設けた状態で第 1 半導体層 201 表面を酸化させるので、第 1 半導体層 201 の側面部が酸化されず、酸化層 208 除去後にも、図 2 B に示すパターンニング後の第 1 半導体層 201 の面内寸法を維持したまま、第 1 半導体層 201 の層厚のみを薄くすることができる。また、本実施形態の製造方法によれば、第 1 半導体層 201 の側面部がエッチングされることもない。従って、薄層化された第 1 半導体層 1a の形状をより精度良く制御することができる。また本実施形態による製造方法によれば、第一の実施例と同様、図 6 D の工程において、単結晶シリコン層 206 を表面から酸化をする以前に単結晶シリコン層 206 を事前に第 1 半導体層 201 と第 2 半導体層 80a に分離し、単結晶シリコン層の面積を減少する事が可能になるため単結晶シリコン層と熱酸化膜層との熱膨張率の差から、単結晶シリコン層にスリップ等の欠陥が発生することを防止する事が容易に出来る。

また、上記側面保護膜 205 は、必ずしも除去する必要はなく、第 1 半導体層 1a の側面部に側面保護膜 205 を残した電気光学装置も製造することができる。このように側面保護膜 205 が残された第 1 半導体層 1a に例えばトランジスタ素子を形成する場合、ゲー

10

20

30

40

50

ト酸化工程により第1半導体層1aの表面を酸化させるが、側面保護膜205により第1半導体層1aの側面部は酸化されず、第1半導体層1aの上面側にのみゲート酸化膜が形成される。このようにして形成されたゲート酸化膜は、第1半導体層1aの周端部においてもその膜厚が薄くなることが無いため、トランジスタ素子に寄生MOSが生じるのを防ぐことができる。

尚、本実施形態では、側面保護膜205を第1半導体層201にのみ設けた構成としたが、第2半導体層80aにも同様の構成の側面保護膜を形成することができ、この場合にも上記と同様の効果を得ることができる。

#### 【0064】

##### [第3の実施形態]

図7は、本発明に係る製造方法の第3の実施形態による電気光学装置の製造工程を示す断面工程図である。図3に示す本実施形態の製造方法の特徴的な点は、第1半導体領域210の第1半導体層201の側面部に側面保護膜を形成した後、第1半導体層201の薄層化を行う点、及び前記側面保護膜が、酸化膜と耐酸化性膜との積層構造とされている点である。本実施形態において、図7Aに示すパターンニング工程までは図5A～Bに示す上記第1の実施形態と同様であるので、ここでの詳細な説明は省略する。また、図7に示す符号の内、図5と共通の符号は図5と同一の部材であることを示している。

#### 【0065】

図7Aに示すように、半導体層のパターンニングにより第1半導体領域210及び第2半導体領域220に半導体層201、80aを形成したならば、図7Bに示すように、半導体層201、80aを覆うように酸化シリコン膜216を形成し、この酸化シリコン膜216を覆う耐酸化性の窒化シリコン膜277を形成する。つまり、第1半導体層201、80a上には酸化シリコン膜216及び窒化シリコン膜277が積層されている。

その後、フォトリソグラフィ工程、エッチング工程等により、図7Cに示すように、第2半導体領域80aを覆う窒化シリコン膜277をマスク材287として残し、第1半導体層201の上面部に形成された酸化シリコン膜216及び窒化シリコン膜277を除去すると共に、第1半導体層201側面部を覆う側面保護膜28を形成する。この側面保護膜28は、酸化シリコン層(酸化膜)26上に窒化シリコン層(耐酸化性膜)27が積層された構造となっている。尚、この側面保護膜28は、上記第2の実施形態に係る半導体層に設けられた側面保護膜205と同様の方法で形成することができる。

#### 【0066】

次いで、図7Dに示すように、熱酸化工程などにより第1半導体層201の上面部を酸化させて酸化層208を形成する。この酸化工程において、第1半導体層201の側面部は上記側面保護膜205により保護されているために酸化されず、第1半導体層201の上面部のみが酸化されるが、本実施形態では、側面保護膜28の半導体層201側が、酸化シリコン層26により構成されているため、半導体層201の側端部において酸化種が浸入しやすくなり、第1半導体層201の周端部における酸化層208の層厚が若干大きくなる。

#### 【0067】

そして、上記酸化層208及び側面保護膜28、並びにマスク材287をエッチング工程により除去することで、図7Eに示す薄層化された第1半導体層1aと、第2半導体層80aを有する電気光学装置が得られる。

#### 【0068】

上記本実施形態の製造方法によれば、第1半導体層201の側面部に側面保護膜28を設けた状態で第1半導体層201表面を酸化させるので、第1半導体層201の側面部が酸化されず、酸化層208除去後にも、図2Bに示すパターンニング後の第1半導体層201の面内寸法を維持したまま、第1半導体層201の層厚のみを薄くすることができる。また、本実施形態の製造方法によれば、第1半導体層201の側面部がエッチングされることもない。従って、薄層化された第1半導体層1aの形状をより精度良く制御することができる。また本実施形態による製造方法によれば、図7Dの工程において、単結晶シリコ

10

20

30

40

50

ン層 206 を表面から酸化をする以前に単結晶シリコン層 206 を事前に第 1 半導体層 201 と第 2 半導体層 80a に分離し、単結晶シリコン層の面積を減少する事が可能になるため単結晶シリコン層と熱酸化膜層との熱膨張率の差から、単結晶シリコン層にスリップ等の欠陥が発生することを防止する事が容易に出来る。

また本実施形態に係る製造方法では、上述のように半導体層周端部における酸化層 208 の層厚がやや大きくなるため、薄層化された第 1 半導体層 1a の周端部には、曲面部 211 が形成される。このような曲面部 211 が形成されていると、第 1 半導体層 1a をゲート酸化させた場合に、半導体層 1a 周端部におけるゲート酸化膜の膜厚が薄くならないため、より効果的に寄生 MOS の発生を抑えることができる。

【0069】

尚、本実施形態の製造方法においても、上記側面保護膜 28 は、除去せずに残しておくことができる。側面保護膜 28 を第 1 半導体層 1a 側面に残しておけば、第 1 半導体層 1a のゲート酸化を行う際に、第 1 半導体層 1a の側面部にはすでに酸化シリコン層 26 が形成されているため、ゲート酸化膜が半導体層 1a の周端部で薄くなることなく、より信頼性に優れたトランジスタ素子を形成することができる。

また、本実施形態では、側面保護膜 28 を第 1 半導体層 201 にのみ設けた構成としたが、第 2 半導体層 80a にも同様の構成の側面保護膜を形成することができ、この場合にも上記と同様の効果を得ることができる。

【0070】

[第 4 の実施形態]

図 8 は、本発明に係る製造方法の第 4 の実施形態による電気光学装置の製造工程を示す断面工程図である。図 8 に示す本実施形態の製造方法の特徴的な点は、第 1 半導体領域 210 の第 1 半導体層 201 の側面部に側面保護膜を形成した後、第 1 半導体層 201 の薄層化を行うが、この側面保護膜の高さと薄層化後の第 1 半導体層 201 の層厚とをほぼ同一に形成する点にある。本実施形態において、図 8A に示すパターンニング工程までは図 5A ~ B に示す上記第 1 の実施形態と同様であるので、ここでの詳細な説明は省略する。また、図 8 に示す符号の内、図 5 と共通の符号は図 5 と同一の部材であることを示している。

【0071】

図 8A に示すように半導体層のパターンニングにより第 1 半導体領域 210 及び第 2 半導体領域 220 を形成したならば、図 8B に示すように、半導体層 201, 80a を覆うように耐酸化性の窒化シリコン膜 277 を基板 10 の半導体層側全面に形成する。

その後、フォトリソグラフィ工程、エッチング工程等により、図 8C に示すように、第 2 半導体領域 80a を覆う窒化シリコン膜 277 をマスク材 287 として残し、第 1 半導体層 201 の上面部に形成された窒化シリコン膜 277 を除去すると共に、第 1 半導体層 201 側面部を覆う側面保護膜 25 を形成する。本実施形態に係る製造方法では、この側面保護膜 25 を、薄層化後の第 1 半導体層 1a (図 8E 参照) の層厚とほぼ同一の高さとなるように形成する。この側面保護膜 25 の高さは、窒化シリコン膜のエッチング条件を調整し、半導体層 201 側面部の窒化シリコン膜を残す割合を調整することで容易に所定の高さを有する側面保護膜とすることができる。

【0072】

次いで、図 8D に示すように、熱酸化工程などにより第 1 半導体層 201 の上面部を酸化させて酸化層 208 を形成する。この酸化工程において、第 1 半導体層 201 の側面部は上記側面保護膜 205 により保護されているために酸化されず、第 1 半導体層 201 の上面部のみが酸化される。また、第 1 半導体層 201 上の酸化膜 208 は、側面保護膜 25 の高さの分だけ半導体層を残すように形成される。

【0073】

そして、上記酸化層 208 及び側面保護膜 205、並びにマスク材 287 をエッチング工程により除去することで、図 8E に示す薄層化された第 1 半導体層 1a と、第 2 半導体層 80a を有する電気光学装置が得られる。また、図 8E に示すように、第 1 半導体層 1a の側面部及び第 2 半導体層 80a の側面部には、側面保護膜 25 及び側面保護膜 85 が形

10

20

30

40

50

成されており、これらの側面保護膜 25, 85 の高さは、それぞれが形成されている半導体層 1a 及び 80a の層厚とほぼ同じに形成されている。側面保護膜 25, 85 の高さは、半導体層 1a、80a の層厚とほぼ同一か又は半導体層の層厚よりもやや大きくなるように形成するのがよい。これは、側面保護膜 25, 85 の高さが低すぎると、半導体層 1a、80a をゲート酸化させた際に、半導体層の周端部におけるゲート酸化膜の膜厚が薄くなり、寄生 MOS が生じやすくなるためである。

尚、第 2 半導体層 80a の側面保護膜 85 は、マスク材 287 を除去する際のエッチング条件の調整により形成することができる。

#### 【0074】

上記本実施形態の製造方法によれば、第 1 半導体層 201 の側面部に側面保護膜 25 を設けた状態で第 1 半導体層 201 表面を酸化させるので、第 1 半導体層 201 の側面部が酸化されず、酸化層 208 除去後にも、図 2B に示すパターニング後の第 1 半導体層 201 の面内寸法を維持したまま、第 1 半導体層 201 の層厚のみを薄くすることができる。また、本実施形態の製造方法によれば、第 1 半導体層 201 の側面部がエッチングされることもない。従って、薄層化された第 1 半導体層 1a の形状をより精度良く制御することができる。また本実施形態による製造方法によれば、図 8D の工程において、単結晶シリコン層 206 を表面から酸化をする以前に単結晶シリコン層 206 を事前に第 1 半導体層 201 と第 2 半導体層 80a に分離し、単結晶シリコン層の面積を減少する事が可能になるため単結晶シリコン層と熱酸化膜層との熱膨張率の差から、単結晶シリコン層にスリップ等の欠陥が発生することを防止する事が容易に出来る。

また、側面保護膜 25 の高さ、第 1 半導体層 201 上の酸化層 208 の層厚が制御されるため、薄層化後の半導体層 1a の層厚と、側面保護膜 25 の高さとがほぼ同一になり、ゲート酸化させた場合にゲート酸化膜の膜厚を均一に形成しやすく、ゲート酸化膜が半導体層 1a 周端部で薄くなることもない。

#### 【0075】

##### [トランジスタ素子の形成方法]

次に、図 5 ~ 図 8 に示すいずれかの製造工程により製造された電気光学装置を用いて、図 4 に示す液晶装置の TFT 30, 80 のように、厚さの異なる半導体領域それぞれに TFT を製造する場合の製造工程について図面を参照して以下に詳細に説明する。

#### 【0076】

図 9 ~ 図 11 は、本発明に係る電気光学装置の半導体層へのトランジスタ素子の形成工程を示す断面工程図であり、これらの図においては、図 5 と同じ構成要素での構造を示しているが、図 6 ~ 8 と同じ構成要素での構造は示さない。図 5 と同じ構成要素については、同じ参照符号を付している。また、図 9 ~ 図 11 においては、図 4 に示すトランジスタ素子に備えられた第 1 遮光膜 11a は省略して示している。尚、図 5 ~ 図 8 のいずれの工程により製造された電気光学装置を用いてもほぼ同様の工程でトランジスタ素子を形成することができる。従って、図 9 ~ 図 11 では側面保護膜 25, 85 が設けられていない図 5 に示す SOI 基板を用いた場合について図示しているが、以下の説明では、必要に応じて図 8 に示す側面保護膜 25, 85 が設けられた SOI 基板を用いた場合についても適宜説明を加えることとする。

また、以下に説明するトランジスタ素子の形成工程において、図 9A に示す SOI 基板に代えて、図 8 に示す SOI 基板を用いるならば、図 4 に示すように、TFT の側面に側面保護膜を備えたトランジスタ素子を形成することができる。

#### 【0077】

まず、図 9A に示すように、フォトリソグラフィ工程、エッチング工程等により、所定パターンの半導体層 1a、80a が形成された SOI 基板を用意する。この SOI 基板は、図 5 に示す製造工程により製造することができる。また、この SOI 基板として図 8 に示すものを用いる場合には、半導体層 1a 及び 80a の側面部に、それぞれ側面保護膜 25, 85 が形成されている。

#### 【0078】

10

20

30

40

50

次いで、半導体層 1 a、80 aを、約 850 ~ 1300 の温度、好ましくは約 1000 の温度で 72 分程度熱酸化することにより、約 60 nm の比較的薄い厚さの熱酸化シリコン膜を形成し、図 9 B に示すように、画素スイッチング用 TFT 30 および周辺回路用 TFT 80 のゲート絶縁膜（ゲート酸化膜）2 とする。本実施例によるトランジスタ素子は図 5 に示すような製造工程で形成しているのでパターニング処理を半導体層 206 の層厚が基板 10 上で均一な状態で行うことができ、パターニングを極めて容易に行えらるとともに、絶縁膜 12 に対するオーバーエッチも生じないようにすることができる。

このゲート酸化工程において、半導体層 1 a、80 a の側面部に側面保護膜 25, 85 が設けられた基板を用いた場合には、ゲート絶縁膜 2 は、半導体層 1 a、80 a の上面側のみ形成される。従って、第 1 半導体層 1 a は、その上面側をゲート絶縁膜 2 により電氣的に絶縁され、その側面側を側面保護膜 25 により電氣的に絶縁される。また、第 2 半導体層 80 a も同様である。

また、側面保護膜 25, 85 が設けられた SOI 基板を用いる場合には、側面保護膜 25, 85 の高さは、ゲート酸化前の半導体層 1 a、80 a の層厚とほぼ同一に形成されるため、ゲート酸化により半導体層 1 a、80 が相対的に薄くなることから、ゲート酸化後の側面保護膜 25, 85 の高さは半導体層 1 a、80 a の層厚よりも大きくなる。従って、側面保護膜 25, 85 を備えた SOI 基板を用いるならば、半導体層 1 a、80 a の周端部において半導体層 1 a、80 a は、ゲート絶縁膜 2 と側面保護膜 25, 85 とにより保護されるので、後述するゲート電極と半導体層との距離が局所的（特に半導体層周端部）に、薄くなることなく、寄生 MOS の生じ難い、信頼性に優れたトランジスタ素子を形成することができる。

#### 【0079】

次に、図 9 C に示すように、画素スイッチング用 TFT 30 の半導体層 1 a に対応する位置にレジスト膜 301 を形成して、第 2 半導体領域の第 2 半導体層 80 a に、B（硼素）などの III 族元素のドーパント 302 をドーブし、その後、レジスト膜 301 を除去する。

次に、図 9 D に示すように、第 2 半導体層 80 a に対応する位置にレジスト膜 303 を形成して、第 1 半導体層 1 a に、B（硼素）などの III 族元素のドーパント 304 をドーブし、その後、レジスト膜 303 を除去する。

#### 【0080】

次に、減圧 CVD 法等によりポリシリコン層を堆積したのち、リン（P）を熱拡散することにより導電化し、レジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、図 10 A に示すように、所定パターンの走査線 3 a、ゲート電極 83 を形成する。この走査線 3 a と、第 1 半導体層 1 a とは、ゲート絶縁膜 2 により互いに絶縁されるが、側面保護膜 25 が設けられている場合には、第 1 半導体層 1 a の上面においてはゲート絶縁膜 2 により互いに絶縁され、第 1 半導体層 1 a の側面側においては側面保護膜 25 により絶縁される。また、ゲート電極 83 と、第 2 半導体層 80 a とは、ゲート絶縁膜 2 により互いに絶縁されるが、第 2 半導体層 80 a の側面に側面保護膜 85 が設けられている場合には、第 2 半導体層 80 a の上面側ではゲート絶縁膜 2 により互いに絶縁され、第 2 半導体層 80 a の側面側では側面保護膜 85 がある場合にはより互いに絶縁されることになる。

#### 【0081】

次に、図 10 B に示すように、第 2 半導体層 80 a に LDD 領域を形成するために、第 1 半導体層 1 a に対応する位置にレジスト膜 305 を形成する。次いで、ゲート電極 83 を拡散マスクとして、例えば P などの V 族元素のドーパント 306 を低濃度でドーブし、N チャネルの低濃度ソース領域 80 b および低濃度ドレイン領域 80 c を形成し、その後、レジスト膜 305 を除去する。

#### 【0082】

次に、図 10 C に示すように、第 1 半導体層 1 a に LDD 領域を形成するために、第 2 半導体層 80 a に対応する位置にレジスト膜 307 を形成する。次いで、走査線 3 a を拡散

10

20

30

40

50

マスクとして、例えばPなどのV族元素のドーパント308を低濃度でドーブし、Nチャネルの低濃度ソース領域1bおよび低濃度ドレイン領域1cを形成し、その後、図11Aに示すように、レジスト膜307を除去する。

【0083】

次に、図11Bに示すように、走査線3aよりも幅の広いレジスト膜401を走査線3a上に形成するとともに、ゲート電極83よりも幅の広いレジスト膜309をゲート電極83上に形成する。

次いで、レジスト膜309、401をマスクとして、PなどのV族元素のドーパント61を高濃度でドーブし、第1半導体層1aに、高濃度ソース領域1dおよび高濃度ドレイン領域1eを形成するとともに、第2半導体層80aに、高濃度ソース領域80dおよび高濃度ドレイン領域80eを形成する。

10

【0084】

その後、図11Cに示すように、レジスト膜309、401を除去することにより、異なる半導体層厚のトランジスタ素子31, 81が形成される。

そして、トランジスタ素子31, 81が形成された支持基板10上に、従来と同様の方法によって、第2層間絶縁膜4、データ線6a、好ましくはデータ線6aと同様の材料によりデータ線6aと同時に設けられる入力信号線86aおよび出力信号線86b、第3層間絶縁膜7、画素電極9、配向膜等を形成すれば、図4に示す液晶装置のTF Tアレイ基板が得られる。

【0085】

(電子機器)

次に、上記実施形態の液晶装置を備えた電子機器の例について説明する。

図13は、本発明の投射型表示装置の一例を示した概略構成図である。図13において、投射型表示装置は、上述した液晶装置を3個用意し、夫々RGB用の液晶装置962R、962Gおよび962Bとして用いた投射型表示装置の光学系の概略構成図を示す。本例の投射型表示装置の光学系には、光源装置920と、均一照明光学系923が採用されている。そして、投射型表示装置は、この均一照明光学系923から出射される光束Wを赤(R)、緑(G)、青(B)に分離する色分離手段としての色分離光学系924と、各色光束R、G、Bを変調する変調手段としての3つのライトバルブ925R、925G、925Bと、変調された後の色光束を再合成する色合成手段としての色合成プリズム910と、合成された光束を投射面100の表面に拡大投射する投射手段としての投射レンズユニット906を備えている。また、青色光束Bを対応するライトバルブ925Bに導く導光系927をも備えている。

20

30

【0086】

均一照明光学系923は、2つのレンズ板921、922と反射ミラー931を備えており、反射ミラー931を挟んで2つのレンズ板921、922が直交する状態に配置されている。均一照明光学系923の2つのレンズ板921、922は、それぞれマトリクス状に配置された複数の矩形レンズを備えている。光源装置920から出射された光束は、第1のレンズ板921の矩形レンズによって複数の部分光束に分割される。そして、これらの部分光束は、第2のレンズ板922の矩形レンズによって3つのライトバルブ925R、925G、925B付近で重畳される。

40

【0087】

各色分離光学系924は、青緑反射ダイクロイックミラー941と、緑反射ダイクロイックミラー942と、反射ミラー943から構成される。まず、青緑反射ダイクロイックミラー941において、光束Wに含まれている青色光束Bおよび緑色光束Gが直角に反射され、緑反射ダイクロイックミラー942の側に向かう。赤色光束Rはこのミラー941を通過して、後方の反射ミラー943で直角に反射されて、赤色光束Rの出射部944から色合成プリズム910の側に出射される。

次に、緑反射ダイクロイックミラー942において、青緑反射ダイクロイックミラー941において反射された青色、緑色光束B、Gのうち、緑色光束Gのみが直角に反射されて

50

、緑色光束 G の出射部 9 4 5 から色合成光学系の側に出射される。緑反射ダイクロイックミラー 9 4 2 を通過した青色光束 B は、青色光束 B の出射部 9 4 6 から導光系 9 2 7 の側に出射される。本例では、均一照明光学素子の光束 W の出射部から、色分離光学系 9 2 4 における各色光束の出射部 9 4 4、9 4 5、9 4 6 までの距離がほぼ等しくなるように設定されている。

**【0088】**

色分離光学系 9 2 4 の赤色、緑色光束 R、G の出射部 9 4 4、9 4 5 の出射側には、それぞれ集光レンズ 9 5 1、9 5 2 が配置されている。したがって、各出射部から出射した赤色、緑色光束 R、G は、これらの集光レンズ 9 5 1、9 5 2 に入射して平行化される。

**【0089】**

このようにして平行化された赤色、緑色光束 R、G は、ライトバルブ 9 2 5 R、9 2 5 G に入射して変調され、各色光に対応した画像情報が付加される。すなわち、これらの液晶装置は、図示しない駆動手段によって画像情報に応じてスイッチング制御されて、これにより、ここを通過する各色光の変調が行われる。一方、青色光束 B は、導光系 9 2 7 を介して対応するライトバルブ 9 2 5 B に導かれ、ここにおいて、同様に画像情報に応じて変調が施される。なお、本例のライトバルブ 9 2 5 R、9 2 5 G、9 2 5 B は、それぞれさらに入射側偏光手段 9 6 0 R、9 6 0 G、9 6 0 B と、出射側偏光手段 9 6 1 R、9 6 1 G、9 6 1 B と、これらの間に配置された液晶装置 9 6 2 R、9 6 2 G、9 6 2 B とからなる液晶ライトバルブである。

**【0090】**

導光系 9 2 7 は、青色光束 B の出射部 9 4 6 の出射側に配置した集光レンズ 9 5 4 と、入射側反射ミラー 9 7 1 と、出射側反射ミラー 9 7 2 と、これらの反射ミラーの間に配置した中間レンズ 9 7 3 と、ライトバルブ 9 2 5 B の手前側に配置した集光レンズ 9 5 3 とから構成されている。集光レンズ 9 4 6 から出射された青色光束 B は、導光系 9 2 7 を介して液晶装置 9 6 2 B に導かれて変調される。各色光束の光路長、すなわち、光束 W の出射部から各液晶装置 9 6 2 R、9 6 2 G、9 6 2 B までの距離は青色光束 B が最も長くなり、したがって、青色光束の光量損失が最も多くなる。しかし、導光系 9 2 7 を介在させることにより、光量損失を抑制することができる。

各ライトバルブ 9 2 5 R、9 2 5 G、9 2 5 B を通って変調された各色光束 R、G、B は、色合成プリズム 9 1 0 に入射され、ここで合成される。そして、この色合成プリズム 9 1 0 によって合成された光が投射レンズユニット 9 0 6 を介して所定の位置にある投射面 1 0 0 の表面に拡大投射されるようになっている。

**【0091】**

このような投射型表示装置は、本発明の実施形態の液晶装置 9 6 2 R、9 6 2 G、9 6 2 B が備えられているものであるので、優れた表示品位を有する投射型表示装置とすることができる。

**【0092】**

図 1 4 A は、携帯電話の一例を示した斜視図である。図 1 4 A において、符号 1 0 0 0 は携帯電話本体を示し、符号 1 0 0 1 は上記の液晶表示装置を用いた液晶表示部を示している。

**【0093】**

図 1 4 B は、腕時計型電子機器の一例を示した斜視図である。図 1 4 B において、符号 1 1 0 0 は時計本体を示し、符号 1 1 0 1 は上記の液晶表示装置を用いた液晶表示部を示している。

**【0094】**

図 1 4 C は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図 1 4 C において、符号 1 2 0 0 は情報処理装置、符号 1 2 0 2 はキーボードなどの入力部、符号 1 2 0 4 は情報処理装置本体、符号 1 2 0 6 は上記の液晶表示装置を用いた液晶表示部を示している。

**【0095】**

10

20

30

40

50

図14A～Cに示す電子機器は、上記実施の形態の液晶装置を用いた液晶表示部を備えているので、優れた信頼性が得られる表示部を備えた電子機器を実現することができる。なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。例えば、上記実施の形態では液晶装置を用いて説明したが、これに限らずエレクトロルミネッセンス装置、無機エレクトロルミネッセンス装置、プラズマディスプレイ装置、電気泳動表示装置、電界放出表示装置、LED（ライトエミティングダイオード）表示装置などのように、複数の画素毎に表示状態を制御可能な各種の電気光学装置を用いても構わない。

#### 【0096】

（半導体装置）

次に、本発明に係る半導体装置の実施の形態について図面を参照して以下に説明する。図15は、本発明に係る半導体装置の一実施の形態を示す部分断面構成図である。この図に示す半導体装置は、完全空乏型のTF Tと、部分空乏型のTF Tとが、シリコン基板310上に絶縁膜312を介して形成された単結晶シリコン膜からなる半導体層301a、380aを有するSOI基板上に形成されたものであり、図15左側に完全空乏型のTF Tが示され、図15右側に部分空乏型のTF Tが示されている。

尚、本実施形態ではTF T330、380を例に挙げて説明しているが、本発明に係る半導体装置に実装できるデバイスはトランジスタに限られない。

#### 【0097】

まず、図15左側に示す完全空乏型TF T330は、ゲート端子303a、該ゲート端子303aからの電界によりチャンネルが形成される半導体層301aのチャンネル領域301a'、ゲート端子303aと半導体層301aとを絶縁するゲート絶縁膜（ゲート酸化膜）302、半導体層301aのソース領域301b及びドレイン領域301cを備えている。ゲート端子303aは、上記チャンネル領域と対向して形成されている。

尚、実際の半導体装置においては、上記半導体層301aのソース領域301bにゲート絶縁膜302を開口してソース端子が形成され、ドレイン領域301cには、ゲート絶縁膜302を一部開口してドレイン端子が形成される。また、ソース領域301b及びドレイン領域301cは、半導体層301aに対し、所定濃度の不純物イオンをドーピングすることにより形成されている。

#### 【0098】

そして、上記半導体層301aの側面部には、窒化シリコンなどの耐酸化性材料からなる側面保護膜325を形成してもよい。完全空乏型のTF T330は、半導体層301aの上面側のゲート絶縁膜302及び、半導体層301aの周囲を取り囲む側面保護膜325によりゲート端子303aと絶縁されている。このような構成とされていることで、半導体層301aの上面部にあつては、均一な膜厚に形成されたゲート絶縁膜302によりゲート端子303aと絶縁され、半導体層301aの周壁部は、上記側面保護膜325によりゲート端子303aと絶縁されるようになっている。従って、本実施形態の構成によれば、半導体層301aの縁端において、ゲート端子303aと半導体層301aとの距離（すなわちゲート絶縁膜302の膜厚）が部分的に薄くなることによる寄生MOSの発生を効果的に抑制することができ、優れた電流特性を備え、信頼性に優れたTF Tを構成することができる。

#### 【0099】

一方、図15右側に示す部分空乏型のTF T380は、図示左側の完全空乏型のTF T330と同様に、ゲート端子383、ゲート端子383からの電界によりチャンネルが形成される半導体層380aのチャンネル領域380a'、ゲート端子383と半導体層380aとを絶縁するゲート絶縁膜302、半導体層380aのソース領域380b及び380c、半導体層380の周壁と当接する側壁保護膜385、を備えて構成されている。また、この部分空乏型のTF T380においても、先の完全空乏型TF T330と同様に、ソース領域380b及びドレイン領域380cは、半導体層380aに対して、所定濃度の不純物イオンをドーピングすることにより形成されている。

10

20

30

40

50

## 【0100】

そして、上記部分空乏型のTF T 380の半導体層380a側面部にも、窒化シリコンなどの耐酸化性材料からなる側面保護膜385を形成してもよい。すなわち、本実施形態に係る部分空乏型TF T 380は、半導体層380aの上面側のゲート絶縁膜302及び側面保護膜385によりゲート端子383と絶縁されている。このような構成とされていることで、半導体層380aの上面部にあつては、均一な膜厚に形成されたゲート絶縁膜302によりゲート端子383と絶縁され、半導体層380aの周端部及び側面部は、上記側面保護膜385によりゲート端子383と絶縁されるようになっている。従つて、本実施形態の構成によれば、ゲート端子383と半導体層380aとの距離（ゲート絶縁膜2の膜厚）が部分的に薄くなることによる寄生MOSの発生を効果的に抑制することができ、優れた電流特性を備え、信頼性に優れるTF Tを構成することができる。

## 【0101】

図15に示すように、完全空乏型TF T 330を構成している半導体層301aは、部分空乏型TF T 380を構成している半導体層380aよりも薄く形成されている。このような構成とされたことで、完全空乏型TF T 330においては、オフリーク電流を低減することができる。また、部分空乏型TF T 380は、半導体層380aの膜厚が厚く形成されていることで、高速動作が可能になっている。

## 【0102】

上記完全空乏型TF T 330を構成する半導体層301aの層厚は、特に限定されるものではないが、30nmから100nmまでの範囲、好ましくは30nmから80nmまでの範囲、より好ましくは40nmから60nmまでの範囲で一定の膜厚とされる。半導体層301aの膜厚が100nm以下であれば、チャネル部の不純物濃度によらずゲート端子が制御する空乏層が半導体層301aよりも大きく拡がるようにすることができ、TF T 330を容易に完全空乏型とすることができる。さらに、半導体層301aの層厚を100nm以下、好ましくは80nm以下、より好ましくは60nm以下とするならば、オフリーク電流を極めて小さく抑えることができ、有効である。また、半導体層301aの層厚を30nm以上、好ましくは40nm以上とするならば、チャネル領域301a'の膜厚による閾値電圧等のトランジスタ特性のばらつきを小さくできる。また、コンタクト抵抗が増加することもない。

## 【0103】

また、部分空乏型のTF T 380を構成する半導体層380aの層厚は、特に限定されるものではないが、100nmから600nmまでの範囲とすることが好ましく、より好ましくは150nmから400nmまでの範囲で一定の層厚とされる。半導体層380aの層厚が100nm以上、好ましくは150nm以上であれば、十分な耐圧を確保することができるとともに、シート抵抗を十分に小さく抑えることができるため、半導体集積回路において十分な電流駆動能力を得ることができ、高速で駆動することのできる集積回路を形成できる。また、半導体層380aの層厚が600nm以上であると、完全空乏型TF T 330を構成する半導体層301aを形成するときのエッチング工程において膜厚のばらつきがおきるなど、製造が困難になる恐れが生じるため好ましくない。

## 【0104】

尚、本実施形態では、完全空乏型のTF T 330と、部分空乏型のTF T 380とが同一基板上に形成された半導体装置を例示して説明したが、本発明の技術範囲はこの構成に限定されるものではない。例えば、上記半導体素子が、完全空乏型TF Tのみである構成や、部分空乏型TF Tのみである構成とすることもでき、上記半導体層にTF T素子以外の半導体素子を形成してもよいのは勿論である。

## 【0105】

（半導体装置の製造方法）

本発明に係る半導体装置の製造方法としては、先の第1～第4実施形態の電気光学装置の製造方法を、シリコン基板上に絶縁膜を介して単結晶シリコン層が形成されてなるSOI

10

20

30

40

50

基板に対して適用すればよい。具体的には、図5ないし図8に示すSOI基板として、支持基板10がシリコン基板とされたものを用いて各工程を行う製造方法である。係る製造方法によれば、異なる層厚の半導体層をSOI基板に容易に形成することができ、また、半導体層の薄層化工程に先立って半導体層をパターンニングするので、絶縁膜に対するオーバーエッチを防止でき、さらには、半導体層の平面形状を精度よく制御することができるという、先の各実施形態の電気光学装置の製造方法と同様の作用効果を得ることができる。

#### 【0106】

(半導体装置を用いた電子機器)

次に、上記実施形態の半導体装置を適用した電子機器の一例として、内部回路とこれを駆動するための周辺駆動回路とを備えた半導体集積回路を挙げ、図16を参照して説明する。図16は本実施形態に係る半導体集積回路1300の模式構成図であり、半導体集積回路1300は、メモリ等が形成された内部回路1301と、この内部回路1301を取り囲んで設けられた、入出力バッファ等の周辺駆動回路1302とを備えて構成されている。そして、本実施形態の半導体集積回路では、内部回路1301に部分空乏型のデバイスが形成され、周辺駆動回路1302には部分空乏型のデバイスが形成されている。これにより、内部回路1301においてはオフリーク電流が低減され、周辺駆動回路1302においては、耐圧及び閾値低下による低電圧動作が可能になっている。

#### 【0107】

【発明の効果】

以上、詳細に説明したように、本発明に係る電気光学装置の製造方法によれば、前記半導体層を所定の平面形状にパターンニングして複数の半導体領域に前記半導体層を分割するパターンニング工程と、前記パターンニング工程により形成された前記半導体領域のうち、一以上の領域の半導体層を所定の半導体層厚に薄層化する薄層化工程と、を含む構成とされたことで、半導体層厚が基板上で一定の状態パターンニングするので、エッチング深さが基板上で一定であり、従来の製造方法において問題となっていた絶縁膜のオーバーエッチは生じない。また、薄層化工程において薄層化される半導体領域が、予め他の半導体領域と分割されているため、それぞれの領域における半導体層の形状を制御しやすく、より正確な形状に半導体層を形成することができる。また本発明に係る電気光学装置の製造方法によれば、単結晶シリコン層を表面から酸化をする以前に単結晶シリコン層を事前に分離し、単結晶シリコン層の面積を減少する事が可能になるため単結晶シリコン層と熱酸化膜層との熱膨張率の差から、単結晶シリコン層にスリップ等の欠陥が発生することを防止する事が容易に出来る。

従って、本発明に係る製造方法によれば、信頼性に優れた半導体素子を形成し得る電気光学装置を歩留まり良く製造することができる。

#### 【0108】

また本発明によれば、SOI基板を用いた半導体装置における従来技術の問題点を解決し、また半導体層の形状を容易に制御することができ、信頼性に優れた半導体装置を容易に製造することができる製造方法を提供することができる。

#### 【0109】

また本発明によれば、信頼性に優れた電気光学装置、及びこれを備えた投射型表示装置、電子機器、並びに信頼性に優れた半導体装置、及びこれを備えた電子機器を提供することができる。

【図面の簡単な説明】

【図1】図1は、本発明の一実施の形態である液晶装置の等価回路図である。

【図2】図2は、図1に示す表示領域を備えた液晶装置の全体構成を示す平面図である。

【図3】図3は、図2に示すH-H'線に沿う断面図である。

【図4】図4は、図2に示す液晶装置の画素領域と周辺領域とを分割してそれぞれのTFTを示した部分断面図である。

【図5】図5は、本発明に係る電気光学装置の製造方法の第1の実施形態を示す断面工程

図である。

【図 6】図 6 は、本発明に係る電気光学装置の製造方法の第 2 の実施形態を示す断面工程図である。

【図 7】図 7 は、本発明に係る電気光学装置の製造方法の第 3 の実施形態を示す断面工程図である。

【図 8】図 8 は、本発明に係る電気光学装置の製造方法の第 4 の実施形態を示す断面工程図である。

【図 9】図 9 は、本発明に係る電気光学装置を用いたトランジスタ素子の形成方法を示す断面工程図である。

【図 10】図 10 は、本発明に係る電気光学装置を用いたトランジスタ素子の形成方法を示す断面工程図である。 10

【図 11】図 11 は、本発明に係る電気光学装置を用いたトランジスタ素子の形成方法を示す断面工程図である。

【図 12】図 12 は、従来の電気光学装置の製造方法を示す断面工程図である。

【図 13】図 13 は、本発明に係る投射型表示装置の構成図である。

【図 14】図 14 A ~ C は、本発明に係る電子機器の斜視構成図である。

【図 15】図 15 は、本発明に係る半導体装置の一実施の形態を示す部分断面構成図である。

【図 16】図 16 は、本発明に係る電子機器の一例を示す平面構成図である。

【符号の説明】 20

1 a , 2 0 1 第 1 半導体層

8 0 a 第 2 半導体層

1 0 支持基板 ( 基板、 T F T アレイ基板 )

1 1 a 第 1 遮光膜

1 2 第 1 層間絶縁膜 ( 絶縁膜、酸化層 )

2 5、8 5 側面保護膜

3 0 画素スイッチング用 T F T

3 1、8 1 トランジスタ素子

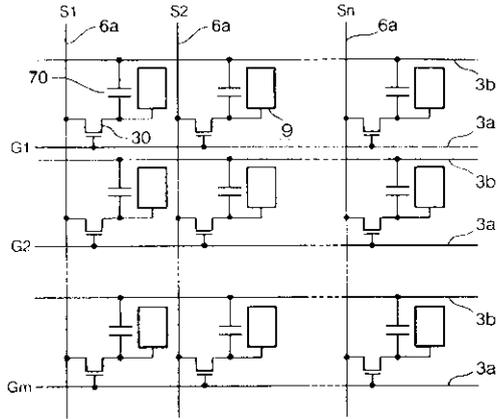
8 0 周辺回路用 T F T

2 1 0 第 1 半導体領域 30

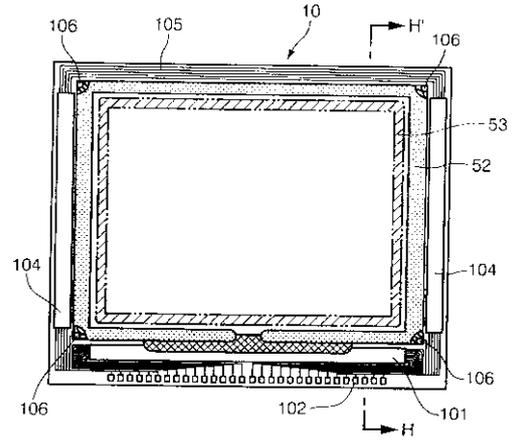
2 2 0 第 2 半導体領域

2 1 6 酸化層 ( 酸化保護膜 )

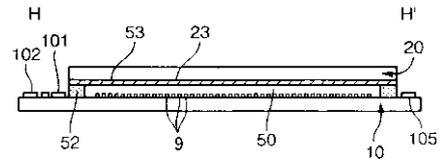
【 図 1 】



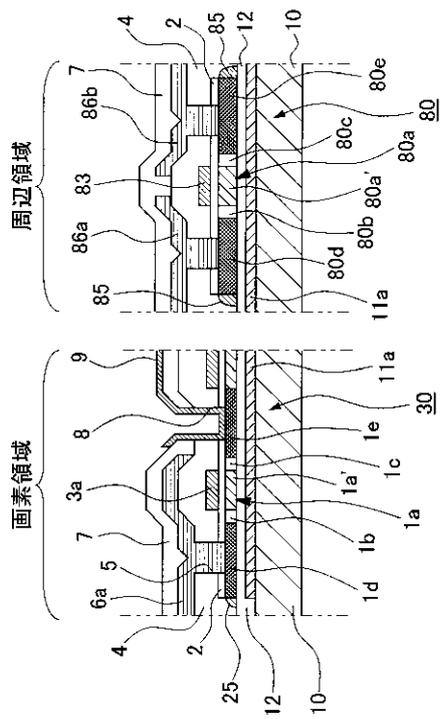
【 図 2 】



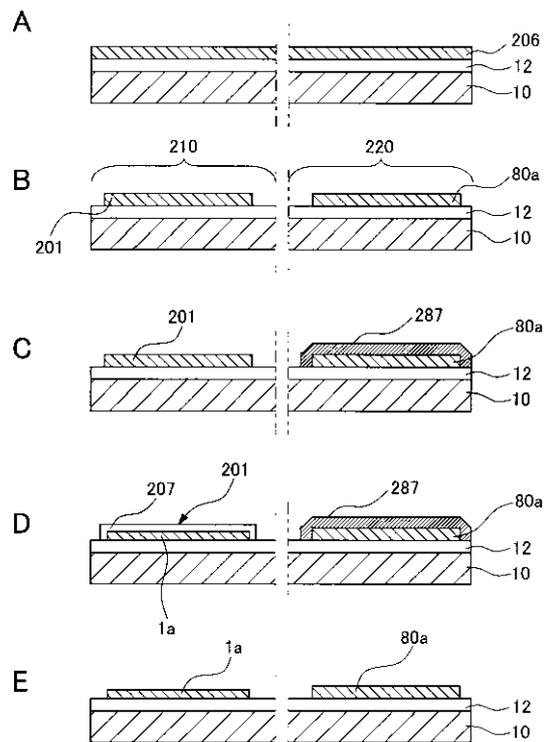
【 図 3 】



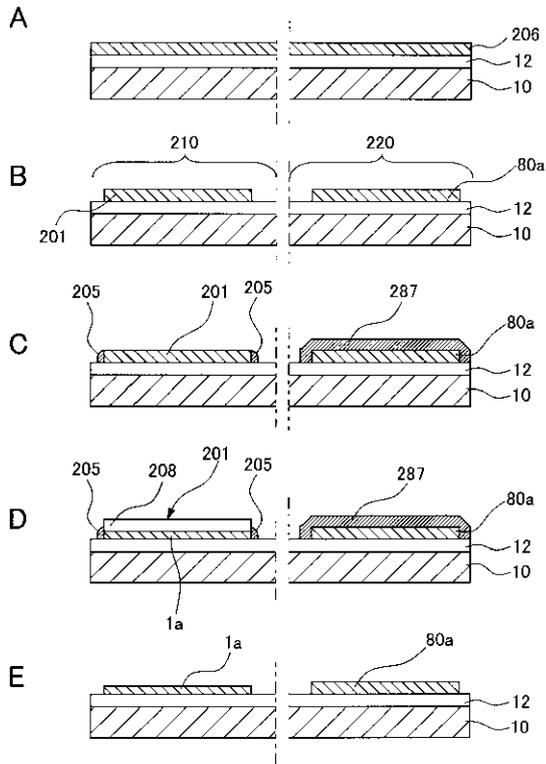
【 図 4 】



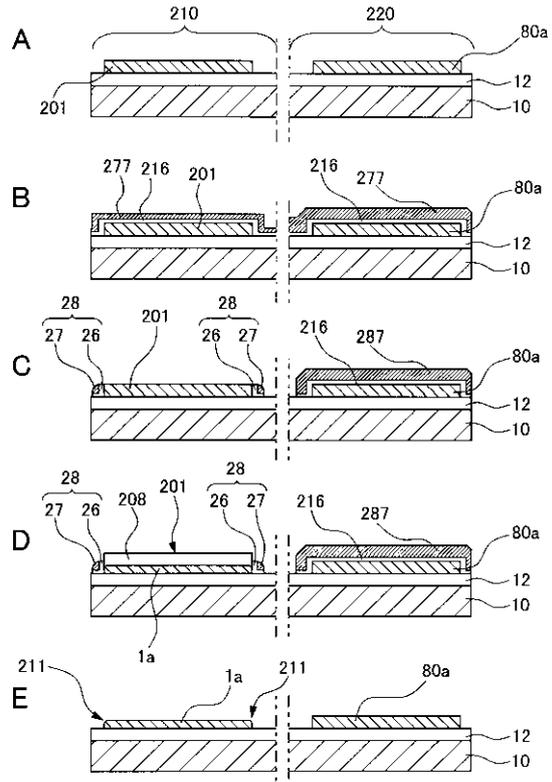
【 図 5 】



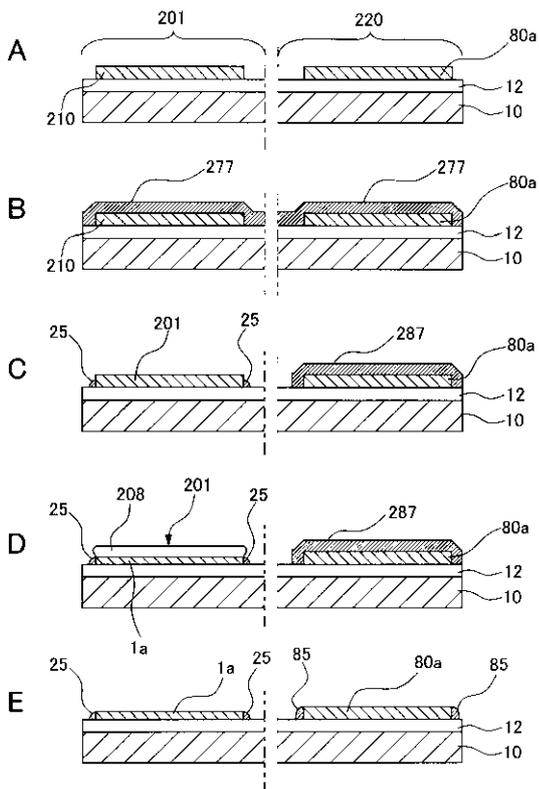
【 図 6 】



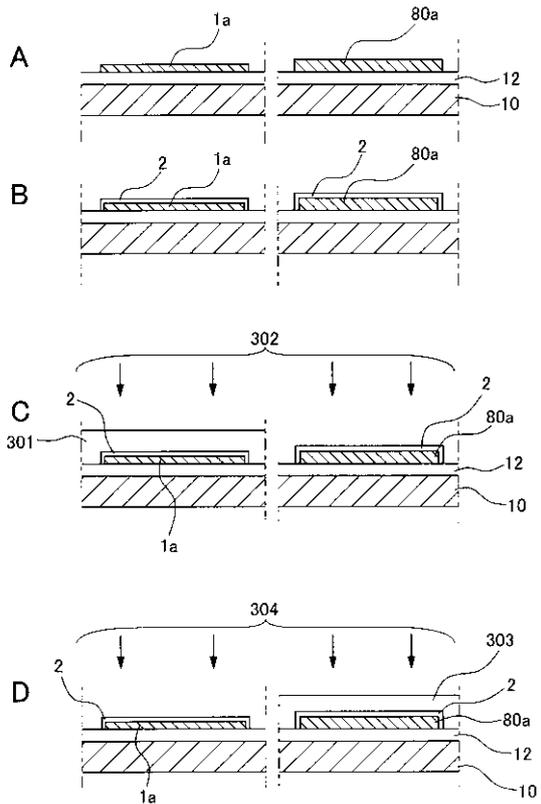
【 図 7 】



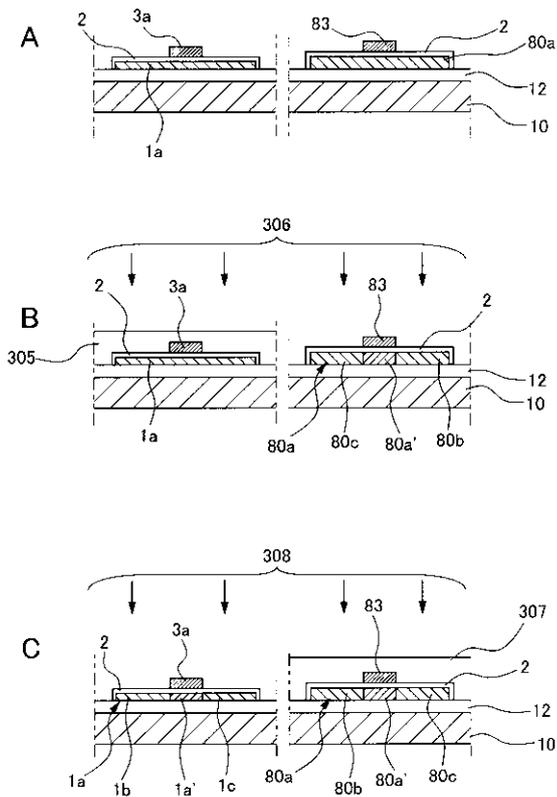
【 図 8 】



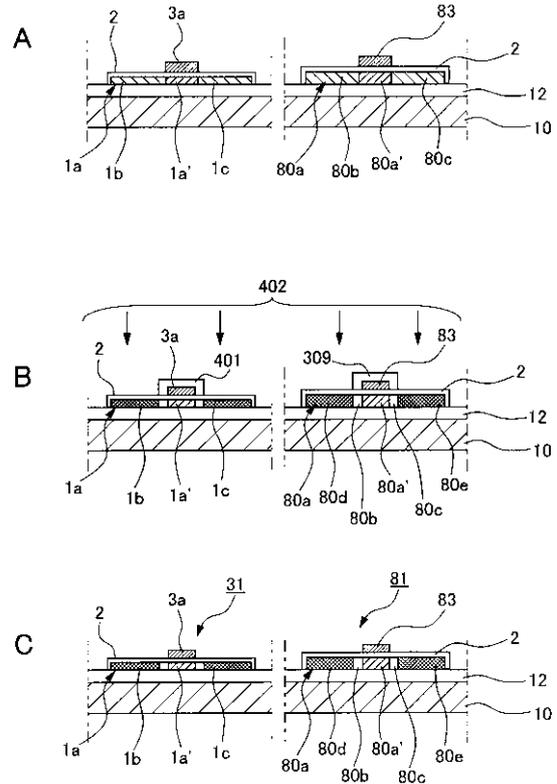
【 図 9 】



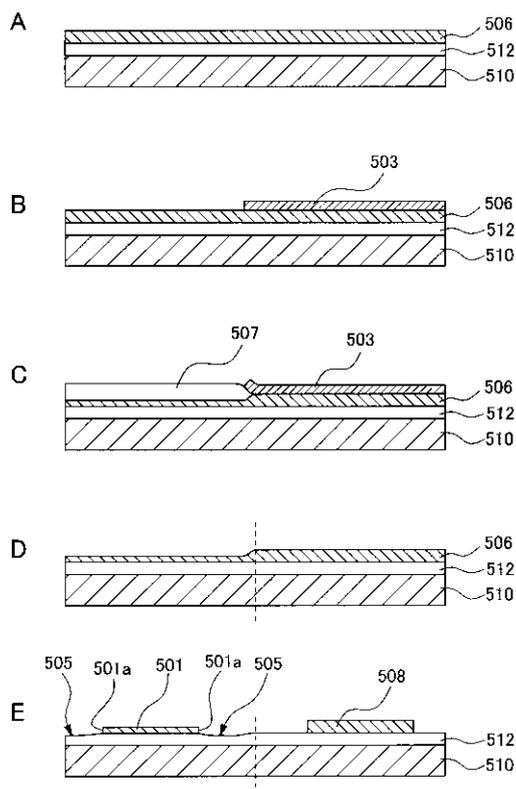
【図 10】



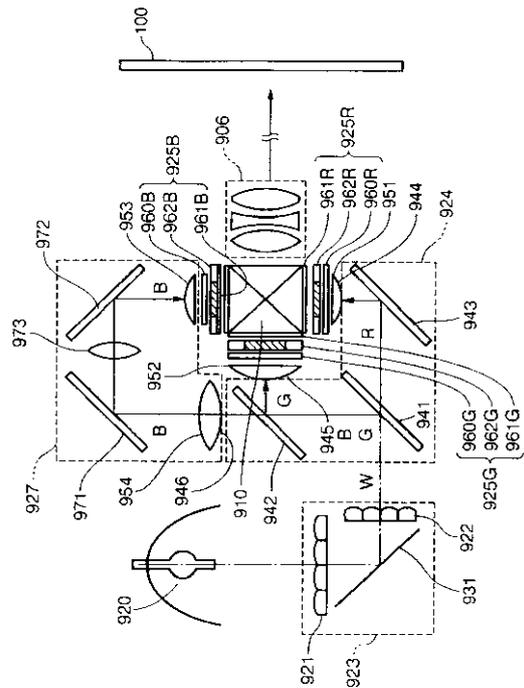
【図 11】



【図 12】

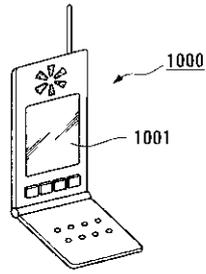


【図 13】

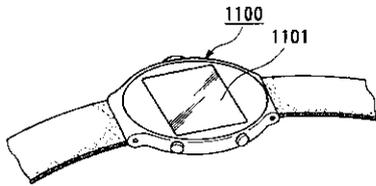


【 図 1 4 】

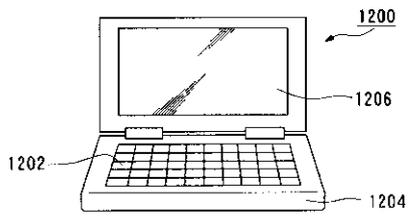
A



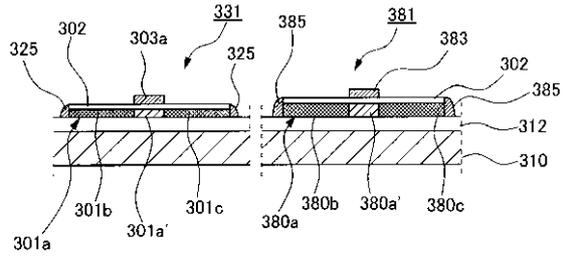
B



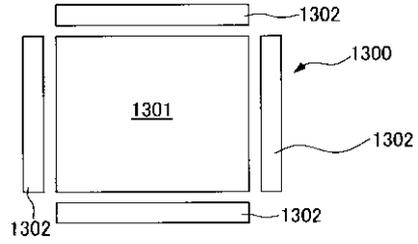
C



【 図 1 5 】



【 図 1 6 】



---

フロントページの続き

Fターム(参考) 5F110 AA16 AA26 BB02 BB05 CC02 DD02 DD03 DD05 DD13 EE09  
EE45 EE48 FF02 FF23 GG02 GG12 GG22 GG25 GG26 GG32  
GG58 GG60 HJ01 HL03 HL05 HL07 HM15 NN46 NN72 NN78  
QQ11 QQ17