(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 16/00

(45) 공고일자 2001년03월15일
(11) 등록번호 10-0284916
(24) 등록일자 2000년12월26일

(21) 출원번호 10-1998-0030561
(22) 출원일자 1998년07월29일
(65) 공개번호 특1999-0014266
(43) 공개일자 1999년02월25일

(30) 우선권주장 97-203260 1997년07월29일 일본(JP)
98-000745 1998년01월06일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 사꾸이 고지
일본 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 580-1가부시끼가이샤 도시바 세미컨덕터 시스템 엔지니어링 센터 내
미야모또 준이찌
일본 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 580-1가부시끼가이샤 도시바 세미컨덕터 시스템 엔지니어링 센터 내
(74) 대리인 장수길, 주성민

심사관 : 이철희

(54) 반도체 기억 장치 및 그 기입 제어 방법

요약

비트선 전위 센스 노드에 접속된 래치 회로를 갖는 센스 앰프 회로와, 센스앰프 회로에 기입 데이타가 로드될 때에 기입을 지시하는 센스 앰프 회로를 식별하기 위한 기억 회로를 구비하고, 기입 동작 후의 기입 검증 판독 동작 전에 로드 데이타에 의해 기입이 지시되어 있는 센스 앰프 회로에서는 기억 회로의 기억 내용에 기초하여 로드 데이타와 같이 데이타가 리셋된다. 이에 따라, 기입 동작 후의 검증 동작시와 통상의 판독 동작시에서 복수의 메모리 셀의 공통 소스선의 전위의 부유 정도가 다른 것에 기인한 판독 불량 발생을 방지하고, 판독 검증 판독 동작이나 페이지의 분할 기입 동작의 신뢰성을 향상시킬 수 있다.

대표도

도12

명세서

도면의 간단한 설명

도 1은 종래의 NAND형 셀형 EEPROM에 있어서의 메모리 셀 어레이의 전체적인 구성을 개략적으로 나타낸 블럭도.

도 2a는 도 1의 EEPROM의 메모리 셀 어레이의 구성를 나타낸 도면.

도 2b는 도 1의 EEPROM에 있어서의 소거 동작, 판독 동작, 기입 동작시의 바이어스 상태를 나타낸 도면.

도 3은 도 1의 EEPROM에 있어서의 판독 동작시의 주요 신호를 나타낸 파형도.

도 4는 도 1의 EEPROM에 있어서의 선택 셀의 채널에 공급하는 기입 금지 전압의 바이어스 조건을 설명하기 위해 나타낸 도면.

도 5는 도 1의 EEPROM에 있어서의 센스 앰프 회로 주변의 코어 회로도.

도 6은 도 5의 회로에 있어서의 기입 동작, 기입 검증 동작의 일례를 나타낸 타이밍차트.

도 7은 종래의 EEPROM에 있어서의 메모리 셀 어레이의 일부를 나타낸 회로도.

도 8은 도 7의 회로에 있어서의 기입 및 기입 검증에 의한 문제점을 설명하기 위한 셀 트랜지스터의 임계치 분포를 나타낸 도면.

도 9는 종래의 EEPROM에 있어서의 분할 기입 동작을 설명하기 위한 메모리 셀 어레이의 일부를 추출하여 나타낸 회로도.

도 10은 종래의 NAND형 셀형 EEPROM에 있어서의 센스 앰프 회로의 다른 예를 나타낸 회로도.

도 11은 본 발명에 따른 반도체 기억 장치의 제1 실시예에 따른 NAND형 EEPROM을 나타낸 블럭도.

도 12는 도 11의 EEPROM의 센스 앰프 회로 주변의 코어 회로를 나타낸 회로도.

도 13은 도 12 중의 NAND형 메모리 셀의 기입 동작 및 기입 검증 동작에 관한 시퀀스 제어 수단에 의한 제어의 기본적인 흐름을 나타낸 플로우차트.

도 14는 도 12 중의 NAND형 메모리 셀의 기입 동작 및 기입 검증 동작의 일례를 나타낸 타이밍차트.

도 15는 도 12 중의 NAND형 메모리 셀의 기입 동작, 기입 검증 동작의 다른 예를 나타낸 타이밍차트.

도 16은 도 12 중의 NAND형 메모리 셀의 분할 기입 동작 및 기입 검증 동작에 관한 시퀀스 제어 수단에 의한 제어의 기본적인 흐름을 나타낸 플로우차트.

도 17은 도 12 중의 NAND형 메모리 셀의 분할 기입 동작 및 기입 검증 동작에 관한 시퀀스 제어 수단에 의한 제어의 기본적인 흐름을 나타낸 플로우차트.

도 18은 도 12 중의 NAND형 메모리 셀의 분할 기입 시의 역판독 동작, 분할 기입 동작, 기입 검증 동작의 일례를 나타낸 타이밍차트.

도 19는 도 12의 EEPROM에 있어서의 본 발명의 효과를 설명하기 위한 셀 트랜지스터의 임계치 분포를 나타낸 도면.

도 20a, 도 20b는 종래예와 본 발명에 따른 임계치 분포의 실측 결과를 나타낸 도면.

도 21은 도 12의 EEPROM에 있어서의 분할 기입 시의 역판독 동작, 분할 기입 동작, 기입 검증 동작의 다른 예를 나타낸 타이밍차트.

도 22는 도 12 중의 NAND형 메모리 셀의 분할 기입 동작 및 기입 검증 동작에 관한 시퀀스 제어 수단에 의한 제어의 흐름을 나타내는 플로우차트.

도 23은 도 12 중의 NAND형 메모리 셀의 분할 기입 동작 및 기입 검증 동작에 관한 시퀀스 제어 수단에 의한 제어의 별도의 흐름을 나타낸 플로우차트.

도 24는 도 12 중의 NAND형 메모리 셀의 분할 기입 동작 및 기입 검증 동작에 관한 시퀀스 제어 수단에 의한 제어의 또 다른 흐름을 나타낸 플로우차트.

도 25는 본 발명의 스텝업 기입 방식의 NAND형 EEPROM에 적용시킨 경우의 동작의 일례를 나타낸 타이밍차트.

도 26은 본 발명의 스텝업 기입 방식의 NAND형 EEPROM에 적용시킨 경우의 기본적인 흐름을 나타낸 플로우차트.

도 27은 본 발명의 스텝업 기입 방식의 NAND형 EEPROM에 적용시킨 경우의 기본적인 흐름을 나타낸 플로우차트.

도 28은 본 발명의 스텝업 기입 방식의 NAND형 EEPROM에 적용시킨 경우의 동작의 다른 예를 나타낸 타이밍차트.

도 29는 도 12 중의 센스 앰프 주변의 코어 회로의 변형례를 나타낸 회로도.

도 30은 도 12 중의 센스 앰프 주변의 코어 회로의 다른 변형예를 나타낸 회로도.

도 31은 도 12 중의 센스 앰프 주변의 코어 회로의 또 다른 변형예를 나타낸 회로도.

도 32는 제1 실시예의 변형예에 있어서의 기입 동작, 기입 검증 동작의 기본적인 흐름을 나타낸 플로우차트.

도 33은 제1 실시예의 다른 변형예에 있어서의 기입 동작, 기입 검증 동작의 기본적인 흐름을 나타낸 플로우차트.

도 34는 제1 실시예의 또 다른 변형예에 있어서의 기입 동작, 기입 검증 동작의 기본적인 흐름을 나타낸 플로우차트.

도 35는 제1 실시예의 또 다른 변형예에 있어서의 기입 동작, 기입 검증 동작의 기본적인 흐름을 나타낸 플로우차트.

도 36은 본 발명의 제2 실시예에 따른 NAND형 EEPROM의 전체 구성을 나타낸 도면.

도 37은 제2 실시예의 EEPROM의 메모리 셀 어레이의 구성을 나타낸 도면.

도 38은 제2 실시예의 하나의 비트선으로 이어지는 센스 앰프 회로의 구성을 나타낸 도면.

도 39는 제2 실시예의 EEPROM의 기입 동작의 제어 흐름을 나타낸 도면.

도 40은 제2 실시예의 센스 앰프 회로를 중심으로 하는 기입 동작 및 기입 검증 동작 판독 동작과 오기입 검출 동작시의 신호를 파형을 나타낸 도면.

도 41은 제2 실시예의 오기입 판정 신호를 출력하는 회로를 나타낸 도면.

도 42는 제2 실시예의 제1 변형예에 따른 NAND형 EEPROM의 센스 앰프 회로 구성을 나타낸 도면.

도 43은 제2 실시예의 제2 변형예에 따른 NAND형 EEPROM의 센스 앰프 회로 구성을 나타낸 도면.

도 44는 제2 실시예의 제3 변형예에 따른 NAND형 EEPROM의 센스 앰프 회로 구성을 나타낸 도면.

도 45는 제2 실시예의 제4 변형예에 따른 NAND형 EEPROM의 센스 앰프 회로 구성을 나타낸 도면.

도 46은 본 발명의 제2 실시예의 변형예에 있어서의 EEPROM의 기입 동작의 제어 흐름을 나타낸 도면.

도 47은 본 발명의 제3 실시예의 변형예에 있어서의 EEPROM의 기입 동작의 제어 흐름을 나타낸 도면.

<도면의 주요 부분에 대한 부호의 설명>

10 : NAND 셀

11 : 메모리 셀 어레이

12 : 로우 디코더

13 : 비트선 제어 회로

14 : 칼럼 디코더

15 : 칼럼 게이트

16 : 승압 회로

17 : 제어 회로

18 : 데이타 입력/출력(I/O) 버퍼

S/A : 센스 앰프

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 기억 장치 및 그 기입 제어 방법에 관한 것으로, 특히 전기적으로 개서 가능한 불휘발성 반도체 기입 장치 및 그 기입 제어 방법, 기입 후의 검증 판독 제어 방법에 관한 것이다.

본 출원은 일본 특허 출원 No. 9-203260(97. 7. 29)과 일본 특허 출원 No. 10-000745(98.1.6)의 참조로 반영된 내용을 기초로 한다.

종래, 반도체 기억 장치의 하나로서, 전기적 개서를 가능하게 한 EEPROM이 알려져 있다. EEPROM에 있어서는, 하나, 혹은 복수의 메모리 셀로 이루어지는 메모리 셀 유닛(NAND형 메모리 셀 유닛, NOR형 메모리 셀 유닛, AND형 메모리 셀 유닛, DINOR형 메모리 셀 유닛 등)이 복수 배열되어, 메모리 셀 어레이를 구성하고 있다. 그 중에서도, 메모리 셀을 복수개 직렬 접속하여 NAND형 메모리 셀 유닛을 구성하는 NAND형 셀형 EEPROM은 고집적화가 가능한 것으로서 주목되고 있다.

NAND형 셀형 EEPROM의 하나의 메모리 셀 유닛은 반도체 기판 상에 절연막을 통해 부유 게이트(전하 축적층)와 제어 게이트가 적층된 FETMOS 구조를 갖고, 복수개의 메모리 셀이 인접하는 것끼리 소스·드레인을 공유하는 형태로 직렬 접속되어 NAND형 메모리 셀 유닛을 구성한다. 이와 같은 NAND형 메모리 셀 유닛이 매트릭스 배열되어 메모리 셀 어레이가 구성된다.

메모리 셀 어레이의 열 방향으로 나란한 NAND형 메모리 셀 유닛의 일단측의 드레인은 각각 선택 게이트 트랜지스터를 통해 비트선에 공통 접속되고, 타단측 소스는 역시 선택 게이트 트랜지스터를 통해 공통 소스선에 접속되어 있다. 메모리 셀 트랜지스터의 제어 게이트선 및 선택 게이트 트랜지스터의 게이트 전극은 메모리 셀 어레이의 행 방향으로 각각 워드선(제어 게이트선) 선택 게이트선으로서 공통 접속되어 있다.

이와 같은 NAND형 셀형 EEPROM은, K. -D. Suh et al., "A 3.3 V 32Mb NAND Flash Memory with Incremental Step Pulse Programming Scheme, " IEEE J. Solid-State Circuits, vol.30, pp. 1149-1156, Nov. 1995. (문헌 1),

Y. Iata et al., " A 35ns Cycle Time 3.3 V Only 32Mb NAND Flash EEPROM," IEEE J. Solid-State Circuits, vol. 30, pp.1157-1164, Nov. 1995. (문헌 2) 등에 발표되어 있다.

이하, 문헌 1에 개시되어 있는 종래예의 NAND형 셀형 EEPROM에 대해 도 1(문헌 1의 도 1) 및 도 2(문헌 1의 도 3)를 참조하면서 소개한다.

도 1은, 종래예의 NAND형 셀형 EEPROM의 메모리 셀 어레이의 구성을 나타낸 블럭도이다. 도 1에 있어서, 참조 번호 10은 NAND형 셀, BSEL은 블럭 선택 신호, CG_0 내지 CG_{15}는 공통 게이트선, WL_0내지 WL_{15}는 워드선, BL_0 내지 BL_{4243}은

비트선, SSL은 비트선측의 선택 게이트선, GSL은 소스선측의 선택 게이트선, S/A는 페이지 버퍼의 일부(센스 앰프 회로부)를 나타낸다.

도 2a는, 도 1 중의 NAND형 메모리 셀의 구성, 도 2b는 그 소거 동작, 판독 동작, 기입(program) 동작의 바이어스 상태를 나타낸 도면이다.

도 2b에 있어서, 벌크(Bulk)는 n형 반도체 기판 내에 형성된 p웰, F는 부유 상태를 나타내고 있다.

도 1, 도 2a, 도 2b에 있어서, NAND형 셀(10)은 부유 게이트와 제어 게이트를 갖는 N채널의 MOSFET로 이루어지는 복수개의 셀 트랜지스터가 직렬로 접속되고, 일단측의 드레인이 선택 게이트용 NMOS 트랜지스터를 통해 비트선 BL에, 타단측의 소스선이 선택 게이트용의 NMOS 트랜지스터를 통해 공통의 소스선에 접속되어 있다.

각 트랜지스터는 동일한 웰 기판 상에 형성되어 있고, 메모리 셀의 제어 전극은 행 방향으로 연속적으로 배설된 워드선 WL_0 내지 WL_{15}에 접속되어 있고, 비트선측의 선택 트랜지스터의 제어 전극은 선택 게이트 선 SSL에, 소스선측의 선택 트랜지스터의 제어 전극은 선택 게이트 선 GSL에 접속되어 있다.

셀 트랜지스터는, 각각 유지하는 데이타에 따른 임계치를 갖고 있다. NAND형 플래시 메모리의 경우에는, 통상, 셀 트랜지스터가 디프레션형(D형)으로 되어 있는 상태를 "1" 데이타의 유지 상태(소거 상태), 셀 트랜지스터가 인핸스먼트형(E형)으로 되어 있는 상태를 "0" 데이타의 유지 상태(기입 상태)로 정의하고 있다. 또한, "1" 데이타가 유지되어 있는 셀 트랜지스터의 임계치를 정(+) 방향으로 시프트시키고, "0" 데이타를 유지하도록 하는 것을 기입 동작이라 칭하고, "0" 데이타가 유지되어 있는 셀 트랜지스터의 임계치를 부(-) 방향으로 시프트시켜 "1" 데이타를 유지하도록 하는 것을 소거 동작이라 칭한다.

소거 동작시에는 , 공통 게이트선 CG0 내지 CG15는 접지된다. 선택 블럭의 블럭 선택 신호 BSEL은 논리 레벨이 "H"(전원 전압)로 되고, 비선택 블럭의 블럭 선택 회로는 논리 레벨이 "L"(접지 전위)을 유지한다. 따라서, 선택 블럭의 워드선은 접지 전위로 되고, 비선택 블록의 워드선은 부유 상태로 된다.

다음에, 21V, 3ms의 소거 펄스가 벌크(셀 트랜지스터의 P웰)에 인가된다. 그 결과, 선택 블럭에서는 벌크와 워드선 간에 소거 전압(21V)이 가해지고, 부유 게이트 중의 전자가 FN(Fowler-Nordheim) 터널 전류에 의해, 셀의 P웰 중에 방출되고, 셀의 임계치 전압은 거의 -3V로 된다. NAND형 플래시에서는 과소거가 문제로 되지 않으므로, 셀은 1회의 소거 펄스로 -3V 정도로 깊게(deliberately) 소거된다.

한편, 비선택 블럭에서는 부유 상태의 워드선과 셀의 P웰과의 용량 커플링에 의해 소거 펄스의 영향을 받지 않는다. 부유 상태의 워드선에는 블럭 선택 신호 BSEL을 입력하는 트랜지스터의 소스, 그 소스와 폴리실리콘의 워드선 간의 금속 배선 및 폴리실리콘의 워드선이 접속되어 있다. 이 워드선과 채널 간의 용량 결합비(커플링비)는 부유 상태의 워드선에 접속되는 용량으로부터 계산된다.

이 용량으로서는 트랜지스터의 접합 용량, 소스와 게이트의 오버랩 용량, 폴리실리콘과 금속 배선의 필드 상의 용량, 폴리실리콘의 워드선과 셀의 웰 영역(P웰)과의 용량 등이 있지만, 워드선과 셀의 P웰과의 용량이 모든 용량에 대해 지배적으로 크다. 이 때문에, 실측 결과로부터 구해진 커플링비는 약 0.9로 커서, FN 터널 전류가 흐르는 것을 방지할 수 있다.

다음에, 소거 검증 동작에서는 선택 블럭 내의 모든 셀의 임계치 전압이 -1V 이하로 되었는지의 여부가 판정된다.

판독 동작에서는 1페이지분의 셀 데이타가 동시에 페이지 버퍼(이하, 센스 앰프 회로라 칭함)의 래치 회로에 전송되고, 연속적으로 판독된다.

도 3(문헌 1의 도 4)은, 도 1의 EEPROM에 있어서의 판독 시의 주요 신호의 동작 파형도이다.

1페이지분의 셀 데이타를 센스할 때, 센스 앰프 회로는 최초 "0" 상태("L" 레벨, 소거 셀로부터 데이타를 판독한 상태)로 초기화되어 있고, 시각 t1에서는 비트선은 0V로, 선택 게이트선 SSL, GSL은 4.5V로 된다.

그 후, 시각 t2에서는, 선택 블럭(NAND형) 내의 선택 워드선 WL_i에는 0V가, 선택 블럭 내의 비선택 워드선 WL_i에는 패스 전압인 4.5V가 입력된다. 비선택 워드선에 입력하는 4.5V는 기입 동작 후 및 소거 후의 각각의 셀의 임계치 전압보다도 높으므로 모든 비선택 셀은 패스 · 트랜지스터로서 작동한다.

한편, 0V가 인가된 선택 워드선에 의해, 소거 후의 셀 트랜지스터만이 도통한다. 따라서, 소거 후의 셀이 판독된 NAND열은 비트선 BL을 접지하는 패스로 되고, 기입 동작 후의 셀이 판독된 NAND열은 비트선 BL을 개방 상태(오픈 상태)로 한다.

시각 t3에서는, 비트선으로부터 래치로의 직접 센스 경로는 도 1 중의 제어 신호 PGM을 "L"로 함으로써 차단되어 있고, 래치 데이타는 센스용 트랜지스터를 통해서만 결정된다. 기준 전압 V_{ref}에 의해 PMOS 전류 미러 회로의 부하(Current LOAD) 트랜지스터가 활성화되고, 이 부하 트랜지스터로부터 2μA의 부하 전류가 비트선에 공급된다. 소거 후의 셀을 판독되어 있는 비트선에서는 부하 전류가 방출되어, "L"을 유지하고, 기입 동작 후의 셀을 판독하고 있는 비트선은 "H" 레벨로 된다.

시각 t4에서는 기입 동작 후의 셀을 판독하고 있는 비트선은 센스용 트랜지스터를 도통시키고, 래치 회로를 "1"로 반전시킨다.

이와 같이 하여, 기입 동작 후의 셀을 판독한 래치 회로는 "1", 소거 후의 셀을 판독한 래치 회로는 "0"을 보존한다. 이들 래치 데이타는 판독 회로를 거친 후, 정규의 논리 레벨로 변환한다. 따라서, 1페이지분의 모든 래치 회로는 동시에 세트된 후, 연속적인 판독을 가능하게 한다.

다음에, 기입 동작에서는 최초에, 연속적으로 센스 앰프 회로에 기입 데이타가 로드된다. "0"은 기입을 행하는 셀 데이타이고, "1"은 기입 금지의 셀 데이타이다. 기입 사이클은 모든 "0" 래치 데이타에 대응하는 칼럼의 셀이 기입될 때까지 반복된다.

각 기입 사이클은 기입 펄스의 인가와, "0" 래치의 셀의 과기입을 방지하기 위한 기입 검증 동작으로 구성되어 있다. 더욱 구체적으로는, 40μs의 기입 사이클은 이하의 스텝에서 구성된다.

(1) 비트선 셋업(8μs) : 센스 앰프 회로의 래치 회로 내의 기입 데이타에 따라 비트선의 레벨을 기입은 0V로, 기입 금지는 V_{CC}로 설정한다.

(2) 기입(20μs) : 선택 워드선에 기입 전압을 짧은 펄스폭의 펄스로서 입력한다.

(3) 워드선 방전(4μs) : 선택 워드선의 고전위는 방전되고, 다음의 낮은 검증 전위의 입력에 제공된다.

(4) 기입 검증(8μs) : 기입 셀의 임계치 전압이 목표치 이상으로 기입되었는지의 여부를 체크한다.

기입 검증 동작에서는 충분하게 기입이 행해진 셀의 래치 회로는 "0" 에서 "1"로 변화하고, 이 이상 기입되는 것을 방지한다. 기입 검증 동작시의 바이어스 조건은 판독 동작시의 그것과 대개 동일하지만, 래치 회로에서는 기입 상태의 데이타가 유지되고, 0V와는 다른 0.7V가 선택 워드선에 입력된다.

이 조건 하에서, 기입 셀의 임계치 전압이 0.7V를 초과했을 때, 즉, 충분하게 기입이 행해졌을 때에, 래치 회로 내의 데이타는 "0" 에서 "1"로 변화한다. "1" 데이타가 들어간 래치 회로는 검증 동작에서는 래치 회로는 "0" 에서 "1"로 변화하므로, 영향을 받지 않는다.

기입 사이클은 페이지 버퍼의 래치 회로가 모두 "1"을 유지할 때까지 혹은 10사이클의 최대 기입 시간에 도달할 때까지 반복된다.

도 4(문헌 1의 도5)는 선택 셀의 채널에 공급하는 기입 금지 전압의 바이어스 조건을 나타내고 있다.

비트선측의 선택 게이트선 SSL의 트랜지스터는 도통 상태에서, 또한, 소스선측의 선택 게이트선 GSL의 트랜지스터는 비도통 상태에서, 기입하는 셀의 비트선은 0V로, 기입 금지 셀의 비트선은 V_{CC}로 한다. NAND열의 채널은 0V의 비트선에 의해 접지 전위로 된다.

선택 셀은 그 게이트에 기입 전압이 입력되면, 부유 게이트와 채널 간에 큰 포텐셜의 차가 생겨, 부유 게이트에 FN 터널 전류에서 전자가 주입되고, 셀이 기입된다.

기입 금지 셀에 있어서는, V_{CC}의 비트선에 의해 선택 NAND열의 채널이 예비 충전된다. 선택 NAND열의 워드선, 즉, 기입 전압이 입력되는 선택 워드선과 패스 전압이 입력되는 비선택 워드선이 상승하면, 워드선, 부유 게이트, 채널, 셀의 P웰의 각각을 통한 직렬 용량의 결합에 의해 채널 용량은 자동적으로 승압된다.

이와 같이 선택 블럭 내의 기입 금지의 NAND열의 채널 전위는 워드선과 채널과의 용량 결합에 의해 결정된다. 따라서, 기입 금지 전위를 충분하게 높게 하기 위해서는 채널의 초기 충전을 행하는 것, 또한 워드선과 채널간의 용량 커플링비를 크게 하는 것이 중요해진다.

워드선과 채널 간의 커플링비 B는 이하와 같이 산출된다.

$B=C_{ox}/(C_{ox} + C_j)$

여기서, C_{ox}는 워드선과 채널 간의 워드 용량의 총합, C_j는 셀 트랜지스터의 소스 및 드레인 접합 용량의 총합이다. 또한, NAND열의 채널 용량이란, 이들 게이트 용량의 총합 C_{ox}와 접합 용량의 총합 C_j의 합계로 된다. 또한, 그 밖의 용량인 선택 게이트와 소스의 오버랩 용량이나, 비트선과 소스선 및 드레인과의 용량 등은 전 채널 용량에 비해 매우 작으므로, 여기서는 무시하고 있다.

도 5는 센스 앰프 회로 주변의 코어 회로의 종래예를 나타내고 있고, 도 6은 그 기입 동작 및 기입 검증 동작의 타이밍 차트를 나타내고 있다.

또, 도 5, 도 6에 있어서, LOAD, SBL, BLSHF, φ latch1, φ latch2는 센스 앰프 회로 S/A에 공급되는 제어 신호이며, N_{sense}는 비트선 전위 센스 노드이다.

도 5에 있어서, 센스 앰프 회로 S/A는 프리차지 제어 신호 LOAD(도 1중의 전류 미러 회로의 출력 CM_{OUT}에 상당함)에 기초하여 비트선 BL을 소정 기간에 충전하기 위한 정전류원용의 P 채널 트랜지스터 M2와, 비트선 BL에 직렬로 삽입되고, 게이트에 제어 전압 BLSHF가 얻어지는 비트선 전위 클램프용의 N 채널 트랜지스터 M1과, P 채널 트랜지스터 M2와, N 채널 트랜지스터 M1 간의 센스 노드 N_{sense} 에 판독된 메모리 셀 데이타를 래치하는 래치 회로 LT와, 센스 노드 N_{sense}의 전하를 디스차지 제어 신호 DCB에 기초하여 소정 기간에 방전하기 위한 N 채널 트랜지스터 M3과, 센스 노드 N_{sense}와 래치 회로 LT의 제2 기억 노드 Q 간에 삽입되고, 제어 신호 SBL에 의해 게이트 구동되는 센스 앰프 회로 리셋용 및 트랜스 퍼 게이트용의 NMOS 트랜지스터 M4와, 래치 회로 LT의 제1 기억 노드/Q(이하, 본 발명에서는 "/"는 반전을 나타냄)와, 접지 노드 간에 접속되고, 게이트에 소정 기간 인가되는 제1 데이타 래치 제어 신호 φlatch1에 의해 온 상태로 제어되는 래치 회로 강제 반전 제어용의 NMOS 트랜지스터 M5와, 래치 회로 LT의 제1 기억 노드 Q와 접지 노드 간에서 NMOS 트랜지스터 M5에 직렬로 접속되고, 게이트가 센스 노드 N_{sense}에 접속된 센스용의 NMOS 트랜지스터 M7과, 래치 회로 LT의 제2 기억 노드 Q와 접지 전위 간에서 NMOS 트랜지스터 M7에 직렬로 접속되고, 게이트에 소정 기간 인가되는 제2 데이타 래치 제어 신호(역판독 동작 래치 제어 회로) φlatch2에 의해 온 상태로 제어되는 역 판독 동작(inverse read) 래치 제어용의 NMOS 트랜지스터 M6을 구비한다.

래치 회로 LT는 2개의 CMOS 인버터 회로 IV1, IV2의 상호 입력 노드와 출력 노드가 교차 접속된 (역병렬 접속된) 플립플롭 회로로 이루어진다.

이 경우, 제1 CMOS 인버터 회로 IV1의 입력 노드(제1 기억 노드/Q)는, 강제 반전 입력 노드이다. 또한, 제2 CMOS 인버터 회로 IV2의 입력 노드(제2 기억노드 Q)는 데이타 버스를 통해 입력/출력 회로 I/O에 접속되어 있고, 리셋 노드로 된다.

다음에, 도 5의 센스 앰프 회로의 판독 동작, 소거 동작, 기입 동작을 설명한다.

EEPROM의 통상의 판독 시에는, 우선, 트랜지스터 M3과 M4를 소정 기간 온시켜 래치 회로 LT를 리셋하고, 노드 Q를 "L", 노드/Q를 "H"로 한다. 이 후, 트랜지스터 M2에 의한 정전류로 비트선 BL을 충전하고, 정전류를 흘린 상태 그대로, 셀 트랜지스터의 임계치 상태에 의해 발생되는 셀 전류 I_{CELL}에서 비트선을 방전시키고, 소정 시간 후에 트랜지스터 M5를 온시킨다.

이 경우, 비트선 BL에 NAND형 메모리 셀 유닛으로부터 "1" 데이타가 판독될 때에는, 셀 전류가 흐르므로 비트선 전위가 저하하고, 트랜지스터 M7은 오프이며, 노드/Q는 래치 회로 LT의 리셋 상태의 "H" 상태 그

대로로 된다. 반대로, 비트선BL에 NAND형 메모리 셀 유닛으로부터 "0" 데이타가 판독될 때에는, 셀 전류는 흐르지 않으므로 비트선 전위는 "H"로 유지되고, 트랜지스터 M7이 온으로 되어, 래치 회로 LT의 기억 데이타가 강제 반전되고, 노드/Q는 "L", 노드 Q는 "H"가 된다. 선택된 칼럼에 대응하는 래치 회로 LT의 노드 Q의 데이타는, 데이타 버스를 통해 입/출력 회로 I/O에 판독된다.

EEPROM의 소거 시에는, 센스 앰프 회로는 소거 검증 판독 동작시에 사용된다. 이 때, 센스 앰프 회로는 통상의 판독 동작시와 동일한 순서로 동작하고, 셀트랜지스터가 소거되어 있으면 ("1" 데이타의 경우), 노드/Q는 "H", 노드 Q는 "L" 로 된다. 반대로, 셀 트랜지스터를 소거할 수 없으면 ("0" 데이타의 경우), 노드/Q는 "L", 노드 Q는 "H"로 된다. 이 데이타를 기초로, 동시에 동작하고 있는 모든 센스 앰프 회로 S/A의 노드 Q가 하나라도 "H"로 되면 소거 불완전이므로, 재차 소거에 들어 가기 위한 신호가 출력되어 재차 소거된다.

EEPROM의 기입 시에는 기입/비기입의 데이타를 입력함으로써 선택된 칼럼에 대응하는 래치 회로 LT의 노드 Q에 데이타 버스로부터 데이타가 입력된다. 만일, "0" 데이타 입력이면 노드 Q에는 "L", "1" 데이타 입력이면 노드 Q에는 "H"가 들어 간다. 트랜지스터 M4가 온 상태로 제어되면, 노드 Q의 데이타가 트랜지스터 M4를 통해 비트선 BL에 전송된다. 기입 동작시에는 선택 NAND형 메모리 셀 유닛 내의 채널은 중간 전위로 부팅되어 있으므로, 비트선 BL에 "L" 데이타가 인가된 경우에는 기입되지만, " H" 데이타가 인가된 경우에는 기입이 이루어지지 않는다.

또, EEPROM은 고속 동작 및 고신뢰성을 얻기 위해, 기입 동작 종료 후의 셀 트랜지스터의 임계치 분포를 좁게 제어할 필요가 있고, 상술한 바와 같이 기입 동작을 행할 때마다 기입된 내용을 판독하고(기입 검증 판독 동작), 기입해야할 내용과 비교하여, 기입된 내용이 불충분하면 기입 동작을 더욱 실행하여, 기입된 내용이 기입해야 될 내용과 일치한 것을 확인하면 기입을 종료한다.

이와 같은 기입 검증 판독 동작에 있어서, 종래에는 래치 회로 LT의 리셋 동작을 행하지 않고, 기입 데이타를 센스 앰프 회로 S/A에 남긴 상태 그대로 판독을 행한다. 이 판독 동작은, 리셋 동작이 없는 것 이외에는 통상의 판독 동작과 동일하다.

따라서, 소거 상태를 유지하는 기입하지 않는 셀, 및 소거 상태로부터 기입 상태로 변화하는 기입된 셀에 대응하는 래치 회로 LT의 노드 Q는 "H"로 되고, 기입이 완료하고 있지 않은 셀에 대응하는 래치 회로 LT의 노드 Q는 "L"로 된다. 그래서, 노드 Q의 데이타를 그대로 이용하여 재차 기입 동작을 행함으로써, 기입 미완료의 셀만을 기입할 수 있다.

또한, 통상의 판독 동작시에는 선택 워드선에 0V를 인가하는데 대해, 기입 검증 판독 동작시에는 선택 워드선에 검증 전압(참조 전압) V_{ref} (>0V)를 인가한다. 이 때문에, 0V에서 V_{ref} 간의 임계치로 되는 셀 트랜지스터를 다시 개서하고, 기입 임계치 분포의 최소치가 검증 전압 V_{ref} 이상이 될 때까지 기입함으로써, 판독 전압에 대한 기입 변동의 마진을 취하고 있다.

그러나, 도 5에 도시한 센스 앰프 회로는, 확산층 등을 이용한 공통 소스선의 저항 성분의 전압 강하에 의해 소스측 전위(예를 들면 접지 전위)의 부유에 기인하여 발생하는 문제가 있고, 이것에 대해 이하에 상세히 설명한다.

즉, EEPROM은, DRAM 등과 비교하여 기입/소거 등의 동작이 느리므로, 고속의 기입/판독을 행하기 위해 페이지 기입 방식이나 페이지 판독 방식을 채용하는 경우가 많다. 페이지 기입 방식은, 동일 행선에 접속되어 있는 복수의 메모리 셀의 각각 동시에 복수의 열선으로부터 기입 데이타를 기입하는(페이지 단위로 기입) 방식이다. 또한, 페이지 판독 방식은 동일 행선에 접속되어 있는 복수의 메모리 셀로부터 각각의 기억 데이타를 동시에 복수의 열선으로 판독하여 센스 증폭하는(페이지 단위로 판독) 방식이다.

이와 같은 EEPROM에 있어서, 페이지 기입을 행할 때의 기입 검증 동작을 설명한다.

지금, 페이지 사이즈가 예를 들면 512칼럼의 경우에, 기입 전의 모든 셀이 소거 상태에 있도록 하고, 1개만 기입 속도가 매우 빠른 셀트랜지스터가 존재하였다고 가정한다. 1회째의 기입 동작으로 기입 속도가 빠른 셀이 0V 내지 1V 정도 기입되고, 다른 셀의 임계치는 0V 이하의 상태가 되었다고 한다.

이 상태에서 검증을 행하면, 기입이 빠른 셀 이외의 511칼럼의 셀은 셀 전류를 흘리는 상태이기 때문에, NAND형 메모리 셀 유닛의 소스측의 배선(확산층 등)의 기생 저항 성분에 의해 전압 강하가 생겨 접지 전위가 상승한다.

이 상태에서의 기입이 빠른 셀은, 접지 전위의 부유에 의해 셀 전류는 감소하(또한, 접지 전위의 부유에 의한 백바이어스 효과도 가해져서, 셀의 외견 상의 임계치가 높아짐)므로, 충분히 기입되어 있지 않더라도 충분히 기입된(즉, 임계치 전압이 실제의 임계치 전압보다도 높아짐) 것처럼 보이게 된다.

이 결과, 기입이 빠른 셀은 검증 동작으로 기입 완료라고 잘못 판단된다.

그러나, 모든 셀의 기입이 완료한 후의 페이지 판독에 있어서, 대개의 셀은 기입되어 있으므로 셀 전류를 흘리지 않게 되어 있고, 접지 전위의 부유가 없는 상태로 된다.

따라서, 이 접지 전위의 부유가 없는 상태에서의 판독에서는 기입이 빠른 셀은 1회째의 기입 동작 후의 검증 동작시보다도 셀 전류가 흐르기 쉽게 보이므로, 기입이 빠른 셀은 상술한 바와 같이 기입 완료라고 판단되는데도 불구하고 기입이 불충분하여, 기입 불량으로 될 우려가 있다.

이하, 문제점에 대해 상세히 설명한다.

우선, 최초에, 칩 외부로부터 기입을 지시하는 커맨드가 입력되면, 기입 동작이 개시되어, 제어 신호 BLSHF, DCB가 V_{CC}로 되고, 비트선 BL이 접지된다(비트선 전위가 리셋된다). 그 후, 기입 데이타를 센스 앰프 회로로 로드하기 전에, 제어신호 LOAD가 V_{SS}에, 제어 신호 ϕlatch1이 V_{CC}로 되어, 센스 앰프 회로의 데이타가 프리셋된다. 즉, 모든 1페이지분의 센스 앰프 회로의 래치 회로 LT에서는, 노드 Q가 V_{CC}에, 노

드/Q가 V_{SS}에 세트된다.

다음에, 입출력 회로 I/O로부터 데이타 버스를 통해 기입 데이타가 로드되고, 각 센스 앰프 회로의 래치 회로 LT에 데이타가 래치되고, 노드 Q, /Q는 데이타에 따라서 V_{CC}, V_{SS}의 한쪽에 설정된다. 이 때, 메모리 셀에 기입을 행하는 센스 앰프 회로에서는 노드 Q는 V_{SS}로 되고, 기입을 행하지 않는 센스 앰프 회로에서는 노드 Q는 V_{CC}로 된다.

다음에, 래치 회로 LT에 래치된 데이타에 기초하여, 비트선 BL의 충전이 시작된다. 즉, 기입을 행하는 비트선 BL은 Vss의 접지 상태를 유지하여, 기입을 행하지 않는 비트선 BL은 Vcc에 충전된다. 워드선 WL_0 내지 WL_{15} 중 어느 하나가 선택되어, 예를 들면 워드선 WL_2에 대해 기입이 행해지는 경우, 이 워드선 WL_2이 기입 전압 V_{pgm}(20V 정도)으로 올라, 그 밖의 워드선은 V_{pass} 전압(10V 정도)으로 된다. 이 동작에 의해, 상술한 바와 같이 메모리 셀 $CELL_2$로의 기입이 행해진다.

기입 동작 종료 후, 기입 검증 동작이 개시된다. 즉, 기입을 행한 워드선WL2는 검증 전위(참조 전위) V_{ref}(0. 5V 정도)가 되고, 그 밖의 워드선은 판독 전압V_{read}(4. 5 V정도)가 된다.

이 때, 부하 트랜지스터 M2의 게이트에 인가되는 제어 신호 LOAD를 1.8V 정도로 제어하여 부하 전류를 메모리 셀 전류와 밸런스시킴으로써 판독을 행하고 있다. 예를 들면, 소거된 메모리 셀의 셀 전류는 최악에서도 2μA정도이므로, 이 경우에는, 부하 트랜지스터의 전류는 1.5μA 정도가 되도록 셀 전류에 맞춰 설정된다.

따라서, 기입이 행해진 메모리 셀, 즉, 그 임계치 전압이 검증 전위(참조 전위) V_{ref}(0. 5V 정도)보다도 높은 메모리 셀에서는, 셀 전류를 흘리지 않으므로 비트선 BL의 전위는 상승한다. 이 때, 비트선 BL을 V_{CC}까지 충전하면 판독 시간이 길어지므로, 고내압 MOS 트랜지스터 M1의 게이트에 인가되는 제어 신호 BLSHF를 예를 들면 1. 8V에 클램프시키고 있다. 이에 따라, 비트선 BL의 전위가, 예를 들면 0. 9V까지 상승하면, 트랜지스터 M1이 컷오프 상태로 되어, 센스 노드 N_{sense}가 V_{CC}로 된다.

다음에, 센스 노드 N_{sense}가 V_{CC}로 된 것을 선택하여 데이타 래치 신호의 ϕlatch1이 V_{CC}로 된다. 이 때, 센스 노드 N_{sense}가 V_{CC}인 경우, 즉, 그 임계치 전압이 검증 전위 V_{ref}보다도 높다라고 판단된 셀이 판독된 경우, 센스 노드 N_{sense}는 V_{CC}이므로, 노드/Q는 V_{SS}에, 노드 Q는 V_{CC}로 된다.

기입을 행하지 않은 센스 앰프 회로에서는 노드 Q는 미리 V_{CC}로 되어 있으므로, 1 페이지분의 모든 센스 앰프 회로에 있어서 노드 Q의 전위가 V_{CC}가 된 경우에는 기입이 종료한다.

그러나, 기입을 행하는 센스 앰프 회로에 있어서 메모리 셀로의 기입이 불충분한 경우에는, 센스 노드 N_{sense}가 V_{SS} 상태 그대로이므로, 래치 회로 LT의 반전은 일어나지 않고, 노드 Q는 V_{SS}를 유지한다.

다음에, 상술한 종래의 기입 동작 및 기입 검증 동작에 있어서의 문제점에 대해 도 7, 도 8을 참조하면서 설명한다.

도 7에 있어서, 예를 들면 워드선 WL_{15}에 대해 기입이 행해진 경우를 생각한다. 또한, 메모리 셀 $CELL_{i1}$로부터 $CELL_{i5}$까지 전부, 이들의 임계치 전압을 높게 하도록, 기입이 행해지는 경우를 가정한다.

이 때, 프로세스적인 제조 상의 변동이 있고, 메모리 셀의 커플링비 등이 다르므로, 예를 들면 메모리 셀 $CELL_{i5}$는, 그 밖의 메모리 셀과 비교하여 커플링비가 커서, 빠르게 기입되는 메모리 셀이라고 가정한다.

기입 동작 후의 검증 판독에서는, 그 밖의 메모리 셀이 소거 상태이므로, 메모리 셀 전류와 소스선의 저항 성분 R_0, R_{i1}, R_{i2}, …에 의해, 메모리 셀 $CELL_{i5}$의 소스 노드 S_{i5}의 전위가 상승된다(rise). 상승된 레벨은, 셀 전류 $I_{CELL\ i1}$ 내지 $I_{CELL\ i4}$와 저항 성분에 의존하고, $I_{CELL\ i1} \times R_0 + I_{CELL\ i2} \times (R_0 + R_{i1}) + I_{CELL\ i3} \times (R_0 + R_{i11} + R_{i2}) + I_{CELL\ i4} \times (R_0 + R_{i1} + R_{i2} + R_{i3})$이다.

이 결과, 검증 전위 V_{ref}= 0.5로 하여도, 가령 $CELL_{i5}$의 소스 노드 S_{i5}의 전위가 0.5V 정도로 되어 있으면, $CELL_{i5}$의 임계치 전압이 대개 0V에서도 검증 판독으로 기입된 것이라고 판단된다.

다른 메모리 셀과 비교하여 빠르게 기입되는 메모리 셀 $CELL_{i5}$의 기입이 종료한 후, 메모리 셀 $CELL_{i1}$로부터 $CELL_{i4}$의 기입이 행해진 경우, 메모리 셀 $CELL_{i1}$로부터 $CELL_{i4}$의 임계치 전압은 정으로 된다.

따라서, 그 후의 판독 시에는, 메모리 셀 $CELL_{i5}$의 소스 노드 S_{i5}의 전위는, 최초의 메모리 셀 $CELL_{i5}$만이 기입된 바와 같이, $I_{CELL\ i1} \times R_0 + I_{CELL\ i2} \times (R_0 + R_{i1}) + I_{CELL\ i3} \times (R_0 + R_{i1} + R_{i2}) + I_{CELL\ i4} \times (R_0 + R_{i1} + R_{i2} + R_{i3})$까지 올라가지 않는 것이다.

이 결과, 메모리 셀 $CELL_{i5}$의 임계치 전압은 V_{ref} 이하로 판독되므로, 도 8에 도시한 바와 같이, 기입 동작 후의 임계치 전압의 분포는 기울기가 있도록 검증 전위(참조 전위) V_{ref}보다도 낮은 임계치 전압의 분포(distribution foot)가 생기게 된다. 기입 데이타가 불충분하면, 이들 메모리 셀은 그 후의 판독 동작으로 소거 셀로서 판단되는 경우도 있어, 신뢰성이 부족한 문제로 된다.

이와 같은 소스선의 저항 성분에 의한 영향을 감소시키기 위해, 확산층 소스선의 도중에서 금속 소스 배선과의 접촉을 취해, 접촉 개소를 늘리는 방법이 알려져 있지만, 이것에 따른 패턴 면적의 증대를 무시

할 수 없게 된다.

또한, NAND형 EEPROM의 경우, 1페이지를 복수의 그룹으로 나눠 복수회의 기입 동작으로 1페이지를 기입하는 사양, 즉, 분할 기입의 사양을 채용하고 있다. 예를 들면 64M비트 NAND형 EEPROM의 1페이지는 ECC(에러 비트 검출 및 수정의 용장 비트)의 16바이트를 포함해서 528 바이트(512바이트 + 16바이트)이지만, 페이지 기입에 있어서, 예를 들면 64바이트씩 9회로 나눠, 528바이트를 64바이트 단위로 시퀀셜 혹은 랜덤하게 기입을 행하더라도 좋다고 하는 사양이다. 이 사양은, 사용자가 취급하는 일련의 데이타가, 512바이트보다도 적은 경우에 유효하다.

도 9는 EEPROM에 있어서의 분할 기입 동작을 설명하기 위해 메모리 셀 어레이의 일부를 추출하여 나타내고 있다.

동일 워드선에 의해 선택되는 1페이지분의 칼럼을 제1 그룹 내지 제9 그룹으로 분할하여 1페이지분의 528바이트를 분할 기입할 때, 우선, 예를 들면 제1 그룹의 칼럼만을 선택하고, 이것에 대응하는 예를 들면 64바이트분의 센스 앰프 회로에 기입 데이타를 로드(나머지의 센스 앰프 회로에는 비기입 데이타를 로드)하여 1회째의 분할 기입을 행한다. 다음에, 예를 들면 제2 그룹의 칼럼만을 선택하고, 이것에 대응하는 64바이트분의 센스 앰프 회로에 데이타를 로드하여 2회째의 분할 기입을 행한다. 이하, 칼럼 선택을 변경하면서 마찬가지의 동작을 반복하고, 528바이트분의 기입을 완료한다.

그러나, 이 분할 기입 시에도, 상술한 바와 같은 문제가 발생한다. 즉, 분할 기입 동작으로 최초에 기입이 행해지는 메모리 셀에 대해서는, 메모리 셀의 소스선이 부유되어 보이는 것이다.

이 이유는, 분할 기입 동작으로 최초에 기입을 행하지 않는 메모리 셀은 모두소거 상태이므로, 이들의 NAND열에서는, 전부 메모리 셀 전류를 흘리게 된다. 그 결과, 분할 기입 동작으로 최초에 기입을 행하는 메모리 셀의 임계치 전압은 검증 전위 V_{ref}보다도 낮아도, 기입 검증 판독 동작으로 기입 패스로 되는 것이다.

이들 문제는, 종래의 회로에 그 원인이 있다. 즉, 도 5에 도시한 종래의 회로에 있어서, 한번 기입이 충분히 행해졌다고 판단된 센스 앰프 회로에서는, 다음의 사이클에서는 기입 검증 판정이 이루어지지 않기 때문이다. 즉, 기입 검증 판정 결과가 갱신되지 않는 것이다.

이 문제를 회피하는 하나의 방법으로서, 기입 데이타를 저장해 두는 저장회로와, 기입 검증 판독 결과의 출력 데이타를 저장해 두는 저장 회로와, 또한 이들을 비교하기 위한 회로를 이용하는 것이 제안되어 있다.

그러나, 상술한 바와 같은 2개의 저장 회로와 비교 회로를 칩 내부에 설치하면, 칩 면적이 증대하고, 칩 비용이 비싸게 되는 문제로 이어진다. 또한, 상술한 바와 같은 2개의 저장 회로와 비교 회로를 칩 외부에 설치하는 경우에는, 칩 외의 시스템측으로 부담을 줄 뿐만 아니라, 칩의 내외에서의 비교 데이타의 교환을 행하기 때문에, 기입 시간의 고속화를 꾀할 수 없는 문제로 된다.

여기서, 상술한 바와 같이 2개의 저장 회로와 비교 회로를 칩 내부에 설치한 종래의 EEPROM에 있어서의 칼럼계 회로에 대해, 도 10을 참조하면서 간단히 설명한다.

도 10에 있어서, REG-NTOGL은 기입 데이타가 저장되어 있는 레지스터(도시하지 않음)로부터의 출력 데이타이고, Output은 기입 검증 판독 결과의 출력 데이타이고, N-Input은 REG-NTOGL과 Output과의 비교 결과 데이타이다.

최초에, 기입 데이타가 저장되어 있는 레지스터로부터의 출력 데이타 REG -NTOGL은, 데이타 REG-NQ로서 레지스터(도시하지 않음)에 저장됨과 동시에 비교 결과 데이타 N-Input으로 되어, 트랜지스터 T15의 게이트에 입력한다. 비교 결과 데이타 N-Input은, 기입을 행하는 경우에는 "L"레벨로 되고, 소거 상태를 유지하는 경우에는 "H" 레벨로 된다.

기입을 행하는 비트선 BL의 경우에는, 비교 결과 데이타 N-Input은 "L" 레벨이므로, 트랜지스터 T13, T14, T15로 구성되는 인버터의 출력 T5는 "H" 레벨로 된다. 이 인버터의 출력 T5는 인버터 T6에 입력하고, 이 인버터 T6의 출력 T4는 비트선 기입용의 NOR 회로 T3에 입력하고, 이 NOR 회로T3의 출력에 의해 비트선 기입용의 트랜지스터 T1이 구동되고, 기입을 행해야 되는 비트선은 기입 전압 V_{pp}-V_{th}가 인가된다.

여기서, V_{th}는 트랜지스터 T1의 게이트 임계치 전압이다.

한편, 기입을 행하지 않는 비트선 BL의 경우에는, 비교 결과 데이타 N-Input은 "H" 레벨이므로, 비트선 기입용의 트랜지스터 T1이 구동되지 않아, 접지 레벨을 유지하므로, 기입은 행해지지 않는다.

기입 동작 후, 검증 판독이 행해지고, 기입된 메모리 셀을 판독한 비트선은 "H" 레벨, 소거 상태에 있는 메모리 셀을 판독한 비트선 BL은 "L" 레벨로 된다.

따라서, 기입 검증 판독 결과의 출력 데이타 Output은, 상기와는 반대로 기입된 메모리 셀을 판독한 비트선 BL은 "L" 레벨, 소거 상태에 있는 메모리 셀을 판독한 비트선 BL은 "H" 레벨이 된다.

다음에, 기입 결과의 출력 데이타 Output과 기입 데이타가 저장되어 있는 레지스터로부터의 출력 데이타 REG-NTOGL이 비교되고, 비교 결과 데이타 N-Input이 갱신되고, 상기한 기입 동작, 기입 검증 판독 비교 동작이 반복된다.

그러나, 상술한 바와 같은 회로에서는, 센스 앰프 회로 외에, 기입 데이타를 저장해 두는 레지스터, 비교 결과 데이타를 저장해 두는 레지스터가 필요하며, 칩 면적이 증대한다. 특히, NAND형 EEPROM에서는, 1 페이지 528바이트분의 센스 앰프 회로의 전부에 이와 같은 레지스터를 2개씩 여분으로 설치하는 것은, 칩 면적이 증대하여, 칩 비용이 비싸게 된다고 하는 문제가 생긴다.

상술한 바와 같이 종래의 NAND형 EEPROM은, 복수의 메모리 셀의 일부에 기입 속도가 빠른 메모리 셀이 존재한 경우에 기입 동작 후의 검증 판독 동작시간이나 페이지의 분할 기입 동작시에 복수의 메모리 셀

의 공통 소스선의 전위가 부유되고, 또한 기입 동작 후의 검증 판독 동작시와 통상의 판독 동작시에서는 그 공통 소스선의 전위의 부유의 정도가 다르기 때문에, 기입 불량이 발생한다고 하는 문제가 있었다.

또한, 이와 같은 종래의 NAND형 EEPROM에 있어서, 낮은 확률이지만 오 기입이 발생하는 경우가 있다. 여기서, 오기입이란, 페이지 기입의 경우, 선택된 1페이지 내에서 소거 상태를 유지하고 싶은 메모리 셀에 잘못하여 데이타 "0"이 기입도는 것을 가리킨다. 이 오기입의 원인은, 워드선과의 용량 결합에 의한 채널 전위의 제어가 기대한 바와 같이 행해지지 않는 경우에 생긴다. 구체적으로는, 소거 상태로 유지해야 되는 메모리 셀로 이어지는 비트선의 초기 충전 전위(도 2b에 있어서는, V_{CC})가 불충분한 경우, 워드선과 채널 간의 용량 결합비가 작은 경우, 혹은 채널의 노드에 누설 패스가 있는 경우 등에, 워드선과의 용량 결합에 의해 채널 전위가 충분히 승압하지 않고, 잘못 전자 주입이 이루어짐으로써, 오기입으로 된다.

종래의 NAND형 EEPROM에서는, 기입 검증 판독 동작을 행하더라도, 이와 같은 오기입을 검출하는 것은 불가능하다. 이것은, 종래의 센스 앰프 회로 방식이, 그와 같은 오기입을 확인할 수 있도록 구성되어 있지 않기 때문이다. 이것을 도 5를 참조하여 구체적으로 설명한다.

도 5에 있어서, 데이타 기입 동작 및 검증 판독 동작을 간단하게 설명하면 다음과 같이 된다. I/O선으로부터는 기입 데이타 "0", "1"에 따라, V_{SS}, V_{CC}가 래치 회로의 노드 Q에 제공된다. 이 노드 Q를 비트선 BL에 접속하는 직렬 접속된 NMOS 트랜지스터 M4, M1의 접속 노드 N_{sense}가 센스 노드로서, 이 센스 노드 N_{sense}에는, 충전용 PMOS 트랜지스터 M2와 방전용 NMOS 트랜지스터 M3이 설치되어 있어, 데이타 기입 시에는 V_{CC}에 예비 충전되어 있다. NMOS 트랜지스터 M4, M1이 온이 되면, 노드 Q의 데이타가 비트선 BL에 제공된다.

그리고, 상술한 기입 동작에 의해, 데이타 "0"이 제공된 비트선으로 이어지는 선택 메모리 셀에서는 기입이 행해져서 E형으로 되고, 데이타 "1"이 제공된 기입 금지의 비트선으로 이어지는 메모리 셀은, D형의 소거 상태로 유지된다.

검증 판독 동작에서는, 선택된 페이지의 워드선에 임계치 검출을 위한 검증 전압(참조 전압)이 제공되어, 통상의 판독 동작과 마찬가지로 메모리 셀의 도통, 비도통이 검출된다. "0"이 기입된 메모리 셀은 도통하지 않기 때문에, NMOS 트랜지스터 M1을 온할 때에 비트선에 의한 센스 노드 N_{sense}의 입력은 없다. 따라서, 그 동안에 PMOS 트랜지스터 M2에 의해 V_{CC}에 충전되어 있는 센스 노드 N_{sense}에 의해, 리셋용 NMOS 트랜지스터 M7이 온한다. 이 때 제어 신호 ϕlatch1에 의해 NNMOS 트랜지스터 M5가 온이고, NMOS 트랜지스터 M7이 온함으로써. 노드/Q가 접지된다. 이에 따라 래치 회로는 강제적으로 리셋되어, 노드 Q는 로드된 값 V_{SS}가 반전하여, V_{CC}로 된다. 한편, 기입 금지의 메모리 셀은 도통하기 때문에, 센스/노드 N_{sense}가 비트선을 통해 방전되고, 리셋용 NNMOS 트랜지스터 M7은 오프, 따라서 래치 회로는 리셋되지 않고, 노드 Q는 로드된 상태 그대로의 값 V_{CC}를 유지한다.

선택된 페이지 내에서 기입이 불충분한 메모리 셀이 있으면. 검증 판독 동작의 결과, 노드 Q가 V_{CC}로 반전하지 않은 센스 앰프 회로가 남는다. 그래서, 데이타 기입 동작과 검증 판독 동작을 반복함으로써, 모든 센스 앰프 회로의 노드 Q가 Vcc 가 된 것을 판정하여, 기입 종료를 할 수 있다.

이와 같이, 도 5에 도시한 종래의 센스 앰프 회로와 기입/검증 판독 방식에서는, 기입된 메모리 셀(기입 금지, 즉 소거 상태로 유지해야 되는 부분을 잘못 기입한메모리 셀을 포함) 및 기입 금지의 지시대로 소거 상태를 유지하는 메모리 셀 중 어느것이나, 래치 회로의 노드 Q가 V_{CC}로 되어 기입 종료라고 판정되기 때문에, 오기입을 검출하는 기능은 없다.

이상과 같이 종래의 EEPROM에서는, 오기입이 있어도 검증 판독 동작으로 패스로 되어, 검출할 수 없다고 하는 문제가 있었다.

이 문제에 대해 종래에는, EEPROM 칩의 내외에 에러 검출 정정 회로(ECC 회로)를 설치함으로써 대처하고 있었다. 그러나, 에러 체크를 행하는 데에는 여분의시간을 필요로 하고, 또한 ECC 회로를 칩 내부에 설치하면 칩 사이즈를 증대시켜 칩 외부에 설치하더라도 시스템의 비용이 비싸게 된다고 하는 문제가 있었다.

발명이 이루고자하는 기술적 과제

본 발명은 상술한 사정에 대처하도록 이루어진 것으로, 그 목적은, 복수의 메모리 셀의 일부에 기입 속도가 빠른 메모리 셀이 존재한 경우에서도, 기입 동작 후의 검증 동작시에 있어서의 복수의 메모리 셀의 공통 소스선의 전위의 상승의 변동을 고려하여 기입을 행함으로써 기입 불량의 발생을 방지할 수 있고, 기입 검증 판독 동작이나 페이지의 분할 기입 동작의 신뢰성의 향상을 꾀할 수 있는 반도체 기억 장치 및 그 기입 데어 방법을 제공하는 것이다.

본 발명의 다른 목적은 소거 상태를 유지하는 센스 앰프 회로를 식별하고, 기입 검증 판독 동작에 있어서 기입 데이타에 대해 패스로 된 후에 오기입 판정을 가능하게 한 반도체 기억 장치 및 그 기입 제어 방법을 제공하는 것이다.

본 발명에 따른 반도체 기억 장치는, 복수개씩 서로 교차하는 데이타선과 워드선, 및 이들 데이타선과 워드선의 교차부에 배치된 전기적 개서 가능한 불휘발성 메모리 셀을 갖는 메모리 셀 어레이와, 상기 데이타선에 접속되고, 상기 메모리 셀 어레이로부터의 판독 데이타를 센스 노드를 통해 판독하여 래치하는 기능 및 메모리 셀 어레이로의 기입 데이타를 로드하여 래치하는 기능을 갖는 복수의 센스 앰프 회로, 상기 센스 앰프 회로에 로드되는 기입 데이타를 기억하는 기억 회로, 및 기입 동작 후의 기입 검증 판독 동작 전에 로드 데이타에 의해 기입이 지시된 센스 앰프 회로를 기억 회로의 기억 내용에 기초하여 로드

데이타와 같이 리셋하는 회로를 구비한다.

또한, 본 발명에 따른 반도체 기억 장치는, 복수개씩 서로 교차하는 데이타선과 워드선, 및 이들 데이타선과 워드선의 교차부에 배치된 전기적 개서 가능한 불휘발성 메모리 셀을 갖는 메모리 셀 어레이와, 상기 데이타선에 접속되고, 상기 메모리 셀 어레이로부터의 판독 데이타를 센스 노드를 통해 판독하여 래치하는 기능 및 메모리 셀 어레이로의 기입 데이타를 로드하여 래치하는 기능을 갖는 복수의 센스 앰프 회로, 상기 센스 앰프 회로에 로드되는 기입 데이타를 기억하는 기억 회로, 및 워드선에 의해 선택되는 페이지에 대한 기입을 복수회 분할해서 분할 기입을 행하는 경우에, n(n은 2 이상의 정수)회째의 분할 기입시, (n-1)회째까지의 분할 기입으로 로드 데이타에 의해 기입을 행하도록 지시된 센스 앰프 회로를 기억 회로의 기억 내용에 기초하여 상기 로드 데이타와 같이 리셋하는 회로를 구비한다.

또, 본 발명에 따른 반도체 기억 장치는 복수개씩 서로 교차하는 데이타선과 워드선, 및 이들 데이타선과 워드선의 교차부에 배치된 전기적 개서 가능한 불휘발성 메모리 셀을 갖는 메모리 셀 어레이와, 상기 데이타선에 접속되고, 상기 메모리 셀 어레이로부터의 판독 데이타를 센스 노드를 통해 판독하여 래치하는 기능 및 메모리 셀 어레이로의 기입 데이타를 로드하여 래치하는 기능을 갖는 복수의 센스 앰프 회로, 및 상기 센스 앰프 회로에 로드되는 기입 데이타를 기억하는 기억 회로를 구비하고, 제1 기입 패스의 판정이 얻어지기까지 기입 동작 및 기입 검증 동작의 사이클을 행하고, 제1 기입 패스의 판정 후에 로드 데이타에 의해 기입이 지시되어 있는 센스 앰프 회로에서는, 기억 회로의 기억 내용에 기초하여 로드 데이타와 같이 센스 앰프 회로의 데이타가 리셋되며, 재차 기입 검증 판독 동작을 행한다.

또한, 본 발명에 따른 반도체 기억 장치는, 복수개씩 서로 교차하는 데이타 선과 워드선, 및 이들 데이타선과 워드선의 교차부에 배치된 전기적 개서 가능한 불휘발성 메모리 셀을 갖는 메모리 셀 어레이, 및 상기 데이타선에 접속되고, 상기 메모리 셀 어레이로부터의 판독 데이타를 센스 노드를 통해 판독하여 래치하는 기능 및 메모리 셀 어레이로의 기입 데이타를 로드하여 래치하는 기능을 갖는 복수의 센스 앰프 회로를 구비하고, 기입 동작 및 기입 검증 판독 동작 사이클을 거쳐 기입을 행해야 하는 메모리 셀에 기입 동작이 충분히 행해진 것을 판정한 후, 센스 앰프의 논리가 통상의 판독 동작과는 반전함과 동시에, 워드선의 전위가 통상의 판독 동작시의 전압 이상 기입 검증 판독 동작시의 전압 미만으로 설정되는 역 판독 동작을 행하고, 센스 앰프 회로의 데이타를 일단 로드 데이타와 같이 리셋한 상태에서 재차 기입 검증 판독 동작을 행한다.

또, 본 발명에 따른 반도체 장치는, 복수개씩 서로 교차하는 데이타선과 워드선, 및 이들 데이타선과 워드선의 교차부에 배치된 전기적 개서 가능한 불휘발성 메모리 셀을 갖는 메모리 셀 어레이, 및 상기 데이타선에 접속되고, 상기 메모리 셀 어레이로부터의 판독 데이타를 센스 노드를 통해 판독하여 래치하는 기능 및 메모리 셀 어레이로의 기입 데이타를 로드하여 래치하는 기능을 갖는 복수의 센스 앰프 회로를 구비하고, 기입 동작과 기입 검증 판독 동작과의 사이에 워드선의 전위가 통상의 판독 동작시의 전압 이상 기입 검증 판독 동작시의 전압 미만으로 설정되는 역판독 동작을 행하고, 센스 앰프 회로의 데이타를 일단 로드 데이타와 같이 리셋한다.

또한, 본 발명에 따른 반도체 장치는, 복수개씩 서로 교차하는 데이타선과 워드선, 및 이들 데이타선과 워드선의 교차부에 배치된 전기적 개서 가능한 불휘발성 메모리 셀을 갖는 메모리 셀 어레이와, 상기 데이타선에 접속되고, 상기 메모리 셀 어레이로부터의 판독 데이타를 센스 노드를 통해 판독하여 래치하는 기능 및 메모리 셀 어레이로의 기입 데이타를 로드하여 래치하는 기능을 갖는 복수의 센스 앰프 회로, 상기 센스 앰프 회로에 로드되는 기입 데이타를 기억하는 기억 회로, 및 상기 기억 회로에 기입 동작 간에 유지되는 데이타와, 상기 메모리 셀 어레이에 대한 통상의 판독 동작 또는 기입 검증 판독 동작에 의해 상기 센스 노드에 얻어지는 데이타와의 논리에 따라, 오기입이 행해진 것을 알리는 데이타를 상기 센스 앰프 회로에 판독시키는 오기입 검지 회로를 구비한다.

발명의 구성 및 작용

이하 도면을 참조하여 본 발명에 따른 반도체 기억 장치 및 그 기입 제어 방법의 실시예를 설명한다.

제1 실시예

도 11은, 본 발명의 반도체 기억 장치의 제1 실시예에 따른 페이지 기입/판독기능, 분할 기입 기능을 갖는 일괄 소거(flush erase) 가능한 NAND형 셀형 EEPROM의 전체 구성을 도시한다.

본 EEPROM은, 복수의 NAND 형 메모리 셀이 매트릭스형으로 배치되고, 세로 방향으로 데이타선으로서의 비트선 BL이 다수개, 가로 방향으로 워드선 WL이 다수개 배열되어 있는 메모리 셀 어레이(11)와, 외부으로부터 입력된 어드레스에 기초하여 상기 메모리 셀 어레이(11)의 워드선을 선택 구동하는 로우 디코더(12)와, 상기 메모리 셀 어레이(11)의 비트선에 접속되어 있는 비트선 제어 회로(센스 앰프 회로 및 기입 데이타 래치 회로)(13)와, 본 비트선 제어 회로(13)에 접속되어 있는 칼럼 게이트(칼럼 선택 스위치)(15)와, 외부로부터 입력된 어드레스에 기초하여 상기 칼럼 게이트(15)를 제어하고, 대응하는 비트선 및 센스 회로를 선택하는 칼럼 디코더(14)와, 칼럼 게이트(15)에 접속되어 있는 데이타 입/출력(I/O) 버퍼(18)와, 기입 동작이나 소거 동작에 필요한 고 전압을 공급하기 위한 승압 회로(16)와, 칩 내부를 제어함과 동시에 외부와의 인터페이스를 취하기 위한 제어 회로(17)를 구비하고 있다.

로우 디코더(12)는, 데이타의 기입시, 소거시 및 데이타의 판독시에 각각 어드레스 신호에 기초하여 복수의 워드선 WL을 선택 구동하는 것으로, 그 워드선 드라이버에는, 소요의 전압이 공급된다.

또한, 비트선 제어 회로(13)는, 데이타의 기입, 소거, 데이타의 판독할 때에, 비트선 BL에 대해 소요의 전압을 각각 선택적으로 공급하는 비트선 드라이버가 설치되어 있다.

제어 회로(17)에는 NAND형 메모리 셀에 대한 소거/소거 검증/기입/기입 검증/판독 동작등을 제어하기 위한 시퀀스 제어 수단(예를 들면 프로그래머블 논리 어레이)가 포함되어 있다.

도 12는, 도 11의 EEPROM에서의 센스 앰프 회로 주위의 코어 회로의 일례를 나타내고 있다. 도 12에서

10은 도 11 중의 메모리 셀 어레이(11) 내의 NAND 형 메모리 셀, S/A에 도 11 중의 비트선 제어 회로(13) 내의 센스 앰프 회로(20)는 각 센스 앰프 회로 S/A에 대응하여 부가 접속된 기입 데이타 기억용의 다이내믹 래치형의 기억 회로, 21은 기억 회로(20)의 기억 내용에 기초하여 로드 데이타대로, 각 센스 앰프 회로 S/A의 데이타를 리셋하는 리셋 회로이다.

또, LOAD, SBL, DCB, BLSHF, φlatch1, φlatch2는 센스 앰프 회로 S/A로 공급되는 제어 신호이다. φload, RESET는 각각 본 발명에서 부가된 기억 회로(20), 리셋 회로(21)로 공급되는 제어 신호이고, N_{prog}는 기억 회로(20)의 기입 데이타 기억 노드이다.

NAND 형 메모리 셀(10)은, 도 5에 도시된 종래 예의 NAND 형 메모리 셀(10)과 동일하다. 즉, 본 NAND 형 메모리 셀(10)은, 부유 게이트와 제어 게이트를 갖는 N 채널의 MOSFET로 이루어지는 여러개의 셀 트랜지스터 $CELL_0$ $CELL_{15}$가 직렬로 접속되고, 일단측의 트레인이 선택 게이트용의 NMOS 트랜지스터를 통해 비트선 BL에, 타단측의 소스가 선택 게이트용의 NMOS 트랜지스터를 통해 공통 소스선에 접속되어 있다. 상기 각 트랜지스터는 동일한 웰 상에 형성되어 있고, 메모리 셀 $CELL_0$ $CELL_{15}$의 제어 전극은 행 방향으로 연속적으로 배설된 워드선 WL_0 WL_{15}에 접속되어 있고, 비트선측의 선택 트랜지스터의 제어 전극은 선택 게이트선 SSL에, 소스선측의 선택 트랜지스터의 제어 전극은 선택 게이트선 GSL에 접속되어 있다.

센스 앰프 회로 S/A는, 도 5를 참조하여 상술된 종래 예의 센스 앰프 회로 S/A와 동일하다. 즉, 본 센스 앰프 회로 S/A는, 비트선 BL에 직렬로 삽입되고, 게이트에 제어 전압 BLSHF가 부여되는 비트선 전위 클램프용의 N 채널 트랜지스터 M1과, 트랜지스터 M1의 일단의 비트선 전위 센스 노드 N_{sense}를 프리차지 제어 신호 LOAD에 기초하여 소정 기간에 충전하기 위한 정전류원용의 P 채널 트랜지스터 M2와, 센스 노드 N_{sense}에 판독된 메모리 셀 데이타를 래치하는 래치 회로 LT와, 센스 노드 N_{sense}의 전하를 방전 제어 신호 DCB에 기초하여 소정 기간에 방전하기 위한 N 채널 트랜지스터 M3과, 센스 노드 N_{sense}와 래치 회로 LT의 제2 기억 노드 Q 사이에 삽입되고, 제어 신호 SBL에 의해 게이트 구동되는 센스 앰프 회로 리셋용 및 트랜스퍼 게이트용의 NMOS 트랜지스터 M4와, 래치 회로 LT의 제1 기억 노드/Q와 접지 노드 사이에 접속되고, 게이트에 소정 기간 인가되는 제1 데이타 래치 제어 신호 φlatch1에 의해 온상태로 제어되는 래치 회로 강제 반전 제어용의 NMOS 트랜지스터 M5와, 래치 회로 LT의 제1 기억 노드/Q와 접지 노드 사이에서 NMOS 트랜지스터 M5에 직렬로 접속되고, 게이트가 센스 노드 N_{sense}에 접속된 센스용의 NMOS 트랜지스터 M7과, 래치 회로 LT의 제2 기억 노드 Q와 접지 노드 사이에서 NMOS 트랜지스터 M7에 직렬로 접속되고, 게이트에 소정 기간 인가되는 제2 데이타 래치 제어 신호(역 판독 동작 래치 제어 신호) φlatch2에 의해 온상태로 제어되는 역 판독 동작 래치 제어용의 NMOS 트랜지스터 M6을 구비한다.

래치 회로 LT는, 2개의 CMOS 인버터 회로 IV1, IV2 서로의 입력 노드와 출력 노드가 교차 접속된 (역병렬 접속된) 플립플롭 회로로 이루어진다.

이 경우, 제1 CMOS 인버터 회로 IV1의 입력 노드(제1 기억 노드/Q)는, 강제 반전 입력 노드이다. 또한, 제2 CMOS 인버터 회로 IV2의 입력 노드(제2 기억 노드 Q)는 데이타 버스를 통해 입/출력 회로 I/O가 접속되어 있고, 리셋 노드이다.

기억 회로(20)는, 래치 회로 LT의 제1 노드/Q에 드레인이 접속되고, 그 게이트에는 기입 데이타 래치 신호 φload가 입력되고, 그 소스는 기입 데이타 기억 노드 N_{prog}에 접속된 제1 NMOS 트랜지스터 M8과, 래치 회로 LT의 제2 노드 Q에 트레인이 접속되고, 그 게이트는 기입 데이타 기억 노드 N_{prog}에 접속된 제2 NMOS 트랜지스터 M9를 구비하고, 리셋 회로(21)는, 제2 NMOS 트랜지스터 M9의 소스에 드레인이 접속되고, 그 게이트는 리셋 신호 RESET가 입력되고, 그 소스는 접지 전위에 접속된 제3 NMOS 트랜지스터 M10을 구비한다.

도 13은, 도 12 중의 NAND 형 메모리 셀의 기입 동작 및 기입 검증 동작에 관한 시퀀스 제어 수단에 의한 제어의 기본적인 흐름을 도시하는 플로우차트이다.

본 시퀀스 제어 수단은, 센스 앰프 회로 S/A에 대한 기입 동작, 기입 동작 후의 검증 판독 동작을 행할 때에, 이하의 각 스텝(S1 S6)에서 순차 제어한다.

스텝 S1에서, 기입 동작을 개시하기 위해 기입 데이타를 센스 앰프 회로 S/A의 래치 회로 LT에 로드한다.

스텝 S2에서, 기입을 지시하는 센스 앰프 회로 S/A를 식별하고, 식별한 센스 앰프 회로 S/A에 대응하는 기억 회로(20)에 식별 결과를 기억시킨다.

스텝 S3에서, 기입 동작을 행한다.

스텝 S4에서, 기입이 지시되어 있던 센스 앰프 회로 S/A를 기억 회로(20)의 기억 내용에 기초하여 래치 회로 LT에 로드된 기입 데이타대로, 리셋한다.

스텝 S5에서, 기입 동작 후의 기입 검증 판독 동작을 행한다.

스텝 S6에서, 1 페이지분의 모든 센스 앰프 회로 S/A의 출력 데이타가 기입 완료 상태가 되는지의 여부를 판정하고, 전부 완료의 경우에는 종료하고, 미완료인 경우에는 스텝 S3으로 복귀하고, 기입 동작을 반복한다.

도 14는, 도 12중의 NAND 형 메모리 셀(10)의 기입 동작 및 기입 검증 동작의 타이밍 차트를 나타내고 있다.

이하, 도 13 및 도 14를 참조하면서, NAND 형 메모리 셀의 기입 동작 및 기입 검증 동작 및 그 제어 방법을 설명한다.

처음에, 칩 외부로부터 기입을 지시하는 커맨드가 입력되면, 기입 동작을 개시(센스 노드 N_{sense}를 리셋)하기 때문에, 비트선 접지용의 제어 신호 DCB가 V_{CC}가 되고, 센스 노드 N_{sense}가 접지된다. 그 후, 기입 데이타의 센스 앰프 회로에의 로드 전에, 프리차지 제어 신호 LOAD가 V_{SS}에, 데이타 래치 제어 신호 ϕlatch1이 V_{CC}가 되고, 센스 앰프 회로의 데이타가 프리셋된다. 즉, 1페이지분의 모든 센스 앰프 회로에서는 래치 회로 LT의 노드 Q가 V_{CC}에, 노드/Q가 V_{SS}에 세트된다.

이어서, 입출력 회로 I/O로부터 기입 데이타가 로드되고, 각 센스 앰프 회로의 래치 회로 LT에 기입 데이타가 래치되고, 노드 Q, /Q는 로드 데이타에 따라 V_{CC}, V_{SS}의 한쪽에 설정된다. 이 때, 메모리 셀에 기입을 행하는 센스 앰프 회로에서는 노드 Q가 V_{SS}가 되고, 기입을 행하지 않은 센스 앰프 회로에서는 노드 Q가 V_{CC}가 된다.(스텝 S1)

이어서, 기입을 지시하는 센스 앰프 회로를 식별하기 위해 기입 데이타 래치 신호 ϕload가 V_{CC} 혹은 $V_{CC}+\alpha$가 되고, 기입을 지시하는 센스 앰프 회로만 기입 데이타 기억 노드 N_{prog}가 V_{CC} 혹은 $V_{CC}-V_{th}$에 충전된다. 이에 따라 기입을 행하는 센스 앰프 회로를 식별할 수 있다. 또, V_{th}는 NMOS 트랜지스터 M8의 임계치 전압이다. (스텝 S2)

이어서, 종래의 센스 앰프 회로 S/A의 동작과 마찬가지로, 래치 회로 LT에 래치된 데이타에 기초하여, 비트선의 충전이 시작된다. 즉, 기입을 행하는 비트선은 V_{SS}의 접지 상태를 유지하고, 기입을 행하지 않은 비트선은 V_{CC}에 충전된다. 워드선이 선택되고, 예를 들면 워드선 WL_2에 대해 기입이 행해지는 경우, 본 워드선 WL_2가 기입 전압 V_{pgm}(20V 정도)으로 올리고, 그 밖의 워드선은 V_{pass}전압(10V 정도)이 된다. 본 동작에 의해 메모리 셀 $CELL_2$의 기입이 행해진다.(스텝 S3)

기입 동작 종료 후, 기입 검증 동작이 개시되지만, 우선 최초의 로드 데이타로 기입을 행하도록 지시된 센스 앰프 회로의 리셋을 행한다. 즉, 기입을 행하는 센스 앰프 회로에 대응하는 기입 데이타 기억 노드 N_{prog}는 V_{CC} 혹은 $V_{CC}-V_{th}$이므로, 리셋 신호 RESET를 V_{CC}로 하면, 기입을 행하는 센스 앰프 회로의 래치 회로 LT의 노드 Q는 V_{SS}, 노드/Q는 V_{CC}가 된다. 이 결과, 그 전의 기입 사이클에서 기입이 충분히 행해졌다고 판정되고, 노드 Q가 V_{CC}, 노드/Q가 V_{SS}로 되는 센스 앰프 회로의 래치 회로 LT는 반전하여, 리셋된다. (스텝 S4)

따라서, 최초의 로드 데이타에 의해 기입을 행하도록 지시되었던 센스 앰프 회로에서는, 매회의 기입 검증 동작에서 검증 전위(참조 전압)와 임계치 전압과의 비교에 따라 기입이 충분히 행해졌는지의 여부의 판정이 행해진다. (스텝 S5)

그 밖의 기입 검증 동작은 종래의 센스 앰프 회로 S/A의 동작과 동일하다. 즉, 기입을 행한 워드선 WL_2는 검증 전위 V_{ref}(0.5V 정도)가 되고, 그 밖의 워드선은 판독 전압 V_{read}(4.5V 정도)가 된다.

이 때, 부하 트랜지스터 M2의 게이트에 인가되는 제어 신호 LOAD를 1. 8V 정도로 제어하고, 부하 전류를 메모리 셀 전류와 밸런스시킴으로써 판독을 행하고 있다. 예를 들면, 소거된 메모리 셀의 셀 전류는 최악의 경우라도 2μA정도이므로, 이 경우에는, 부하 트랜지스터의 전류는 1.5μA정도가 되도록 셀 전류에 맞춰 설정된다.

따라서, 기입이 행해진 메모리 셀, 즉 그 임계치 전압이 검증 전위(참조 전위) V_{ref}(0.5V 정도)보다도 높은 메모리 셀에서는, 셀 전류를 흘리지 않으므로 비트선의 전위는 상승한다.

이 때, 비트선을 V_{CC}까지 충전하면 판독 시간이 길어지므로, 고내압 MOS 트랜지스터 M1의 게이트 신호 BLSHF를 예를 들면 1.8V로 클램프시키고 있다. 이에 따라, 비트선의 전위가 예를 들면 0.9V까지 상승하면, 트랜지스터 M1이 차단 상태가 되고, 센스 노드 N_{sense}가 V_{CC}가 된다.

이어서, 센스 노드 N_{sense}가 V_{CC}가 된 것을 가늠하여 제어 신호 ϕlatch1이 V_{CC}가 된다. 이 때, 센스 노드 N_{sense}가 V_{CC}인 경우, 즉 임계치 전압이 검증 전위V_{ref}보다도 높다고 판단된 셀의 데이타가 판독된 경우, 센스 노드 N_{sense}는 V_{CC}이므로, 노드/Q는 V_{SS}, 노드 Q는 V_{CC}가 된다.

기입을 행하지 않은 센스 앰프 회로에서는, 노드 Q는 미리 V_{CC}가 되므로, 1 페이지분의 모든 센스 앰프 회로에서 노드 Q의 전위가 V_{CC}("1")가 된 경우에는 기입이 종료한다. (스텝 S6)

그러나, 기입을 지시하는 센스 앰프 회로에서 메모리 셀에의 기입이 불충분 한 경우에는, 센스 노드 N_{sense}가 V_{SS} 상태이므로, 래치 회로 LT의 반전은 일어나지 않고, 노드 Q는 V_{SS}를 유지한다.

따라서, 도 12에 도시한 바와 같은 코어 회로를 갖는 EEPROM에 따르면, 기입 동작 후의 기입 검증 판독 동작 전에, 기억 회로(20)의 기억 내용에 기초하여 기입이 지시된 센스 앰프 회로의 데이타를 로드 데이타대로 리셋시킴으로써, 그 후의 기입 검증 동작에서 기입 불충분이라고 판정된 메모리 셀에 대해 추가 기입을 행하는 것이 가능해진다.

또한, 상술한 바와 같은 분할 기입을 행하는 EEPROM에서는, 페이지의 분할 기입을 행할 때에는, 기억 회로의 기억 내용에 기초하여 기입이 지시되는 센스 앰프 회로의 데이타를 로드 데이타대로 리셋시킴으로써, 이미 기입이 행해진 메모리 셀에 관해서도, 그 후의 기입 검증 동작에서 기입 불충분이라고 판정된 메모리 셀에 대해서는 추가 기입을 행하는 것이 가능해진다.

또, 도 15에 도시하는 동작 파형과 같이, 기입 검증 동작 전에, 최초의 로드 데이타에서 기입을 행하도

록 지시된 센스 앰프 회로의 리셋을 행할 때, 기입 데이타 기억 노드 N_{prog}의 데이타를 리프레시해도 좋다.

즉, 기입을 행하는 센스 앰프 회로의 기입 데이타 기억 노드 N_{prog}는 V_{CC} 또는 $V_{CC}-V_{th}$ 이므로, 리셋 신호 RESET를 V_{CC}로 하면, 기입을 행하는 센스 앰프 회로의 래치 회로 LT의 노드 Q는 V_{SS}, 노드/Q는 V_{CC}가 된다. 이어서, 기입 데이타 래치 신호 ϕload를 V_{CC} 혹은 $V_{CC}+\alpha$로 하여, 기입 데이타 기억 노드 N_{prog}의 데이타를 리프레시한다.

상기 리프레시의 목적은, 기입 동작시간이 길어지는 경우, 기입 데이타 기억 노드 N_{prog}의 전하가 접합의 누설 전류나 트랜지스터의 서브슬레숄드 전류등에 의해 기입 데이타 기억 노드 N_{prog}가 V_{CC}로부터 V_{SS}로 변화하거나, 혹은 충전되고, V_{SS}로부터 V_{CC}로 변화하는 것을 방지하기 위해서이다.

또한, 상기 실시예에서는 시퀀스 제어부를 메모리와 동일 칩 상에 형성하고 있지만, 본 발명은 메모리 외부로부터 상기된 바와 같이 기입 제어를 행하는 경우에도 적용 가능하다.

즉, 본 발명에 따른 반도체 기억 장치의 기입 제어 방법은, 상술된 반도체 기억 장치의 메모리 셀에 대한 기입 동작을 위해 센스 앰프 회로 S/A에 기입 데이타를 로드할 때에 기입을 지시하는 센스 앰프 회로 S/A를 식별하고, 식별 결과를 기억 회로에 기억시키는 스텝과, 기입 동작 후의 기입 검증 판독 동작 전에, 기억 회로의 기억 내용에 기초하여 기입이 지시되는 센스 앰프 회로 S/A에 대해 로드 데이타대로 센스 앰프 회로 S/A의 데이타를 리셋하는 스텝을 구비하는 것이다.

이어서, 본 실시예에서 분할 기입을 행하는 경우의 기입 검증 동작을 설명하겠다.

도 16, 도 17은, 도 12중의 NAND 형 메모리 셀의 분할 기입 동작 및 기입 검증 동작에 관한 시퀀스 제어 수단에 의한 제어의 기본적인 흐름을 도시하는 플로우차트이다.

스텝 S11에서, 기입 동작을 개시하기 위해 1회째의 분할 기입 데이타를 센스 앰프 회로 S/A의 래치 회로 LT로 로드한다.

스텝 S12에서, 기입을 지시하는 센스 앰프 회로 S/A를 식별하고, 식별한 센스 앰프 회로 S/A에 대응하는 기억 회로(20)에 식별 결과를 기억시킨다.

스텝 S13에서, 1회째의 분할 기입 동작을 행한다.

스텝 S14에서 기입이 지시되어 있던 센스 앰프 회로 S/A에 대해 기억 회로(20)의 기억 내용에 기초하여 로드된 기입 데이타대로 데이타를 리셋한다.

스텝 S15에서, 기입 동작 후의 기입 검증 판독 동작을 행한다.

스텝 S16에서, 1 페이지분의 모든 센스 앰프 회로 S/A의 출력 데이타가 기입 완료 상태가 되었는지의 여부를 판정하고, 전부 완료의 경우에는 1회째의 분할 기입 동작을 종료하고, 미완료인 경우에는 스텝 S13으로 복귀하고, 분할 기입 동작을 계속한다.

스텝 S17에서, 역 판독 동작을 행한다. 통상의 판독 동작은 ϕlatch1이 V_{CC}가 되는데 비해, 역 판독 동작은 ϕlatch2가 V_{CC}가 되를 뿐이고, 그 외에는 통상의 판독 동작과 거의 동일하다. 또, 이 때의 워드선의 전압은 기입 검증 판독 동작시와 동일한 V_{ref}로 좋고, 또한 메모리 셀의 데이타가 "1"인지, "0"인지를 판독하는 것이 가능한 V_{ref}미만의 통상의 판독 전압(예를 들면 V_{SS})이라도 좋다.

스텝 S18에서, n(n≥2) 회째의 분할 기입 동작을 개시하기 위해, n 회째의 분할 기입 데이타를 센스 앰프 회로 S/A의 래치 회로 LT로 로드한다.

스텝 S19에서, 기입을 지시하는 센스 앰프 회로 S/A를 식별하고, 식별한 센스 앰프 회로 S/A에 대응하는 기억 회로(20)에 식별 결과를 기억시킨다.

스텝 S20에서, 기입을 지시된 센스 앰프 회로의 데이타를 프리셋한다.

스텝 S21에서, n(n≥2) 회째의 분할 기입 데이타를 센스 앰프 회로 S/A의 래치 회로 LT에 재차 로드한다.

스텝 S22에서, n 회째의 분할 기입 동작을 행한다.

스텝 S23에서, 기억 회로(20)의 기억 내용에 기초하여 기입이 지시된 센스

N

앰프 회로 S/A에 대해 n 회째까지의 로드 데이타(Σ(LOAD Data } i)

i=1

대로 데이타를 리셋한다.

스텝 S24에서, 기입 동작 후의 기입 검증 판독 동작을 행한다.

스텝 S25에서, 1페이지분의 모든 센스 앰프 회로 S/A의 출력 데이타가 기입완료 상태가 되었는지의 여부를 판정하고, 미완료인 경우에는 스텝 S22로 복귀하고, 완료인 경우에는 스텝 S26에서 모든 분할 기입 동작이 종료했는지의 여부를 판정한다. 미완료인 경우에는, 스텝 S27에서 n을 인크리멘트하여 스텝 S17로 복귀하고, 완료인 경우에는 동작 종료한다.

도 18은 도 16, 도 17에 도시한 플로우차트에 대응하는 NAND 형 EEPROM의 분할 기입시의 역 판독 동작,

기입 동작 및 기입 검증 동작의 타이밍 차트를 나타내고 있다.

최초로, 분할 기입 동작 전에 역 판독 동작을 행하는 것이지만, 역 판독 동작은 제1회째의 분할 기입시에 행해도 되지만, 제2회째 이후에는 반드시 분할 기입 동작 전에 행한다.

우선, 비트선 접지용 제어 신호 DCB가 V_{CC}가 되고, 센스 노드 N_{sense}가 접지된다. 그 후, 역 판독 동작 전에 센스 앰프 회로의 데이타가, LOAD가 V_{SS}에, φlatch1이 V_{CC}가 되고, 프리셋된다. 즉, 모든 1페이지분의 센스 앰프 회로의 래치 회로 LT에서는, 노드 Q가 V_{CC}, 노드/Q가 V_{SS}로 세트된다.

이어서, 역 판독 동작을 행하는 것이지만, 이것은 일부를 제외하고는 기입 검증 동작과 동일하다. 즉, 분할 기입을 행하는 워드선 WL_2는, 검증 전위 V_{ref}(0.5V 정도)가 되고, 그 밖의 워드선은 판독 전압 V_{read}(4.5V 정도)가 된다. 이 때, 부하 트랜지스터 M2의 제어 신호 LOAD는 1.8V 정도로 제어하여 부하 전류를 메모리 셀 전류와 밸런스시킴으로써, 판독 동작을 행하고 있다. 예를 들면, 소거된 메모리 셀의 셀 전류는 최악이라도, 2μA정도이므로, 이 경우에는 부하 트랜지스터의 전류는 l.5μA정도가 되도록 셀 전류에 맞춰 설정된다.

따라서, 기입 동작이 행해진 메모리 셀, 즉 그 임계치 전압이 검증 전위(참조 전위) V_{ref}(0.5V 정도)보다도 높은 메모리 셀에서는, 셀 전류를 흘리지 않으므로, 비트선의 전위는 상승한다. 이 때, 비트선 BL을 V_{CC}까지 충전하면, 판독 시간이 길어지므로, 고내압 MOS 트랜지스터 M1의 제어 신호 BLSHF를 예를 들면 1.8V로 클램프시키고 있다. 이에 따라, 비트선 BL의 전위가, 예를 들면 0.9V까지 상승하면, 트랜지스터 M1이 차단 상태가 되고, 센스 노드 N_{sense}가 V_{CC}가 된다.

다음에, 센스 노드 N_{sense}가 V_{CC}가 된 것을 가늠하여 φlatch2가 V_{CC}가 된다. 통상의 판독 동작과는 달리, φlatch1을 대신하여 φ1atch2가 V_{CC}가 되는 점이 역 판독 동작의 특징이다.

이 때, 센스 노드 N_{sense}가 V_{CC}인 경우, 즉 그 임계치 전압이 V_{ref}보다도 높다고 판단된 셀이 판독된 경우, 센스 노드 N_{sense}는 V_{CC}이므로, 노드 Q는 V_{SS}에, 노드/Q는 V_{CC}가 된다. 또한, 역 판독 동작일 때에는 워드선 WL_2 의 전위는, 검증 전위 V_{ref}를 대신하여 통상의 판독 전압 V_{SS}등으로 해도 본 발명은 유효하다.

그 때, 비트선을 리셋한 후, 입출력 회로 I/O로부터, 분할 기입의 다음 회의 기입 데이타가 로드되고, 각 센스 앰프 회로의 래치 회로 내로 데이타가 래치되고, 노드 Q, Q/는 데이타에 따라 V_{CC}, V_{SS}의 한쪽에 설정된다. 이 때, 메모리 셀에 기입을 행하는 센스 앰프 회로에서는, 노드 Q는 V_{SS}가 되고, 기입을 행하지 않은 센스 앰프 회로에서는, 노드 Q는 V_{CC}로 된다. 또한, 분할 기입 시에는, 분할 기입을 행하는 센스 앰프 회로만으로 데이타 로드가 행해진다.

이어서, 기입을 지시하는 센스 앰프 회로를 식별하기 때문에, 기입 데이타 래치 신호 φload가 V_{CC} 혹은 $V_{CC}+\alpha$가 되고, 노드 N_{prog}가 기입을 지시하는 센스 앰프 회로만 V_{CC} 혹은 $V_{CC}-V_{th}$에 충전된다. 이에 따라 기입을 행하는 센스 앰프 회로를 식별한다.

상기 동작에 의해 분할 기입의 전회까지의 기입 동작에서, 기입을 지시한 센스 앰프 회로 및 다음 회의 기입 동작에서 기입을 지시하는 센스 앰프 회로의 노드 Q는 V_{SS}가 된다.

이어서, 이대로 기입을 행하면, 분할 기입의 전회까지의 기입 동작에서 기입이 행해진 센스 앰프 회로의 노드 Q는 V_{SS}로 되므로, 기입 동작이 재차 행해져 버리고, 과기입의 문제가 생긴다. 이 문제를 회피하기 위해, LOAD가 V_{SS}에, φlatch1이 V_{CC}가 되고, 센스 앰프 회로의 데이타가 프리셋된다.

그 후, 다음 번의 분할 기입의 데이타가 입출력 회로 I/O로부터 센스 앰프 회로 내로 재차 로드되고, 이어서 종래의 센스 앰프 회로 S/A의 동작과 마찬가지로 래치 회로 LT에 래치된 데이타에 기초하여 비트선의 충전이 시작된다.

기입 동작 종료 후, 기입 검증 동작이 개시되지만, 우선 전회까지의 분할 기입 동작에서 기입을 행하도록 지시된 센스 앰프 회로 및 다음 회(이번 회) 분할 기입의 로드 데이타에서 기입을 행하도록 지시된 센스 앰프 회로의 리셋을 행한다. 즉, 전회까지 또는 다음번의 분할 기입 때, 기입을 행하도록 지시된 센스 앰프 회로의 노드 N_{prog}는 V_{CC} 혹은 $V_{CC}-V_{th}$이기 때문에, 리셋 신호 RESET를 V_{CC}로 하면, 기입을 행하는 센스 앰프 회로의 래치 회로 LT의 노드 Q는 V_{SS}, 노드/Q는 V_{CC} 가 된다.

이 결과, 그 전의 분할 기입 또는 기입 사이클에서 기입이 충분히 행해졌다고 판정되고, 노드 Q가 V_{CC}, 노드/Q가 V_{SS}가 되어 있는 센스 앰프 회로의 래치 회로 LT는 반전하고, 리셋된다.

따라서, 전회까지의 분할 기입 동작에서 기입을 행하도록 지시한 센스 앰프 회로 및 다음번의 분할 기입에서의 최초의 로드 데이타에서 기입을 행하도록 지시된 센스 앰프 회로에서는, 매회의 기입 검증에서 기입 검증 전위와 임계치 전압의 비교에 의해 기입 판정이 행해진다. 이 결과, 기입 동작 후의 메모리 셀의 임계치 전압의 분포는, 도 19에 도시된 바와 같이 검증 전위(참조 전위) V_{ref} 이하의 임계치 전압 분포는 없어지고, 기입 동작 후의 데이타의 신뢰성은 높아진다.

도 20a, 도 20b는 각각 종래의 기입 검증, 본 발명의 기입 검증 후의 임계치 분포의 실측치이다. 측정은 64M 비트의 NAND형 EEPROM에 대해 행하고, V_{ref}는 1V로 설정된다. 도 20a에 도시된 바와 같이 종래의 기입 검증 후에는 V_{ref} 이하의 임계치 전압 분포(distribution foot)가 생겨 버리지만, 본 발명에서는 도 20b에 도시된 바와 같이 임계치 전압 분포는 1.1V로부터 1.9V 사이로 들어간다.

또한, 분할 기입할 때에 최초로 (분할) 기입 데이타를 입출력 회로 I/O로부터 로드하고, 이어서 역 판독

동작을 행하고, 그 후 전회까지의 분할 기입 동작에서 기입을 행하는 센스 앰프 회로 및 다음 분할 기입의 로드 데이타에서 기입을 행하도록 지시한 센스 앰프 회로의 노드 N_{prog}에 V_{CC}를 래치시킨 경우에서도 본 발명은 유효하다. 이 경우의 분할 기입시의 타이밍 차트를 도 21에 도시한다.

최초로, 칩 외부로부터 기입을 지시하는 커맨드 혹은 분할 기입을 지시하는 커맨드가 입력되면, 기입 동작이 개시된다. 비트선을 리셋하기 때문에 비트선 접지용제어 신호 DCB가 V_{CC}가 되고, 비트선이 접지된다. 그 후, 기입 데이타의 센스 앰프 회로에의 로드 전에, LOAD가 V_{SS}에, ϕlatch1이 V_{CC}가 되고, 센스 앰프 회로의 데이타가 프리셋된다. 즉, 모든 1페이지분의 센스 앰프 회로의 래치 회로 LT에서는 노드 Q가 V_{CC}에, 노드/Q가 V_{SS}에 세트된다.

이어서, 입출력 회로 I/O로부터 기입 데이타가 로드되고, 각 센스 앰프 회로의 래치 회로 내에 데이타가 래치되고, 노드 Q, /Q는 데이타에 따라 V_{CC}, V_{SS}의 한쪽에 설정된다. 이 때, 메모리 셀에 기입을 행하는 센스 앰프 회로에서는 노드 Q는 V_{SS}가 되고, 기입을 행하지 않은 센스 앰프 회로에서는 노드 Q는 V_{CC}로 된다.

이어서, 전회까지의 분할 기입 동작에서 기입된 메모리 셀의 데이타의 역 판독 동작을 행한다. 우선, 비트선 접지용 제어 신호 DCB가 V_{CC}가 되고, 센스 노드가 접지된다. 그러나, 일부의 센스 앰프 회로에는 다음번의 분할 기입의 데이타가 입력되므로, 프리셋은 되지 않는다.

이어서, 역 판독 동작을 행한다. 즉, 분할 기입을 행하는 워드선 WL_2는 검증 전위 V_{ref}(0.5V 정도)가 되고, 그 밖의 워드선은 판독 전압 V_{read}(4.5V 정도)가 된다. 이 때, 부하 트랜지스터 M2의 제어 신호 LOAD를 1.8V 정도로 제어하여 부하 전류를 메모리 셀 전류와 밸런스시킴으로써, 판독을 행하고 있다.

예를 들면, 소거된 메모리 셀의 셀 전류는 최악이라도 2μA정도이므로, 이 경우에는 부하 트랜지스터의 전류는 1.5μA정도가 되도록 셀 전류에 맞춰 설정된다. 따라서, 기입이 행해진 메모리 셀, 즉 그 임계치 전압이 검증 전위(참조 전위) V_{ref}(0.5V 정도)보다도 높은 메모리 셀에서는, 셀 전류를 흘리지 않으므로 비트선의 전위는 상승한다.

이 때, 비트선 BL을 V_{CC}까지 충전하면, 판독 시간이 길어지므로, 고내압 MOS 트랜지스터 M1의 제어 신호 BLSHF를 예를 들면 1.8V로 클램프시키고 있다. 이에 따라, 비트선 BL의 전위가 예를 들면 0.9V까지 상승하면, 트랜지스터 M1이 차단 상태가 되고, 센스 노드 N_{sense}가 V_{CC}로 된다.

이어서, 센스 노드 N_{sense}가 V_{CC}가 된 것을 가늠하여 ϕlatch2가 V_{CC}로 된다. 통상의 판독 동작이 다르고, ϕlatch1을 대신하여 ϕlatch2가 V_{CC}로 되는 점이 역 판독 동작의 특징이다.

이 때, 센스 노드 N_{sense}가 V_{CC}인 경우, 즉 그 임계치 전압이 V_{ref}보다도 높다고 판단된 셀이 판독된 경우, 센스 노드 N_{sense}는 V_{CC}이기 때문에, 노드 Q는 V_{SS}에, 노드/Q는 V_{CC}로 된다. 이 때, 일부의 센스 앰프 회로에는, 다음의 분할 기입 데이타가 입력되어 있지만, 본 역 판독 동작에서는 전회까지의 분할 기입에서 이미 기입이 행해지고, 그 임계치 전압이 V_{ref} 보다도 높다고 판단된 셀의 센스 앰프 회로의 노드 Q는 V_{SS}로, 노드/Q는 V_{CC}가 되는 것뿐이므로, 다음회의 분할 기입 데이타는 파괴되지 않고, 일부 센스 앰프 회로 내에 보존된다. 또한, 역 판독 동작일 때에는 워드선 WL_2의 전위를 검증 전위 V_{ref} 를 대신하여 통상의 판독 전압 V_{CC}로 해도 본 발명은 유효하다.

이어서, 기입을 지시하는 센스 앰프 회로를 식별하기 위해 기입 데이타 래치신호 ϕload가 V_{CC} 혹은 $V_{CC}+\alpha$가 되고, 노드 N_{prog}가 기입을 행하는 센스 앰프 회로만 V_{CC} 혹은 $V_{CC}-V_{th}$에 충전된다. 이에 따라 기입을 지시하는 센스 앰프 회로를 식별할 수 있다.

이어서, 이 상태에서 기입을 행하면, 분할 기입의 전회까지의 기입 동작에서, 기입이 행해진 센스 앰프 회로의 노드 Q는 V_{SS}로 되므로, 재차 기입이 행해져 버려 과기입의 문제가 생긴다. 이 문제를 회피하기 위해, 상술된 바와 같이 센스 앰프 회로를 프리셋 후, 다음번의 분할 기입의 데이타를 센스 앰프 회로 내로 입출력 회로 I/O로부터 재차 로드해도 좋지만, 그 대신에 기입 검증 판독을 행하여 전회까지의 기입 동작에서 기입을 행하도록 지시된 센스 앰프 회로의 래치 회로를 반전시켜도 좋다.

이어서, 종래의 센스 앰프 회로 S/A의 동작과 마찬가지로 래치 회로 LT에 래치된 데이타에 기초하여 비트선 BL의 충전이 시작된다. 기입 동작 종료 후, 기입 검증 동작이 개시되지만, 우선 전회까지의 분할 기입 동작에서 기입을 행하도록 지시된 센스 앰프 회로 및 다음번의 분할 기입의 로드 데이타에서 기입을 행하도록 지시된 센스 앰프 회로의 리셋을 행한다.

즉, 전회까지 또는 다음번의 분할 기입 시에 기입이 지시된, 또는 지시하는 센스 앰프 회로의 노드 N_{prog}는 V_{CC} 혹은 $V_{CC}-V_{th}$이므로, 리셋 신호 RESET를 V_{CC}로 하면, 기입을 지시한, 또는 지시하는 센스 앰프 회로의 래치 회로 LT의 노드 Q는 V_{SS}가, 노드 /Q는 V_{CC}가 된다.

그 결과, 그 전까지의 분할 기입 또는 기입 사이클에서 기입이 충분히 행해졌다고 판단되고, 노드 Q가 V_{CC}로 노드/Q가 V_{SS}로 되는 센스 앰프 회로의 래치 회로 LT는 반전하고, 리셋된다.

따라서, 전회까지의 분할 기입에서 기입을 행하도록 지시한 센스 앰프 회로 및 다음회의 분할 기입의 최초의 로드 데이타에서 기입을 행하도록 지시된 센스 앰프 회로에서는, 매회의 기입 검증 동작에서 검증 전위와 임계치 전압과의 비교에 의해 기입 판정이 행해진다.

도 16, 도 17의 변형예를 다음에 설명한다.

도 16의 스텝 S17에서 나타낸 바와 같이 분할 기입 데이타를 세스 앰프 회로에 로드하기 전에, 또는 로드한 후에 상술한 바와 같은 역 판독 동작을 행하는 것을 대신하여 전회까지의 분할 기입에서 기입을 행하도록 지시한 센스 앰프 회로의 데이타를 리셋 신호 RESET를 V_{CC}로 함으로써 리셋시켜도 마찬가지로 유효하다. 이 경우에는, 역 판독 동작을 행하는 경우에 비교하여 오판독의 우려가 없기 때문에, 분할 기입의 전회까지의 기입에서, 기입 지시한 센스 앰프 회로의 노드 Q를 확실하고, 또한 고속으로 V_{SS}로 설정할 수 있다.

즉, 도 16의 스텝 S17의 역 판독을 대신하여 전회까지의 분할 기입에 있어서 로드된 기입 데이타대로, 센스 앰프 회로의 래치 회로의 리셋을 행해도 좋다. 이것을 도 22에 도시한다. 즉, 스텝 S16의 판정에서 1페이지분의 모든 센스 앰프 회로 S/A의 출력 데이타가 기입 완료 상태가 된 것이 검출된 경우, 스텝 S17A에서 전회까지의 로드 데이타에 의해 기입을 지시된 센스 앰프 회로를 리셋한다.

도 23은 도 17의 변형예이고, 도 17의 스텝 S20, S21을 대신하여, 기입 검증 판독 동작을 행하는 (스텝 S28) 것이다. 이 경우, 전반 부분은 도 16에서도 좋고, 도 22에서도 좋다.

도 24는 도 23의 변형예이고, 도 23의 스텝 S23(센스 앰프의 리셋)를 생략한 것이다. 이 경우, 전반 부분은 도 22와 동일하게 제어하던지, 도 16의 스텝 17에서 워드선의 전위를 검증 전위 미만의 통상의 판독 전압으로 한다.

즉, 상기된 바와 같은 분할 기입이 가능한 본 발명에 따른 반도체 기억 장치의 기입 제어 방법은, 상술한 바와 같이 분할 기입이 가능한 반도체 기억 장치에서의 워드선에 대해 동시에 선택되는 메모리 셀에 대한 기입을 복수의 바이트 단위로 분할하여 기입을 행하는 분할 기입을 행할 때, 센스 앰프 회로 S/A에 기입 데이타를 로드할 때에, 기입을 지시하는 센스 앰프 회로 S/A만을 식별하고, 식별 결과를 기억 회로에 기억시키는 스텝과, 분할 기입 동작 후의 기입 검증 판독 동작 전에, 기억 회로의 기억 내용에 기초하여 전회까지의 분할 기입 동작에서 기입을 행하도록 지시한 센스 앰프 회로 S/A 및 다음번의 분할 기입 동작에서 로드 데이타에 의해 기입이 지시되는 센스 앰프 회로 S/A에 대해서는 로드 데이타대로 센스 앰프 회로 S/A의 데이타를 리셋하는 스텝을 구비하는 것이다.

이어서, 본 발명을 적용한 NAND 형 EEPROM 에서의 스텝 업 기입 동작에 대해 도 25, 도 26, 도 27을 참조하면서 설명한다.

스텝 업 기입은 기입 전압 V_{pgm}을 기입 동작/기입 검증 동작 사이클마다 단계적으로 올리는 수법이다. 상기 수법은, 기입 전압을 고정하는 방법과 다르고, 커플링비가 커서 기입되기 쉬운 메모리 셀은 낮은 전압에서 기입을 행하고, 커플링비가 작아 기입되기 어려운 메모리 셀은 높은 전압에서 기입을 행하는 것이다. 이 결과, 기입 시간이 단축화되고, 또한 기입시에 메모리 셀에 가해지는 전계도 기입 전압을 고정하는 방법과 비교하여 낮게 억제된다.

처음에, 칩 외부로부터 기입을 지시하는 커맨드가 입력되면, 기입 동작이 개시된다. 이어서, 기입 데이타의 센스 앰프 회로에의 로드(도 26의 스텝 S31) 후, 기입을 지시하는 센스 앰프 회로를 식별하기 위해 기입 데이타 래치 신호 ϕload가 V_{CC} 혹은 $V_{CC}+\alpha$이 되고, 노드 N_{prog}가 기입을 지시하는 센스 앰프 회로만 V_{CC} 혹은 $V_{CC}-V_{th}$로 충전된다. 이에 따라 기입을 지시하는 센스 앰프 회로를 식별한다(스텝 S32). 여기까지는, 상술된 도 14, 도 15에서 도시한 동작과 동일하다.

이어서, 종래의 센스 앰프 회로 S/A의 동작과 마찬가지로 래치 회로 LT에 래치된 데이타에 기초하여 기입 동작/기입 검증 판독 동작의 사이클이 반복되면서, 기입 전압이 단계적으로 높아진다(스텝 S33 S35).

즉, 기입 전압 V_{pgm}은, 처음에는 예를 들면 15V에서 시작하고, 사이클을 반복할 때마다 0.5V씩 높아진다. 그리고, 예를 들면 17.5V에서 기입한 후의 검증 동작에서 제1 기입 검증 (제1 회째의 기입)이 버스가 된다. (스텝 S36).

이어서, 로드 데이타에서 기입을 행하도록 지시된 센스 앰프 회로의 리셋을 행한다(스텝 S37). 즉, 기입을 지시하는 센스 앰프 회로의 노드 N_{prog} 또는 V_{CC} 혹은 $V_{CC}-V_{th}$이므로, 리셋 신호 RESET를 V_{CC}로 하면, 기입을 지시하는 센스 앰프 회로의 래치 회로 LT의 노드 Q는 V_{SS}, 노드/Q는 V_{CC}이 된다.

그 결과, 그 전의 기입 사이클에서 기입이 충분히 행해졌다고 판정되고, 노드 Q가 V_{CC}에, 노드/Q가 V_{SS}로 되는 센스 앰프 회로의 래치 회로 LT는 반전하고, 리셋된다. 따라서, 최초의 로드 데이타에서 기입을 행하도록 지시된 센스 앰프 회로에서는, 본 제1 기입 패스 검증 후의 기입 검증에서 다시 검증 전위와 임계치 전압과의 비교에 의해, 기입 판정이 행해진다(스텝 S39 S40).

기입 재판정의 결과, 기입이 불충분하다고 판정된 메모리 셀은, 더욱 기입이 행해진다. 그 때, 기입 전압 V_{pgm}은 다시 낮은 전압, 예를 들면 15V에서부터 시작한다. 이것은, 과기입을 피하기 위해서이다. (스텝 S38)

즉, 낮은 기입 전압, 예를 들면 15V에서 일단 기입 검증이 패스한 메모리 셀이 기입 재판정의 결과, 기입이 불충분하다고 판정되고, 더욱 기입이 행해질 때에 기입 전압을 높게, 예를 들면 17.5V로 하면, 본 커플링비의 큰 메모리 셀에 대해서는, 기입 전압이 너무 높아, 과기입이 되어 버릴 우려가 있기 때문이다.

그리고, 예를 들면 기입 전압 15.5V에서 기입한 후의 검증 동작에서, 제2 기입 검증 (제2회째의 기입)이 패스가 된 시점(스텝 S41)에서 기입 동작이 종료한다.

또한, 도 28에 도시된 바와 같이 기입 시간의 단축화를 위해, 제1 기입 패스 후의 추가 기입의 개시 전압을, 최초의 기입 개시 전압보다도 1스텝 또는 2스텝 높은 전압으로 해도 좋다.

즉, 최초의 기입 개시 전압이 예를 들면 15V일 때, 추가 기입의 개시 전압은 그 보다도 2스텝분 높은 16V로 한다. 이것은, 최초의 기입 동작에서 메모리 셀의 부유 게이트에는 전자가 주입되어 있으므로, 그 보다도 1V정도 높은 전압에서 추가 기입해도 과기입이 되지 않기 때문이다.

또, 도 26, 도 27의 플로우차트는 스텝업 기입에 한정되지 않고, 기입 전압을 일정하게 하여 기입 시간을 등배(기입 펄스의 시간을 2배, 4배, 8배, …) 로 해 나가는 기입 시간 등배 방식이라도 유효하다.

본 발명의 코어 회로는 도 12에 한정되지 않고, 도 29에 도시된 바와 같이, 기입 데이타 기억 노드 N_{prog}에 기억 데이타 유지용의 캐패시터 C1을 부가한 기억 회로(20a), 도 30에 도시된 바와 같이 기입 데이타 기억 노드 N_{prog}에 기억 데이타 래치용의 플립플롭 회로 F/F를 부가한 기억 회로(20b)도 적용 가능하다.

또한, 도 12에 도시한 기억 회로(20), 리셋 회로(21)의 NMOS 트랜지스터 M8, M9, M10을 대신하여, 도 31에 도시하는 기억 회로(20c), 리셋 회로(21c)와 같이, NMOS 트랜지스터 M11과 PMOS 트랜지스터 M12, M13을 이용하여 구성하고, 리셋 신호 RESET의 반전 신호/RESET를 PMOS 트랜지스터 M13의 게이트에 인가하도록 변경한 경우에도 본 발명은 적용 가능하다.

이러한 구성의 기억 회로(20c), 리셋 회로(21c)를 이용하는 경우에는, 최초의 로드 데이타에서 기입을 행하도록 지시된 센스 앰프 회로에서는, 매회의 기입 검증 판독 전에는 노드/Q의 전위를 V_{CC}로 리셋하도록 동작한다.

상술된 바와 같이 본 발명의 제1 실시예에 따르면, 로드 데이타에 의해 기입을 행하는 것이 지시된 센스 앰프 회로에서는, 기입 검증 판독 전에 센스 앰프 회로의 데이타가 세트되므로, 일단 기입 패스한 메모리 셀이라도, 그 후의 기입 검증 동작에서 기입 불충분이라고 판정된 메모리 셀은 추가 기입이 행해지므로, 기입 데이타의 신뢰성의 향상을 꾀할 수 있다.

또한, 페이지의 분할 기입을 행할 때는, 이미 기입이 행해진 메모리 셀에 관해서도, 그 후의 기입 검증 동작에서 기입 불충분이라고 판정된 메모리 셀에 대해서는 추가 기입함으로써, 신뢰성의 향상을 꾀할 수 있다.

상술된 실시예는, 센스 앰프 회로에 기입을 지시하는 센스 앰프 회로를 식별하는 데이타를 기억하는 기억 회로(20)를 설치하여 기입 검증 판독 동작 전에, 기억 회로의 기억 내용에 기초하여 기입을 지시하는 센스 앰프 회로를 리셋함으로써, 일단 기입 패스한 (검증 결과가 OK가 되었음) 메모리 셀이라도, 그 후의 기입 검증 판독 동작에서 기입 불충분하다고 판정된 메모리 셀은 추가 기입을 행하고, 기입 데이타의 신뢰성의 향상을 꾀하고 있다. 기입이 행해지는 메모리 셀 중, 기입 후에 임계치가 V_{ref} 미만의 것에만 추가 기입을 행하면 되는 것을 고려하면, 센스 앰프 회로의 래치 회로 LT에 이러한 기입 불충분한 셀의 데이타를 판독할 수 있으면, 기억 회로(20)를 불필요하게 할 수 있다. 이 변형예를 다음에 설명한다.

본 변형예의 회로도는 도 5에 도시한 종래 예와 동일하다.

여기서, 기입 패스한 (검증 결과가 OK가 되었음) 셀은, 그 후의 다른 셀에의 기입 동작에 따라 임계치가 낮아 보이게 되지만, 소거 상태를 유지하는 셀의 임계치보다는 높아진다. 그래서, 기입 검증 레벨보다도 낮고, 판독 레벨이상의 제2 검증 레벨을 설정하고, 본 제2 검증 레벨을 선택 워드선에 부여하고, 역판독 동작을 행함에 따라, 본 워드선에 접속된 1페이지분의 메모리 셀에 기입돼야하는 데이타 패턴을 메모리 셀로부터 래치 회로 LT에 재로드할 수 있다. 임계치가 높은 메모리 셀은 판독 동작에 의해 "H" 레벨이 센스 노드 N_{sense}에 판독되기 때문에, φlatch2를 하이 레벨로 하면, 노드 Q가 저레벨(V_{SS})이 되고, 즉 래치 회로 LT는 최초의 로드 데이타대로 리셋된 상태가 된다.

도 32에 기입 동작 및 기입 검증 판독 동작에 관한 시퀀스 제어 수단에 의한 제어의 기본적인 흐름을 도시한다.

기입 동작이 개시되면, 스텝 S51에서 기입 데이타를 센스 앰프 회로의 래치 회로 LT로 로드한다.

스텝 S52에서, 워드선을 기입 검증 레벨 V_{ref}보다도 낮은 레벨, 예를 들면 V_{SS}로 설정하고, 역 판독 동작을 행한다. 이에 따라, 이미 기입이 충분히 행해졌다고 판정되고, 노드 Q가 V_{CC}노드/Q가 V_{SS}가 되어 있는 래치 회로 LT가 반전하고, 데이타를 기입해야하는 셀에 관한 센스 앰프 회로는 로드 데이타대로 리셋된 상태가 된다. 여기서는, 워드선 전압을 V_{ref}보다도 낮은 레벨 V_{SS}로서 판독을 행하므로, 다른 셀의 상태에 따라 임계치가 V_{ref}보다도 내려가버리는 메모리 셀이라도 OFF 상태가 되므로, "0" 데이타를 기입한 셀로서 판독할 수 있다.

스텝 S53에서, 기입 검증 판독 동작을 행한다. 이 때, 워드선은 V_{ref}로 한다. 즉, 충분히 기입이 행해지고 있는 메모리 셀에 추가 기입을 행하면 바람직하지 못하므로, 기입 검증 전압 V_{ref}에서 판독 동작(φlatch1을 하이 레벨로서)을 행함에 따라, 임계치 전압이 V_{ref} 이상의 메모리 셀과 대응한 센스 앰프 회로에서의 래치 회로를 재차 반전시킨다. 이에 따라 기입이 충분히 행해지는 셀에 대응하는 래치 회로는 노드 Q가 V_{CC}, 노드/Q가 V_{SS}가 된다. 또한, 소거 상태의 메모리 셀에 대해서는, 상술된 바와 같은 역 판독 동작, 및 판독 동작을 통해 래치 회로의 반전은 발생하지 않고, 노드 Q가 V_{CC} 노드/Q가 V_{SS}를 유지한다.

스텝 S54에서, 1페이지분의 모든 센스 앰프 회로 S/A의 출력 데이타가 전부 기입 완료 상태가 되었는지의 여부를 판정하고, 완료한 경우에는 기입 동작을 종료하고, 미완료인 경우에는 스텝 S55에서 기입을 행하고나서, 스텝 S52로 복귀한다.

이 변형예와 같이, V_{SS}에서 역 판독 동작을 행하고, V_{ref}에서 검증 판독을 행하면, 센스 앰프 회로가 역판독 동작시에 최초의 로드 데이타대로 리셋된 것과 등가인 상태가 되고, 이와 같은 센스 앰프 회로에 대

해 다음의 검증 판독에 의해 매회 기입이 충분히 행해졌는지의 여부가 판정되게 되고, V_{ref} 미만의 임계치의 셀만이 추가 기입된다. 이 때문에, 기억 회로(20)를 필요로 하지 않고, 상술된 실시예와 동일한 효과를 얻을 수 있다. 즉, 동일 워드선 중의 데이타 패턴이 변화함으로써, 기입 버스 후, 임계치가 충분하지 않게 된 셀을 검지하고, 최초의 로드 데이타를 센스 앰프 회로로 판독하게 할 수 있고, 이것을 이용하여 추가 개서 동작을 행함에 따라, 기입 동작 후의 메모리 셀의 임계치 분포를 좁게 할 수 있다. 이 때문에, 메모리 셀의 신뢰성, 및 판독 성능이 향상한다.

도 32의 플로우차트는 도 33과 같이 기입 스텝 S55의 실행 타이밍을 바꿈에 따라 변형할 수 있다.

또, 도 32, 도 33의 플로우차트에서는 1회의 기입 사이클마다 역 판독 동작, 기입 검증 판독 동작을 행했지만, 역 판독 동작은 1페이지분의 모든 센스 앰프 회로S/A의 출력 데이타가 전부 기입 완료 상태가 된 것이 검출되고나서 1회만 행해도 좋다. 이 경우의 플로우차트를 도 34, 도 35에 도시한다.

스텝 S61에서, 기입 동작을 개시하기 위해 기입 데이타를 센스 앰프 회로S/A의 래치 회로 LT에 로드한다.

스텝 S62에서, 기입 동작을 행하고, 스텝 S63에서, 기입 검증 판독 동작을 행하고, 스텝 S64에서, 1페이지분의 모든 센스 앰프 회로 S/A의 출력 데이타가 기입 완료 상태가 되었는지의 여부를 판정하고, 모두 완료한 경우에는, 제1회의 기입 검증 패스가 된다(스텝 S65). 미완료인 경우에는 스텝 S62로 복귀하고, 기입 동작을 계속한다.

제1회의 기입 검증 패스가 되면, 스텝 S67에서, 워드선을 기입 검증 레벨 V_{ref}보다도 낮은 레벨, 예를 들면 V_{SS}에 설정하고, 역 판독 동작을 행한다. 이에 따라, 이미 기입이 충분히 행했다고 판정되고, 노드 Q가 V_{CC}, 노드/Q가 V_{SS}가 되는 래치 회로 LT가 반전하고, 데이타를 기입해야하는 셀에 대한 센스 앰프 회로는 로드 데이타대로 리셋된 상태가 된다. 그 후, 스텝 S68, S69에서 기입 검증 판독 동작, 및 기입 판정을 행하고, 기입이 불충분하다고 판정된 경우에는, 더욱 기입 동작(S67)과 기입 검증 판독 동작(S68)을 반복하여 행하여 1페이지분의 모든 센스 앰프 회로 S/A의 출력 데이타가 기입 완료 상태가 되었다고 판정되면, 제2회의 기입 검증 패스가 된다(스텝 S70).

이어서 본 발명의 다른 실시예를 설명하겠다. 이하의 실시예에서 제1 실시예와 대응하는 부분은 동일 참조 숫자를 붙여 상세한 설명은 생략한다.

<제2 실시예>

도 36은 이 발명의 제2 실시예에 따른 페이지 기입/ 판독 기능, 분할 기입 기능을 갖는 일괄 소거 가능한 NAND형 EEPROM의 전체 구성을 나타낸다. 도 36은 도 11에 도시한 제1 실시예의 NAND형 EEPROM과 비교해서 비트선 제어 회로(102)가 다른 것뿐이며 다른 것은 동일하다. 즉, 제2 실시예의 EEPROM은 NAND형 셀을 구성하는 복수의 메모리 셀이 매트릭스상으로 배치되며 종방향으로 데이타선으로서 복수개의 비트선 BL, 횡방향으로 복수개 워드선 WL이 배열된 메모리 셀 어레이(11)와 외부로부터 입력된 어드레스에 기초해서 메모리 셀 어레이(11)의 워드선을 선택 구동하는 로우 디코더(12)와 메모리 셀 어레이(11)의 비트선 BL에 접속되는 비트선 제어 회로(102)와 이 비트선 제어 회로(102)에 접속되어 있는 칼럼 게이트(15)와 외부로부터 입력된 어드레스에 기초해서 칼럼 게이트(15)를 제어하고 대응하는 비트선 및 센스 앰프 회로를 선택하는 칼럼 디코더(14)와 칼럼 게이트(15)에 접속되는 데이타 입출력(I/O) 버퍼(18)와 기입 동작이나 소거 동작에 필요한 고전압을 공급하기 위한 승압 회로(16)와 메모리 셀 어레이(11)로의 데이타 기입, 소거 및 판독의 제어 신호를 생성해서 칩 내부를 제어함과 동시에 외부와의 인터페이스를 얻기 위한 제어 회로(17)를 갖는다.

로우 디코더(12)는 데이타의 기입 시, 소거 시 및 데이타의 판독 시에 각각 어드레스 신호에 기초해서 복수의 워드선 WL을 선택 구동함으로서 그 워드선 드라이버에는 소유의 전압이 공급된다. 비트선 제어 회로(102)는 판독 시에 비트선 데이타를 센스하는 기능, 기입 시에 외부로부터 로드되는 데이타를 유지하는 데이타 래치 기능, 기입 및 소거 시에 비트선 BL에 대해 소유의 전압을 각각 선택적으로 공급하는 기능을 갖는다.

제어 회로(17)에는 NAND셀에 대한 소거/ 소거 검증, 기입/ 기입 검증 및 판독 동작을 제어하기 위한 시퀀스 제어 수단(예를 들면, 프로그래머블 논리 어레이)이 포함되고 있다.

도 37은 메모리 셀 어레이(11)의 구성을 나타낸다. 도면에서는 4개의 메모리 셀 M이 직렬 접속되어 1개의 NAND형 셀을 구성한 예를 나타내고 있지만, 일반적으로 8개, 16개 혹은 32개의 메모리 셀에 의해 NAND형셀이 구성된다. 메모리 셀 M은 부유 게이트와 제어 게이트가 적층된 주지의 FETMOS 구조이다. 워드선 방향으로 배열된 복수의 NAND형셀은 종합해서 1블럭을 구성하고 각 블럭 내의 일체의 워드선에 따른 메모리 셀 열이 1 페이지를 구성하고 있다. 소거 동작으로는 1블럭이 소거 단위가 되며 기입 및 판독 동작에서는 1 페이지가 단위가 된다. 또, 도 11에 도시한 제1 실시예의 메모리 셀 어레이도 도 37과 동일한 구성이어도 좋다.

도 38은 도 36에서의 비트선 제어 회로(102) 중 1개의 비트선 BLi에 접속되는 센스 앰프 회로(106)의 구성을 나타내고 있다. 센스 앰프 회로(106)는 입출력이 교차 접속된 2개의 CMOS 인버터 IV1, IV2에 의해 구성되는 래치 회로 LT를 주체로 한다. 래치 회로 LT의 제2 기억 노드 Q는 칼럼 선택 NMOS 트랜지스터 M31을 통해 I/O선에 접속됨과 동시에 센스 앰프 회로 리셋용 및 트랜스퍼 게이트용 NMOS 트랜지스터 M24 및 비트선 전위 클램프용 NMOS 트랜지스터 M21을 통해 비트선 BLi에 접속된다. NMOS 트랜지스터 M21, M24의 접속 노드가 센스 노드 N_{sense}가 된다. 센스 노드 N_{sense}에는 프리차지 제어 신호 LOAD에 기초해서 소정 기간에 이것을 충전하기 위한 정전류원용 PMOS 트랜지스터 M22와 센스 노드 N_{sense}의 전하를 방전하기 위한 디스차지 제어 신호 DCB에 의해 제어되는 NMOS 트랜지스터 M23이 접속되고 있다. 래치 회로 LT의 제1, 제2 기억 노드/ Q, Q에는 각각 제어 신호 ϕlatch1, ϕlatch2에 의해 제어되어 각각의 노드를 센스용 MOS 트랜지스터 M27에 접속하기 위한 판독(역 판독) 시에 온 구동되는 타이밍 제어용 NMOS 트랜

지스터 M25, M26이 설치되고 있다.

래치 회로 LT의 기입 데이타가 로드된 제2 기억 노드 Q에는 그 로드된 데이타를 기억하기 위한 데이타 기억 회로(120)가 설치되어 있다. 데이타 기억 회로(120)는 메모리 MOS 트랜지스터로서의 NMOS 트랜지스터 M30과 이 NMOS 트랜지스터 M30의 게이트와 래치 회로 LT의 제2 기억 노드 Q의 사이에 개삽되어 제어 신호 ϕload에 의해 제어되는 기입용 NMOS 트랜지스터 M28로 구성되고 있다. 이것은 메모리 트랜지스터 M30의 게이트를 기억 노드 N_{erase}로 한 다이나믹 메모리이다.

NMOS 트랜지스터 M30의 드레인은 오기입 체크용 신호 ϕch에 의해 제어되는 체크용 NMOS 트랜지스터 M29를 통해 래치 회로 LT의 제2 기억 노드 Q에 접속되어 있다. NMOS 트랜지스터 M30의 소스는 래치 회로 LT의 타이밍용 NMOS 트랜지스터 M25, M26의 공통 소스를 통해 더욱 센스 노드 N_{sense}의 전위에 의해 제어되는 센스용 NMOS 트랜지스터 M27을 통해 접지되어 있다. 센스용 NMOS 트랜지스터 M27은 NMOS 트랜지스터 M25, M26과 함께 래치 회로 LT의 프리셋용 유지 데이타의 강제 반전용 및 역판독 동작 래치용으로서도 이용되지만 이들의 NMOS 트랜지스터 M29, M27의 부분은 데이타 기억 회로(120)의 기억 노드 N_{erase}의 전위와, 센스 노드 N_{sense}의 전위의 AND 논리에 의해 오기입이 있었던 경우에만 래치 회로 LT의 제2 기억 노드 Q를 강제 접지해서 데이타 반전시키는 기능을 한다. 즉, 이들 NMOS 트랜지스터 M29, M27의 부분은 오기입을 알리는 오기입 검지 회로(123)를 구성하고 있다.

도 39는 이 실시예에 의한 NAND형 EEPROM의 기입 동작의 개략적인 시퀀스 제어를 나타낸 플로우차트이다. 이 시퀀스 제어는 도 36의 제어 회로(17)에 의해 행해진다. 이 플로우차트에 따라 간단하게 기입 및 기입 검증 동작을 설명하면 다음과 같이 된다.

스텝 S73에서 기입 동작을 개시하고 1페이지분의 기입 데이타를 비트선 제어 회로(102)에 로드한다.

스텝 S74에서 소거 상태를 유지하는 것을 지시하는 센스 앰프 회로(106)를 식별하고 식별 결과를 데이타 기억 회로(120)로 기억시킨다. 구체적으로는 래치 회로 LT에 유지되어 있는 기입 데이타를 데이타 기억 회로(120)에 유지하면 좋다.

스텝 S75에서 래치 회로 LT에 로드된 기입 데이타에 따라 데이타 기입을 행한다.

스텝 S76에서 기입 동작 후의 기입 검증 판독 동작을 행한다.

스텝 S77에서 1페이지분의 모든 데이타가 기입 완료했는지의 여부를 판정하고, 기입 완료의 경우에는 기입 동작을 종료하고 미완료인 경우에는 스텝 73으로 되돌아간다.

기입 동작 종료 후, 스텝 S78에서 오기입이 있었는지의 여부를 판정한다. 구체적으로는 기입 동작 종료 후의 통상 판독 또는 검증 판독에 의한 센스 노드의 데이타와 데이타 기억 회로(120)에 유지된 데이타와의 AND 논리에 의해 오기입이 있었는지의 여부를 판정한다.

센스 앰프 회로(106)의 데이타의 강제 반전에 의해 오기입이 있었던 것이 검출되면 스텝 S79에서 오기입 검출 플래그를 세운다.

다음에, 도 38에 도시한 센스 앰프 회로(106)의 동작을 중심으로 도 40의 타이밍차트를 참조하면서 기입 동작 및 기입 검증 판독 동작을 상세하게 설명한다. 칩 외부로부터 기입을 지시하는 커맨드가 입력되면 기입 동작이 개시된다. 우선, 센스 노드 N_{sense}를 리셋하기 위해 제어 신호 DCB가 V_{cc}가 되며 MOS 트랜지스터 M23이 온하여 센스 노드 N_{sense}가 접지된다(t1). 이 때 동시에 제어 신호 BLSHF가 V_{cc}가 되며 MOS 트랜지스터 M21이 온하여 비트선 BLi도 접지된다.

그 후, 기입 데이타의 센스 앰프 회로(106)로의 로드 전에 데이타 래치 제어 신호 ϕ latch1이 V_{cc}, 프리차지 제어 신호 LOAD가 V_{ss}가 되며 MOS 트랜지스터 M25, M27이 온하여 래치 회로 LT의 제1 기억 노드/ Q가 강제 접지되어 데이타가 프리셋된다(t2). 즉, 1페이지분의 모든 센스 앰프 회로에서 래치 회로 LT의 제2 기억 노드 Q가 V_{cc}, 제1 기억 노드/Q가 V_{ss}가 된다.

다음에, I/O선으로부터 기입 데이타가 로드되며 각 센스 앰프 회로(106)의 래치 회로 LT에 데이타가 래치되며 노드 Q, /Q는 로드 데이타에 따라 "H", "L"로 설정된다(t3). 구체적으로는 메모리 셀에 기입을 행하는 센스 앰프 회로(106)에서는 제2 기억 노드 Q에 "L"(=V_{ss})이 제공되며 기입 금지 메모리 셀에 대응하는 센스 앰프 회로(106)에서는 제2 기억 노드 Q에 "H"(=V_{cc})가 제공된다.

이 데이타 로드에 앞서서 데이타 기억 회로(120)의 기입 제어 신호 ϕload가 V_{cc}(또는 $V_{cc}+V_{th}$, V_{th}는 기입용 MOS 트랜지스터 M28의 임계치 전압)가 되며 제2 기억 노드 Q에 V_{cc} 또는 V_{ss}가 래치되면 그 전위가 기입용 MOS 트랜지스터 M28을 통해 기억 노드 N_{erase}로 전송되며 "H"[=$V_{cc}-V_{th}$(또는 V_{cc}) 또는 "L"(=V_{ss})의 전위가 다이나믹하게 유지된다. 이들이 소거 상태를 유지하도록 센스 앰프 회로(106)의 식별 데이타가 된다.

다음에, 종래의 기입 동작과 마찬가지로 제어 신호 BLSHF, SBL이 "H"가 되어 래치 회로 LT에 래치된 데이타에 기초해서 비트선 BLi의 충전이 시작된다(t4). 즉, 기입을 행하는 비트선은 V_{ss} 상태를 유지하며 기입 금지의 비트선은 V_{cc}로 충전된다. 워드선이 선택되며 선택 워드선은 기입 전압 V_{pgm}(20V 정도)으로 오르며 그 외 비선택 워드선은 중간 전압 V_m(10V 정도)이 된다. 이 동작에 의해 선택 워드선에 따른 1페이지분의 메모리 셀로의 기입이 행해진다.

기입 동작 종료 후 기입 검증 판독 동작이 개시된다.

기입 검증 판독 동작은 종래의 센스 앰프 회로와 마찬가지이다. 우선, 제어 신호 DCB를 V_{cc}로 함으로서

MOS 트랜지스터 M23이 온하여 센스 노드 N_{sense}가 강제적으로 접지된다(t5). 계속해서, 선택 워드선에는 검증 전압(참조 전압) V_{ref}(0.5V 정도), 비선택 워드선 및 제어 게이트선 SSL, GSL에는 판독 전압 V_{read}(4.5V 정도)를 제공하여 검증 판독이 행해진다(t6). 이 때, 승압 전위 $V_{cc}+\alpha$로 설정되어 있던 제어 신호 BLSHF를 $V_{cc}-\alpha$에 클랭크하고 또한 프리차지 제어 신호 LOAD를 1.8V 정도로 클램프하고 MOS 트랜지스터 M21을 흐르는 메모리 셀 전류와 센스 노드 N_{sense}를 충전하는 MOS 트랜지스터 M22의 전류를 밸런스시킴으로써 판독을 행하고 있다. 예를 들면, 소거 상태의 메모리 셀의 셀 전류는 최악이어도 2μA 정도로서 MOS 트랜지스터 M22의 전류는 1.5μA 정도가 되도록 셀 전류에 맞춰서 설정된다. 여기서, 기입해야 하는 메모리 셀에 임계치 전압 V_{ref} 이상의 충분한 기입이 행하여 기입을 행하는 비트선의 전위가 예를 들면 0.9V까지 상승하면 MOS트랜지스터 M21이 컷트 오프 상태가 되며 센스 노드 N_{sense}가 V_{cc}가 된다.

다음에, 이렇게 해서 센스 노드 N_{sense}가 "H"(=V_{cc})가 된 것을 가늠해서 래치 제어 신호 ϕ latch1가 V_{cc}가 되며 MOS 트랜지스터 M25가 온한다(t7). 이 때, 센스 노드 N_{sense}가 V_{cc}인 경우[즉, 임계치 전압이 검증 전위 V_{ref} 보다도 높은 메모리로 연결된 센스 앰프 회로(106)인 경우], MOS 트랜지스터 M27이 온하여 제1 기억 노드/ Q는 V_{ss}, 제2 기억 노드 Q는 V_{cc}가 된다. 따라서, 제2 기억 노드 Q에 V_{ss}가 로드되어 메모리 셀에 대해 기입을 행해야 할 센스 앰프 회로(106)에서 정상적으로 기입이 이루어지면 래치 데이타가 반전된다. 한편, 메모리 셀로의 기입이 불충분한 경우에는 검증 판독으로 센스 노드 N_{sense}가 "L"(=V_{ss})인채이므로 래치 회로 LT의 데이타 반전은 발생하지 않고 제2 기억 노드 Q는 V_{ss}를 유지한다. 또한, 기입 금지의 메모리 셀로 연결된 센스 앰프 회로(106)에서는 제2 기억 노드 Q는 V_{cc}로 가장 제1 기억 노드/Q가 V_{ss}이므로 데이타 반전은 없다.

기입 불충분한 메모리 셀이 있는 동안 다시 말하면 래치 회로 LT의 데이타 반전이 발생하지 않은 센스 증폭기 회로(106)가 있는 동안 마찬가지의 기입 동작과 검증 판독이 반복되며 1 페이지분의 모든 센스 앰프 회로(106)에서 제2 기억 노드 Q의 전위가 V_{ss}가 된 것을 판정하여 기입 동작이 종료가 된다.

기입 동작이 종료한 후 체크용 신호 ϕch를 V_{cc}로 함으로써 오기입의 검지가 행해진다(t8). 데이타 기억 회로(120)의 기억 노드 N_{erase}는 전술한 바와 같이 기입을 행하는 센스 앰프 회로(106)에서는 V_{ss}(따라서, 메모리 트랜지스터 M30이 오프), 기입 금지의 센스 앰프 회로(106)에서는 V_{cc}(또는 $V_{cc}-V_{th}$; 따라서, 메모리 트랜지스터 M30이 온)가 되고 있다. 오기입이 이루어진 센스 앰프 회로(106)에서는 센스 노드 N_{sense}는 검증 판독 동작으로 V_{cc}가 되며 이에 의해 NMOS 트랜지스터 M27이 온이기 때문에 체크용 신호 ϕch에 의해 NMOS 트랜지스터 M29가 온이 되면 래치 회로 LT의 제2 기억 노드 Q는 MOS 트랜지스터 M29, M30 및 M27을 통해 강제 접지되며 데이타 반전한다.

이에 대해, 정확하게 기입이 이루어진 센스 앰프 회로(106)에서는 메모리 트랜지스터 M30이 오프이기 때문에 래치 회로 LT의 데이타 반전은 없다. 또한, 기입 금지가 지기되며 지시대로 기입이 이루어지지 않았던 센스 앰프 회로(106)에서는 센스 노드 N_{sense}가 V_{ss}이며 NMOS 트랜지스터 M27이 오프이기 때문에 역시 래치 회로 LT의 데이타 반전은 없다. 또, 여기서 검증 판독 L에 의해 센스 노드 N_{sense}로 데이타를 판독하는 대신에 워드선에 V_{ref} 미만의 전압(예를 들면 V_{ss})을 제공하는 통상의 판독 동작에 의해 센스 노드 N_{sense}로 데이타를 판독해도 좋다.

이상과 같이, 기입 동작 종료 후에 체크용 신호 ϕch를 V_{cc}로 하면 기입 동작 종료에 의해 모든 센스 앰프 회로(106)에서 "H"(=V_{cc})가 되고 있는 제2 기억 노드 Q의 전위가 오기입이 있었던 센스 앰프 회로(106)에 대해서만 동시에 온이 되는 MOS 트랜지스터 M29, M30, M27을 통해 방전되며 데이타가 반전한다. 이것이 l 페이지분의 기입 동작에서의 오기입이 검지 신호가 된다.

오기입 판정은 EEPROM 칩 내부에 1페이지분의 센스 앰프 회로(106)의 데이타를 칼럼 게이트(15)에 의해 칼럼 스캔해서 판독하여 패스 또는 페일의 플래그를 세우는 판정 회로를 설치함으로써 행할 수 있다. 보다 간단하게는 예를 들면 도 41에 도시한 바와 같이 1페이지분의 센스 앰프 회로의 제1 노드 Q0 Q2047을 입력으로 하는 NAND 게이트 G를 칩 내에 설치하여 제1 노드 Q0 Q2047의 일치 검출을 행하면 오기입이 있었던 경우에만 "H"가 되는 오기입이 판정 신호를 보낼 수 있다. 이 오기입 판정의 결과를 칩 외부에 출력함으로써 사용자는 오기입이 있었던 것을 알 수 있다. 또한 이와 같이 1 페이지분의 센스 앰프 회로에서의 각 기억 노드의 레벨의 논리를 취하는 논리 게이트는 EEPROM의 기입 동작에서 1 페이지분의 모든 데이타가 기입 완료했는지의 여부를 판정할 때(예를 들면, 도 39에 도시된 스텝 S77)의 판정 회로로서도 적합하게 이용된다.

이 실시예에 의한 EEPROM의 데이타 판독 동작 및 소거 동작은 종래의 것과 변하지 않는다. 즉, 데이타 판독 동작은 선택 워드선에 0V를 제공하는 것 외, 도 40에서 설명한 기입 동작 후의 검증 판독과 기본적으로 동일하다. 판독도 페이지 단위로 행해진다. 데이타 소거는 블럭 단위로 전 워드선을 0V로 하고 벌크(기판 및 웰)에 소거 전압을 제공하여 블럭 내의 전 메모리 셀의 부유 게이트의 전자를 방출시킴으로써 행해진다. 소거 검증 판독의 동작은 선택 워드선에 대한 참조 전압이 다른 것 외, 기입 검증 판독의 동작과 마찬가지이다.

도 42는 도 38에 도시한 제2 실시예의 제1 변형예에 의한 NAND형 EEPROM의 센스 앰프 회로 구성이다. 제2 실시예에서는 메모리 트랜지스터로서 NMOS 트랜지스터 M30을 이용한데 대해 이 변형예에서는 PMOS 트랜지스터 M40을 메모리 트랜지스터로서 이용하고 있다. 이에 따라 기억 노드 N_{erase}에는 도 38과는 반대로 래치 회로 LT의 제1 기억 노드/Q의 데이타를 기억하도록 기입용 NMOS 트랜지스터 M28의 드레인을 제1 기억 노드/Q에 접속하고 있다. 그 이외는 도 38의 실시예와 마찬가지이다.

즉, 도 38의 실시예에서는 래치 회로 LT의 제2 기억 노드 Q에 V_{cc}가 로드될 때, 데이타 기억 회로(120)의

기억 노드 N_{erase}에는 V_{cc}가 기입되어 NMOS의 메모리 트랜지스터 M30이 온상태인 기입 데이타 유지를 행하는데 대해 이 변형예에서는 래치 회로 LT의 제2 기억 노드 Q에 V_{cc}가 로드됐을 때, 데이타 기억 회로(120)의 기억 노드 N_{erase}에는 제1 기억 노드/Q의 V_{cc}가 기입되며 마찬가지로 PMOS의 메모리 트랜지스터 M40이 온 상태에서 기입 데이타 유지가 행해진다. 따라서, 제2 실시예와 마찬가지의 논리로 오기입 검지를 행할 수 있다.

도 43은 도 42의 변형예를 더욱 변형한 제2 실시예의 제2 변형예이다. 이 변형예에서는 데이타 기억 회로(120)에 기입 동작과 기입 검증 판독 동작을 반복한 경우에 이미 기입이 행해진 메모리 셀에 대해 각 기입 동작마다 초기 데이타에 의한 추가 기입의 동작을 행하게 할 수 있는 기능을 부가하고 있다. 전술한 바와 같이, 기입 동작에서 센스 앰프 회로에 로드되는 데이타는 기입을 행하는 센스 앰프 회로에서는 제2 기억 노드 Q에 V_{ss}가 제공되며 기입 검증 판독 동작으로 "0" 기입이 확인되면 제2 기억 노드 Q의 전위는 V_{cc}로 반전한다. 그러나, 제1 실시예에서 상술한 바와 같이 실제의 EEPROM에서는 1페이지마다 기입 동작 및 검증 판독 동작을 반복 행할 때에, 기입 초기에는 임계치가 충분히 높은 "0" 상태가 아니어도 기입완료라고 판정되는 경우가 있다. 따라서, 데이타 기억 회로(120)에 유지된 로드 데이타에 의해, 매회의 기입 검증 판독 전에 기입해야 되는 센스 앰프 회로의 데이타를 초기화해서 최초의 로드 데이타로 추가 기입을 행하는 것이 바람직한 경우가 있다.

그래서, 이 변형예에서는 데이타 기억 회로(120)에 PMOS 트랜지스터 M40과 기억 노드 N_{erase}를 공유하는 또 하나의 메모리 트랜지스터로서의 NMOS 트랜지스터 M42가 설치되어 있다. NMOS 트랜지스터 M42는 게이트가 기억 노드 N_{erase}에 접속되며 드레인이 래치 회로 LT의 제2 기억 노드 Q에 접속되며 소스는 리셋용 NMOS 트랜지스터 M44를 통해 접지되어 있다.

데이타 기억 회로(120)의 메모리 트랜지스터인 PMOS 트랜지스터 M40을 이용해서 오기입 검지를 행하는 동작은 먼저 실시예와 마찬가지이다. 이 실시예의 경우, 예를 들면 데이타 기입 동작과 기입 검증 판독 동작을 행하는 정도로 그 사이에 리셋 제어 신호 RESET를 "H"로 해서 리셋용 NMOS 트랜지스터 M44를 온한다. 데이타 로드에 의해 래치 회로 LT의 제2 기억 노드 Q에 V_{ss}가 제공된 센스 앰프 회로에서는 기억 노드 N_{erase}는 V_{cc}에서 NMOS 트랜지스터 M42가 온 상태를 기억하고 있다. 따라서, 기입 검증 판독에 의해 제2 기억 노드 Q가 일단 V_{cc}로 반전되어도 리셋 신호 RESET를 "H"로 하면 동시에 온인 NMOS 트랜지스터 M42 및 M44를 통해 제2 기억 노드 Q는 강제적으로 V_{ss}가 된다. 즉, 센스 앰프 회로는 최초의 데이타 로드 상태로 초기화된다. 이에 따라, 다음의 기입 검증 판독 동작에서 기입이 불충분하다고 판정되면 래치 회로 LT의 데이타 반전이 일어나지 않고 계속해서 기입 동작에서 추가의 기입이 행해진다. 그 외 제1 실시예에서의 변형예인 경우와 마찬가지의 제어에 의해서도 일단 기입 패스한 메모리 셀에 추가의 기입을 행하게 하는 것이 가능하다.

도 44는 도 42의 변형예를 더욱 변형한 제2 실시예의 제3 변형예이다. 이 변형예는 PMOS 트랜지스터 M40을 NMOS 트랜지스터 M26과 M27과의 사이에 접속하고 제어 신호 ϕlatch2가 오기입 체크용 신호를 겸하는 점이 도 42와 다르다. 즉, 도 42의 NMOS 트랜지스터 M29가 불필요해지며 트랜지스터가 1개 감소한 것이 이 변형예의 이점이다. 또, 이 변형예에서 역판독을 행하는 경우는 역판독 동작 전에 센스 앰프 회로(106)의 래치 회로 LT에서 노드 Q가 V_{cc}, 노드/Q가 V_{ss}가 되고 있는 것을 이용하고 미리 제어 신호 ϕload를 V_{cc}(또는 $V_{cc}+V_{th}$)로 함으로서 데이타 기억 회로(20)의 기억 노드 N_{erase}에 래치 회로 LT의 제1 기억 노드/Q 전위(V_{ss})를 유지시켜 메모리 트랜지스터 M40을 온 상태로 제어하면 좋다.

도 45는 도 44에서 M40을 NMOS 트랜지스터로 구성한 경우의 실시예를 나타낸다.

다음에 도 39의 변형예를 설명한다.

즉, 도39에 도시된 제어의 흐름으로는 오기입이 있었던 경우가 검출되면 오기입 플래그를 세운 것(스텝 S70)뿐이지만, 도 46에 도시한 바와 같이 플래그를 출력한 후 스텝 S80에 도시한 바와 같이 페이지 소거해서 스텝 S73으로 되돌아가고 재차 데이타 로드하고 기입 동작을 재실행하는 것도 바람직하다.

＜제3 실시예＞

제2 실시예에서는 기입 동작 종료 후의 검증 판독에 의한 센스 노드의 레벨과 데이타 기억 회로(120)로 유지된 레벨과의 논리에 의해 오기입이 있었는지의 여부를 판정하고 있지만 별도의 회로 구성을 이용하여 마찬가지의 원리에 의해 오기입이 있었던 것을 검출하는 실시예를 다음에 설명한다. 본 실시예는 도 12 등에 나타낸 기억 회로(20)를 갖는 제1 실시예와 동일한 구성이다.

도 47은 본 실시예의 기입 동작 및 기입 검증 동작에 관한 시퀀스 제어 수단에 의한 제어의 기본적인 흐름을 나타낸 플로우차트이다.

스텝 S81에서 기입 동작을 개시하기 위해서 기입 데이타를 센스 앰프 회로 S/A의 래치 회로 LT에 로드한다.

스텝 S82에서 기입을 지시하는 센스 앰프 회로 S/A를 식별하고 식별한 센스 앰프 회로 S/A에 대응하는 기억 회로(20)에 식별 결과를 기억시킨다.

스텝 S83에서 기입 동작을 행한다.

스텝 S84에서 기입이 지시되고 있던 센스 앰프 회로 S/A를 기억 회로(20)의 기억 내용에 기초해서 래치 회로 LT에 로드된 기입 데이타대로 리셋한다. 단지, 이 리셋 스텝 S84는 생략 가능하다.

스텝 S85에서 기입 동작 후의 기입 검증 판독 동작을 행한다.

스텝 S86에서 1페이지분의 모든 센스 앰프 회로 S/A의 출력 데이타가 기입 완료 상태가 되었는지의 여부

를 판정하고 미완료인 경우에는 스텝 S83으로 되돌아가고 기입 동작을 반복하고 전부 완료한 경우에는 스텝 S87에서 제어 신호 SBL, DBL을 "H" 레벨로서 센스 앰프 회로의 노드 Q를 "L", 노드/Q를 "H" 레벨로 리셋한다. 스텝 S88에서 선택 게이트선 SSL, GSL을 "H" 레벨, 비선택 워드선을 "H" 레벨, 제어 신호 LOAD를 "L" 레벨로서 판독 동작을 행한다. 이에 따라, 센스 노드 N_{sense}로 기입 셀 및 오기입 셀에서는 "H" 레벨로 상승하고 비기입셀에서는 "L" 레벨을 유지한다. 센스 노드가 "H" 레벨이 된 것을 가늠하여 제어 신호ϕ latch1이 "H" 레벨이되며 기입셀 및 오기입셀에서는 센스 앰프 회로의 래치 회로가 반전하고 그 결과 센스 앰프 회로의 기억 노드 Q는 기입셀 및 오기입셀에서는 "H" 레벨, 비기입셀에서는 "L" 레벨이 된다.

스텝 S89에서 기입이 지시된 센스 앰프를 로드 데이타대로 리셋한다. 즉, 제어 신호 RESET를 "H" 레벨로 하면 기입이 지시된 센스 앰프 회로에서는 제2 기억 노드 Q가 "L" 레벨로 반전한다. 한편, 오기입 셀에 대응하는 센스 앰프 회로의 제2 기억 노드 Q는 "H" 레벨 그대로 있으며 이에 대해 정확하게 기입이 행해진 셀 및 기입이 금지되어 소거 상태를 유지한 셀에 대응하는 센스 앰프 회로의 제2 기억 노드 Q는 "L" 레벨이 된다. 이것을 이용해서 스텝 S90에서 오기입 유무를 판단한다. 오기입 검출의 원리는 다음과 같다.

어느 3개의 메모리 셀로의 기입 데이타가 "0", "1", "1"인 경우(후의 2개가 기입 금지가 지시된 셀), 실제로 기입된 데이타가 "0", "1", "1"이었다고 하면 이 3번째의 메모리 셀(오기입 셀)을 검출하는 것이 본 실시예의 목적이다. 이들 메모리의 데이타를 스텝 S88에서 판독하면 판독 데이타는 기입 데이타로 반전하므로 도 12의 래치 회로 LT의 제1 기억 노드/Q의 레벨은 각각 "0", "1", "1"이 된다. 여기서, 기입이 지시되고 있는 센스 앰프 회로에서는 기입 데이타 기억 노드 N_{prog}가 "H" 레벨이므로 스텝 S89에서 RESET 신호를 "H" 레벨(V_{cc})로서 리셋용 NMOS 트랜지스터 M10을 도통시키면 오기입의 셀로부터 판독된 래치 회로 LT의 데이타는 그대로 이지만 "0"이 정확하게 기입된 셀로부터 래치 회로 LT에 판독된 데이타 "1"은 반전해서 "0"이 된다. 이 결과, 이들 3개의 셀과 대응하는 래치 회로 LT의 데이타는 기입 데이타를 판독할 때 센스 노드의 레벨 "0", "0", "1"이 되며 여기서 래치 회로 LT로 유지된 "1" 데이타를 검출함으로써 오기입을 검출할 수 있다. 즉, 스텝 S90에서는 1 페이지분의 센스 앰프 회로에서의 제1 기억 노드/Q의 데이타가 전부 "0"(V_{cc})인지의 여부에 의해 오기입의 유무를 검출할 수 있다.

오기입이 있었던 것이 검출되면 스텝 S91에서 오기입 검출 플래그를 세운다. 혹은, 도 46과 마찬가지로 플래그를 출력한 후, 페이지 소거해서 재차 데이타 로드해서 기입 동작을 재실행해도 좋다.

본 발명은 상술한 실시예에 한정되지 않으며 여러가지 변형해서 실시 가능하다. 예를 들면, 각 실시예는 단독으로 설명했지만 복수의 실시예를 적절하게 조합해도 좋다.

또한, 상기 각 실시예에서는 NAND형 EEPROM을 예로 들어 설명했지만 본 발명은 이에 한정되는 것은 아니며 메모리 셀 유닛으로서 전기적 개서 가능한 불휘발성 메모리 셀을 복수개 직렬 접속하여 이루어진 NAND형 메모리 셀 유닛 또는 불휘발성 메모리 셀을 복수개 병렬 접속하여 이루어진 AND형 셀 혹은 DINOR형 셀 유닛으로 구성할 수 있다.

또한, 비트 검증 기능을 갖는 NOR형셀 유닛의 경우에도 본 발명은 유효하다. 즉, 센스 앰프 회로에 기입 데이타가 로드 될 때 기입을 지시하는 센스 앰프 회로만을 식별하기 위한 기억 회로가 구비되며 예를 들면, 기입 동작 후의 기입 검증 판독 동작 전에 로드 데이타에 의해 기입이 지시되고 있는 센스 앰프 회로에서는 기억 회로의 기억 내용에 기초해서 로드 데이타를 리셋하면 좋다.

또한, 상기 각 실시예에서는 셀 데이타를 판독할 때에 비트선에 부하 전류를 흘리면서 셀 데이타에 대응한 비트선 전위를 검지하는 방식(전류 검지 방식, 전류 방전 방식)의 스태틱형의 센스 앰프 회로 S/A에 기억 회로를 부가한 예를 설명했지만, 본 발명은 이에 한하지 않고 셀데이타를 판독할 때에 셀 데이타에 대응한 비트선 전하의 방전에 의한 비트선 전위의 저하를 검지하는 방식의 다이내믹형의 센스 앰프 회로 S/A에 기억 회로를 부가하는 경우에도 적용 가능하다.

발명의 효과

이상 설명한 바와 같이 본 발명에 따르면 로드 데이타에 의해 기입을 행하는 것이 지시된 센스 앰프 회로에서는 기입 검증 판독 전에 센스 앰프 회로의 데이타가 리셋되므로 일단 기입 패스한 메모리 셀에도 그 후의 기입 검증 동작으로 기입 불충분하다고 판정된 메모리 셀은 추가 기입이 행해지므로 기입 데이타의 신뢰성의 향상을 꾀할 수 있다.

또한, 페이지의 분할 기입을 행할 때는 이미 기입이 행해진 메모리 셀에 관해서도 그 후의 기입 검증 동작에서 기입 불충분하다고 판정된 메모리 셀에 대해서는 추가 기입함으로써 신뢰성의 향상을 꾀할 수 있다.

또한, 센스 앰프 회로에 로드되는 기입 데이타를 기억하는 데이타 기억 회로 및 이 데이타 기억 회로에 기입 동작 간 유지된 데이타와 메모리 셀 어레이로의 기입 동작 종료 후의 판독 동작 또는 검증 판독 동작에 의해 센스 노드에 얻어지는 데이타와의 논리에 의해서 오기입을 검지하여 센스 앰프 회로의 유지 데이타를 강제 반전시켜서 오기입이 있던 것을 알리는 오기입 검지 회로를 구비함으로써 간단하게 오기입을 판정할 수 있도록 한 EEPROM을 제공할 수 있다.

(57) 청구의 범위

청구항 1

복수개씩 서로 교차하는 데이타선과 워드선, 및 이들 데이타선과 워드선의 교차부에 배치된 전기적 개서 가능한 불휘발성 메모리 셀을 갖는 메모리 셀 어레이;

상기 데이타선에 접속되고, 상기 메모리 셀 어레이로부터의 판독 데이타를 센스 노드를 통해 판독하여

래치하는 기능 및 메모리 셀 어레이로의 기입 데이타를 로드하여 래치하는 기능을 갖는 복수의 센스 앰프 회로;

상기 센스 앰프 회로에 로드되는 기입 데이타를 기억하는 기억 회로; 및

기입 동작 후의 기입 검증 판독 동작 전에 로드 데이타에 의해 기입이 지시된 센스 앰프 회로를 기억 회로의 기억 내용에 기초하여 로드 데이타와 같이 리셋하는 회로

를 구비하는 것을 특징으로 하는 반도체 기억 장치.

청구항 2

복수개씩 서로 교차하는 데이타선과 워드선, 및 이들 데이타선과 워드선의 교차부에 배치된 전기적 개서 가능한 불휘발성 메모리 셀을 갖는 메모리 셀 어레이;

상기 데이타선에 접속되고, 상기 메모리 셀 어레이로부터의 판독 데이타를 센스 노드를 통해 판독하여 래치하는 기능 및 메모리 셀 어레이로의 기입 데이타를 로드하여 래치하는 기능을 갖는 복수의 센스 앰프 회로;

상기 센스 앰프 회로에 로드되는 기입 데이타를 기억하는 기억 회로; 및

워드선에 의해 선택되는 페이지에 대한 기입을 복수회 분할해서 분할 기입을 행하는 경우에, n(n은 2 이상의 정수)회째의 분할 기입시, (n-1)회째까지의 분할 기입으로 로드 데이타에 의해 기입을 행하도록 지시된 센스 앰프 회로를 기억 회로의 기억 내용에 기초하여 상기 로드 데이타와 같이 리셋하는 회로

를 구비하는 것을 특징으로 하는 반도체 기억 장치.

청구항 3

제1항에 있어서, 상기 센스 앰프 회로는, 센스 노드에 판독된 메모리 셀 데이타를 래치하기 위한 래치 회로;

래치 회로의 상보적인 한쌍의 기억 노드 중 제1 기억 노드와 접지 노드 사이에 접속되며, 게이트가 센스 노드에 접속된 센스용 NMOS 트랜지스터;

래치 회로의 제1 기억 노드와 접지 노드 사이에서 센스용 NMOS 트랜지스터에 직렬로 접속되고, 게이트에 소정 기간 인가되는 제1 데이타 래치 신호에 의해 온 상태로 제어되는 제1 데이타 래치용 NMOS 트랜지스터;

센스 노드와 래치 회로의 상보적인 한쌍의 기억 노드 중 제2 기억 노드와의 사이에 삽입되고, 메모리 셀의 판독시에는 오프 상태로 제어되며, 메모리 셀의 기입 시에는 온 상태로 제어되는 트랜스퍼 게이트용 NMOS 트랜지스터

를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 4

제3항에 있어서, 상기 센스 앰프 회로는 상기 래치 회로의 제2 기억 노드와 접지 노드와의 사이에서 센스용 NMOS 트랜지스터에 직렬로 접속되고, 게이트에 인가되는 역 판독 동작용 제2 데이타 래치 신호에 의해 온 상태로 제어되는 제2 데이타 래치용 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 5

제3항에 있어서, 상기 래치 회로는 기입이 지시되어 있는 센스 앰프 회로에서는 기입 검증 판독 동작 전에 제2 기억 노드의 전위가 접지 전위로 리셋되는 것을 특징으로 하는 반도체 기억 장치.

청구항 6

제3항에 있어서, 상기 기억 회로는 상기 래치 회로의 제1 기억 노드에 드레인이 접속되고, 게이트에는 기입 데이타 래치 신호가 입력되며, 소스가 기입 데이타 기억 노드에 접속된 제1 NMOS 트랜지스터; 및

상기 래치 회로의 제2 기억 노드에 드레인이 접속되고, 게이트가 기입 데이타 기억 노드에 접속된 제2 NMOS 트랜지스터를 구비하고,

상기 리셋 회로는 제2 NMOS 트랜지스터의 소스에 드레인이 접속되고, 게이트에는 리셋 신호가 입력되며, 소스가 접지 전위에 접속된 제3 NMOS 트랜지스터

를 구비하는 것을 특징으로 하는 반도체 기억 장치.

청구항 7

제6항에 있어서, 상기 기억 회로는 대응하는 센스 앰프 회로에 대해 로드 데이타에 의해 기입이 지시되어 있는 것을 기억한 상태에서는 기입 데이타 기억 노드의 전위가 충전되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 8

제6항에 있어서, 상기 기입 데이타 기억 노드에 접속되는 기억 데이타 유지용 캐패시터, 및 상기 기억 데이타 래치용 플립플롭 회로 중 어느 한쪽을 더 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 9

제3항에 있어서, 상기 기억 회로는 래치 회로의 제2 기억 노드에 드레인이 접속되고, 게이트에는 기입 데이타 래치 신호가 입력되며, 소스가 기입 데이타 기억 노드에 접속된 제1 NMOS 트랜지스터; 및

래치 회로의 제1 기억 노드에 드레인이 접속되고, 게이트가 기입 데이타 기억 노드에 접속된 제1 PMOS 트랜지스터를 구비하며,

상기 리셋 회로는, 제1 PMOS 트랜지스터의 소스에 드레인이 접속되고, 게이트에는 리셋 신호가 입력되며, 소스가 전원 전위에 접속된 제2 PMOS 트랜지스터를 구비하는 것을 특징으로 하는 반도체 기억 장치.

청구항 10

제9항에 있어서, 상기 기억 회로는 대응하는 센스 앰프 회로에 대해 로드 데이타에 의해 기입이 지시되어 있는 것을 기억한 상태에서는 기입 데이타 기억 노드의 전위가 방전되고 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 11

제1항에 있어서, 워드선에 의해 선택되는 페이지에 대한 기입을 행할 때에,

(a) 기입 데이타를 센스 앰프 회로의 래치 회로에 로드하고,

(b) 기입을 지시하는 센스 앰프 회로를 식별하여 기억 회로에 기억시키며,

(c) 기입 동작을 행하고,

(d) 로드된 기입 데이타에 의해 기입이 지시되어 있는 센스 앰프 회로에 대해, 기억 회로의 기억 내용에 기초하여 데이타를 리셋하며,

(e) 기입 동작 후의 기입 검증 판독 동작을 행하고,

(f) 1 페이지 분의 센스 앰프 회로의 데이타가 모두 기입 완료 상태로 되었는지의 여부를 판정하며, 완료한 경우에는 기입 동작을 종료하고, 미완료한 경우에는 (c)의 스텝으로 이행하는 것을 특징으로 하는 반도체 기억 장치.

청구항 12

제2항에 있어서, n회째의 분할 기입에 있어서, n회째의 분할 기입 데이타를 센스 앰프 회로에 로드하기 전 또는 로드한 후에 센스 앰프 회로의 논리가 통상의 판독 동작과는 반전하는 역 판독 동작을 행하는 것을 특징으로 하는 반도체 기억 장치.

청구항 13

제2항에 있어서, n회의 분할 기입의 데이타를 센스 앰프 회로에 로드하기 전, 또는 후에 상기 센스 앰프 회로를 기억 회로의 기억 내용에 기초하여 리셋하고, 그 후 기입 동작을 행하기 전에 기입 검증 판독 동작을 행하는 것을 특징으로 하는 반도체 기억 장치.

청구항 14

복수개씩 서로 교차하는 데이타선과 워드선, 및 이들 데이타선과 워드선의 교차부에 배치된 전기적 개서 가능한 불휘발성 메모리 셀을 갖는 메모리 셀 어레이;

상기 데이타선에 접속되고, 상기 메모리 셀 어레이로부터의 판독 데이타를 센스 노드를 통해 판독하여 래치하는 기능 및 메모리 셀 어레이로의 기입 데이타를 로드하여 래치하는 기능을 갖는 복수의 센스 앰프 회로; 및

상기 센스 앰프 회로에 로드되는 기입 데이타를 기억하는 기억 회로

를 구비하고,

제1 기입 패스의 판정이 얻어지기까지 기입 동작 및 기입 검증 동작의 사이클을 행하고, 제1 기입 패스의 판정 후에 로드 데이타에 의해 기입이 지시되어 있는 센스 앰프 회로에서는, 기억 회로의 기억 내용에 기초하여 로드 데이타와 같이 센스 앰프 회로의 데이타가 리셋되며, 재차 기입 검증 판독 동작을 행하는 것을 특징으로 하는 반도체 기억 장치.

청구항 15

제14항에 있어서, 상기 제1 기입 패스의 판정이 얻어지기까지 행해지는 기입 동작 및 기입 검증 동작의 사이클에서는, 사이클마다 기입 전압이 단계적으로 높아지게 되는 스텝업 기입 방식으로 기입이 행해지는 것을 특징으로 하는 반도체 기억 장치.

청구항 16

제15항에 있어서, 재차 기입 검증 판독 동작을 행한 결과, 기입 불충분으로 판정된 메모리 셀에 대해서는 추가 기입 동작을 행하고, 그 때의 기입 전압은 스텝업 기입 방식의 스타트 전압으로 되돌아가도록 제어되는 것을 특징으로 하는 반도체 기억 장치.

청구항 17

제14항에 있어서, 재차 기입 검증 판독 동작을 행한 결과, 기입 불충분으로 판정된 메모리 셀에 대해서는 추가 기입 동작을 행하고, 그 때의 기입 전압은 스텝업 기입 방식의 스타트 전압으로부터 1 스텝 또는 2 스텝 만큼 높은 전압으로 되돌아가도록 제어되는 것을 특징으로 하는 반도체 기억 장치.

청구항 18

제1항에 있어서, 상기 메모리 셀은 복수의 데이타 선에 대응하여 설치되어 있는 복수의 메모리 셀이 동시에 선택 제어되고, 선택시에는 대응하는 데이타선의 전하를 선택된 메모리 셀의 임계치에 따라 방전하거나 혹은 방전하지 않도록 제어되며, 복수의 메모리 셀의 방전 전하의 경로가 공통으로 접속되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 19

복수개씩 서로 교차하는 데이타 선과 워드선, 및 이들 데이타선과 워드선의 교차부에 배치된 전기적 개서 가능한 불휘발성 메모리 셀을 갖는 메모리 셀 어레이; 및

상기 데이타선에 접속되고, 상기 메모리 셀 어레이로부터의 판독 데이타를 센스 노드를 통해 판독하여 래치하는 기능 및 메모리 셀 어레이로의 기입 데이타를 로드하여 래치하는 기능을 갖는 복수의 센스 앰프 회로를 구비하고,

기입 동작 및 기입 검증 판독 동작 사이클을 거쳐 기입을 행해야 하는 메모리 셀에 기입 동작이 충분히 행해진 것을 판정한 후, 센스 앰프의 논리가 통상의 판독 동작과는 반전함과 동시에, 워드선의 전위가 통상의 판독 동작시의 전압 이상 기입 검증 판독 동작시의 전압 미만으로 설정되는 역 판독 동작을 행하고, 센스 앰프 회로의 데이타를 일단 로드 데이타와 같이 리셋한 상태에서 재차 기입 검증 판독 동작을 행하는 것을 특징으로 하는 반도체 기억 장치.

청구항 20

복수개씩 서로 교차하는 데이타선과 워드선, 및 이들 데이타선과 워드선의 교차부에 배치된 전기적 개서 가능한 불휘발성 메모리 셀을 갖는 메모리 셀 어레이; 및

상기 데이타선에 접속되고, 상기 메모리 셀 어레이로부터의 판독 데이타를 센스 노드를 통해 판독하여 래치하는 기능 및 메모리 셀 어레이로의 기입 데이타를 로드하여 래치하는 기능을 갖는 복수의 센스 앰프 회로를 구비하고,

기입 동작과 기입 검증 판독 동작과의 사이에 워드선의 전위가 통상의 판독 동작시의 전압 이상 기입 검증 판독 동작시의 전압 미만으로 설정되는 역판독 동작을 행하고, 센스 앰프 회로의 데이타를 일단 로드 데이타와 같이 리셋하는 것을 특징으로 하는 반도체 기억 장치.

청구항 21

복수개씩 서로 교차하는 데이타선과 워드선, 및 이들 데이타선과 워드선의 교차부에 배치된 전기적 개서 가능한 불휘발성 메모리 셀을 갖는 메모리 셀 어레이;

상기 데이타선에 접속되고, 상기 메모리 셀 어레이로부터의 판독 데이타를 센스 노드를 통해 판독하여 래치하는 기능 및 메모리 셀 어레이로의 기입 데이타를 로드하여 래치하는 기능을 갖는 복수의 센스 앰프 회로;

상기 센스 앰프 회로에 로드되는 기입 데이타를 기억하는 기억 회로; 및

상기 기억 회로에 기입 동작 간에 유지되는 데이타와, 상기 메모리 셀 어레이에 대한 통상의 판독 동작 또는 기입 검증 판독 동작에 의해 상기 센스 노드에 얻어지는 데이타와의 논리에 따라, 오기입이 행해진 것을 알리는 데이타를 상기 센스 앰프 회로에 판독시키는 오기입 검지 회로

를 구비하는 것을 특징으로 하는 반도체 기억 장치.

청구항 22

제21항에 있어서, 상기 센스 앰프 회로는 상보적인 제1 및 제2 기억 노드를 갖고, 제2 기억 노드가 선택적으로 센스 노드를 통해 데이타선에 접속되는 래치 회로를 주체로서 구성되며,

상기 기억 회로는 게이트를 기입 데이타 기억 노드로서 상기 래치 회로에 로드된 기입 데이타에 대응하는 전위를 다이나믹하게 기억하는 메모리 MOS 트랜지스터와, 상기 메모리 MOS 트랜지스터의 기입 데이타 기억 노드와 상기 래치 회로의 제1 및 제2 기억 노드 중 어느 한쪽과의 사이에 설치된 기입용 MOS 트랜지스터를 구비하여 구성되고,

상기 오기입 검지 회로는 상기 래치 회로의 기입 데이타가 로드되는 제2 기억 노드와 접지 단자와의 사이에서 상기 메모리 MOS 트랜지스터와 직렬 접속되고, 기입 동작 종료 후에 온 구동되는 오기입 체크용 MOS 트랜지스터와, 상기 센스 노드의 전위에 의해 게이트가 제어되는 센스용 MOS 트랜지스터로 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 23

제22항에 있어서, 상기 기억 회로의 메모리 MOS 트랜지스터는 NMOS 트랜지스터이고, 상기 기입용 MOS 트랜지스터는 상기 래치 회로의 제2 기억 노드와 메모리 MOS 트랜지스터의 기입 데이타 기억 노드와의 사이에 설치되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 24

제22항에 있어서, 상기 기억 회로의 메모리 MOS 트랜지스터는 PMOS 트랜지스터이고, 상기 기입용 MOS 트랜지스터는 상기 래치 회로의 제1 기억 노드와 메모리 MOS 트랜지스터의 기입 데이타 기억 노드와의 사이에 설치되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 25

제24항에 있어서, 상기 기억 회로는 게이트가 상기 메모리 MOS 트랜지스터로서의 PMOS 트랜지스터의 게이트와 공통인 기입 데이타 기억 노드로 되고, 상기 래치 회로에 로드된 기입 데이타를 기억하는 제2 메모리 MOS 트랜지스터로서의 NMOS 트랜지스터를 더 갖으며, 상기 래치 회로의 제2 기억 노드와 접지 단자와의 사이에서 상기 NMOS 트랜지스터와 직렬 접속되고, 기입 검증 판독 동작 전에 리셋 신호에 의해 온 구동되어 상기 기입 데이타 기억 노드의 전위에 따라 상기 래치 회로에 초기의 기입 데이타를 재현하기 위한 리셋용 MOS 트랜지스터를 더 구비하는 것을 특징으로 하는 반도체 기억 장치.

청구항 26

제22항에 있어서, 워드선에 의해 선택되는 페이지에 대한 기입을 행할 때,

(a) 상기 센스 앰프 회로의 래치 회로에 기입 데이타를 로드하고,

(b) 소거 상태를 유지하는 것을 지시하는 센스 앰프 회로를 식별하여 기억 회로에 기억시키며,

(c) 기입 동작을 행하고,

(d) 기입 동작 후의 기입 검증 판독 동작을 행하며,

(e) 1페이지분의 모든 센스 앰프 회로의 데이타가 기입 완료 상태로 되었는지의 여부를 판정하여 완료일 경우는 기입 동작을 종료하고 미완료일 경우는 재차 기입 동작 및 기입 검증 판독 동작을 반복하고,

(f) 기입 동작 종료 후, 상기 기억 회로의 기억 내용과 상기 센스 앰프 회로에 의한 검증 판독 데이타와의 논리에 의해 오기입이 있었는지의 여부를 판정하는 것을 특징으로 하는 반도체 기억 장치.

청구항 27

제22항에 있어서, 상기 센스 앰프 회로에 오기입이 행해진 것을 알리는 데이타가 판독된 것을 검출하면 플래그를 세우는 회로를 더 구비하는 것을 특징으로 하는 반도체 기억 장치.

청구항 28

제22항에 있어서, 상기 센스 앰프 회로는 상보적인 제1 및 제2 기억 노드를 갖고, 제2 기억 노드가 선택적으로 센스 노드를 통해 데이타선에 접속되는 래치 회로를 주체로서 구성되며,

상기 기억 회로는 상기 래치 회로의 제1 기억 노드에 드레인이 접속되고, 게이트에는 기입 데이타 래치 신호가 입력되며, 소스가 기입 데이타 기억 노드에 접속된 제1 NMOS 트랜지스터; 및

상기 래치 회로의 제2 기억 노드에 드레인이 접속되고, 게이트가 기입 데이타 기억 노드에 접속된 제2 NMOS 트랜지스터를 구비하고,

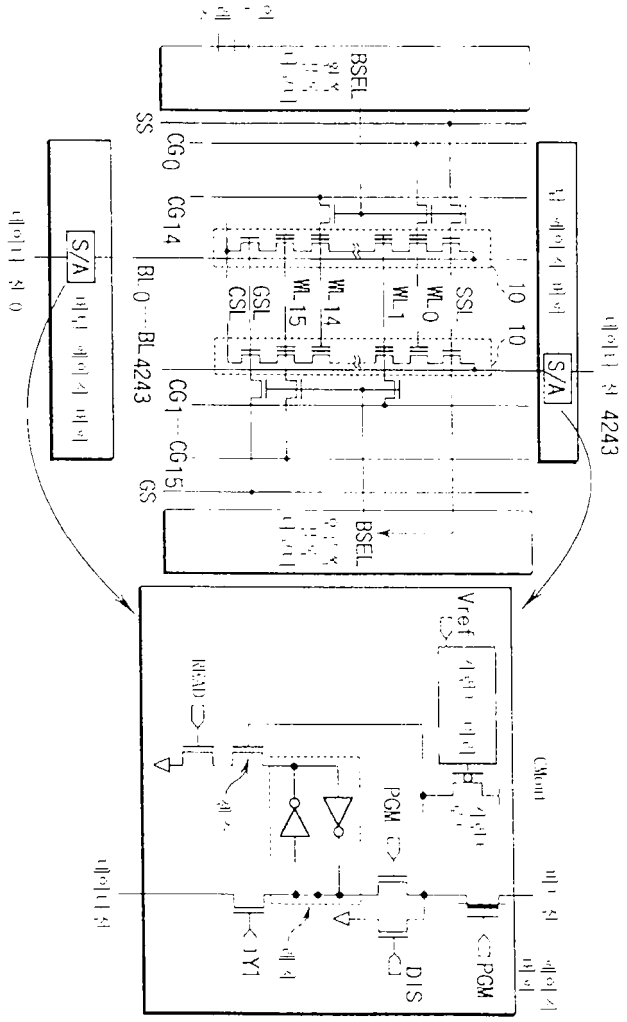
상기 오기입 검지 회로는 제2 NMOS 트랜지스터의 소스에 드레인이 접속되고, 게이트에는 리셋 신호가 입력되며, 소스가 접지 전위에 접속된 제3 NMOS 트랜지스터로 이루어지는 것을 특징으로 하는 반도체 기억 장치.

청구항 29

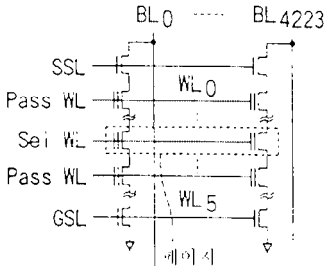
제28항에 있어서, 상기 오기입 검지 회로는 통상의 판독 동작에 의해 기입 동작이 종료한 메모리 셀 어레이로부터 판독한 데이타가 상기 센스 노드를 통해 센스 앰프 회로에 래치된 후, 메모리 셀에 기입이 행해지고 있는 것을 나타내는 데이타가 유지된 센스 앰프 회로 중 로드 데이타에 의해 기입이 지시되어 있던 센스 앰프 회로의 데이타를 기억 회로의 기억 결과에 기초해서 리셋하는 것으로 상기 메모리 셀 어레이에 오기입이 행해지고 있는 것을 알리는 데이타를 상기 센스 앰프 회로에 판독하는 것을 특징으로 하는 반도체 기억 장치.

도면

도면1


BSEL
SS
CG0
CG14
S/A
BL 0
BL 4243
WL 15
WL 14
WL 1
WL 0
SSL
GSL
CSL
CG1
CG15
GS
4243
Vref
READ
PGM
DIS
CMout

도면2a


BL 0
BL 4223
SSL
Pass WL
Sel WL
Pass WL
GSL
WL 0
WL 5

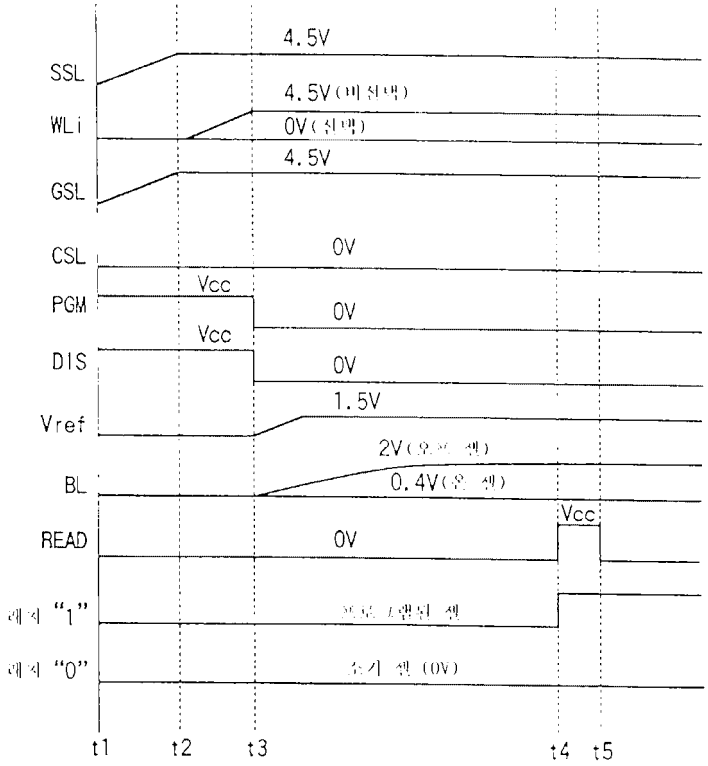
도면2b

(종래 기술)

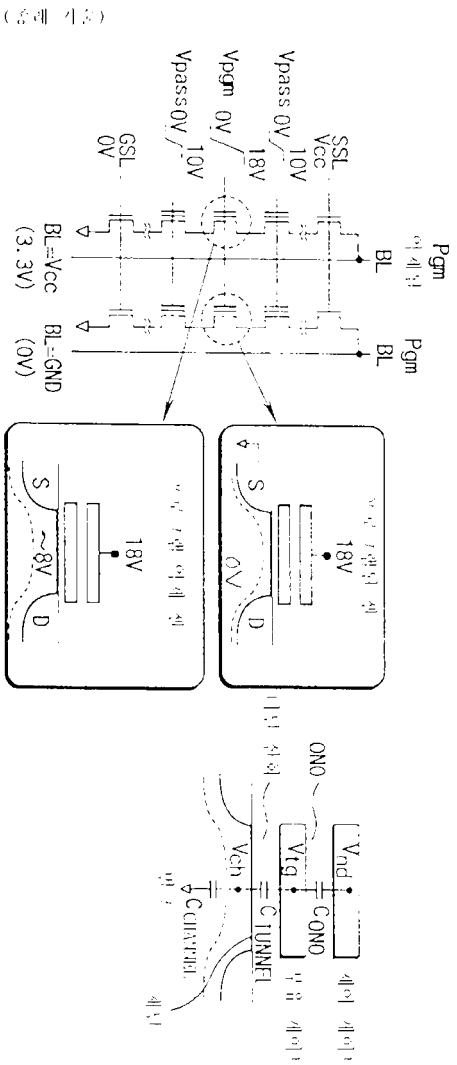
	소거	읽기	프로그램
선택 WL	0	0	Vpgm(=18)
비선택 (동작셀) WL	0	Vpass(=4.5)	Vm(=10)
SSL	F	Vpass(=4.5)	Vcc
GSL	F	Vpass(=4.5)	0
"0" BL	F	1.5	0
"1" BL	F	0.7	Vcc
Bulk	Ver	0	0

도면3

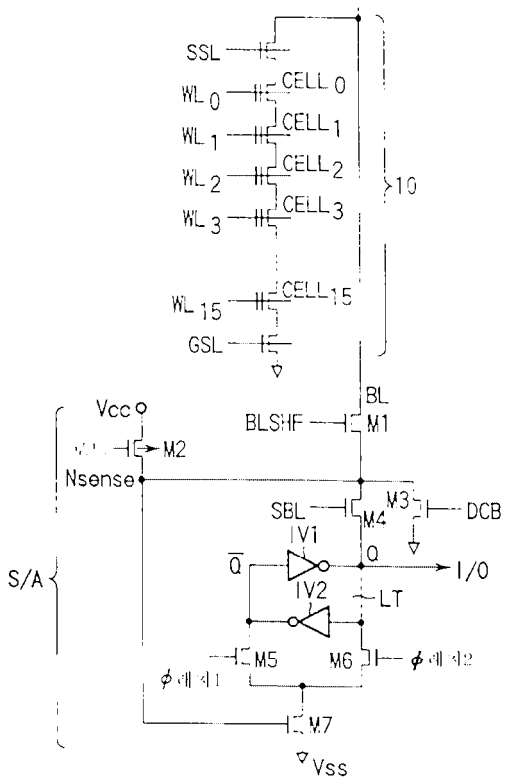
(종래 기술)



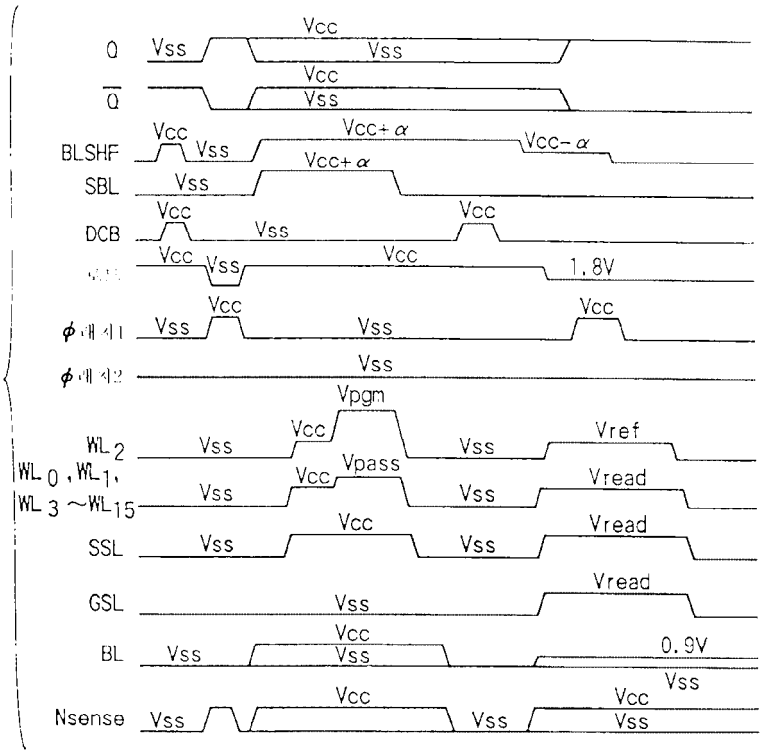
도면4


GSL
0V
Vpass0V
10V
Vpgm 0V
18V
Vpass 0V
10V
SSL
Vcc
Pgm
BL
BL=Vcc
(3.3V)
BL=GND
(0V)
S
D
18V
~8V
0V
ONO
Vch
Vtg
Vnd
C TUNNEL
C ONO

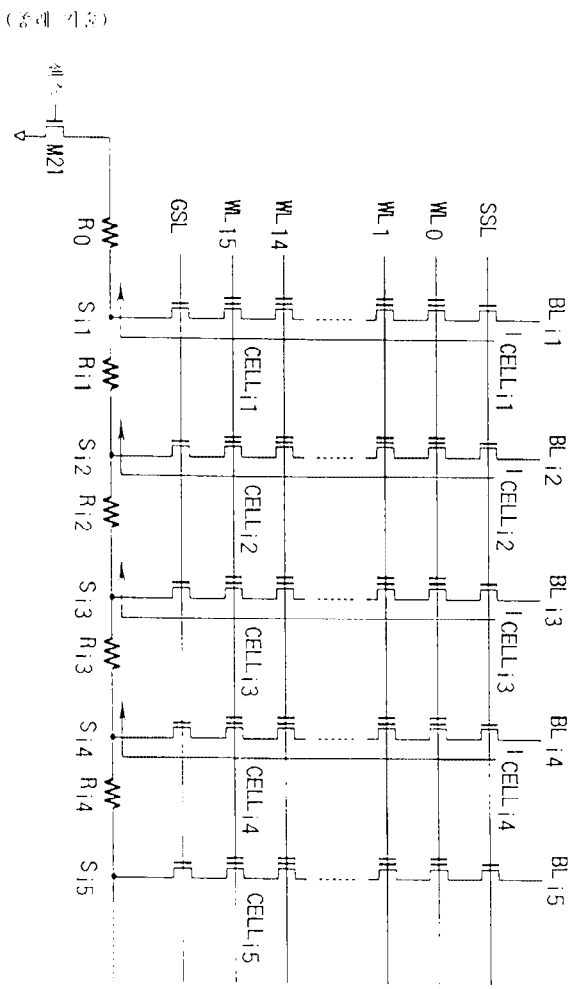
도면5


SSL
WL 0
WL 1
WL 2
WL 3
WL 15
GSL
CELL 0
CELL 1
CELL 2
CELL 3
CELL 15
10
BL
BLSHF
M1
Vcc
M2
Nsense
SBL
M3
M4
DCB
IV1
IV2
Q
I/O
LT
S/A
M5
M6
M7
Vss

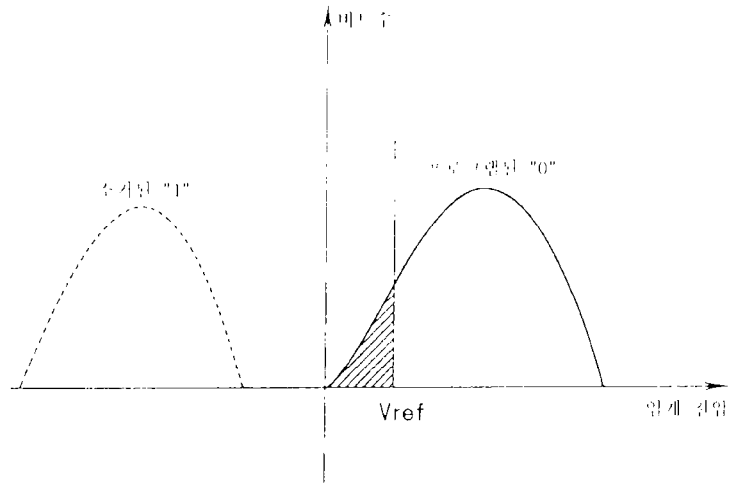
도면6


Q
Vss
Vcc
Vss
Vcc
Vss
BLSHF
Vcc
Vss
Vcc+α
Vcc−α
Vcc+α
SBL
Vss
DCB
Vcc
Vss
Vcc
Vcc
Vss
Vcc
1.8V
Vcc
Vss
Vss
Vcc
Vss
Vpgm
Vcc
Vpass
Vref
Vread
WL 2
WL 0, WL 1, WL 3 ~WL 15
SSL
GSL
BL
Nsense
0.9V

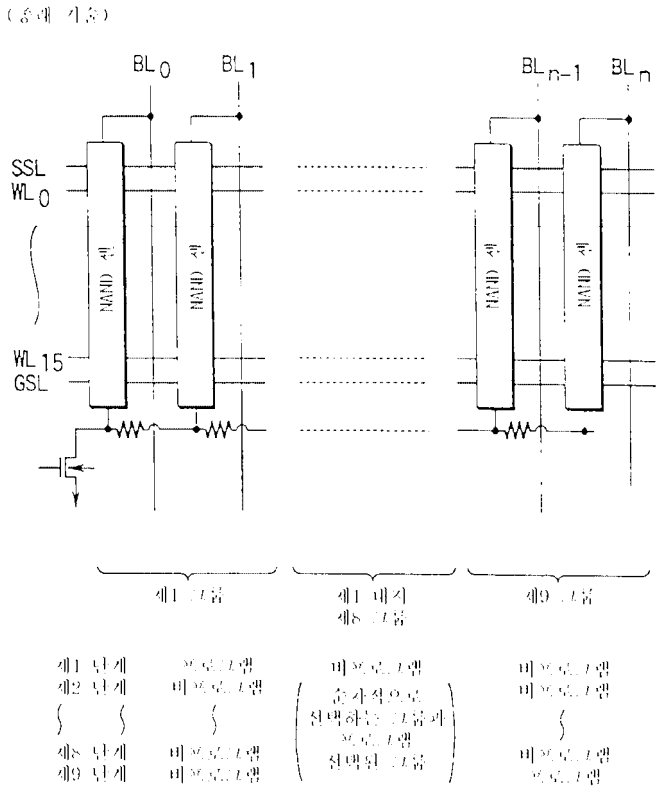
도면7


M21
GSL
WL15
WL14
WL1
WL0
SSL
R0
Si1
Ri1
Si2
Ri2
Si3
Ri3
Si4
Ri4
Si5
BLi1
BLi2
BLi3
BLi4
BLi5
CELLi1
CELLi2
CELLi3
CELLi4
CELLi5

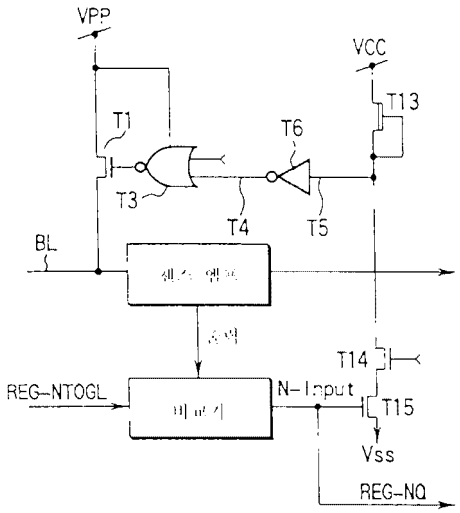
도면8


Vref

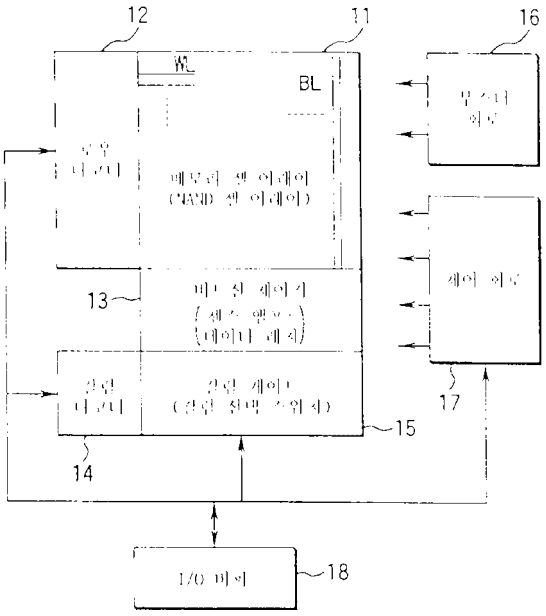
도면9


BL 0
BL 1
BL n-1
BL n
SSL
WL 0
WL 15
GSL
NAND 셀
NAND 셀
NAND 셀
NAND 셀

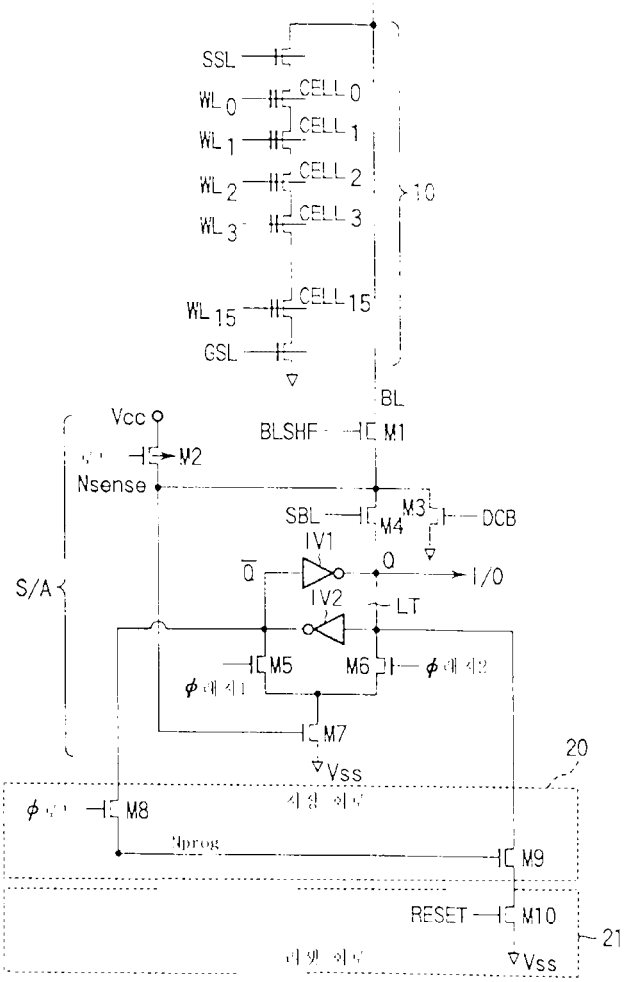
도면10


VPP
VCC
T1
T3
T4
T5
T6
T13
T14
T15
BL
REG-NTOGL
N-Input
Vss
REG-NQ

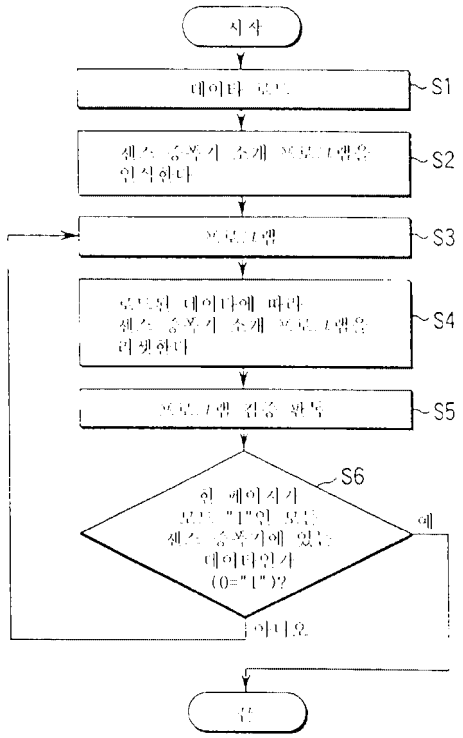
도면11


12
11
16
WL
BL
13
17
15
14
18

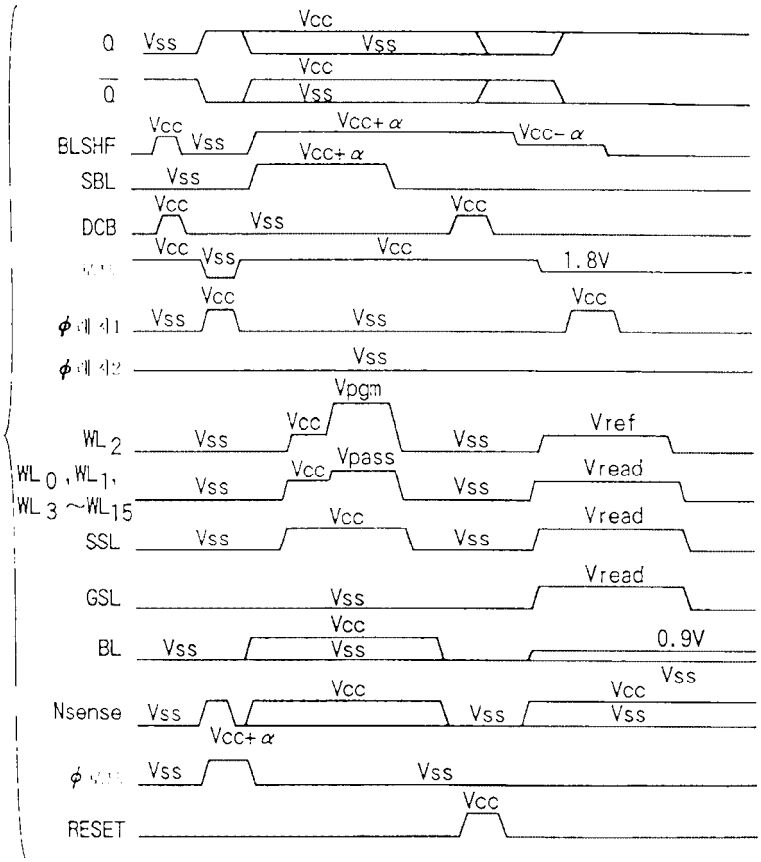
도면12


SSL
WL 0
CELL 0
WL 1
CELL 1
WL 2
CELL 2
WL 3
CELL 3
10
WL 15
CELL 15
GSL
BL
Vcc
BLSHF
M1
M2
Nsense
SBL
M4
M3
DCB
IV1
Q
I/O
S/A
IV2
LT
M5
M6
M7
Vss
20
M8
Vprog
M9
RESET
M10
21
Vss

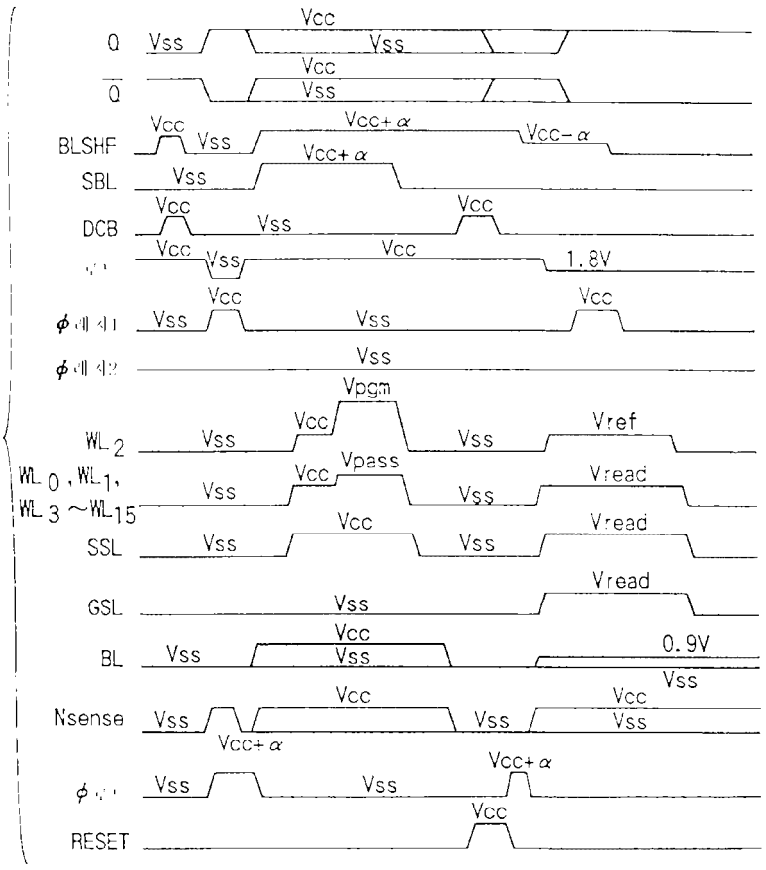
도면13


시작
S1
S2
S3
S4
S5
S6
예
아니오
끝

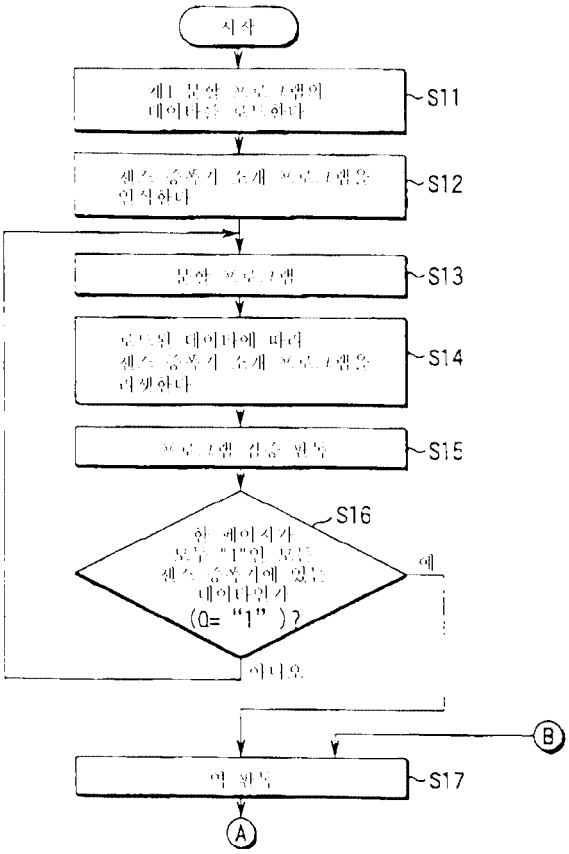
도면14


Q
$\overline{Q}$
BLSHF
SBL
DCB
ϕ에 서1
ϕ에 서2
WL 2
WL 0, WL 1, WL 3 ~WL 15
SSL
GSL
BL
Nsense
RESET
Vcc
Vss
Vcc+α
Vcc−α
1.8V
Vpgm
Vpass
Vref
Vread
0.9V

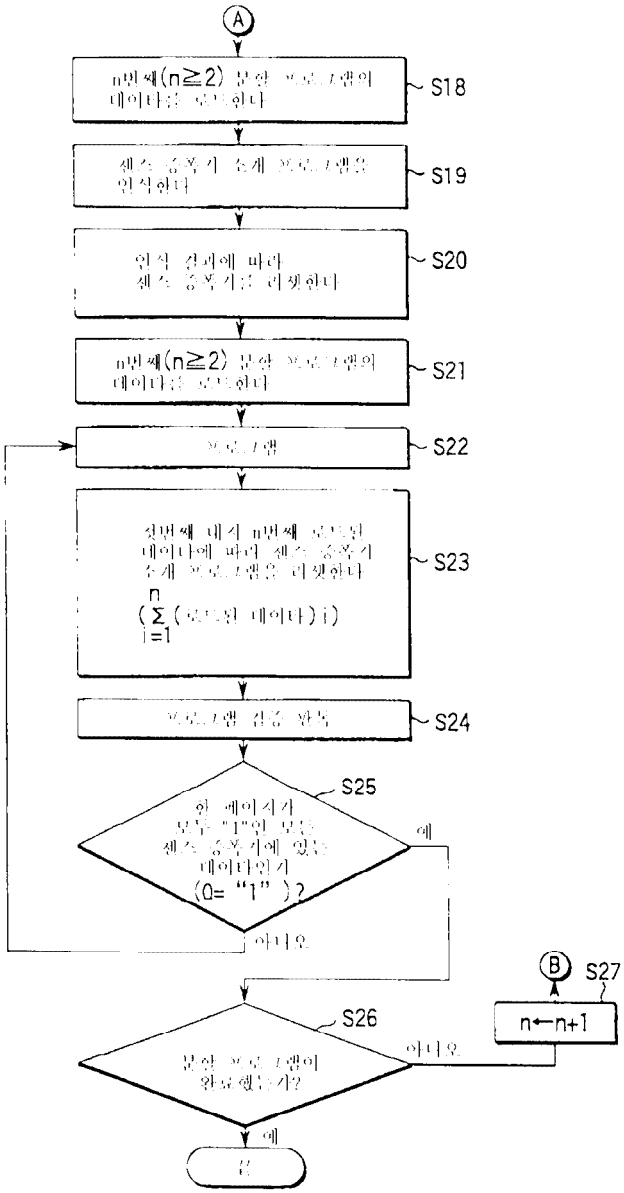
도면15


Q
Vcc
Vss
Vss
Vcc
Vss
BLSHF
Vcc
Vss
Vcc+α
Vcc−α
Vcc+α
SBL
Vss
Vcc+α
DCB
Vcc
Vss
Vcc
Vcc
Vss
Vcc
1.8V
Vcc
Vss
Vss
Vcc
Vss
Vpgm
Vcc
Vss
Vss
Vref
WL2
Vcc
Vpass
Vread
WL0, WL1, WL3 ~WL15
Vss
Vss
Vcc
Vread
SSL
Vss
Vss
Vread
GSL
Vss
Vcc
0.9V
BL
Vss
Vss
Vss
Vcc
Vcc
Nsense
Vss
Vss
Vss
Vcc+α
Vcc+α
Vss
Vss
Vcc
RESET

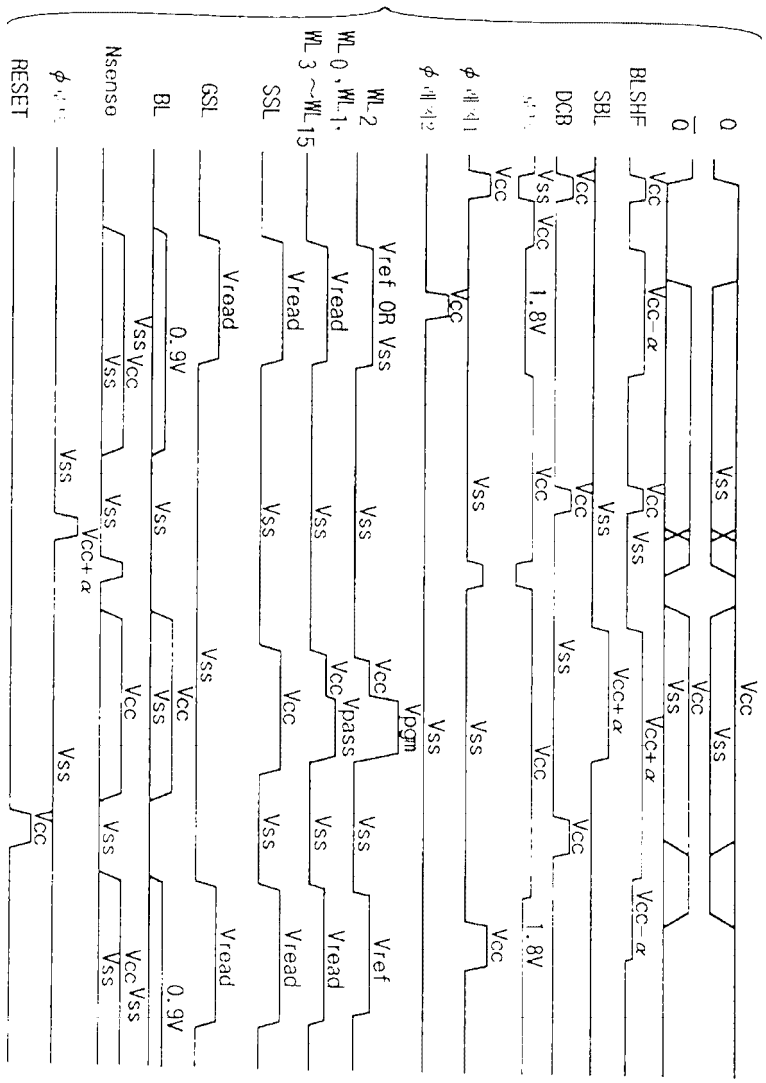
도면16



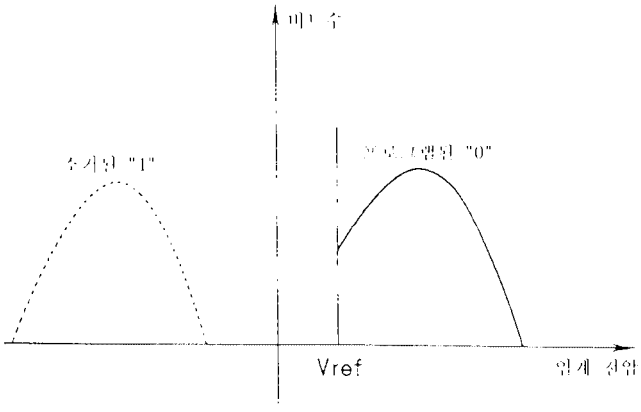
도면17



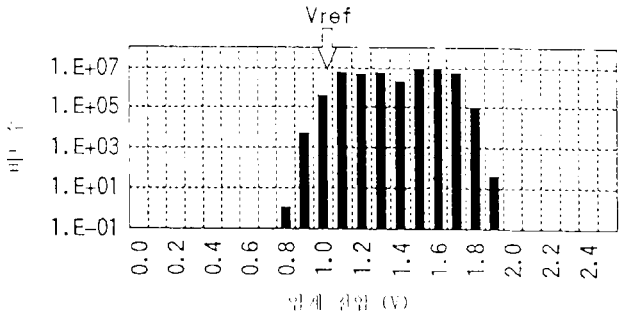
도면18


Q
$\overline{Q}$
BLSHF
SBL
DCB
φ 래치1
φ 래치2
WL 2
WL 0, WL 1,
WL 3 ~WL 15
SSL
GSL
BL
Nsense
φ
RESET
Vcc
Vss
Vcc-α
Vcc+α
1.8V
Vref OR Vss
Vread
Vpass
Vpgm
Vref
0.9V

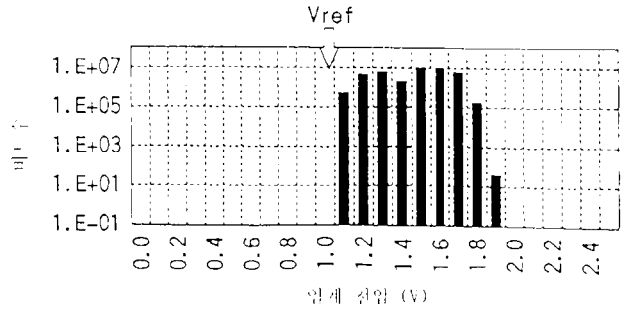
도면19


Vref

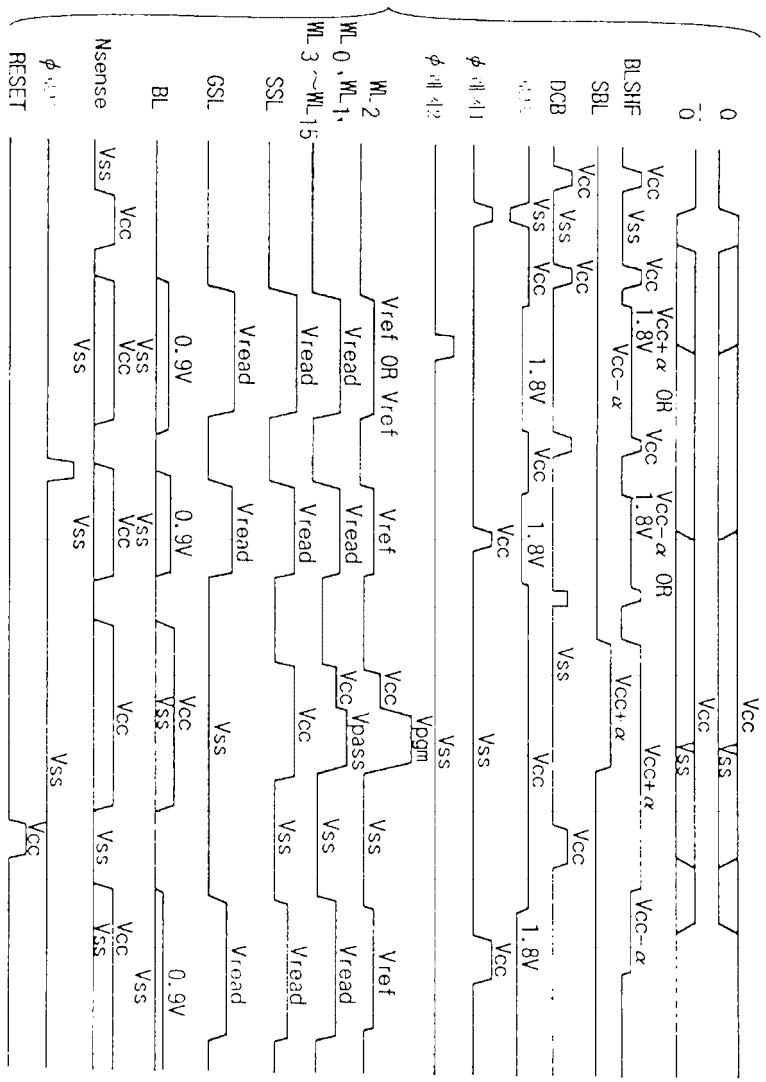
도면20a


Vref
1.E+07
1.E+05
1.E+03
1.E+01
1.E-01
0.0
0.2
0.4
0.6
0.8
1.0
1.2
1.4
1.6
1.8
2.0
2.2
2.4

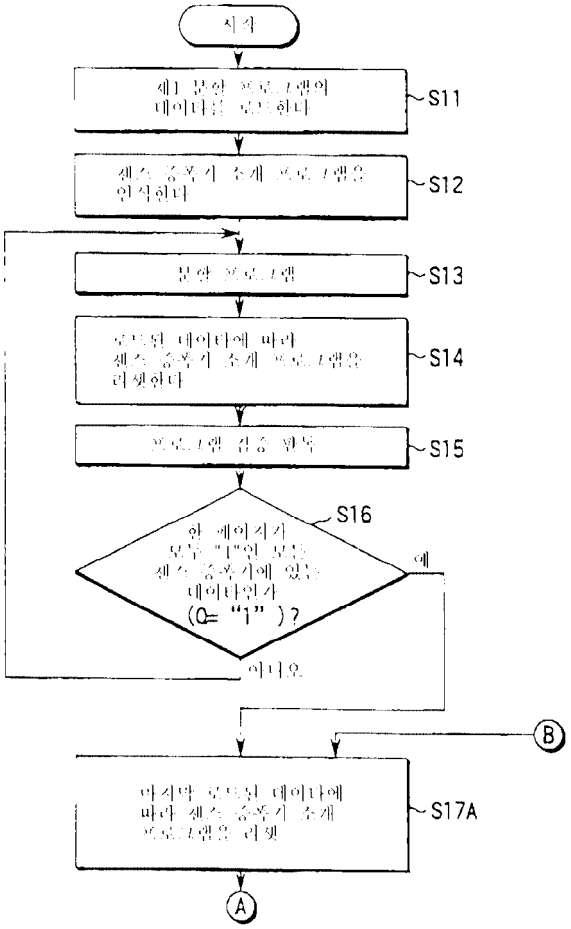
도면20b


Vref
1.E+07
1.E+05
1.E+03
1.E+01
1.E-01
0.0
0.2
0.4
0.6
0.8
1.0
1.2
1.4
1.6
1.8
2.0
2.2
2.4

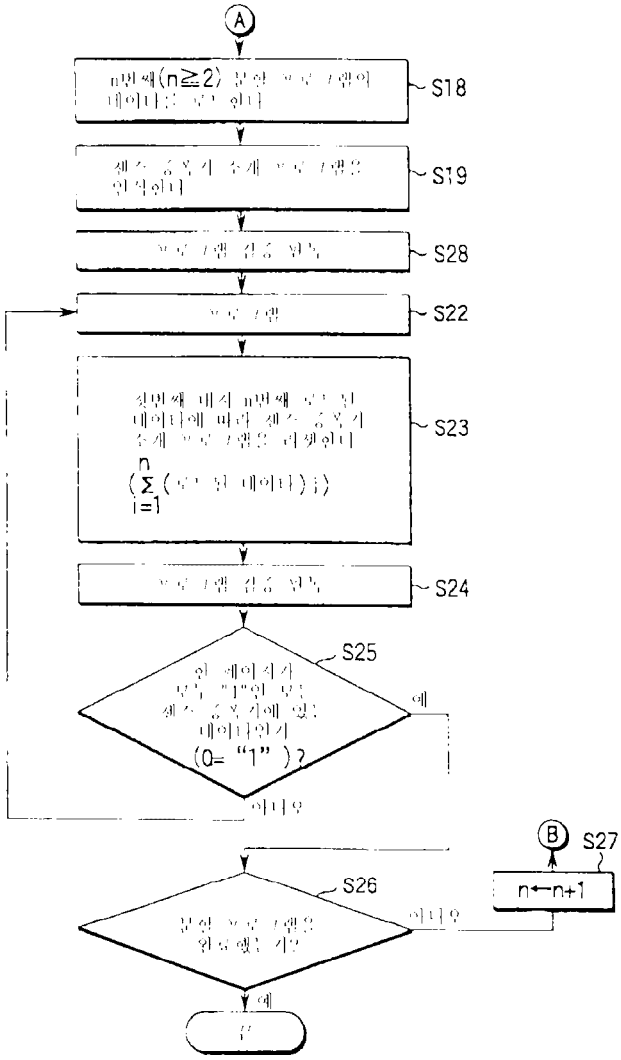
도면21


Q
BLSHF
SBL
DCB
WL 2
WL 0, WL 1,
WL 3~WL 15
SSL
GSL
BL
Nsense
RESET
Vcc
Vss
Vcc+α OR
Vcc-α OR
1.8V
Vcc-α
Vcc+α
Vref OR Vref
Vref
Vread
Vpass
Vpgm
0.9V

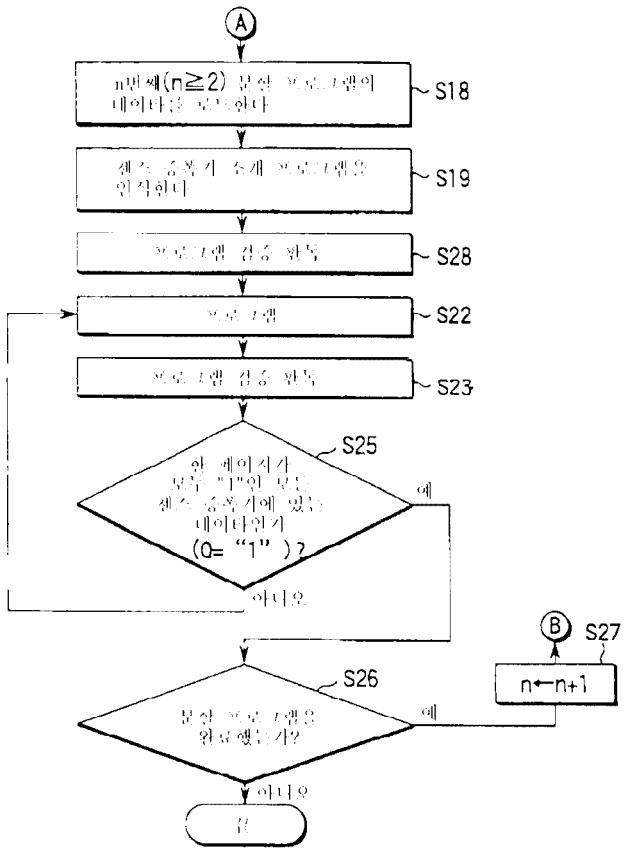
도면22


시작
제1 분할 프로그램이
데이터를 보존한다
S11
센스 증폭기 초기 프로그램을
인식한다
S12
분할 프로그램
S13
보존된 데이터에 따라
센스 증폭기 초기 프로그램을
리셋한다
S14
프로그램 검증 완료
S15
S16
한 페이지의
모든 "1"인 모든
센스 증폭기에 있는
데이터인가
(D= "1")?
예
아니오
B
마지막 보존된 데이터에
따라 센스 증폭기 초기
프로그램을 리셋
S17A
A

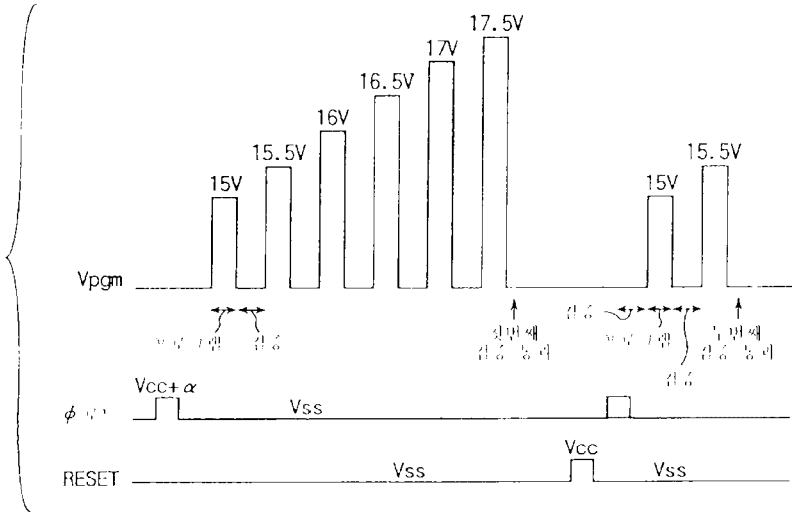
도면23



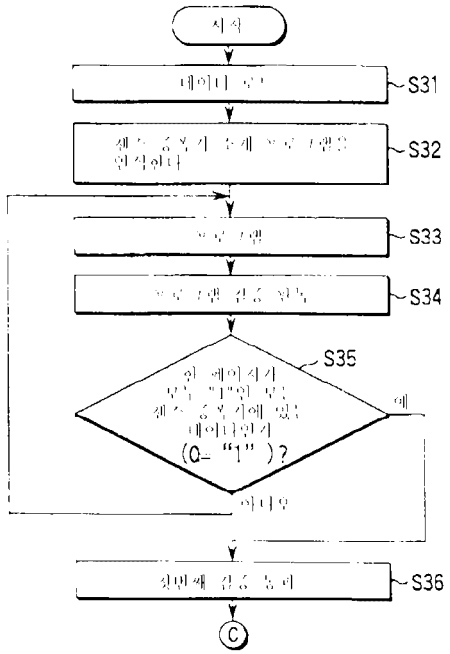
도면24


A
S18
S19
S28
S22
S23
S25
예
아니오
B
S27
n←n+1
S26
예
아니오

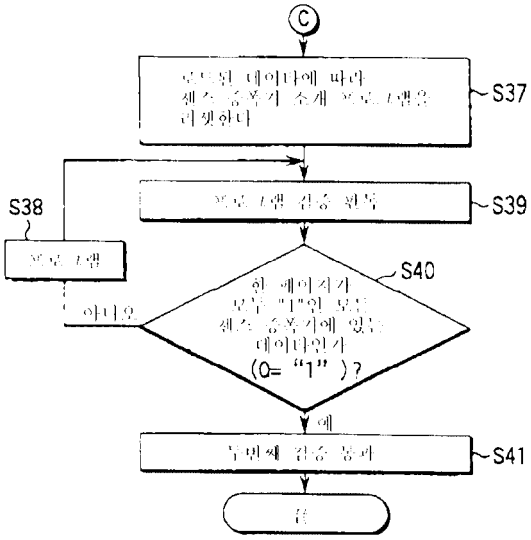
도면25


15V
15.5V
16V
16.5V
17V
17.5V
15V
15.5V
Vpgm
Vcc+α
Vss
Vcc
Vss
RESET
Vss

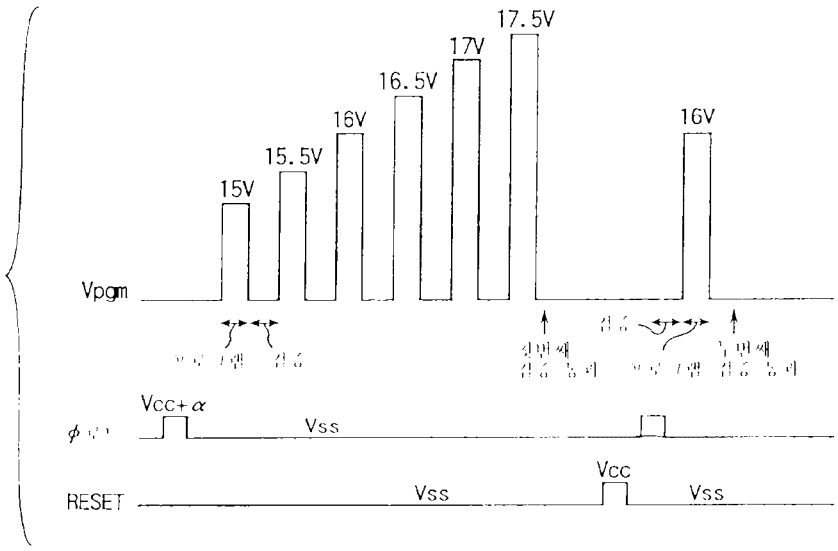
도면26



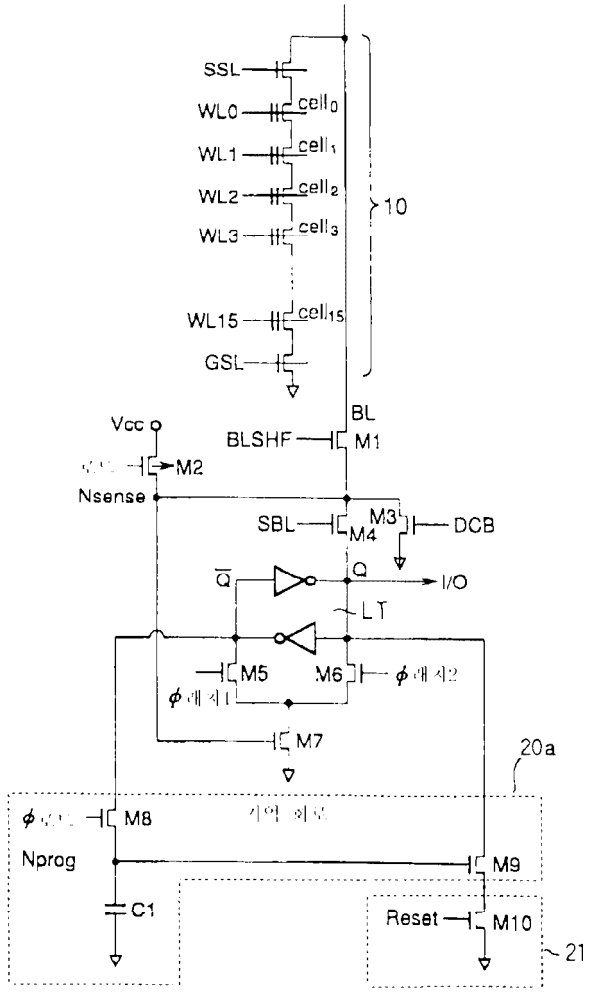
도면27



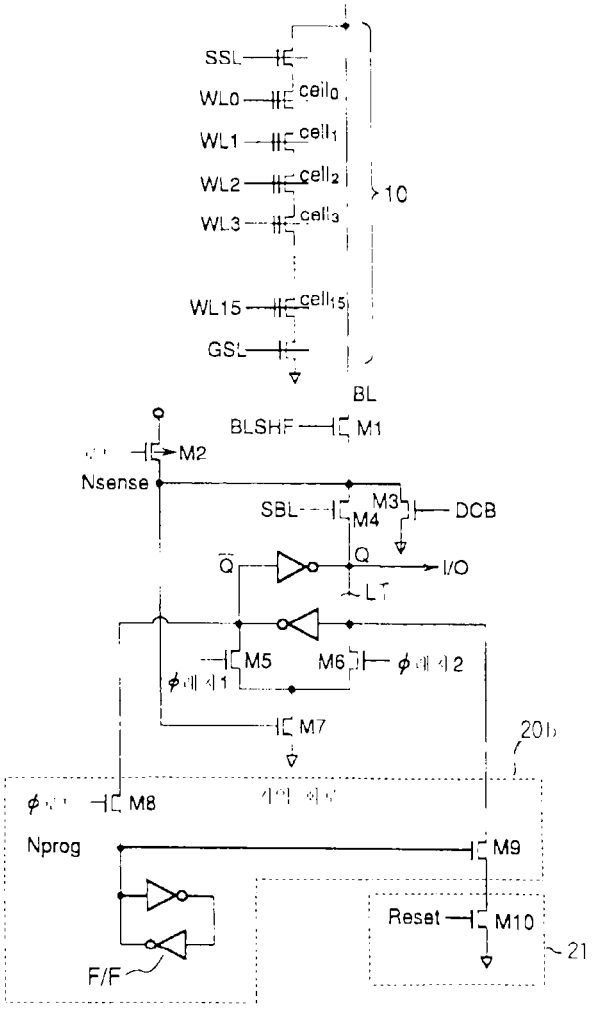
도면28


17.5V
17V
16.5V
16V
15.5V
15V
16V
Vpgm
Vcc+α
Vss
Vcc
Vss
RESET
Vss

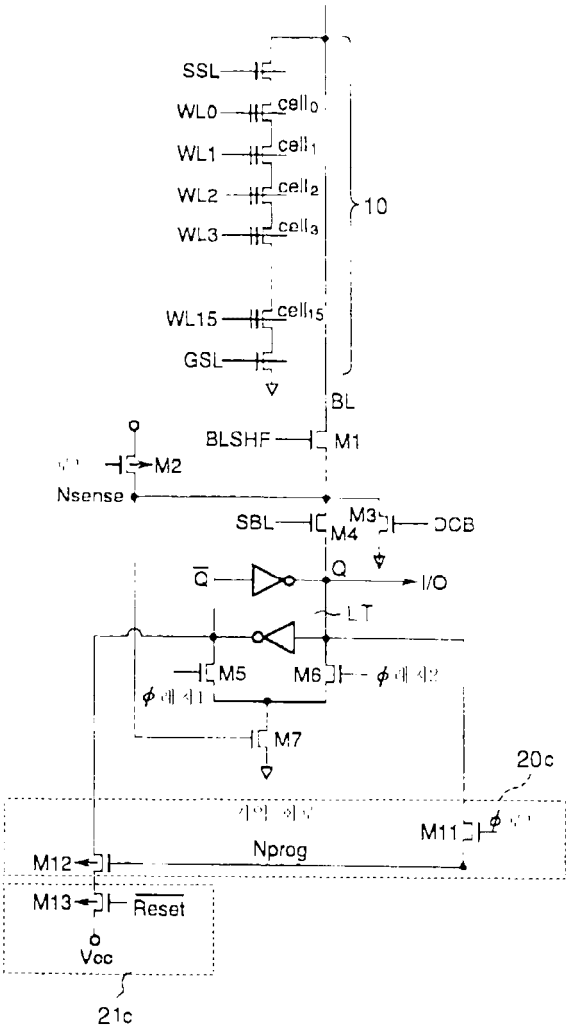
도면29


SSL
WL0
WL1
WL2
WL3
WL15
GSL
cell0
cell1
cell2
cell3
cell15
10
BL
BLSHF
M1
Vcc
M2
Nsense
SBL
M3
M4
DCB
Q
I/O
LT
M5
M6
M7
M8
Nprog
M9
C1
Reset
M10
20a
21

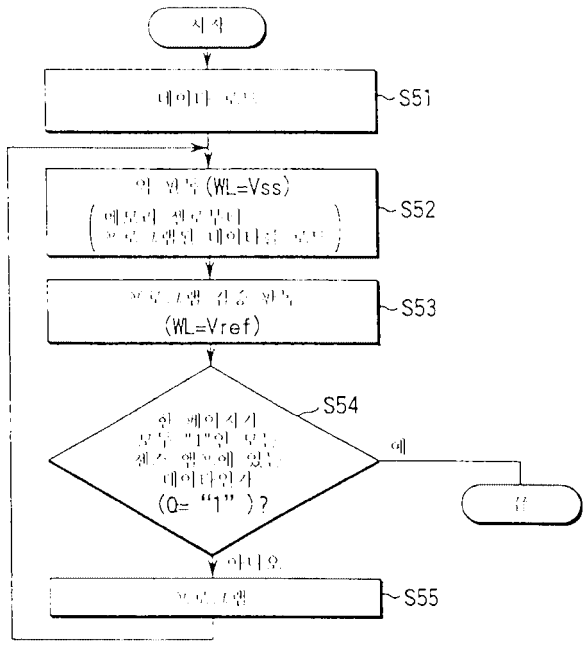
도면30


SSL
WL0
cell0
WL1
cell1
WL2
cell2
WL3
cell3
WL15
cell15
GSL
10
BL
BLSHF
M1
M2
Nsense
SBL
M3
M4
DCB
Q
I/O
M5
M6
M7
M8
Nprog
M9
Reset
M10
F/F
21

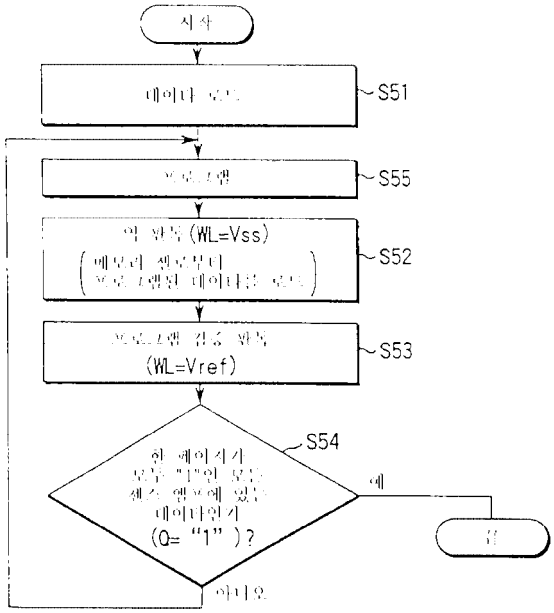
도면31


SSL
WL0
cell0
WL1
cell1
WL2
cell2
WL3
cell3
10
WL15
cell15
GSL
BL
BLSHF
M1
M2
Nsense
SBL
M3
M4
DCB
Q
I/O
LT
M5
M6
M7
20c
M11
Nprog
M12
M13
Reset
Vcc
21c

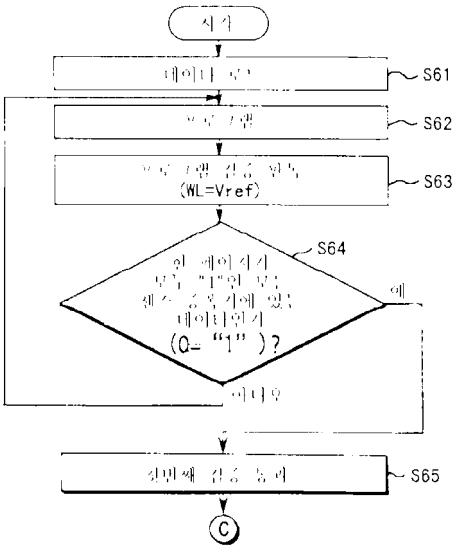
도면32


S51
(WL=Vss)
S52
(WL=Vref)
S53
S54
(Q= "1")?
예
S55

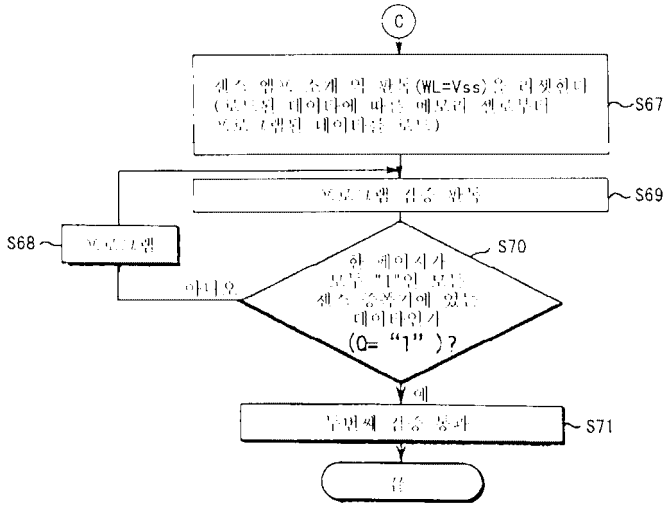
도면33


시작
S51
S55
(WL=Vss)
S52
(WL=Vref)
S53
S54
(Q= "1")?
예
아니오

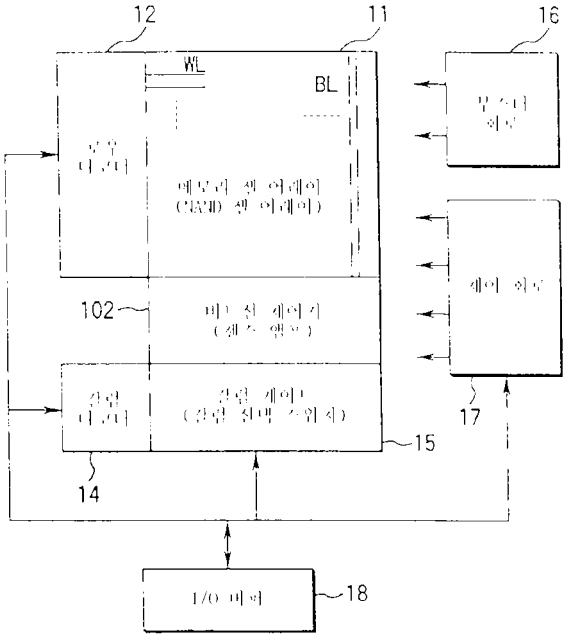
도면34


시작
S61
S62
(WL=Vref)
S63
S64
(Q= "1")?
예
아니오
S65
C

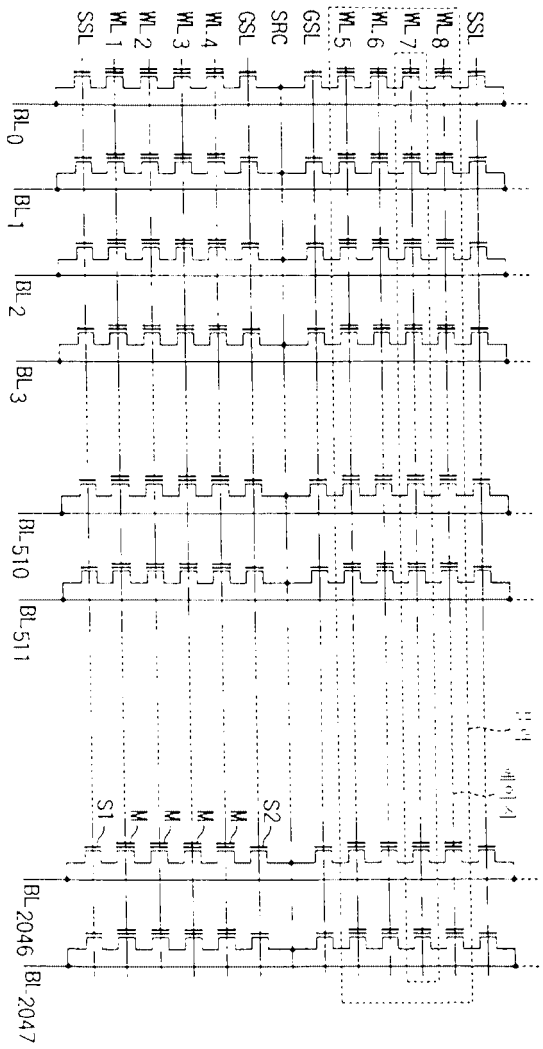
도면35



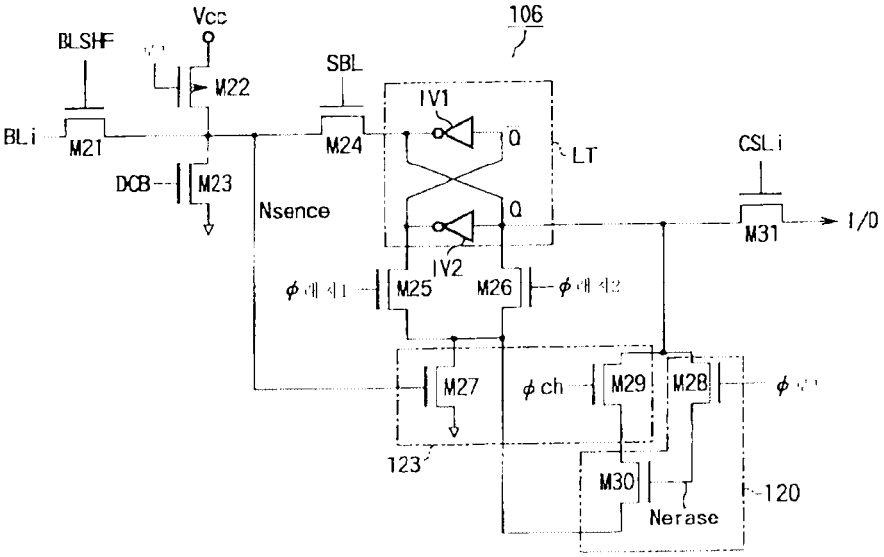
도면36



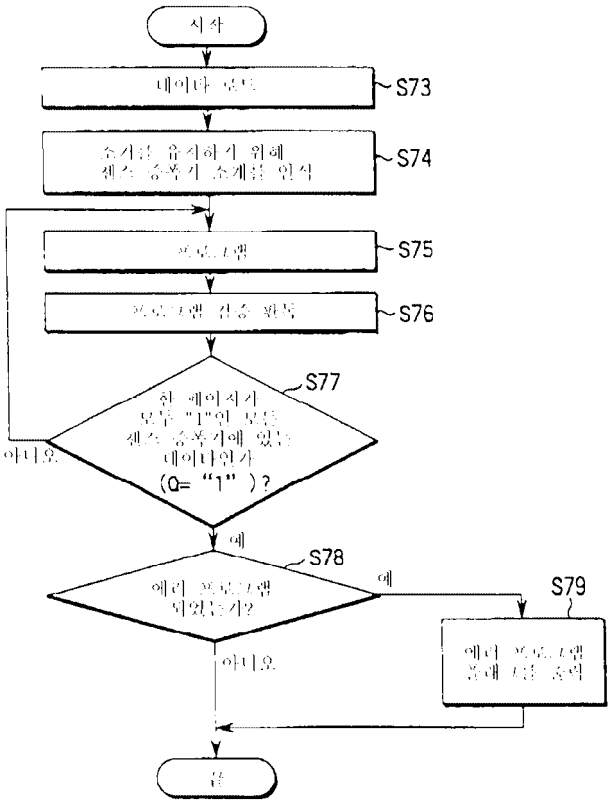
도면37


SSL
WL1
WL2
WL3
WL4
GSL
SRC
GSL
WL5
WL6
WL7
WL8
SSL
BL0
BL1
BL2
BL3
BL510
BL511
S1
S2
BL2046
BL2047

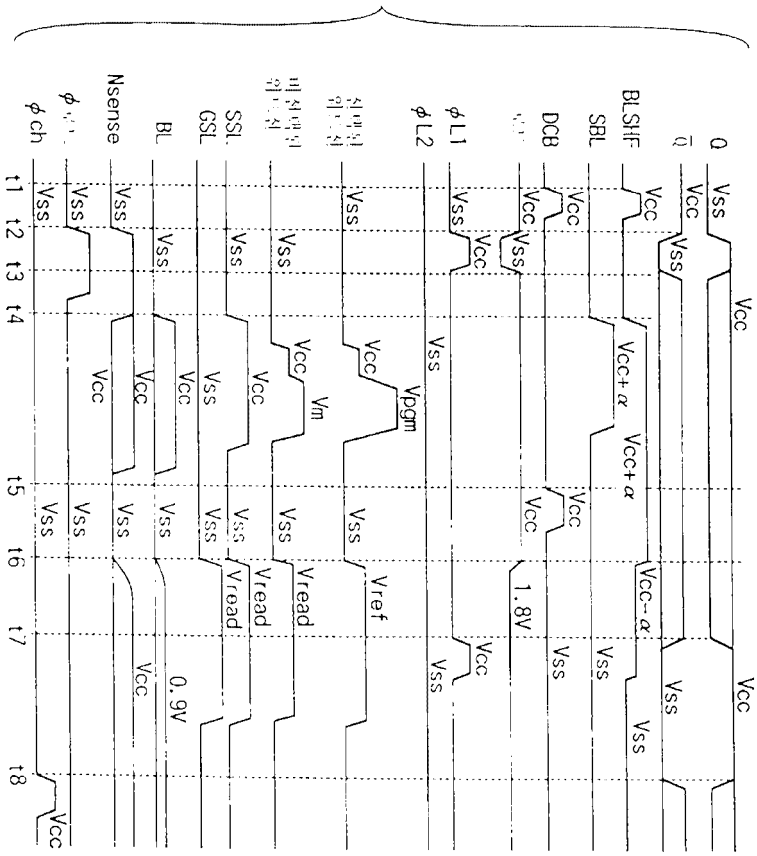
도면38


Vcc
106
BLSHF
SBL
M22
IV1
BLi
M21
M24
Q
LT
CSLi
DCB
M23
Nsence
Q
M31
I/O
IV2
M25
M26
M27
φch
M29
M28
123
M30
120
Nerase

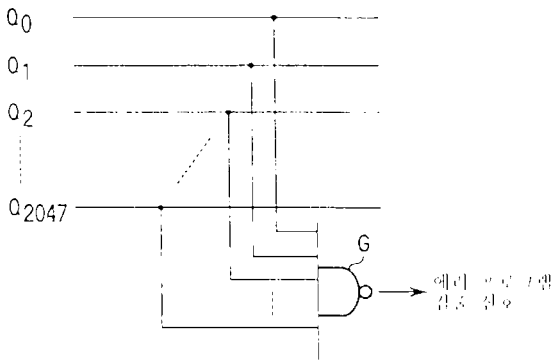
도면39


시작
S73
S74
S75
S76
S77
아니오
예
S78
예
S79
아니오

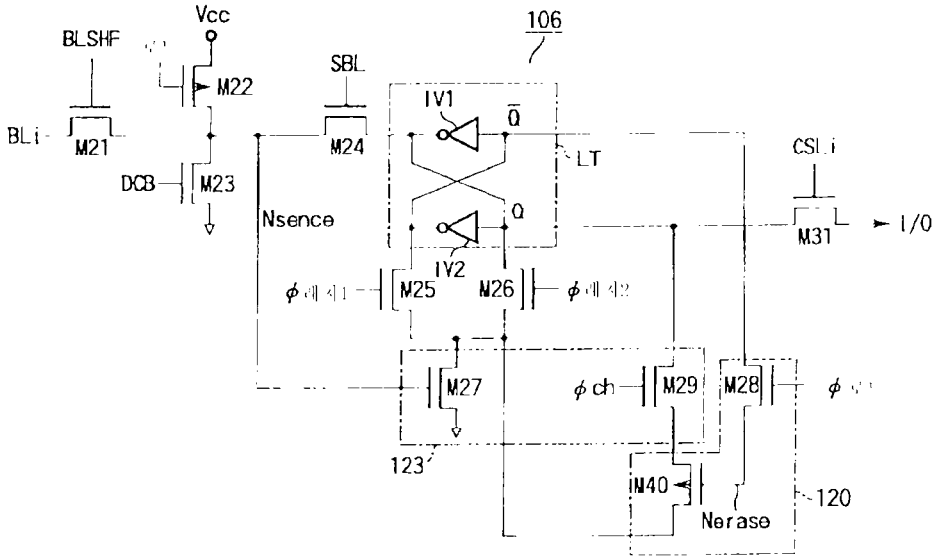
도면40


t1 t2 t3 t4 t5 t6 t7 t8
φch
Nsense
BL
SSL
GSL
BLSHF
SBL
DCB
φL1
φL2
Q
Vss
Vcc
Vcc+α
Vcc-α
Vm
Vpgm
Vref
Vread
1.8V
0.9V

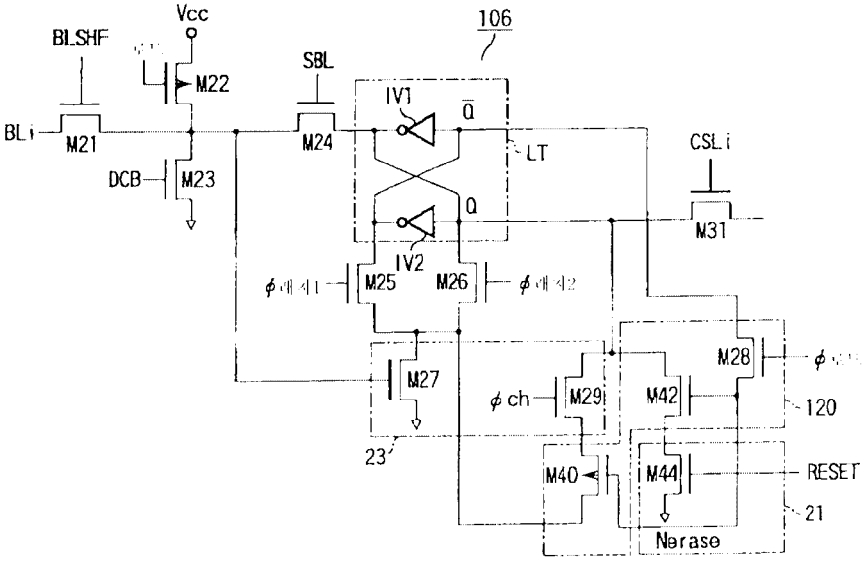
도면41



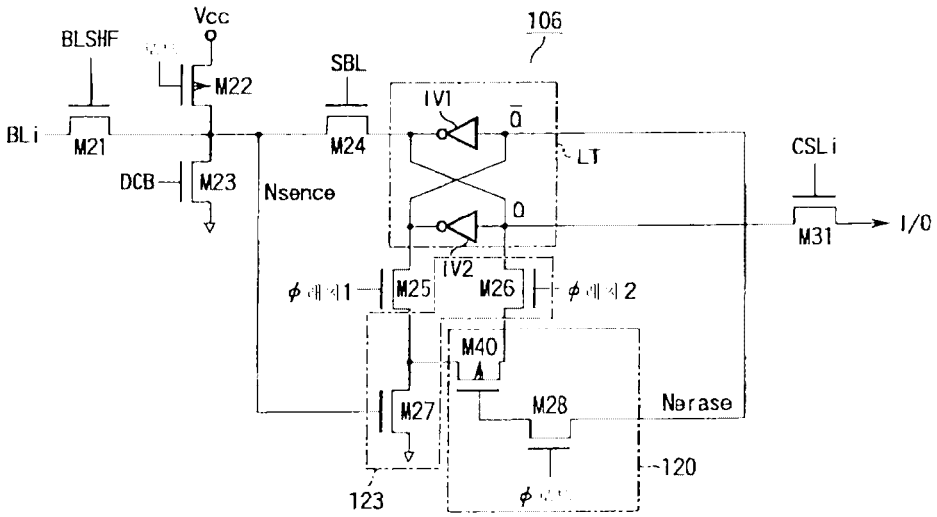
도면42



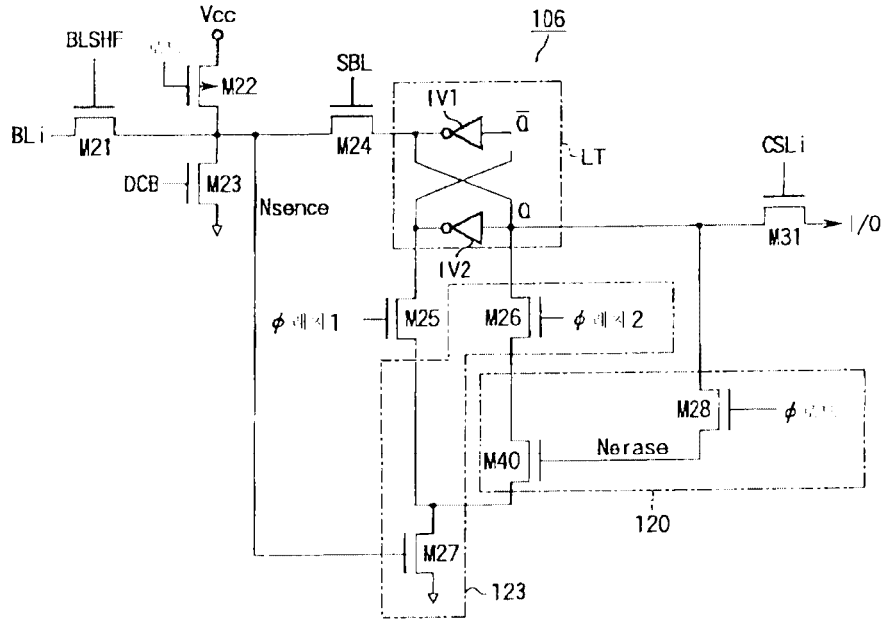
도면43



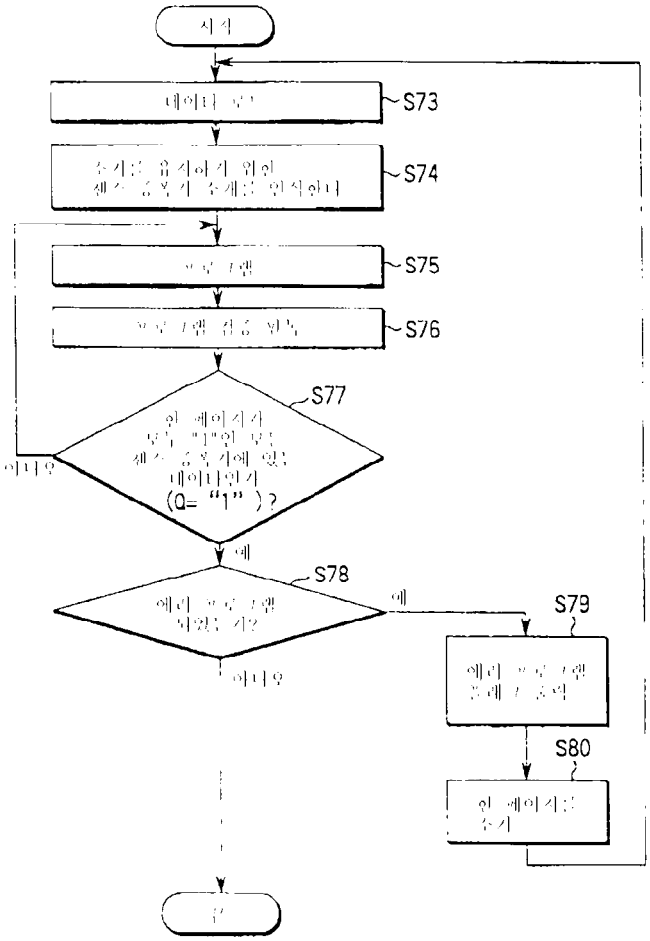
도면44


Vcc
BLSHF
M22
SBL
106
IV1
BLi
M21
M24
Q
LT
CSLi
DCB
M23
Nsence
M31
I/O
IV2
φ예비1
M25
M26
φ예비2
M40
M27
M28
Nerase
120
123

도면45


Vcc
BLSHF
M22
106
SBL
IV1
BLi
M21
M24
Q
LT
CSLi
DCB
M23
Nsence
M31
I/O
IV2
φ예비1
M25
M26
φ예비2
M28
M40
Nerase
120
M27
123

도면46



도면47