

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5558857号
(P5558857)

(45) 発行日 平成26年7月23日(2014.7.23)

(24) 登録日 平成26年6月13日(2014.6.13)

(51) Int.Cl.		F I	
HO 1 L 27/146	(2006.01)	HO 1 L 27/14	A
HO 1 L 31/10	(2006.01)	HO 1 L 31/10	A
HO 4 N 5/369	(2011.01)	HO 4 N 5/335	6 9 0
HO 4 N 101/00	(2006.01)	HO 4 N 101:00	

請求項の数 20 (全 20 頁)

(21) 出願番号	特願2010-27917 (P2010-27917)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成22年2月10日(2010.2.10)	(74) 代理人	100126240 弁理士 阿部 琢磨
(65) 公開番号	特開2010-239117 (P2010-239117A)	(74) 代理人	100124442 弁理士 黒岩 創吾
(43) 公開日	平成22年10月21日(2010.10.21)	(72) 発明者	松田 崇 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
審査請求日	平成25年2月12日(2013.2.12)	(72) 発明者	小泉 徹 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(31) 優先権主張番号	特願2009-55209 (P2009-55209)	審査官	多賀 和宏
(32) 優先日	平成21年3月9日(2009.3.9)		最終頁に続く
(33) 優先権主張国	日本国(JP)		
(31) 優先権主張番号	特願2009-55210 (P2009-55210)		
(32) 優先日	平成21年3月9日(2009.3.9)		
(33) 優先権主張国	日本国(JP)		

(54) 【発明の名称】 光電変換装置およびそれを用いた撮像システム

(57) 【特許請求の範囲】

【請求項1】

第1の光電変換素子と、前記第1の光電変換素子に隣接する第2の光電変換素子と、前記第1の光電変換素子に隣接する第3の光電変換素子とを含む複数の光電変換素子と、

前記光電変換素子にて生じた信号電荷を転送するためのトランジスタと、が配された第1導電型の半導体領域を含む半導体基板を有する光電変換装置において、

前記第1の光電変換素子と前記第2の光電変換素子との間に配され、第1の幅を有し、前記第1導電型の半導体領域よりも高い不純物濃度を有する第1導電型の第1の半導体領域と、

前記第1の光電変換素子と前記第3の光電変換素子との間に配され、前記第1の半導体領域よりも前記半導体基板に深くまで配され、前記第1の幅よりも狭い第2の幅を有し、前記第1導電型の半導体領域よりも高い不純物濃度を有する第1導電型の第2の半導体領域と、を有することを特徴とする光電変換装置。

【請求項2】

第1の光電変換素子と、前記第1の光電変換素子に隣接する第2の光電変換素子と、前記第1の光電変換素子に隣接する第3の光電変換素子とを含む複数の光電変換素子と、

前記光電変換素子にて生じた信号電荷を転送するためのトランジスタと、が配された第1導電型の半導体領域を含む半導体基板を有する光電変換装置において、

前記第1の光電変換素子と前記第2の光電変換素子との間に配され、第1の幅を有し、前記第1導電型の半導体領域よりも高い不純物濃度を有する第1導電型の第1の半導体領

10

20

域と、

前記第1の光電変換素子と前記第3の光電変換素子との間に配され、前記第1の幅よりも狭い第2の幅を有し、前記第1の半導体領域よりも高い不純物濃度を有する第1導電型の第2の半導体領域と、を有することを特徴とする光電変換装置。

【請求項3】

前記第2の半導体領域は前記第1の半導体領域よりも高い不純物濃度を有することを特徴とする請求項1に記載の光電変換装置。

【請求項4】

前記複数の光電変換素子の上に配されたカラーフィルタを有することを特徴とする請求項1乃至3のいずれか1項に記載の光電変換装置。

【請求項5】

前記カラーフィルタは、赤のカラーフィルタと、青のカラーフィルタと、緑のカラーフィルタとを含むことを特徴とする請求項4に記載の光電変換装置。

【請求項6】

第1の光電変換素子と、前記第1の光電変換素子に隣接する第2の光電変換素子と、前記第1の光電変換素子に隣接する第3の光電変換素子とを含む複数の光電変換素子が配された第1導電型の半導体領域を有する半導体基板と、

前記第1の光電変換素子の上に設けられた第1のカラーフィルタと、前記第2の光電変換素子の上に設けられた第2のカラーフィルタと、前記第3の光電変換素子の上に設けられた第3のカラーフィルタとを含む複数のカラーフィルタと、を有する光電変換装置において、

前記第1の光電変換素子と前記第2の光電変換素子との間に配され、第1の幅を有し、前記第1導電型の半導体領域よりも高い不純物濃度を有する第1導電型の第1の半導体領域と、

前記第1の光電変換素子と前記第3の光電変換素子との間に配され、前記第1の半導体領域よりも前記半導体基板に深くまで配され、前記第1の幅よりも狭い第2の幅を有し、前記第1導電型の半導体領域よりも高い不純物濃度を有する第1導電型の第2の半導体領域と、を有することを特徴とする光電変換装置。

【請求項7】

前記第2の半導体領域は前記第1の半導体領域よりも高い不純物濃度を有することを特徴とする請求項6に記載の光電変換装置。

【請求項8】

第1の光電変換素子と、前記第1の光電変換素子に隣接する第2の光電変換素子と、前記第1の光電変換素子に隣接する第3の光電変換素子とを含む複数の光電変換素子が配された第1導電型の半導体領域を有する半導体基板と、

前記第1の光電変換素子の上に設けられた第1のカラーフィルタと、前記第2の光電変換素子の上に設けられた第2のカラーフィルタと、前記第3の光電変換素子の上に設けられた第3のカラーフィルタとを含む複数のカラーフィルタと、を有する光電変換装置において、

前記第1の光電変換素子と前記第2の光電変換素子との間に配され、第1の幅を有し、前記第1導電型の半導体領域よりも高い不純物濃度を有する第1導電型の第1の半導体領域と、

前記第1の光電変換素子と前記第3の光電変換素子との間に配され、前記第1の幅よりも狭い第2の幅を有し、前記第1の半導体領域よりも高い不純物濃度を有する第1導電型の第2の半導体領域と、を有することを特徴とする光電変換装置。

【請求項9】

更に、複数の転送MOSトランジスタと、リセットMOSトランジスタと、増幅MOSトランジスタとを有し、

前記リセットMOSトランジスタと、前記増幅MOSトランジスタの少なくとも一方が、前記第1半導体領域に位置していることを特徴とする請求項6乃至8のいずれか1項に

10

20

30

40

50

記載の光電変換装置。

【請求項 1 0】

前記第 1 の半導体領域は、複数のイオン注入によって形成された半導体領域からなり、前記第 2 の半導体領域は、複数のイオン注入によって形成された半導体領域からなることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の光電変換装置。

【請求項 1 1】

前記第 1 の半導体領域あるいは前記第 2 の半導体領域の上の前記半導体基板の主表面に、絶縁体を含む素子分離構造が設けられていることを特徴とする請求項 1 乃至 1 0 のいずれか 1 項に記載の光電変換装置。

【請求項 1 2】

前記複数の光電変換素子は 2 次元に配され、

前記第 1 の光電変換素子と前記第 2 の光電変換素子とは第 2 の方向に沿って配され、前記第 1 の光電変換素子と前記第 3 の光電変換素子とは第 1 の方向に沿って配され、

前記第 1 の方向と前記第 2 の方向とは直交していることを特徴とする請求項 1 乃至 1 1 のいずれか 1 項に記載の光電変換装置。

【請求項 1 3】

前記第 1 の半導体領域と前記第 2 の半導体領域とが接し、格子状の形状を有することを特徴とする請求項 1 乃至 1 2 のいずれか 1 項に記載の光電変換装置。

【請求項 1 4】

半導体基板と、

前記半導体基板の主表面に配された、第 1 の光電変換素子と、前記第 1 の光電変換素子に隣接する第 2 の光電変換素子と、前記第 1 の光電変換素子に隣接する第 3 の光電変換素子とを含む複数の光電変換素子と、

前記半導体基板に配された、前記光電変換素子にて生じた信号電荷を転送するためのトランジスタと、を有する光電変換装置において、

前記第 1 の光電変換素子と前記第 2 の光電変換素子との間に配され、第 1 の幅を有し、前記電荷が少数キャリアとなる第 1 導電型の第 1 の半導体領域と、

前記第 1 の光電変換素子と前記第 3 の光電変換素子との間に配された、前記第 1 の半導体領域よりも前記半導体基板に深くまで配され、前記第 1 の幅よりも狭い第 2 の幅を有する第 1 導電型の第 2 の半導体領域を有し、

前記第 1 の半導体領域および前記第 2 の半導体領域は、前記信号電荷に対してポテンシャルバリアとして機能し、前記第 1 の半導体領域の前記信号電荷に対するポテンシャルと前記第 2 の半導体領域の前記信号電荷に対するポテンシャルとが等しいことを特徴とする光電変換装置。

【請求項 1 5】

半導体基板と、

前記半導体基板の主表面に配された、第 1 の光電変換素子と、前記第 1 の光電変換素子に隣接する第 2 の光電変換素子と、前記第 1 の光電変換素子に隣接する第 3 の光電変換素子とを含む複数の光電変換素子と、

前記半導体基板に配された、前記光電変換素子にて生じた信号電荷を転送するためのトランジスタと、を有する光電変換装置において、

前記第 1 の光電変換素子と前記第 2 の光電変換素子との間に配され、第 1 の幅を有し、前記電荷が少数キャリアとなる第 1 導電型の第 1 の半導体領域と、

前記第 1 の光電変換素子と前記第 3 の光電変換素子との間に配された、前記第 1 の半導体領域よりも不純物濃度が高く、前記第 1 の幅よりも狭い第 2 の幅を有する第 1 導電型の第 2 の半導体領域とを有し、

前記第 1 の半導体領域および前記第 2 の半導体領域は、前記信号電荷に対してポテンシャルバリアとして機能し、前記第 1 の半導体領域の前記信号電荷に対するポテンシャルと前記第 2 の半導体領域の前記信号電荷に対するポテンシャルとが等しいことを特徴とする光電変換装置。

10

20

30

40

50

【請求項 16】

半導体基板と、

前記半導体基板の主表面に配された、第1の光電変換素子と、前記第1の光電変換素子に隣接する第2の光電変換素子と、前記第1の光電変換素子に隣接する第3の光電変換素子とを含む複数の光電変換素子と、

前記第1の光電変換素子の上に設けられた第1のカラーフィルタと、前記第2の光電変換素子の上に設けられた第2のカラーフィルタと、前記第3の光電変換素子の上に設けられた第3のカラーフィルタとを含む複数のカラーフィルタと、を有する光電変換装置において、

前記第1の光電変換素子と前記第2の光電変換素子との間に配され、第1の幅を有し、前記電荷が少数キャリアとなる第1導電型の第1の半導体領域と、

前記第1の光電変換素子と前記第3の光電変換素子との間に配された、前記第1の半導体領域よりも前記半導体基板に深くまで配され、前記第1の幅よりも狭い第2の幅を有する第1導電型の第2の半導体領域を有し、

前記第1の半導体領域および前記第2の半導体領域は、前記信号電荷に対してポテンシャルバリアとして機能し、前記第1の半導体領域の前記信号電荷に対するポテンシャルと前記第2の半導体領域の前記信号電荷に対するポテンシャルとが等しいことを特徴とする光電変換装置。

【請求項 17】

半導体基板と、

前記半導体基板の主表面に配された、第1の光電変換素子と、前記第1の光電変換素子に隣接する第2の光電変換素子と、前記第1の光電変換素子に隣接する第3の光電変換素子とを含む複数の光電変換素子と、

前記第1の光電変換素子の上に設けられた第1のカラーフィルタと、前記第2の光電変換素子の上に設けられた第2のカラーフィルタと、前記第3の光電変換素子の上に設けられた第3のカラーフィルタとを含む複数のカラーフィルタと、を有する光電変換装置において、

前記第1の光電変換素子と前記第2の光電変換素子との間に配され、第1の幅を有し、前記電荷が少数キャリアとなる第1導電型の第1の半導体領域と、

前記第1の光電変換素子と前記第3の光電変換素子との間に配された、前記第1の半導体領域よりも不純物濃度が高く、前記第1の幅よりも狭い第2の幅を有する第1導電型の第2の半導体領域を有し、

前記第1の半導体領域および前記第2の半導体領域は、前記信号電荷に対してポテンシャルバリアとして機能し、前記第1の半導体領域の前記信号電荷に対するポテンシャルと前記第2の半導体領域の前記信号電荷に対するポテンシャルとが等しいことを特徴とする光電変換装置。

【請求項 18】

第1の光電変換素子と、前記第1の光電変換素子に隣接する第2の光電変換素子と、前記第1の光電変換素子に隣接する第3の光電変換素子とを含む複数の光電変換素子と、

前記光電変換素子にて生じた信号電荷を転送するためのトランジスタと、が配された前記信号電荷が多数キャリアとなる導電型の半導体領域を含む半導体基板を有する光電変換装置において、

前記第1の光電変換素子と前記第2の光電変換素子との間に配され、第1の幅を有し、前記信号電荷が多数キャリアとなる導電型の半導体領域と反対導電型である第1導電型の第1の半導体領域と、

前記第1の光電変換素子と前記第3の光電変換素子との間に配され、前記第1の半導体領域よりも前記信号電荷が多数キャリアとなる導電型の半導体領域に深くまで配され、前記第1の幅よりも狭い第2の幅を有する前記第1導電型の第2の半導体領域と、を有することを特徴とする光電変換装置。

【請求項 19】

10

20

30

40

50

第 1 の光電変換素子と、前記第 1 の光電変換素子に隣接する第 2 の光電変換素子と、前記第 1 の光電変換素子に隣接する第 3 の光電変換素子とを含む複数の光電変換素子と、

前記光電変換素子にて生じた信号電荷を転送するためのトランジスタと、が配された前記信号電荷が多数キャリアとなる導電型の半導体領域を含む半導体基板を有する光電変換装置において、

前記第 1 の光電変換素子と前記第 2 の光電変換素子との間に配され、第 1 の幅を有し、前記信号電荷が多数キャリアとなる導電型の半導体領域と反対導電型である第 1 導電型の第 1 の半導体領域と、

前記第 1 の光電変換素子と前記第 3 の光電変換素子との間に配され、前記第 1 の幅よりも狭い第 2 の幅を有し、前記第 1 の半導体領域よりも不純物濃度が高い第 1 導電型の第 2 の半導体領域と、を有することを特徴とする光電変換装置。

10

【請求項 20】

請求項 1 乃至 19 のいずれか 1 項に記載の光電変換装置と前記光電変換装置から出力される信号を処理する信号処理部とを有する撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本件は光電変換装置の分離の構造に関する。

【背景技術】

【0002】

CCD型やCMOS型の光電変換装置は多くのデジタルスチルカメラやデジタルカムコーダに用いられている。近年、光電変換装置は画素の縮小化がなされており、それによって隣接の画素への電荷の混合（クロストーク）への対策が検討されている。

20

【0003】

特許文献 1 では、隣接する画素間での電荷の混合を防ぐための素子分離用のバリアとなる P 型ウエル領域を、光電変換素子の N 型ウエル領域に合わせて深い領域に形成する構成が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2003 - 258232 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献 1 に開示されている P 型のウエル領域であっても、電荷の漏れを十分に抑制することが困難な場合がある。また、一般的に光電変換装置では、光電変換素子の周辺に光電変換素子の電荷を読み出すためのトランジスタなどが設けられており、光電変換素子同士が等間隔に配置されているとは限らない。ここで、本発明者らは、特許文献 1 に記載の光電変換素子の素子分離となりうる P 型ウエル領域からの電荷の漏れ量が、光電変換素子同士の間隔によって異なってしまう場合があることを見出した。このように隣接する光電変換素子への信号電荷の漏れ量がばらついてしまうと、画質が低下し、画像信号において補正が困難となる。

40

【0006】

そこで、本発明においては、隣接する光電変換素子（画素）へ混入する電荷のばらつきを低減可能な光電変換装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の光電変換装置の一例は、第 1 の光電変換素子と、前記第 1 の光電変換素子に隣接する第 2 の光電変換素子と、前記第 1 の光電変換素子に隣接する第 3 の光電変換素子とを含む複数の光電変換素子と、前記光電変換素子にて生じた信号電荷を転送するためのト

50

ランジスタと、が配された第1導電型の半導体領域を含む半導体基板を有する光電変換装置において、前記第1の光電変換素子と前記第2の光電変換素子との間に配され、第1の幅を有し、前記第1導電型の半導体領域よりも高い不純物濃度を有する第1導電型の第1の半導体領域と、前記第1の光電変換素子と前記第3の光電変換素子との間に配され、前記第1の半導体領域よりも前記半導体基板に深くまで配され、前記第1の幅よりも狭い第2の幅を有し、前記第1導電型の半導体領域よりも高い不純物濃度を有する第1導電型の第2の半導体領域と、を有する。

【0008】

また、本発明の光電変換装置の一例は、第1の光電変換素子と、前記第1の光電変換素子に隣接する第2の光電変換素子と、前記第1の光電変換素子に隣接する第3の光電変換素子とを含む複数の光電変換素子と、前記光電変換素子にて生じた信号電荷を転送するためのトランジスタと、が配された第1導電型の半導体領域を含む半導体基板を有する光電変換装置において、前記第1の光電変換素子と前記第2の光電変換素子との間に配され、第1の幅を有し、前記第1導電型の半導体領域よりも高い不純物濃度を有する第1導電型の第1の半導体領域と、前記第1の光電変換素子と前記第3の光電変換素子との間に配され、前記第1の幅よりも狭い第2の幅を有し、前記第1の半導体領域よりも高い不純物濃度を有する第1導電型の第2の半導体領域と、を有する。

【発明の効果】

【0009】

本発明によって、隣接する光電変換素子へ混入する電荷のばらつき¹⁰の低減が可能となる。

【図面の簡単な説明】

【0010】

【図1】第1の実施形態を説明する光電変換装置の断面模式図

【図2】第1の実施形態を説明する光電変換装置の回路図と平面レイアウト図

【図3】第1の実施形態を説明する比較のための光電変換装置の断面模式図

【図4】第2の実施形態を説明する光電変換装置の断面模式図

【図5】第3の実施形態を説明する光電変換装置の断面模式図

【図6】第1の実施形態の変形例を説明する光電変換装置の断面模式図

【図7】第4の実施形態を説明する光電変換装置の断面模式図

【図8】第5の実施形態を説明する光電変換装置の断面模式図

【図9】第6の実施形態を説明する光電変換装置の断面模式図

【図10】第4の実施形態の変形例を説明する光電変換装置の断面模式図

【図11】第7の実施形態を説明する光電変換装置の断面模式図

【図12】撮像システムを説明するブロック図

【発明を実施するための形態】

【0011】

本発明の光電変換装置は、第1～第3の光電変換素子を含む複数の光電変換素子を有する。そして、第1の光電変換素子が配された活性領域と第2の光電変換素子が配された活性領域との間が第1の距離であり、第1の光電変換素子が配された活性領域と第2の光電変換素子が配された活性領域との間が第1の距離よりも小さい第2の距離である。ここで、第1の光電変換素子と第2の光電変換素子との間に、第1の幅の、信号電荷が少数キャリアとなる第1導電型の第1の半導体領域が配置される。更に、第1の光電変換素子と第3の光電変換素子との間に、第1の幅よりも狭い第2の幅の、第1導電型の第2の半導体領域が配置される。ここで、第2の半導体領域は、例えば、第1の半導体領域よりも半導体基板の深くまで配されている。あるいは、第2の半導体領域は第1の半導体領域よりも不純物濃度が高い構成である。

【0012】

このような構成によって、第1の幅の第1の半導体領域が構成するポテンシャルバリアと、第2の幅の第2の半導体領域が構成するポテンシャルバリアとの差を小さくすること

10

20

30

40

50

、さらには、差が無くなるようにすることが可能となる。よって、ある光電変換素子にて生じた信号電荷が隣接する複数の光電変換素子のいずれかの光電変換素子へ偏って混入することを抑制することが可能となる。従って、隣接する複数の光電変換素子に混入する信号電荷の量のばらつきを低減することが可能となり、得られる画質が向上する。更に、補正を行う場合においても、画像信号を容易に補正することが可能となるため、必要な画像処理部の構成も簡易な構成にすることが可能となる。以下、図面を用いて詳細に本実施形態について説明する。

【 0 0 1 3 】

(画素回路の一例)

光電変換装置の画素について、画素の一例を示した図2を用いて説明する。図2(A)は本発明が適用される画素回路の一例を示した回路図であり、図2(B)はその画素回路の平面レイアウトを示した平面レイアウト図である。更に、図2(C)は図2(B)の構成を説明するための平面レイアウト図である。図2(A)は2つの光電変換素子を含む画素セルを示している。光電変換装置には、このような画素セルが1次元もしくは2次元に配列し、撮像領域を構成している。画素を、光電変換素子を1つ含む最小の繰り返し単位とした場合、図2(A)に示す画素セルは2画素を含むといえる。

10

【 0 0 1 4 】

まず、図2(A)を用いて画素セルについて説明する。100は光電変換素子であるフォトダイオード、101は転送MOSトランジスタ、102はリセットMOSトランジスタ、103は増幅MOSトランジスタ、105は選択MOSトランジスタ、106は出力線である。104は、増幅MOSトランジスタのゲート電極と転送MOSトランジスタとリセットMOSトランジスタとが接続する交点のノードである。この接続する交点は浮遊拡散部を含む。以下、ノード104を浮遊拡散部104とも称する。本実施形態では、2つの光電変換素子100a、100eを含み、2つの転送MOSトランジスタ101a、101eを有している。転送MOSトランジスタ101aは光電変換素子100aにて生じた電荷を浮遊拡散部104へ転送する。転送MOSトランジスタ101eは光電変換素子100eにて生じた電荷を浮遊拡散部104へ転送する。増幅MOSトランジスタ103は浮遊拡散部104の電位に応じた出力を、選択MOSトランジスタ105を介して出力線106へ出力する。増幅MOSトランジスタ103はソースフォロウ回路の一部であり、そのゲート電極は浮遊拡散部104と接続されている。リセットMOSトランジスタ102は、増幅MOSトランジスタ103のゲート電極のノード、すなわち浮遊拡散部104を規定の電位(リセット電位)にリセットする。転送MOSトランジスタ101aには転送制御信号TX1が、転送MOSトランジスタ101eには転送制御信号TX2が供給される。リセットMOSトランジスタにはリセット制御信号RESが、選択MOSトランジスタ105には選択制御信号SELが供給される。各制御信号によって信号電荷の読み出しが制御される。本実施形態では2つの光電変換素子は1つの増幅MOSトランジスタ103、リセットMOSトランジスタ102、選択MOSトランジスタ105を共有化している。

20

30

【 0 0 1 5 】

図2(B)を用いて、光電変換装置の平面レイアウトを説明する。図2(B)において、200は光電変換素子であるフォトダイオード、201は転送MOSトランジスタのゲート電極、202はリセットMOSトランジスタのゲート電極を示す。図2(B)において、203は増幅MOSトランジスタのゲート電極、204は浮遊拡散部、205は選択MOSトランジスタのゲート電極を示す。更に、206は増幅MOSトランジスタのソース領域であり、207は増幅MOSトランジスタのドレイン領域である。208は選択MOSトランジスタのソース領域であり、出力線106(不図示)と接続されている。209は半導体領域や半導体基板に電圧を供給するための半導体領域であり、ウエルコンタクトと称する場合もある。210は各素子の活性領域を規定する素子分離領域である。素子分離領域210には、LOCOSやSTIなどの絶縁体を含む素子分離構造が設けられている。更に、素子分離領域210に、信号電荷に対して障壁となるような半導体領域が配

40

50

されていてもよい。また、素子分離領域 210 は、素子分離構造を有さず、信号電荷に対して障壁となるような半導体領域のみが配されたものであってもよいものとする。ここで、素子分離領域 210 が信号電荷に対して障壁となるような半導体領域のみから構成される場合においては、活性領域は信号電荷に対して障壁となるような半導体領域との境界にて規定されるものとする。この素子分離領域 210 は、第 1 の素子分離領域 220 と第 2 の素子分離領域 221 を有する。

【0016】

ここで、図 2 (C) を用いて素子分離領域 210 について説明する。図 2 (C) は、図 2 (B) の構成を更に説明するための簡略化された平面レイアウト図である。図 2 (C) において、光電変換素子 200 a と光電変換素子 200 d、あるいは光電変換素子 200 a と光電変換素子 200 e との間には第 1 の素子分離領域 220 が配される。光電変換素子 200 a と光電変換素子 200 b、あるいは光電変換素子 200 a と光電変換素子 200 c との間には第 2 の素子分離領域 221 が配される。ここで、第 1 の素子分離領域 220 は第 1 の幅 $W1$ を有し、第 2 の素子分離領域 221 は第 2 の幅 $W2$ を有し、 $W1 > W2$ である。また、第 1 の幅 $W1$ は、光電変換素子 200 a と光電変換素子 200 e との間の長さでもあり、光電変換素子 200 a が配された活性領域と光電変換素子 200 e が配された活性領域との間の距離とも言える。第 2 の幅 $W2$ は、光電変換素子 200 a と光電変換素子 200 b との間の長さでもあり、光電変換素子 200 a が配された活性領域と光電変換素子 200 b とが配された活性領域との間の距離とも言える。ここで、この第 1 の幅 $W1$ は、光電変換素子 200 a の重心と光電変換素子 200 d あるいは 200 e の重心との間を結ぶ線分における幅である。また、第 2 の幅 $W2$ は、光電変換素子 200 a の重心と光電変換素子 200 b あるいは 200 c の重心との間を結ぶ線分における幅である。そして、第 1 の素子分離領域 220 と第 2 の素子分離領域 221 は、光電変換素子を囲って格子状に配置されている。なお、この素子分離領域によって規定される光電変換素子 200 を含む活性領域には浮遊拡散部 204 も配されている。

【0017】

なお、説明のため、図 2 (B) 中の 2 次元に配された複数の光電変換素子 200 を、それぞれ 200 a、200 b、200 c、200 d、200 e とする。そして、光電変換素子 200 a に対応する転送 MOS トランジスタのゲート電極を 201 a、浮遊拡散部を 204 a とする。その他の光電変換素子 200 b、200 c、200 d、200 e についても同様に、転送 MOS トランジスタのゲート電極をそれぞれ 201 b、201 c、201 d、201 e とし、浮遊拡散部を 204 b、204 c、204 d、204 e とする。

【0018】

光電変換装置は、図 2 (A) に示したような回路に限定されるものではなく、更に多くの光電変換素子が増幅 MOS トランジスタを共有するような構成であっても、選択 MOS トランジスタを有していない構成であってもよい。また、画素セルが光電変換素子を 1 つのみ有する場合であってもよく、図 2 (B) に示した平面レイアウトでなくてもよい。以下、図面を用いて本発明の実施形態を説明する。

【0019】

(第 1 の実施形態)

本実施形態の光電変換装置について、図 1 を用いて説明する。本実施形態では、複数の光電変換素子間のポテンシャルバリアを等しくする方法として、ポテンシャルバリアを構成する半導体領域の深さを変えている。図 1 (A) は図 2 (B) の AB 線 (第 1 の方向 X) における断面模式図であり、図 1 (B) は図 2 (B) の CD 線 (第 2 の方向 Y) における断面模式図である。図 1 (A) と図 1 (B) において、図 2 (B) と対応する構成については、同一の符号を付し説明を省略する。本実施形態では信号電荷が電子である場合について説明する。また、本実施形態においては、光電変換素子、即ち画素が AB 線に示したような第 1 の方向 X および CD 線に示したような第 2 の方向 Y に沿って行列状に配されており、第 1 の方向 X と第 2 の方向 Y とは直交するものとする。

【0020】

図1では、216は半導体領域であり、218は半導体基板の母材、219は半導体基板である。半導体領域216は半導体基板中もしくは半導体基板上に形成される。半導体領域216は、例えば半導体基板中にイオン注入によって形成される場合や、半導体基板の上にエピタキシャル層を設けることによって形成される。図1では、半導体基板がそのまま残った部分を母材218とし、半導体領域216を含めて半導体基板219とする。本実施形態では半導体領域216をP型の半導体領域とし、母材218をN型とする。なお、半導体領域216が母材218そのものであってもよく、また半導体領域216や母材218の導電型はN型でもP型であってもよい。217は半導体基板219の主表面であり、光電変換素子の受光面を含む面である。主表面217の上部にはゲート絶縁膜が配されている（不図示）。光電変換素子200は、少なくとも表面保護層として機能しうるP型半導体領域211と、電荷蓄積部として機能しうるN型半導体領域212とを含む。浮遊拡散部204はN型半導体領域からなる。以下、説明のため、光電変換素子200aに対応するP型半導体領域を211a、N型半導体領域を212aとする。その他の光電変換素子200b、200c、200d、200eについても同様に記載する。P型半導体領域をそれぞれ211b、211c、211d、211eとし、N型半導体領域を212b、212c、212d、212eとする。

【0021】

上述のような光電変換装置において、第1の幅W1を有する第1の素子分離領域220および第2の幅W2を有する第2の素子分離領域221を含む素子分離領域210の半導体基板の主表面には素子分離構造（ここでは、LOCOS）215が配されている。素子分離構造215の下部には、P型の半導体領域216と比べて高い不純物濃度の、信号電荷に対してポテンシャルバリアとなりうるP型の半導体領域213および214が配されている。光電変換素子200aと光電変換素子200eとの間の幅W1の第1の素子分離領域には、幅W1、深さD1を有するP型半導体領域214が配されている。光電変換素子200aと光電変換素子200cとの間の幅W2の第2の素子分離領域には、幅W2、深さD1よりも深いD2を有するP型半導体領域213が配されている。そして、P型半導体領域213および214の不純物濃度は一定である。このような幅と深さの関係のP型半導体領域を有することで、光電変換素子間のポテンシャルバリアの差が小さくなり、光電変換素子200で生じた電荷が隣接する光電変換素子へ混入する電荷の量のばらつきを低減することが可能となる。

【0022】

P型半導体領域213および214は、以下の方法で形成される。半導体基板に素子分離を形成した後に、まず、半導体基板上のP型半導体領域214を形成すべき領域に開口を有するフォトレジスト等の第1のマスクを設け、第1のエネルギーでイオン注入を用いることによって形成する。その後、半導体基板上のP型半導体領域213を形成すべき領域に開口を有する第2のマスクを設け、第2のエネルギーでイオン注入を行うことによって形成する。このように、幅と深さが異なるP型半導体領域を別の工程によって形成すればよい。なお、P型半導体領域213及び214を形成する順番については任意である。

【0023】

次に、図3を用いて本発明の課題について説明する。図3は、図1と対応した光電変換装置の断面模式図である。図3において、図1や図2と対応する構成については同一の符号を付しており、説明を省略する。既に述べたように、図2(B)に示したような平面レイアウトにおいては、光電変換素子を含む活性領域の間隔が異なる場合がある。例えば、第1の光電変換素子200aと隣接する第2の光電変換素子200cとの距離と、第1の光電変換素子200aと隣接する第3の光電変換素子200eとの距離とが異なる。よって、隣接する複数の光電変換素子200b、200c、200d、200eに対して信号電荷の混入量が異なってしまう。更に、素子分離領域に信号電荷に対して障壁となる半導体領域（313、314）が配される。この半導体領域（313、314）は、光電変換装置の全面に同時に形成される。よって、信号電荷に対して障壁となる半導体領域（313、314）の深さや不純物濃度はどの半導体領域も同一となるが、幅は異なる構成（W

10

20

30

40

50

1とW2)となる。このような構成において、光電変換素子200aにおいてある半導体基板の深さで半導体領域216に信号電荷が存在した場合には、隣接する複数の光電変換素子200b、200c、200d、200eに対して信号電荷の混入量が異なってしまう。それは、信号電荷がランダムに移動するため、また、信号電荷が消滅する確率が一定であるため、信号電荷が隣接する光電変換素子へ混入する量がP型半導体領域の幅、つまり距離によって変化してしまうためである。よって、信号電荷は光電変換素子200aからの距離が大きい光電変換素子200eに混入し難く、光電変換素子200aからの距離が小さい光電変換素子200cに混入しやすい。一方、図1に示した光電変換装置においては、光電変換素子200aにおいて同じ半導体基板の深さで電荷が生じたとした場合、電荷はP型半導体領域213によって阻まれ光電変換素子200cへ混入し難くなる。半導体基板の深い部分で生じた電荷だけでなく、半導体領域(313、314)からあふれる電荷などでも同様なばらつきが生じうる。よって、本実施形態のように、信号電荷に対して障壁となりうるP型半導体領域の幅が異なる場合には、P型半導体領域の深さを調節することにより、ポテンシャル障壁を等しくすることができ、光電変換素子間の電荷の移動を均一になるようにすることが可能となる。

10

【0024】

本実施形態においては、活性領域は素子分離構造215によって規定されているが、素子分離構造215がなくP型の半導体領域213及び214が設けられている構造であってもよい。その場合に活性領域はP型の半導体領域213とP型の半導体領域216との境界によって規定される。この半導体領域の境界とは、不純物濃度プロファイルにおいて、P型半導体領域216の不純物濃度になった地点をいう。もし半導体領域216がN型であった場合には、不純物濃度プロファイルにおいてnet濃度がゼロになる地点を言う。また、P型半導体領域の幅を、P型半導体領域を半導体基板の主表面217に投影した時の主表面217におけるP型半導体領域の長さとする。P型半導体領域の深さを、半導体基板の主表面217から半導体基板の深部へ向かう方向での、P型半導体領域の長さとする。ここで、P型半導体領域の深さとは、P型半導体領域の底面と半導体基板の主表面217との距離とも言える。

20

【0025】

また、本実施形態においては、幅W1の領域に幅W1のP型半導体領域214と幅W2の領域に幅W2のP型半導体領域213とを設けている。しかし、幅W1の領域に、幅W1と異なる幅のP型半導体領域213等を設けてもよい。例えば、図1と同様の断面模式図を示した図6のように、幅W1の領域に、幅W1とは異なる任意の幅の複数のP型半導体領域614を設けてもよい。

30

【0026】

また、図1に示したように素子分離領域210の半導体基板の主表面には、トランジスタなどの他の素子を構成する半導体領域(208、209)が配されていてよい。

【0027】

(第2の実施形態)

本実施形態はカラーの光電変換装置に関する。本実施形態では、第1の実施形態の構成に加えて、更に、入射光の波長に応じてP型半導体領域の深さを調節することが特徴である。具体的に図4を用いて説明する。図4は図1と対応した光電変換装置の断面模式図であり、同様な機能を有する構成については同一の符号を付し説明を省略する。

40

【0028】

本実施形態の光電変換装置はカラーフィルタを有する。図4においては、カラーフィルタがベイヤー配列である場合について説明を行う。例えば、光電変換素子200aの上部には赤のカラーフィルタ(R)が設けられ、その他の光電変換素子200b、200c、200d、200eの上部には緑のカラーフィルタ(G)が設けられている。以下、200a(R)、200b(G)等と記す。ここで、光電変換素子200a(R)に入射する光は、波長が長い半導体基板の深部にまで到達し、半導体基板の深部において電荷を発生させる。また、光電変換素子200b(G)に入射する光は、光電変換素子200a

50

(R)に入射する光に比べて波長が短く、半導体基板の浅い部分において電荷を発生させる。そこで、本実施形態においては、図 4 (A)に示したように、幅 W 2 の P 型半導体領域は、深さ D 2 の P 型半導体領域 4 1 3 と、深さ D 2 よりも深い深さ D 3 の P 型半導体領域 4 1 5 とを有している。そして、深さ D 3 の P 型半導体領域 4 1 5 は光電変換素子 2 0 0 a (R)に近接して設けられている。深さ D 2 の P 型半導体領域 4 1 3 は、光電変換素子 2 0 0 a (R)に比べて光電変換素子 2 0 0 b (G)に近接して設けられている。幅 W 1 の P 型半導体領域 4 1 4 については、第 1 の実施形態の P 型半導体領域 2 1 4 と同様である。このような構成によって、入射光の波長が異なる場合においても、信号電荷が隣接する光電変換素子へ混入する量を均一とすることが可能となる。

【 0 0 2 9 】

本実施形態においては、信号電荷に対して障壁となりうる P 型半導体領域の深さの関係を、深さ D 3 > 深さ D 2 > 深さ D 1 とした。ここで、P 型半導体領域 4 1 3 の深さを第 1 の実施形態と同様に深さ D 2 としたが、深い P 型半導体領域 4 1 5 の深さを D 2 とし P 型半導体領域 4 1 3 の深さを D 2 と D 1 との間の深さにしてもよい。また、図 4 (B)に示す幅 W 1 の P 型半導体領域 4 1 4 についても、深さ D 1 のみではなく、入射光の波長に応じて深さ D 1 よりも深い P 型半導体領域や、深さ D 2 よりも浅く深さ D 1 よりも深い P 型半導体領域を形成してもよい。また、信号電荷に対して障壁となりうる P 型半導体領域は、第 1 の実施形態の変形例 (図 6) のように複数の半導体領域によって構成されていてもよい。

【 0 0 3 0 】

(第 3 の実施形態)

本実施形態では、第 1 の実施形態とは異なる光電変換素子のレイアウトにおける形態を説明する。本実施形態では、信号電荷に対して障壁となりうる P 型半導体領域の幅に応じて深さを変えるのは第 1 の実施形態と同様であるが、光電変換素子のレイアウトに応じて P 型半導体領域の深さを調節する。具体的に図 5 を用いて説明する。図 5 は図 1 と同等な光電変換装置の断面模式図であり、同様な機能を有する構成については同一の符号を付し説明を省略する。

【 0 0 3 1 】

本実施形態では、平面レイアウトにおいて光電変換素子などがある基準 (ここでは素子分離領域 2 1 0) に対して対称となる、いわゆるミラー配置という配置になっている。図 5 (A) に示した対応する断面模式図においては、光電変換素子 2 0 0 a と光電変換素子 2 0 0 c とが素子分離領域 2 1 0 を間に挟んで対向し、浮遊拡散部 2 0 4 a と浮遊拡散部 2 0 4 b とが素子分離領域 2 1 0 を間に挟んで対向して配されている。

【 0 0 3 2 】

このような配置においても、幅 W 2 の P 型半導体領域は、幅 W 1 の P 型半導体領域 5 1 4 よりも深く形成される。また、このような配置において、幅 W 2 の複数の P 型半導体領域は、光電変換素子 2 0 0 a との距離が大きい P 型半導体領域 5 1 3 と、光電変換素子 2 0 0 a との距離が小さい P 型半導体領域 5 1 5 とを含む。光電変換素子の活性領域には転送トランジスタが配されているためである。この P 型半導体領域 5 1 3 および P 型半導体領域 5 1 5 は、隣接する光電変換素子の第 1 導電型の半導体領域 2 1 2 と P 型半導体領域 5 1 3、5 1 5 との距離に応じて、それぞれ深さが異なる。具体的には、図 5 (A) において、光電変換素子との距離が近い P 型半導体領域 5 1 5 は、光電変換素子との距離が大きい P 型半導体領域 5 1 3 の深さ D 2 よりも、深い D 4 まで配置されている。このような図 5 (A) において、光電変換素子 2 0 0 a と光電変換素子 2 0 0 c の間の距離は、光電変換素子 2 0 0 a と光電変換素子 2 0 0 b の間の距離よりも短い。よって、光電変換素子 2 0 0 a と光電変換素子 2 0 0 c との間には深さ D 4 の P 型半導体領域 5 1 5 を設け、光電変換素子 2 0 0 a と光電変換素子 2 0 0 b との間には深さ D 4 よりも浅い、深さ D 2 の P 型半導体領域 5 1 3 を設ける。このように P 型半導体領域の深さを調節することで、光電変換素子 2 0 0 a から光電変換素子 2 0 0 c へ混入する電荷の量と、光電変換素子 2 0 0 a から光電変換素子 2 0 0 b へ混入する電荷の量とを均一近づけることが可能となる。

なお、光電変換素子 200a と光電変換素子 200c の間の距離とは第 1 導電型の半導体領域 (212a と 212c) の間の距離とも言える。また、光電変換素子 200a と光電変換素子 200b の間の距離とは第 1 導電型の半導体領域 (212a と 212b) の間の距離とも言える。

【0033】

本実施形態においては、信号電荷に対して障壁となりうる P 型半導体領域の深さの関係を、深さ $D_4 > D_2 > D_1$ とした。この深さ関係については、第 2 の実施形態と同様に、任意である。また、図 5 (B) に示す幅 W_1 の P 型半導体領域 514 についても、第 2 の実施形態と同様に変更可能である。また、信号電荷に対して障壁となりうる P 型半導体領域は、第 1 の実施形態の変形例 (図 6) のように複数の半導体領域によって構成されてい

10

【0034】

(第 4 の実施形態)

本実施形態の光電変換装置について、図 7 を用いて説明する。本実施形態では、ポテンシャルバリアを等しくする方法として、ポテンシャルバリアを構成する半導体領域の不純物濃度を変えている。図 7 は図 1 と同様な図 2 (B) の AB 線および CD 線における断面模式図である。図 1 と対応する構成については、同一の符号を付し説明を省略する。

【0035】

図 7 に示す本実施形態の光電変換装置においては、光電変換素子 200a と光電変換素子 200e との間の幅 W_1 の第 1 の素子分離領域に、幅 W_1 、不純物濃度 C_1 を有する P 型半導体領域 214 が配されている。そして、光電変換素子 200a と光電変換素子 200c との間の幅 W_2 の第 2 の素子分離領域に、幅 W_2 、不純物濃度 C_1 よりも高い不純物濃度 C_2 を有する P 型半導体領域 213 が配されている。その不純物濃度の関係は $C_2 > C_1$ であり、P 型半導体領域 213 および 214 の深さは同一 (D_1) である。このような幅と不純物濃度の関係の P 型半導体領域を有することで、光電変換素子 200 に隣接する各ポテンシャルバリアの差が減少する。そして、光電変換素子 200 で生じた電荷が隣接する光電変換素子へ混入する電荷の量のばらつきを低減することが可能となる。なお、不純物濃度 C_1 および C_2 はそれぞれ半導体領域 214 と半導体領域 213 のピーク濃度の値を示している。

20

【0036】

P 型半導体領域 213 および 214 は、以下の方法で形成される。半導体基板に素子分離を形成した後に、まず、半導体基板上の P 型半導体領域 214 を形成すべき領域に開口を有するフォトレジスト等の第 1 のマスクを設け、第 1 のドーズ量でイオン注入を用いることによって形成する。その後、半導体基板上の P 型半導体領域 213 を形成すべき領域に開口を有する第 2 のマスクを設け、第 2 のドーズ量でイオン注入を行うことによって形成する。第 1 のドーズ量でのイオン注入と第 2 のドーズ量でのイオン注入において、イオン注入エネルギーは、例えば等しい任意のエネルギーである。このように、幅と不純物濃度が異なる P 型半導体領域を別の工程によって形成すればよい。P 型半導体領域 213 及び 214 を形成する順番については任意である。また、まず P 型半導体領域 213 および 214 を同一条件で形成しておき、高い不純物濃度を有する P 型半導体領域 213 を形成する部分に更にイオン注入を行う方法も可能である。

30

40

【0037】

本実施形態においては、信号電荷に対して障壁となりうる P 型半導体領域の幅が異なる場合には、P 型半導体領域の不純物濃度を調節することにより、光電変換素子間の電荷の移動のばらつきを均一にすることが可能となる。

【0038】

なお、本実施形態においては、幅 W_1 の領域に幅 W_1 の P 型半導体領域 214 と幅 W_2 の領域に幅 W_2 の P 型半導体領域 213 とを設けている。しかし、幅 W_1 の領域に幅 W_1 とは異なる幅の P 型半導体領域 214 等を設けてもよい。例えば、図 7 と同様の断面模式図を示した図 10 のように、幅 W_1 の領域に、幅 W_1 とは異なる任意の幅の複数の P 型半

50

導体領域 6 1 4 を設けてもよい。

【 0 0 3 9 】

(第 5 の実施形態)

本実施形態はカラーの光電変換装置に関する。本実施形態では、第 4 の実施形態の構成に加えて、更に、入射光の波長に応じて P 型半導体領域の不純物濃度を調節することが特徴である。具体的に図 8 を用いて説明する。図 8 は図 7 と対応した光電変換装置の断面模式図であり、同様な機能を有する構成については同一の符号を付し説明を省略する。

【 0 0 4 0 】

本実施形態の光電変換装置はカラーフィルタを有する。図 8 においては、カラーフィルタがバイヤー配列である場合について説明を行う。例えば、光電変換素子 2 0 0 a の上部には赤のカラーフィルタ (R) が設けられ、その他の光電変換素子 2 0 0 b、2 0 0 c、2 0 0 d、2 0 0 e の上部には緑のカラーフィルタ (G) が設けられている。以下、2 0 0 a (R)、2 0 0 b (G) 等と記す。ここで、光電変換素子 2 0 0 a (R) に入射する光は、波長が長い半導体基板の深部にまで到達し、半導体基板の深部において電荷を発生させる。また、光電変換素子 2 0 0 b (G) に入射する光は、光電変換素子 2 0 0 a (R) に入射する光に比べて波長が短く、半導体基板の浅い部分において電荷を発生させる。そこで、本実施形態においては、図 8 (A) に示したように、幅 W 2 の P 型半導体領域は、不純物濃度 C 2 の P 型半導体領域 4 1 3 と、不純物濃度 C 2 よりも高い不純物濃度 C 3 の P 型半導体領域 4 1 5 とを有している。そして、高い不純物濃度 C 3 の P 型半導体領域 4 1 5 は光電変換素子 2 0 0 a (R) に近接して設けられている。不純物濃度 C 2 の P 型半導体領域 4 1 3 は、光電変換素子 2 0 0 a (R) に比べて光電変換素子 2 0 0 b (G) に近接して設けられている。幅 W 1 の P 型半導体領域 4 1 4 については、第 4 の実施形態の P 型半導体領域 2 1 4 と同様である。このような構成によって、入射光の波長が異なる場合においても、信号電荷が隣接する光電変換素子へ混入する量の均一化をはかることが可能となる。

【 0 0 4 1 】

本実施形態における信号電荷に対して障壁となりうる P 型半導体領域の不純物濃度の関係は、 $C 3 > C 2 > C 1$ とした。ここで、P 型半導体領域 4 1 3 の不純物濃度を第 1 の実施形態と同様に C 2 としたが、不純物濃度の高い P 型半導体領域 4 1 5 の不純物濃度を C 2 とし、P 型半導体領域 4 1 3 の不純物濃度を C 2 と C 1 との間の値にしてもよい。また、図 8 (B) に示す幅 W 1 の P 型半導体領域 4 1 4 についても、不純物濃度 C 1 のみではなく、入射光の波長に応じて不純物濃度 C 1 よりも高い不純物濃度の P 型半導体領域や、低い不純物濃度の P 型半導体領域を形成してもよい。また、信号電荷に対して障壁となりうる P 型半導体領域は、第 4 の実施形態の変形例 (図 1 0) のように複数の半導体領域によって構成されていてもよい。

【 0 0 4 2 】

(第 6 の実施形態)

本実施形態では、第 4 の実施形態とは異なる光電変換素子のレイアウトにおける形態を説明する。本実施形態では、信号電荷に対して障壁となりうる P 型半導体領域の幅に応じて不純物濃度を変えるのは第 4 の実施形態と同様であり、光電変換素子のレイアウトに応じて P 型半導体領域の不純物濃度を調節することが特徴である。具体的に図 9 を用いて説明する。図 9 は図 7 と同等な光電変換装置の断面模式図であり、同様な機能を有する構成については同一の符号を付し説明を省略する。

【 0 0 4 3 】

本実施形態では、平面レイアウトにおいて光電変換素子などがある基準 (ここでは素子分離領域 2 1 0) に対して対称となる、いわゆるミラー配列という配置になっている。具体的には、図 9 (A) に示したように、光電変換素子 2 0 0 a と光電変換素子 2 0 0 c とが素子分離領域 2 1 0 を間に挟んで対向して配されている。また、浮遊拡散部 2 0 4 a と浮遊拡散部 2 0 4 b とが素子分離領域 2 1 0 を間に挟んで対向して配されている。

【 0 0 4 4 】

10

20

30

40

50

このような配置において、幅W2のP型半導体領域は、幅W1のP型半導体領域514よりも高い不純物濃度を有する。また、このような配置において、幅W2の複数のP型半導体領域は、光電変換素子200aとの距離が大きいP型半導体領域513と、光電変換素子200aとの距離が小さいP型半導体領域515とを含む。光電変換素子の活性領域には転送トランジスタが配されているためである。このP型半導体領域513およびP型半導体領域515は、隣接する光電変換素子の第1導電型の半導体領域212とP型半導体領域513、515との距離に応じて、それぞれ不純物濃度が異なる。具体的には、図9(A)において、光電変換素子との距離に近いP型半導体領域515は、光電変換素子との距離が大きいP型半導体領域513の不純物濃度C2よりも、高い不純物濃度C4を有する。光電変換素子同士の距離について着目した場合には、光電変換素子200aと光電変換素子200cの間の距離は、光電変換素子200aと光電変換素子200bの間の距離よりも短い。よって、光電変換素子200aと光電変換素子200cとの間には不純物濃度C4のP型半導体領域515を設け、光電変換素子200aと光電変換素子200bとの間には不純物濃度C4よりも低い、不純物濃度C2のP型半導体領域513を設ける。このようにP型半導体領域の不純物濃度を調節することで、光電変換素子200aから光電変換素子200cへ混入する電荷の量と、光電変換素子200aから光電変換素子200bへ混入する電荷の量とを均一に近づけることが可能となる。なお、光電変換素子200aと光電変換素子200cの間の距離とは第1導電型の半導体領域(212aと212c)の間の距離とも言える。また、光電変換素子200aと光電変換素子200bの間の距離とは第1導電型の半導体領域(212aと212b)の間の距離とも言える。

10

20

【0045】

本実施形態においては、信号電荷に対して障壁となりうるP型半導体領域の不純物濃度の関係を、不純物濃度 $C4 > C2 > C1$ とした。この不純物濃度関係については、第5の実施形態と同様に、任意である。また、図9(B)に示す幅W1のP型半導体領域514についても、第2の実施形態と同様に変更可能である。また、信号電荷に対して障壁となりうるP型半導体領域は、第4の実施形態の変形例(図10)のように複数の半導体領域によって構成されていてもよい。

【0046】

(第7の実施形態)

本実施形態の光電変換装置は、第1の実施形態の構成と第4の実施形態とを組み合わせた構成を有する。P型半導体領域の幅に応じて深さと濃度とを変えることが特徴である。具体的に図11を用いて説明する。図11は図1等と対応した光電変換装置の断面模式図であり、同様な機能を有する構成については同一の符号を付し説明を省略する。

30

【0047】

本実施形態においては、第1の実施形態と同様に、幅W1で深さがD1のP型半導体領域714を有する。また、幅W2で深さがD2のP型半導体領域713を有する。ここで、更に、第4の実施形態のようにP型半導体領域713の不純物濃度を、P型半導体領域714の不純物濃度C1よりも高い、不純物濃度C2としている。不純物濃度を異ならせるためには、幅W1と幅W2のP型半導体を別工程で形成する際に、不純物イオンのイオン注入量を変えればよい。このような構成によって、深さだけでなく不純物濃度によって信号電荷が隣接する光電変換素子へ混入する量のばらつきを低減することが可能となる。つまり、P型半導体領域の幅が異なる場合に、P型半導体領域の深さと不純物濃度とを調整することによって、信号電荷の隣接画素への混入のばらつきを低減することが可能となる。

40

【0048】

(撮像システムへの応用)

本実施形態では、第1の実施形態から第7の実施形態までで説明してきた光電変換装置を撮像システムに適用した場合について、図12を用いて説明する。撮像システムとは、デジタルスチルカメラやデジタルビデオカメラや携帯電話用デジタルカメラである。

【0049】

50

図12はデジタルスチルカメラの構成図である。被写体の光学像は、レンズ802等を含む光学系によって光電変換装置804の撮像面に結像される。レンズ802の外側には、レンズ802のプロテクト機能とメインスイッチを兼ねるバリア801が設けられうる。レンズ802には、それから出射される光の光量を調節するための絞り803が設けられうる。光電変換装置804から複数チャンネルで出力される撮像信号は、撮像信号処理回路805によって、各種の補正、クランプ等の処理が施される。撮像信号処理回路805から複数チャンネルで出力される撮像信号は、A/D変換器806でアナログ-デジタル変換される。A/D変換器806から出力される画像データは、信号処理部(画像処理部)807によって各種の補正、データ圧縮などがなされる。光電変換装置804、撮像信号処理回路805、A/D変換器806および信号処理部807は、タイミング発生部808が発生するタイミング信号にしたがって動作する。各ブロックは、全体制御・演算部809によって制御される。その他、画像データを一時的に記憶するためのメモリ部810、記録媒体への画像の記録又は読み出しのための記録媒体制御インターフェース部811を備える。記録媒体812は、半導体メモリ等を含んで構成され、着脱が可能である。さらに、外部コンピュータ等と通信するための外部インターフェース(I/F)部813を備えてもよい。ここで、805から808は、光電変換装置804と同一チップ上に形成されてもよい。

10

【0050】

次に、図12の動作について説明する。バリア801のオープンに応じて、メイン電源、コントロール系の電源、A/D変換器806等の撮像系回路の電源が順にオンする。その後、露光量を制御するために、全体制御・演算部809が絞り803を開放にする。光電変換装置804から出力された信号は、撮像信号処理回路805をスルーしてA/D変換器806へ提供される。A/D変換器806は、その信号をA/D変換して信号処理部807に出力する。信号処理部807は、そのデータを処理して全体制御・演算部809に提供し、全体制御・演算部809において露出量を決定する演算を行う。全体制御・演算部809は、決定した露出量に基づいて絞りを制御する。そして、全体制御・演算部809は、光電変換装置804から出力され信号処理部807で処理された信号にから高周波成分を取り出して、高周波成分に基づいて被写体までの距離を演算する。その後、レンズ802を駆動して、合焦か否かを判断する。合焦していないと判断したときは、再びレンズ802を駆動し、距離を演算する。合焦が確認された後に本露光が始まる。露光が終了すると、光電変換装置804から出力された撮像信号は、撮像信号処理回路805において補正等がされ、A/D変換器806でA/D変換され、信号処理部807で処理される。信号処理部807で処理された画像データは、全体制御・演算部809によりメモリ部810に蓄積される。その後、メモリ部810に蓄積された画像データは、全体制御・演算部809の制御により記録媒体制御I/F部を介して記録媒体812に記録される。また、画像データは、外部I/F部813を通してコンピュータ等に提供されて処理される。

20

30

【0051】

このようにして、本発明の光電変換装置は撮像システムに適用される。本発明の光電変換装置を用いることによって、画素間での信号電荷の混入量が均一化されるため、偏りがあった場合に比べて信号処理回路での画像処理が容易となる。よって、撮像システムの信号処理部などの構成を簡易なものにすることが可能となる。

40

【0052】

本発明の実施形態においては、P型半導体領域の深さや濃度を調節した構成を説明したが、つまり、第1の半導体領域が形成するポテンシャルバリアと第2の半導体領域が形成するポテンシャルバリアの差が小さく、好ましくは無くなるような構成であればよい。つまり、第1の素子分離領域におけるP型半導体領域を形成する不純物の量と第2の素子分離領域におけるP型半導体領域を形成する不純物の量が等しくなるような構成であればよい。

【0053】

50

また、本発明は各実施形態に限定されるものではなく、適宜変更可能である。例えば、電荷の極性、半導体領域の極性およびトランジスタの極性やレイアウトについても、適宜変更可能である。例えば、第1の半導体領域および第2の半導体領域とは複数のイオン注入によって形成された複数の半導体領域から構成されていてもよい。

【0054】

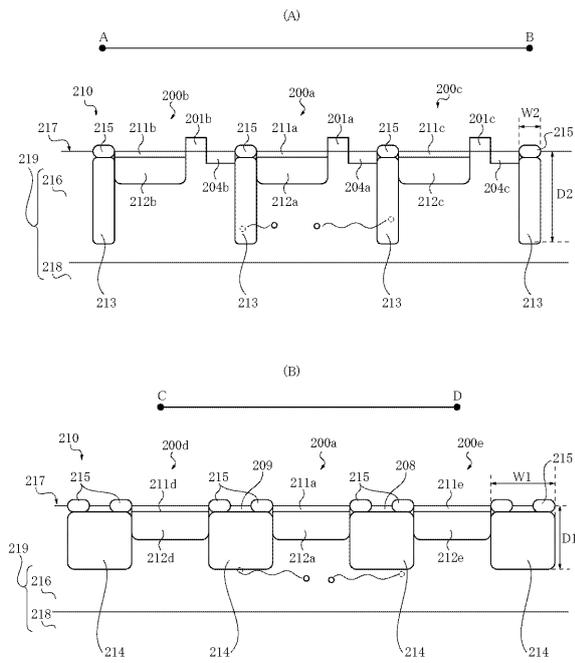
また、各実施形態の構成は適宜組み合わせることが可能である。

【符号の説明】

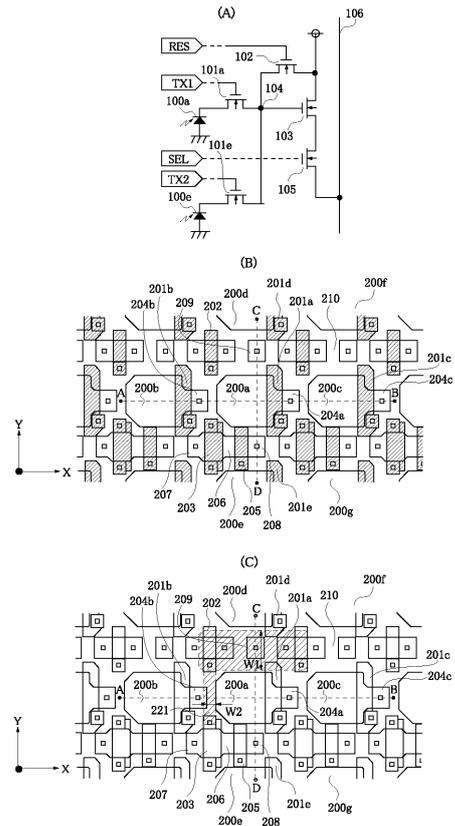
【0055】

100	光電変換素子	
101	転送MOSトランジスタ	10
102	リセットMOSトランジスタ	
103	増幅MOSトランジスタ	
104	浮遊拡散部	
105	選択MOSトランジスタ	
106	出力線	
200	光電変換素子	
201	転送MOSトランジスタのゲート電極	
202	リセットMOSトランジスタのゲート電極	
203	増幅MOSトランジスタのゲート電極	
204	浮遊拡散部	20
205	選択MOSトランジスタのゲート電極	
206	増幅MOSトランジスタのソース領域	
207	増幅MOSトランジスタのドレイン領域	
208	選択MOSトランジスタのソース領域	
209	半導体領域や半導体基板に電圧を供給するための半導体領域	
210	素子分離領域	

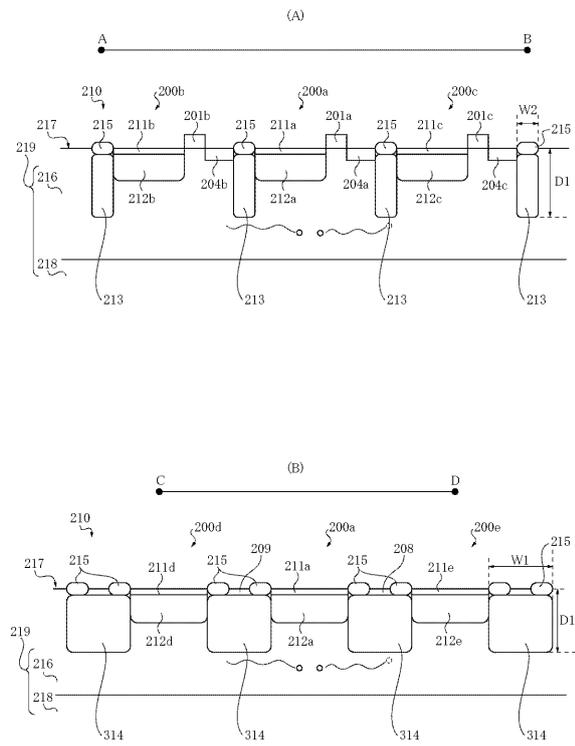
【図1】



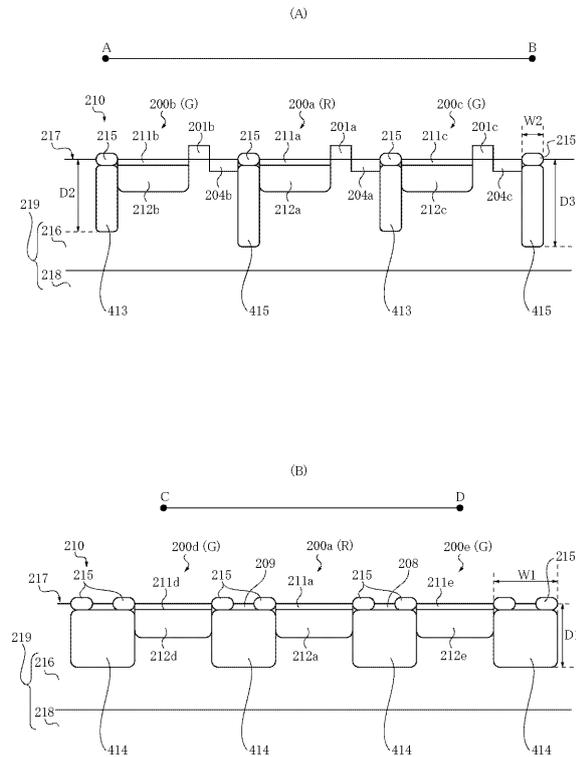
【図2】



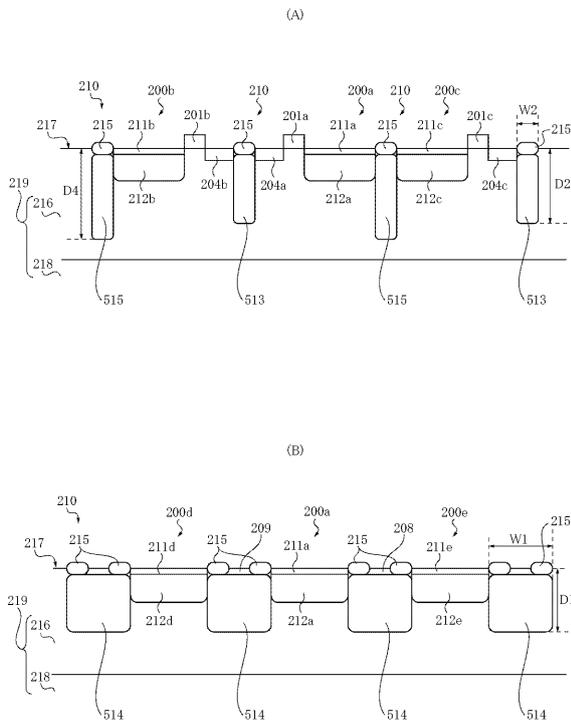
【図3】



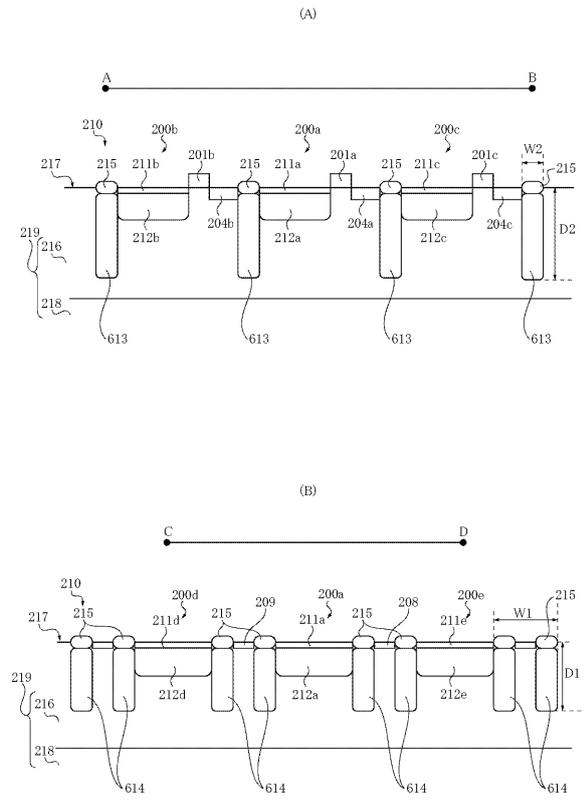
【図4】



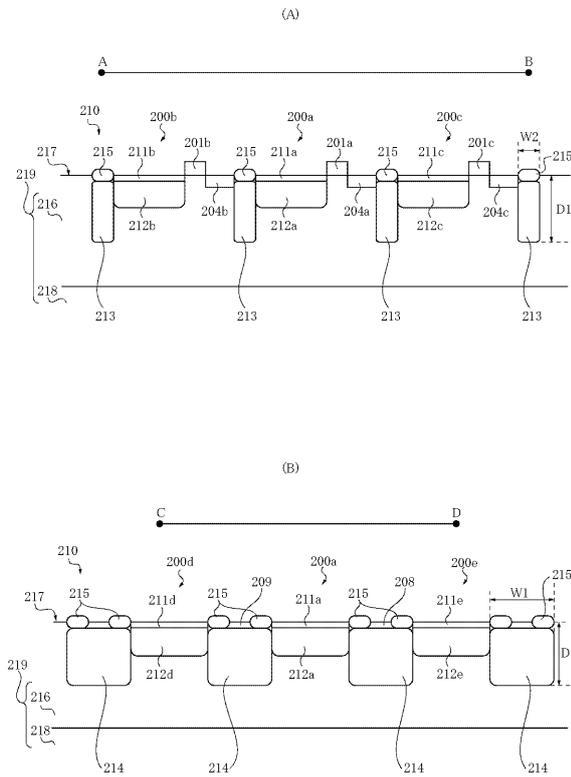
【 図 5 】



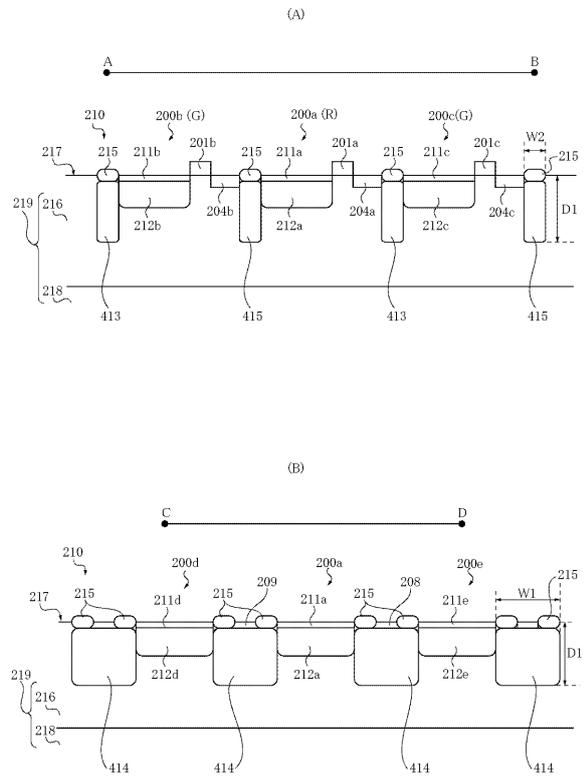
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

- (56)参考文献 特開2007-305867(JP,A)
特開2004-186408(JP,A)
特開2001-189441(JP,A)
特開2007-088304(JP,A)
特開2008-182076(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146
H01L 31/10
H04N 5/369
H04N 101/00