

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4177220号  
(P4177220)

(45) 発行日 平成20年11月5日(2008.11.5)

(24) 登録日 平成20年8月29日(2008.8.29)

(51) Int. Cl. F 1  
**G 1 1 C 11/22 (2006.01)**  
 G 1 1 C 11/22 5 0 1 G  
 G 1 1 C 11/22 5 0 1 J

請求項の数 3 (全 16 頁)

<p>(21) 出願番号 特願2003-344467 (P2003-344467)</p> <p>(22) 出願日 平成15年10月2日(2003.10.2)</p> <p>(65) 公開番号 特開2005-108391 (P2005-108391A)</p> <p>(43) 公開日 平成17年4月21日(2005.4.21)</p> <p>審査請求日 平成17年3月1日(2005.3.1)</p> <p>前置審査</p>	<p>(73) 特許権者 000001889                  三洋電機株式会社                  大阪府守口市京阪本通2丁目5番5号</p> <p>(74) 代理人 100104433                  弁理士 官園 博一</p> <p>(72) 発明者 高野 洋                  大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内</p> <p>審査官 高野 芳徳</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

ビット線と電圧印加線との間に接続され、ヒステリシス特性を有する材料を含む記憶手段と、

前記ビット線に接続され、前記記憶手段に記憶されたデータを読み出すデータ読出手段と、

前記記憶手段に記憶された第1記憶データの読出し時の前記ビット線の電位の変化量と第2記憶データの読出し時の前記ビット線の電位の変化量との差よりも小さい電位だけ、電位を変化することが可能な所定の線とを備え、

データの読み出し時に、前記ビット線と前記電圧印加線との電位差が実質的に0Vである初期状態から、前記ビット線をフローティング状態にするとともに、前記電圧印加線に前記記憶手段の記憶状態を変化させることが可能な電圧を印加した後、前記電圧印加線の電圧を前記記憶手段の記憶状態が変化しない電圧に戻し、その時の前記所定の線の電位に基づいて前記データ読出手段によりデータの読み出しを行い、

前記所定の線は、前記ビット線であり、

前記データ読出手段は、前記ビット線に接続された1つのスイッチを含み、

前記データ読出手段の1つのスイッチをオンからオフにすることにより、前記ビット線をフローティング状態にするとともに前記ビット線の電位が前記記憶手段に記憶された前記第1記憶データの読出し時の前記ビット線の電位の変化量と前記第2記憶データの読出し時の前記ビット線の電位の変化量との差よりも小さい電位だけ変化されるように構成さ

10

20

れている、半導体記憶装置。

【請求項 2】

前記電圧印加線は、ワード線であり、

前記記憶手段は、前記ワード線と前記ビット線との間に接続され、前記ヒステリシス特性を有する強誘電体キャパシタからなり、

前記データの読み出し時に、前記ビット線と前記ワード線との電位差が実質的に 0 V である初期状態から、前記スイッチをオンからオフにすることにより、前記ビット線をフローティング状態にするとともに前記強誘電体キャパシタに記憶された前記第 1 記憶データの読み出し時の前記ビット線の電位の変化量と前記第 2 記憶データの読み出し時の前記ビット線の電位の変化量との差よりも小さい電位だけ、前記フローティング状態の前記ビット線の電位を変化させ、前記ワード線に前記強誘電体キャパシタの記憶状態を変化させることが可能な電圧を印加した後、前記ワード線を初期状態の電位に戻し、その時の前記ビット線の電位と前記初期状態の前記ビット線の電位とに基づいて前記データ読出手段によりデータの読み出しを行う、請求項 1 に記載の半導体記憶装置。

10

【請求項 3】

前記データ読出手段は、入力端子および出力端子を有するとともに、前記ビット線に前記入力端子が接続され、所定の論理しきい値を有するインバータ回路をさらに含み、

前記スイッチは、前記インバータ回路の入力端子および出力端子に接続され、

前記初期状態では、前記データ読出手段のスイッチがオンすることにより、前記インバータの入力および出力が前記論理しきい値の電位になることによつて、前記ビット線は、前記インバータの論理しきい値の電位にプリチャージされ、

20

前記ビット線のフローティング状態では、前記データ読出手段のスイッチがオンからオフすることにより、前記ビット線の電位が前記インバータの論理しきい値の電位から前記強誘電体キャパシタに記憶された前記第 1 記憶データの読み出し時の前記ビット線の電位の変化量と前記第 2 記憶データの読み出し時の前記ビット線の電位の変化量との差よりも小さい電位だけ変化され、

前記データの読み出し時には、前記インバータ回路に入力される前記ビット線電位が前記インバータ回路の論理しきい値よりも大きいか小さいかで、前記インバータ回路の出力を変化させることにより前記データの読み出しを行う、請求項 2 に記載の半導体記憶装置

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に関し、特に、記憶手段に記憶されたデータを判別するデータ判別手段を備えた半導体記憶装置に関する。

【背景技術】

【0002】

従来、記憶手段に記憶されたデータを読み出すためのデータ読出手段を備えた半導体記憶装置が知られている。図 7 には、データ読出手段を備えた半導体記憶装置の一例として、コンパレータ（データ読出手段）を備えた 1 T（トランジスタ）1 C（キャパシタ）型強誘電体メモリの構成が示されている。ここで、強誘電体メモリとは、強誘電体の分極方向による擬似的な容量変化をメモリ素子として利用する不揮発性メモリである。この 1 T 1 C 型強誘電体メモリは、図 7 に示すように、ワード線 W L およびプレート線 P L と、プレート線 P L およびビット線 B L の間に接続されたメモリセル（記憶手段）1 0 1 と、ビット線 B L に接続されたコンパレータ 1 0 2 とを備えている。また、メモリセル 1 0 1 は、1 つの強誘電体キャパシタ 1 0 3 と、1 つの選択トランジスタ 1 0 7 とを含んでいる。この選択トランジスタ 1 0 7 のゲートには、ワード線 W L が接続されている。また、コンパレータ 1 0 2 には、所定の方法で生成された参照電位 V r e f が供給される。

40

【0003】

図 7 に示した従来の 1 T 1 C 型強誘電体メモリの読み出し動作としては、まず、ワード

50

線WLを立ち上げることにより、選択トランジスタ107がオン状態になる。その後、プレート線PLに所定の読み出し電位が印加される。これにより、メモリセル101に記憶されたデータ「1」または「0」に応じた電位がビット線BLに現れる。この際、データ「1」に対応する電位とデータ「0」に対応する電位との中間の電位を所定の方法で生成してコンパレータ102に供給する。そして、所定の方法で生成した電位を参照電位Vrefとして用いて、コンパレータ102によりビット線BLに現れたメモリセル101のデータに対応する電位と参照電位Vrefとを比較することによって、メモリセル101から読み出されたデータがデータ「0」または「1」として判別される。そして、データ「0」または「1」として判別されたメモリセル101のデータは、コンパレータ102から外部へ出力される。

10

**【0004】**

また、図8には、従来のデータ読出手段を備えた半導体記憶装置の他の例として、コンパレータ(データ読出手段)を備えた1C(キャパシタ)クロスポイント型強誘電体メモリが示されている。この1Cクロスポイント型強誘電体メモリは、図8に示すように、ワード線WLおよびビット線BLと、ワード線WLおよびビット線BLに接続されたメモリセル111と、ビット線BLに接続されたコンパレータ112とを備えている。また、メモリセル111は、ワード線WLおよびビット線BLと、ワード線WLおよびビット線BLの間に配置された強誘電体膜(図示せず)とからなる1つの強誘電体キャパシタ113のみによって構成されている。また、コンパレータ112には、所定の方法で生成された参照電位Vrefが供給される。

20

**【0005】**

図8に示した従来の1Cクロスポイント型強誘電体メモリの読み出し動作としては、まず、ワード線WLに読み出し電位が印加される。これにより、メモリセル111に記憶されたデータ「1」または「0」に応じた電位がビット線BLに現れる。この際、データ「1」に対応する電位とデータ「0」に対応する電位との中間の電位を有する参照電位Vrefを所定の方法で生成するとともに、コンパレータ112に供給する。そして、上記の1T1C型強誘電体メモリと同様、コンパレータ112によりメモリセル111からビット線BLに読み出されたデータに対応する電位を参照電位Vrefと比較することによって、データ「0」または「1」が判別されてコンパレータ112から外部へ出力される。

**【0006】**

しかしながら、図7に示した従来の1T1C型強誘電体メモリでは、メモリセル101からビット線BLに読み出されるデータに対応する電位は、メモリセル101を構成する強誘電体キャパシタ103の製造プロセスによるばらつきや、メモリセル101へのデータの書換回数などによって変化される。これにより、メモリセル101からビット線BLに読み出されるデータに対応する電位は、メモリセル101毎に異なるので、データを比較するための参照電位Vrefの最適な値もメモリセル101毎に異なる。このため、全てのメモリセル101に対して、最適な参照電位Vrefを供給するのは困難であるという不都合がある。

30

**【0007】**

また、図8に示した従来の1Cクロスポイント型強誘電体メモリでも、メモリセル111からビット線BLに読み出されるデータに対応する電位を参照電位Vrefと比較するので、図7に示した従来の1T1C型強誘電体メモリと同様、全てのメモリセル111に対して、最適な参照電位Vrefを供給するのは困難であるという不都合がある。

40

**【0008】**

そこで、従来、参照電位を用いることなく、データの判別を行うことが可能な半導体記憶装置が提案されている(たとえば、非特許文献1参照)。

**【0009】**

上記非特許文献1には、読み出し動作時に、参照電位を必要としない自己比較型読み出しを行うように構成されたクロスポイント型MRAM(Magnetic Random Access Memory)が開示されている。具体的には、上記クロスポイント型

50

MRAMでは、まず、メモリセルから1回目のデータの読み出しを行うとともに、読み出したデータに対応する電圧を保持する。次に、メモリセルにデータ「0」または「1」を書き込む。次に、メモリセルから2回目のデータの読み出しを行うとともに、保持している1回目に読み出したデータに対応する電圧を、2回目に読み出したデータ「0」または「1」に対応する電圧と比較することによって、1回目に読み出したデータの判別を行う。このような自己比較型読み出しを行うことにより、上記非特許文献1に開示されたクロスポイント型MRAMでは、参照電位を用いる必要がない。

【非特許文献1】“ A 512Kb Cross-Point Cell MRAM ” ,  
ISSCC 2003 / SESSION 16 / NON-VOLATILE MEMORY / PAPER 16.1

10

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、上記非特許文献1に提案されたクロスポイント型MRAMでは、メモリセルのデータを読み出して判別するために、1回目の読み出し動作、「0」または「1」の書き込み動作、および、2回目の読み出し動作の3サイクルの動作が必要となる。このため、動作数が増大するので、クロスポイント型MRAMの動作時間が増大するという問題点があった。

【0011】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、参照電位などを用いることなく、データの判別を行うとともに、動作時間を短縮することが可能な半導体記憶装置を提供することである。

20

【課題を解決するための手段および発明の効果】

【0015】

この発明の一の局面による半導体記憶装置は、ビット線と電圧印加線との間に接続され、ヒステリシス特性を有する材料を含む記憶手段と、ビット線に接続され、記憶手段に記憶されたデータを読み出すデータ読出手段と、記憶手段に記憶された第1記憶データの読出し時のビット線の電位の変化量と第2記憶データの読出し時のビット線の電位の変化量との差よりも小さい電位だけ、電位を変化することが可能な所定の線とを備えている。そして、データの読み出し時に、ビット線と電圧印加線との電位差が実質的に0Vである初期状態から、ビット線をフローティング状態にするとともに、電圧印加線に少なくとも記憶手段の記憶状態を変化させることが可能な電圧を印加した後、電圧印加線の電圧を記憶手段の記憶状態が変化しない電圧に戻し、その時の所定の線の電位に基づいてデータ読出手段によりデータの読み出しを行う。

30

【0016】

この一の局面による半導体記憶装置では、上記のように、データの読み出し時に、ビット線と電圧印加線との電位差が実質的に0Vである初期状態から、ビット線をフローティング状態にするとともに、電圧印加線に記憶手段の記憶状態を変化させることが可能な電圧を印加した後、電圧印加線の電圧を記憶手段の記憶状態が変化しない電圧に戻し、その時のビット線の電位に基づいてデータ読出手段によりデータの読出を行うことによって、たとえば、電圧印加線の電圧を記憶手段の記憶状態が変化しない電圧に戻した時のビット線の電位を、ビット線の初期状態の電位と比較すれば、参照電位を用いることなく、データの読み出しを行うことができる。また、電圧印加線の立ち上げおよび立ち下げを1回のみ行うだけで、データの読み出しを行うことができるので、動作時間を短縮することができるとともに、消費電流を低減することができる。

40

【0017】

上記一の局面による半導体記憶装置において、好ましくは、所定の線は、ビット線であり、電圧印加線は、ワード線であり、記憶手段は、ワード線とビット線との間に接続され、ヒステリシス特性を有する強誘電体キャパシタからなり、データの読み出し時に、ビット線とワード線との電位差が実質的に0Vである初期状態から、ビット線をフローティン

50

グ状態にするとともに、強誘電体キャパシタに記憶された第1記憶データの読出し時のビット線の電位の変化量と第2記憶データの読出し時のビット線の電位の変化量との差よりも小さい電位だけ、フローティング状態のビット線の電位を変化させ、ワード線に強誘電体キャパシタの記憶状態を変化させることが可能な電圧を印加した後、ワード線を初期状態の電位に戻し、その時のビット線の電位と初期状態のビット線の電位とに基づいてデータ読出手段によりデータの読み出しを行う。このように構成すれば、ワード線を初期状態の電位に戻した時のビット線の電位と、初期状態のビット線の電位とに基づいて、データの読み出しが行われるので、参照電位を用いることなく、データの読み出しを行うことができる。また、ワード線の立ち上げおよび立ち下げを1回のみ行うだけで、データの読み出しを行うことができるので、動作時間を短縮することができるとともに、消費電流を低減することができる。

10

## 【0018】

この場合、好ましくは、データ読出手段は、入力端子および出力端子を有するとともに、ビット線に入力端子が接続され、所定の論理しきい値を有するインバータ回路と、インバータ回路の入力端子および出力端子に接続されるスイッチとを含み、初期状態では、データ読出手段のスイッチがオンすることにより、インバータ回路の入力および出力が論理しきい値の電位になることによって、ビット線は、インバータ回路の論理しきい値の電位にプリチャージされ、ビット線のフローティング状態では、データ読出手段のスイッチがオンからオフすることにより、ビット線の電位がインバータ回路の論理しきい値の電位から強誘電体キャパシタに記憶された第1記憶データの読出し時のビット線の電位の変化量

20

## 【0019】

上記一の局面による半導体記憶装置において、好ましくは、ビット線とビット線対を構成する反転ビット線と、反転ビット線を所定の電位に変化させる反転ビット線電位変化手段とをさらに備える。そして、所定の線は、反転ビット線であり、電圧印加線は、プレート線であり、記憶手段は、ビット線とプレート線との間に接続されたヒステリシス特性を有する強誘電体キャパシタを含み、データ読出手段は、ビット線および反転ビット線に接続され、ビット線および反転ビット線の電位差に基づいて記憶手段に記憶されたデータの読み出しを行うセンスアンプである。また、データの読み出し時に、ビット線とプレート線との電位差が実質的に0Vである初期状態から、ビット線をフローティング状態にするとともに、プレート線に強誘電体キャパシタの記憶状態を変化させることが可能な電圧を印加した後、プレート線を初期状態の電位に戻し、反転ビット線電位変化手段により反転ビット線を強誘電体キャパシタに記憶された第1記憶データの読出し時のビット線の電位の変化量と第2記憶データの読出し時のビット線の電位の変化量との差よりも小さい電位だけ変化させた状態で、ビット線および反転ビット線の電位に基づいてセンスアンプによりデータの読み出しを行う。このように構成すれば、ビット線および反転ビット線の電位によりデータの読み出しが行われるので、参照電位を用いることなく、容易に、データの読み出しを行うことができる。また、プレート線の立ち上げおよび立ち下げを1回のみ行うだけで、データの読み出しを行うことができるので、動作時間を短縮することができるとともに、消費電流を低減することができる。

30

40

## 【0020】

上記センスアンプを含む半導体記憶装置において、好ましくは、データの読み出し時に、センスアンプによりビット線の電位を増幅するとともに、センスアンプにより増幅され

50

たビット線の電位を用いてデータの再書き込みを行う。このように構成すれば、センスアンプを用いて、データの読み出し動作時に、同時にデータの再書き込みを行うことができるので、再書き込み動作を別途行う必要がない。これにより、読み出しおよび再書き込み動作をより簡略化することができる。

【 0 0 2 1 】

上記センスアンプを含む半導体記憶装置において、好ましくは、反転ビット線電位変化手段は、反転ビット線に交差するように配置される信号線と、信号線と反転ビット線との間に接続された容量手段とを含み、信号線に印加する電位を変化させることにより、容量手段を介して、反転ビット線に所定の電位が付与される。このように構成すれば、容易に、反転ビット線の電位をビット線の初期状態の電位と異なる電位に変化させることができるので、センスアンプを用いて、容易に、ビット線の電位と反転ビット線の電位とを比較することができる。

10

【発明を実施するための最良の形態】

【 0 0 2 2 】

以下、本発明の実施形態を図面に基づいて説明する。

【 0 0 2 3 】

(第1実施形態)

図1は、本発明の第1実施形態によるクロスポイント型強誘電体メモリ(半導体記憶装置)の構成を示した回路図である。まず、図1を参照して、第1実施形態によるクロスポイント型強誘電体メモリの構成について説明する。

20

【 0 0 2 4 】

第1実施形態によるクロスポイント型強誘電体メモリは、互いに交差する方向に延びるように配置されたビット線BLおよびワード線WLと、ビット線BLとワード線WLとの間に接続されたデータを記憶するためのメモリセル1と、ビット線BLに接続されたチョップコンパレータ2とを備えている。なお、ビット線BLは、本発明の「データ読出线」の一例であり、ワード線WLは、本発明の「電圧印加線」の一例である。また、チョップコンパレータ2は、本発明の「データ読出手段」の一例である。

【 0 0 2 5 】

また、ビット線BLは、所定の寄生容量CBLを有する。また、メモリセル1は、ビット線BLおよびワード線WLと、ビット線BLおよびワード線WLの間に接続された強誘電体膜(図示せず)とからなる1つの強誘電体キャパシタ3のみによって構成されている。なお、この強誘電体キャパシタ3は、 $\pm 1/2V_{cc}$ の電位差が印加されることにより、分極反転するように構成されている。また、強誘電体キャパシタ3は、本発明の「記憶手段」の一例であり、強誘電体は、本発明の「ヒステリシス特性を有する材料」の一例である。また、チョップコンパレータ2は、インバータ回路4と、スイッチ5とを含んでいる。このチョップコンパレータ2は、メモリセル1に記憶されたデータ「0」または「1」を判別する機能を有している。また、チョップコンパレータ2のインバータ回路4は、入力端子4aおよび出力端子4bを有している。このインバータ回路4の入力端子4aは、ビット線BLに接続されているとともに、出力端子4bからは、外部へデータが出力される。また、インバータ回路4は、論理しきい値の電位VTを有しており、この論理しきい値の電位VTは、インバータ回路4を構成するトランジスタのサイズなどを調節することにより $1/2V_{cc}$ に設定されている。また、チョップコンパレータ2のスイッチ5は、nチャネルトランジスタによって構成されており、このnチャネルトランジスタの一对のソース/ドレインは、それぞれ、インバータ回路4の入力端子4aおよび出力端子4bに接続されている。また、スイッチ5を構成するnチャネルトランジスタのゲートと拡散層との間には、所定のカップリング容量が存在する。

30

40

【 0 0 2 6 】

図2は、本発明の第1実施形態によるクロスポイント型強誘電体メモリの読み出し動作を説明するための電圧波形図であり、図3は、強誘電体キャパシタの分極状態の変化を説明するためのヒステリシス図である。図1~図3を参照して、次に、本発明の第1実施形

50

態によるクロスポイント型強誘電体メモリの読み出し動作について説明する。

【0027】

第1実施形態によるクロスポイント型強誘電体メモリは、初期状態では、スイッチ5（図1参照）がオン状態になっている。これにより、スイッチ5を介して互いに接続されたインバータ回路4の入力端子4aおよび出力端子4bの電位は、インバータ回路4の論理しきい値の電位 $V_T(1/2V_{cc})$ になる。このため、ビット線BLは、図2に示すように、インバータ回路4の論理しきい値の電位 $V_T(1/2V_{cc})$ にプリチャージされる。また、初期状態において、ワード線WLは、ワード線ドライバ（図示せず）によって $1/2V_{cc}$ にプリチャージされる。このように、ビット線BLおよびワード線WLが共に $1/2V_{cc}$ の電位にプリチャージされることにより、ビット線BLおよびワード線WL間の電位差（ $V_{WL} - V_{BL}$ ）は0Vになるので、ビット線BLおよびワード線WLの間に接続されたメモリセル1には0Vの電位差が印加される。このため、初期状態では、図3に示すように、メモリセル1を構成する強誘電体キャパシタ3は、データ「0」または「1」に対応する分極状態になっている。

10

【0028】

次に、第1実施形態では、スイッチ5（図1参照）を構成するnチャネルトランジスタをオン状態からオフ状態にする。これにより、ビット線BLは、図2に示すように、フローティング状態になる。また、この際、スイッチ5を構成するnチャネルトランジスタのゲートに入力される信号の電位は、HレベルからLレベルに低下されるので、それに伴って、ビット線BLの電位は、スイッチ5のnチャネルトランジスタのゲート-拡散層間のカップリング容量に対応する電圧（ $V_{ini}$ ）分低下される。これにより、ビット線BLは、図2に示すように、 $1/2V_{cc} - V_{ini}$ の電位になる。

20

【0029】

次に、ワード線WLが $V_{cc}$ に立ち上がることによって、メモリセル1に記憶されたデータ「0」または「1」に対応する電位がビット線BLに現れる。このとき、メモリセル1に記憶されたデータが「0」であった場合には、ビット線BLの電位は、 $1/2V_{cc} - V_{ini} + V_0$ に上昇される。一方、メモリセル1に記憶されたデータが「1」であった場合には、ビット線BLの電位は、 $1/2V_{cc} - V_{ini} + V_1$ に上昇される。また、ワード線WLが $V_{cc}$ の電位に立ち上がるのに伴って、メモリセル1の強誘電体キャパシタ3の分極状態は、データ「0」が記憶されていた場合には、図3の「0」からA点へ移動し、データ「1」が記憶されていた場合には、図3の「1」点からA点へ移動する。なお、上記した $V_0$ は、強誘電体キャパシタ3の分極状態が図3の「0」点からA点へ移動するのに対応するビット線BLの電位の変化量であり、 $V_1$ は、強誘電体キャパシタ3の分極状態が図3の「1」点からA点へ移動するのに対応するビット線BLの電位の変化量である。

30

【0030】

次に、ワード線WLを $V_{cc}$ から $1/2V_{cc}$ の電位に立ち下げる。これに伴って、ワード線WLおよびビット線BLに接続されたメモリセル1の強誘電体キャパシタ3の分極状態は、初期状態でデータ「0」および「1」のどちらが記憶されていた場合にも、共に、図3のA点から「0」点に移動されるので、ビット線BLの電位 $V_{BL}$ は $V_0$ の分低下される。これにより、初期状態においてメモリセル1にデータ「0」が記憶されていた場合には、ビット線BLの電位 $V_{BL}$ は、以下の式（1）に示すようになる。

40

【0031】

$$V_{BL} = 1/2V_{cc} - V_{ini} + V_0 - V_0 \\ = 1/2V_{cc} - V_{ini} \dots (1)$$

一方、メモリセル1にデータ「1」が記憶されていた場合には、ビット線BLの電位 $V_{BL}$ は、以下の式（2）に示すようになる。

【0032】

$$V_{BL} = 1/2V_{cc} - V_{ini} + V_1 - V_0 \dots (2)$$

次に、第1実施形態では、チョップコンパレータ2のインバータ回路4によってデータ

50

「0」または「1」の判別を行う。具体的には、ビット線BLの電位 $V_{BL}$ が、チョップコンパレータ2のインバータ回路4の論理しきい値の電位 $V_T (1/2 V_{cc})$ よりも大きいか小さいかで、インバータ回路4の出力を0Vまたは $V_{cc}$ に変化させることによりデータの判別を行う。すなわち、ビット線BLの電位 $V_{BL}$ が $1/2 V_{cc}$ よりも小さい場合には、データ「0」と判別し、インバータ回路4から外部へ $V_{cc}$  (Hレベル)の電位 ( $V_{out}$ ) が出力される。一方、ビット線BLの電位 $V_{BL}$ が $1/2 V_{cc}$ よりも大きい場合には、データ「1」と判別し、インバータ回路4から外部へ0V (Lレベル)の電位 ( $V_{out}$ ) が出力される。

【0033】

上記式(1)より、初期状態でメモリセル1にデータ「0」が保持されていた場合のビット線BLの電位 $V_{BL} (1/2 V_{cc} - V_{ini})$ は、 $1/2 V_{cc}$ よりも必ず小さくなるので、データ「0」と判別され、インバータ回路4から外部へ $V_{cc}$ の電位 ( $V_{out}$ ) が出力される。なお、この場合において、ビット線BLの電位 $V_{BL}$ が $1/2 V_{cc}$ よりも小さいことをインバータ回路4が検出できるようにするために、 $V_{ini}$ の電圧をインバータ回路4の感度よりも大きくなるように設定する。

10

【0034】

また、上記式(2)より、初期状態でメモリセル1にデータ「1」が保持されていた場合に、そのデータをインバータ回路4がデータ「1」と判別できるようにするために、ビット線BLの電位 $V_{BL}$ は、少なくとも以下に示す式(3)の条件を満たす必要がある。

【0035】

$$V_{BL} = 1/2 V_{cc} - V_{ini} + V_1 - V_0 > 1/2 V_{cc} \dots (3)$$

上記式(3)を変形することにより、以下の式(4)が得られる。

20

【0036】

$$V_{ini} + V_0 < V_1 \dots (4)$$

上記式(4)の結果から、初期状態でメモリセル1がデータ「1」を保持している場合に、インバータ回路4がそのデータを「1」と判別できるようにするために、 $V_{ini}$ の電圧(チョップコンパレータ2のnチャンネルトランジスタのゲート-拡散層間のカップリング容量に対応する電圧)を、 $V_{ini}$ と $V_0$ (図3の「0」からA点への分極状態の変化に対応する電位の変化量)との和が、 $V_1$ (図3の「1」からA点への分極状態の変化に対応する電位の変化量)を上回らないように設定する。このような電圧に $V_{ini}$ を設定することにより、データ「1」を保持するメモリセル1からビット線BLに読み出された電位 $V_{BL} (1/2 V_{cc} - V_{ini} + V_1 - V_0)$ は、 $1/2 V_{cc}$ よりも小さくなるので、データ「1」と判別され、インバータ回路4から外部へ0V (Lレベル)の電位 ( $V_{out}$ ) が出力される。

30

【0037】

第1実施形態では、上記のように、初期状態では、ビット線BLをインバータ回路4の論理しきい値の電位 $V_T (1/2 V_{cc})$ にプリチャージした後、チョップコンパレータ2のスイッチ5をオンからオフすることによりnチャンネルトランジスタ5のカップリング容量によりビット線BLの電位をインバータ回路4の論理しきい値の電位 $V_T (1/2 V_{cc})$ から $V_{ini}$ の電圧分低下させ、その後、ワード線WLに $V_{cc}$ の電圧を印加した後、ワード線WLの電圧を $1/2 V_{cc}$ に戻し、その時のビット線BLの電位が、インバータ回路4の論理しきい値の電位 $V_T (1/2 V_{cc})$ よりも大きいか小さいかで、データを判別して読み出すことによって、初期状態のビット線BLの電位であるインバータ回路4の論理しきい値の電位 $V_T (1/2 V_{cc})$ と、ワード線WLを $1/2 V_{cc}$ に戻した時のビット線BLの電位とに基づいて、参照電位を用いることなく、データの読み出しを行うことができる。また、ワード線WLの立ち上げおよび立ち下げを1回のみ行うだけの1パルスで、データの読み出しを行うことができるので、動作時間を短縮することができるとともに、消費電流を低減することができる。

40

【0038】

(第2実施形態)

50



図4は、本発明の第2実施形態による1T(トランジスタ)1C(キャパシタ)型強誘電体メモリ(半導体記憶装置)の構成を示した回路図である。まず、図4を参照して、第2実施形態による1T1C型強誘電体メモリの構成について説明する。

【0039】

第2実施形態による1T1C型強誘電体メモリでは、ビット線BL0および反転ビット線/BL0からなるビット線対とビット線BL1および反転ビット線/BL1からなるビット線対とに対して交差する方向に延びるように、ワード線WL0およびWL1と、プレート線PLと、ダミーワード線DWL0およびDWL1とが配置されている。なお、ビット線BL0、BL1は、本発明の「データ読出线」の一例であり、プレート線PLは、本発明の「電圧印加線」の一例である。

10

【0040】

また、ビット線BL0とプレート線PLとの間には、メモリセル11aが接続されており、反転ビット線/BL0とプレート線PLとの間には、メモリセル11bが接続されている。また、ビット線BL1とプレート線PLとの間には、メモリセル11cが接続されており、反転ビット線/BL1とプレート線PLとの間には、メモリセル11dが接続されている。また、メモリセル11a~11dは、それぞれ、1つの強誘電体キャパシタ13と1つの選択トランジスタ17とによって構成されている。なお、強誘電体キャパシタ13は、本発明の「記憶手段」の一例である。また、メモリセル11aおよび11cの各々の選択トランジスタ17のゲートは、ワード線WL0に接続されており、メモリセル11bおよび11dの各々の選択トランジスタ17のゲートは、ワード線WL1に接続されている。また、メモリセル11a~11dの各々の選択トランジスタ17のソース/ドレインの一方は、対応するメモリセル11a~11dの強誘電体キャパシタ13の一方の電極に接続されており、各々の選択トランジスタ17のソース/ドレインの他方は、それぞれ、ビット線BL0、反転ビット線/BL0、ビット線BL1および反転ビット線/BL1に接続されている。また、メモリセル11a~11dの各々の強誘電体キャパシタ13の他方の電極は、プレート線PLに接続されている。また、強誘電体キャパシタ13は、 $\pm 1/2V_{cc}$ の電位差が印加されることにより、分極反転するように構成されている。

20

【0041】

また、ビット線BL0および反転ビット線/BL0からなるビット線対と、ビット線BL1および反転ビット線/BL1からなるビット線対とに、それぞれ、センスアンプ12aおよび12bが接続されている。なお、センスアンプ12aおよび12bは、本発明の「データ読出手段」の一例である。このセンスアンプ12aおよび12bは、ビット線BL0(BL1)の電位と反転ビット線/BL0(/BL1)の電位とを比較することによりデータの判別を行う機能を有する。具体的には、ビット線BL0(BL1)の電位が反転ビット線/BL0(/BL1)の電位よりも大きい場合は、データ「1」と判別し、ビット線BL0(BL1)の電位が反転ビット線/BL0(/BL1)の電位よりも小さい場合は、データ「0」と判別する。また、センスアンプ12a(12b)は、データ「0」または「1」に対応するビット線BL0(BL1)の電位と反転ビット線/BL0(/BL1)の電位とをそれぞれ増幅した後、ビット線BL0(BL1)を介してメモリセル11a~11dにデータの再書き込みを行う機能を有する。

30

40

【0042】

また、ダミーワード線DWL0および反転ビット線/BL0の間と、ダミーワード線DWL1およびビット線BL0の間と、ダミーワード線DWL0および反転ビット線/BL1の間と、ダミーワード線DWL1およびビット線BL1の間とに、それぞれ、キャパシタ16a~16dが接続されている。なお、ダミーワード線DWL0およびDWL1とキャパシタ16a~16dとは、本発明の「反転ビット線電位変化手段」の一例であり、ダミーワード線DWL0およびDWL1は、本発明の「信号線」の一例であり、キャパシタ16a~16dは、本発明の「容量手段」の一例である。

【0043】

図5は、本発明の第2実施形態による1T1C型強誘電体メモリの読み出し動作を説明

50

するための電圧波形図である。図3～図5を参照して、次に、第2実施形態による1T1C型強誘電体メモリの読み出し動作について説明する。

【0044】

第2実施形態による1T1C型強誘電体メモリでは、図5に示すように、初期状態において、ビット線BL0、BL1、反転ビット線/BL0、/BL1およびプレート線PLは、それぞれ、 $1/2V_{cc}$ の電位にプリチャージされている。また、初期状態では、ワード線WL0、WL1、ダミーワード線DWL0、DWL1およびセンスアンプ活性化信号SAの電位は、共に0Vである。なお、ビット線BL0に接続されるメモリセル11aには、データ「0」が記憶されており、ビット線BL1に接続されるメモリセル11cには、データ「1」が記憶されているとする。

10

【0045】

次に、選択したワード線WL0を0Vから $V_{cc}$ に立ち上げる。これにより、メモリセル11aおよび11cの選択トランジスタ17（図4参照）がオン状態になる。一方、選択しないワード線WL1は、立ち上がらないので、メモリセル11bおよび11dの選択トランジスタ17は、オフ状態に維持される。これにより、メモリセル11bおよび11dの各々が接続された反転ビット線/BL0および/BL1の電位は、共に、初期状態の $1/2V_{cc}$ のまま維持される。この後、ビット線BL0、BL1、反転ビット線/BL0および/BL1をフローティング状態にする。

【0046】

次に、プレート線PLを $1/2V_{cc}$ から $V_{cc}$ に立ち上げる。これにより、プレート線PLとビット線BL0（BL1）との間の電位差（ $V_{PL} - V_{BL}$ ）は $1/2V_{cc}$ になるので、メモリセル11aおよび11cの強誘電体キャパシタ13には、 $1/2V_{cc}$ が印加される。このため、データ「0」が記憶されたメモリセル11aの強誘電体キャパシタ13の分極状態は、図3の「0」からA点に移動されるとともに、それに対応する電圧 $V_0$ の分、メモリセル11aの強誘電体キャパシタ13に接続されるビット線BL0の電位が上昇される。一方、データ「1」が記憶されたメモリセル11cの強誘電体キャパシタ13の分極状態は、図3の「1」からA点に移動されるとともに、それに対応する電圧 $V_1$ の分、メモリセル11cの強誘電体キャパシタ13に接続されるビット線BL1の電位が上昇される。これにより、ビット線BL0は、 $1/2V_{cc} + V_0$ の電位に上昇されるとともに、ビット線BL1は、 $1/2V_{cc} + V_1$ の電位に上昇される。

20

30

【0047】

次に、プレート線PLを $V_{cc}$ から $1/2V_{cc}$ に立ち下げる。これにより、メモリセル11aおよび11cの各々の強誘電体キャパシタ13の分極状態は、共に、図3のA点から「0」点に移動されるとともに、それに対応する電圧 $V_0$ の分、メモリセル11aに接続されるビット線BL0の電位と、メモリセル11cに接続されるBL1の電位とが低下される。このため、ビット線BL0は、 $1/2V_{cc}$ の電位に低下されるとともに、ビット線BL1は、 $1/2V_{cc} + V_1 - V_0$ の電位に低下される。なお、この時、メモリセル11cに記憶されていたデータ「1」が破壊されて、データ「0」が書き込まれる一方、メモリセル11aに記憶されているデータ「0」は破壊されない。

【0048】

40

次に、第2実施形態では、ダミーワード線DWL0を0Vから $V_{cc}$ の電位に立ち上げる。このダミーワード線DWL0の0Vから $V_{cc}$ への電位の変化に伴って、キャパシタ14aおよび14cの容量に対応する電圧 $V_{ini}$ の分、反転ビット線/BL0および/BL1の各々の電位が上昇される。これにより、反転ビット線/BL0および/BL1は、共に、 $1/2V_{cc} + V_{ini}$ の電位に上昇される。この後、センスアンプ活性化信号SAが $V_{cc}$ の電位に立ち上がることにより、センスアンプ12aおよび12bが活性化される。そして、第2実施形態では、センスアンプ12aにおいて、ビット線BL0の電位（ $1/2V_{cc}$ ）と反転ビット線/BL0の電位（ $1/2V_{cc} + V_{ini}$ ）とを比較するとともに、センスアンプ12bにおいて、ビット線BL1の電位（ $1/2V_{cc} + V_1 - V_0$ ）と反転ビット線/BL1の電位（ $1/2V_{cc} + V_{ini}$ ）とを

50

比較する。これにより、メモリセル11aおよび11cの各々から読み出されたデータがデータ「0」または「1」のどちらであるかの判別を行う。

【0049】

具体的には、ビット線BL0(BL1)の電位が反転ビット線/BL0(/BL1)の電位よりも小さい場合には、センスアンプ12a(12b)によりメモリセル11a(11c)から読み出されたデータは「0」と判別される。一方、ビット線BL0(BL1)の電位が反転ビット線/BL0(/BL1)の電位よりも大きい場合には、センスアンプ12a(12b)によりメモリセル11a(11c)から読み出されたデータは「1」と判別される。

【0050】

上記したように、ビット線BL0の電位は、 $1/2V_{cc}$ であり、反転ビット線/BL0の電位は、 $1/2V_{cc} + V_{ini}$ であるので、ビット線BL0の電位は反転ビット線/BL0の電位よりも必ず小さくなる。したがって、メモリセル11aからビット線BL0に読み出されたデータは、「0」と判別される。なお、この場合、センスアンプ12aによりビット線BL0の電位が反転ビット線/BL0の電位よりも小さいことを検出できるようにするために、ビット線BL0と反転ビット線/BL0との電位差に相当する $V_{ini}$ の電圧(キャパシタ16aの容量に対応する電圧)をセンスアンプ12a(12b)の感度よりも大きく設定する。

【0051】

また、ビット線BL1の電位は、 $1/2V_{cc} + V_1 - V_0$ であり、反転ビット線/BL1の電位は、 $1/2V_{cc} + V_{ini}$ であるので、メモリセル11cのデータ「1」に対応するビット線BL1の電位を、センスアンプ12bによってデータ「1」と判別するためには、少なくとも以下に示す式(5)の条件を満たす必要がある。

【0052】

$$1/2V_{cc} + V_1 - V_0 > 1/2V_{cc} + V_{ini} \dots (5)$$

上記式(5)を変形することにより、以下の式(6)が得られる。

【0053】

$$V_{ini} + V_0 < V_1 \dots (6)$$

上記式(6)の結果から、初期状態でデータ「1」を保持しているメモリセル11cからビット線BL1に読み出されたデータを、センスアンプ12によって、「1」と判別するために、 $V_{ini}$ の電圧(キャパシタ16cの容量に対応する電圧)を、 $V_{ini}$ と $V_0$ (図3の「0」からA点への分極状態の変化に対応する電位の変化量)との和が、 $V_1$ (図3の「1」からA点への分極状態の変化に対応する電位の変化量)を上回らないように設定する。このような電圧に $V_{ini}$ を設定することにより、データ「1」を保持するメモリセル11cからビット線BL1に読み出された電位( $1/2V_{cc} - V_{ini} + V_1 - V_0$ )は、反転ビット線/BL1の電位( $1/2V_{cc} + V_{ini}$ )よりも大きくなるので、センスアンプ12によりデータ「1」と判別される。

【0054】

次に、センスアンプ12aによりデータ「0」と判別したビット線BL0の電位を0Vに増幅するとともに、反転ビット線/BL0の電位を $V_{cc}$ に増幅する。また、センスアンプ12bによりデータ「1」と判別したビット線BL1の電位を $V_{cc}$ に増幅するとともに、反転ビット線/BL1の電位を0Vに増幅する。このように増幅されたビット線BL0およびBL1の電位を、それぞれ、センスアンプ12aおよび12bから出力することにより、外部へのデータの読み出しが行われる。

【0055】

また、第2実施形態では、センスアンプ12bで $V_{cc}$ に増幅したビット線BL1の電位を用いて、ビット線BL1へのデータの読み出し時にデータ「1」が破壊されてデータ「0」が書き込まれたメモリセル11cに、データ「1」の再書き込みを行う。すなわち、ビット線BL1に接続されたセンスアンプ12bから、 $V_{cc}$ の電位がビット線BL1とメモリセル11cのオン状態の選択トランジスタ17とを介して、メモリセル11cの

10

20

30

40

50

強誘電体キャパシタ 13 に印加される。このとき、プレート線 PL の電位は  $1/2 V_{cc}$  になっているので、メモリセル 11c の強誘電体キャパシタ 13 には、プレート線 PL とビット線 BL1 との電位差 ( $V_{PL} - V_{BL}$ ) である  $-1/2 V_{cc}$  が印加される。これにより、メモリセル 11c の強誘電体キャパシタ 13 の分極状態は、図 3 の「0」点から B 点へ移動する。この後、プレート線 PL とビット線 BL1 との電位差 ( $V_{PL} - V_{BL}$ ) を 0V にすることにより、メモリセル 11c の強誘電体キャパシタ 13 の分極状態は、図 3 の B 点から「1」点へ移動する。これにより、メモリセル 11c の強誘電体キャパシタ 13 に対するデータ「1」の再書き込みが完了する。なお、ビット線 BL0 へのデータの読み出し時に、データが破壊されなかったメモリセル 11a の強誘電体キャパシタ 13 にも、センスアンプ 12 で増幅されたビット線 BL0 の電位 (0V) を用いて、データ「0」の再書き込みが行われる。

10

## 【0056】

第 2 実施形態では、上記のように、データの読み出し時に、ビット線 BL0 (BL1) とプレート線 PL との電位差 ( $V_{PL} - V_{BL}$ ) が 0V である初期状態から、プレート線 PL に  $V_{cc}$  の電位を印加した後、プレート線 PL を初期状態の  $1/2 V_{cc}$  の電位に戻し、さらに、ダミーワード線 DWL0 およびキャパシタ 16a (16c) により反転ビット線 /BL0 (/BL1) を  $1/2 V_{cc} + V_{ini}$  の電位に上昇させた状態で、ビット線 BL0 (BL1) の電位と反転ビット線 /BL0 (/BL1) の電位とをセンスアンプ 12a (12b) で比較してデータの読み出しを行うことによって、参照電位を用いることなく、データの読み出しを行うことができる。また、プレート線 PL の立ち上げおよび立ち下げを 1 回のみ行うだけの 1 パルスで、データの読み出しを行うことができるので、動作時間を短縮することができるとともに、消費電流を低減することができる。

20

## 【0057】

また、第 2 実施形態では、データの読み出し時に、センスアンプ 12b によりビット線 BL1 の電位を  $V_{cc}$  に増幅するとともに、センスアンプ 12b により増幅されたビット線 BL1 の電位 ( $V_{cc}$ ) を用いて、メモリセル 11c に対してデータ「1」の再書き込みを行うことによって、センスアンプ 12 を用いて、データの読み出し動作時に、同時にデータの再書き込みを行うことができるので、再書き込み動作を別途行う必要がない。これにより、読み出しおよび再書き込み動作をより簡略化することができる。

30

## 【0058】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

## 【0059】

たとえば、上記実施形態では、本発明のヒステリシス特性を有する材料を含む記憶手段を備えた半導体記憶装置の一例として、強誘電体メモリについて説明したが、本発明はこれに限らず、強誘電体メモリ以外のヒステリシス特性を有する材料を含む記憶手段を備えたメモリにも適用可能である。たとえば、磁気を利用してデータを記録する不揮発性メモリである MRAM などに本発明を適用することができる。

40

## 【0060】

また、上記実施形態では、メモリセルに記憶されたデータを読み出すためのデータ読出手段として、チョッパコンパレータまたはセンスアンプを用いたが、本発明はこれに限らず、チョッパコンパレータやセンスアンプ以外のデータ読出手段を用いてもよい。

## 【0061】

また、上記第 1 実施形態では、ビット線 BL のフローティング状態においてビット線 BL の電位をチョッパコンパレータのインバータ回路の論理しきい値の電位から  $V_{ini}$  低下させるとともに、データの読み出し時には、インバータ回路に入力されるビット線 BL の電位がインバータ回路の論理しきい値よりも大きい小さいかでデータの判別を行ったが、本発明はこれに限らず、ビット線 BL のフローティング状態においてビット線 BL

50

の電位を低下させることなく、データの読み出し時には、その時のビット線 B L の電位がビット線 B L の初期状態の電位と等しいか異なるかでデータの判別を行ってもよい。この場合、ワード線 W L およびビット線 B L には、図 6 に示す電圧波形に沿って電圧を印加する。なお、この場合には、図 1 の第 1 実施形態による強誘電体メモリの構成におけるチョッパコンパレータを、データ判別時のビット線 B L の電位がビット線 B L の初期状態の電位と等しいか異なるかを比較してデータの判別を行う機能を有するデータ読出手段に置き換えた構成を用いる。このように構成した場合にも、参照電位を用いることなく、データの読み出しを行うことができる。また、ワード線 W L の立ち上げおよび立ち下げを 1 回のみ行うだけで、データの読み出しを行うことができるので、動作時間を短縮することができるとともに、消費電流を低減することができる。

10

【図面の簡単な説明】

【 0 0 6 2 】

【図 1】本発明の第 1 実施形態によるクロスポイント型強誘電体メモリ（半導体記憶装置）の構成を示した回路図である。

【図 2】本発明の第 1 実施形態によるクロスポイント型強誘電体メモリの読み出し動作を説明するための電圧波形図である。

【図 3】強誘電体キャパシタの分極状態の変化を説明するためのヒステリシス図である。

【図 4】本発明の第 2 実施形態による 1 T 1 C 型強誘電体メモリ（半導体記憶装置）の構成を示した回路図である。

【図 5】本発明の第 2 実施形態による 1 T 1 C 型強誘電体メモリの読み出し動作を説明するための電圧波形図である。

20

【図 6】本発明の第 1 実施形態の変形例による強誘電体メモリに対して印加する電圧を示した電圧波形図である。

【図 7】従来の 1 T 1 C 型強誘電体メモリの構成を示した回路図である。

【図 8】従来の 1 C クロスポイント型強誘電体メモリの構成を示した回路図である。

【符号の説明】

【 0 0 6 3 】

1、1 1 a、1 1 b、1 1 c、1 1 d メモリセル（記憶手段）

2 チョッパコンパレータ（データ読出手段）

3、1 3 強誘電体キャパシタ

B L、B L 0、B L 1 ビット線（データ読出线）

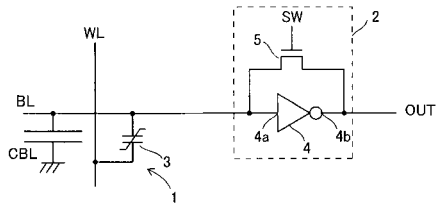
1 2 a、1 2 b センズアンプ（データ読出手段）

W L ワード線（電圧印加線）

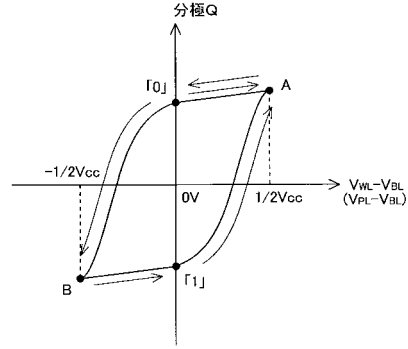
P L プレート線（電圧印加線）

30

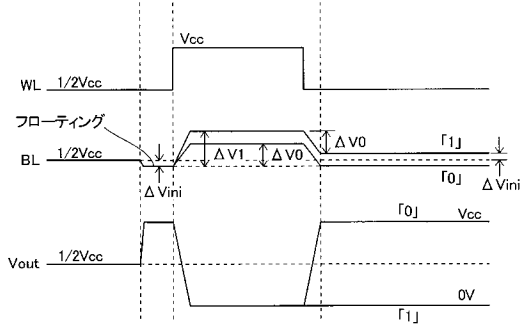
【図1】



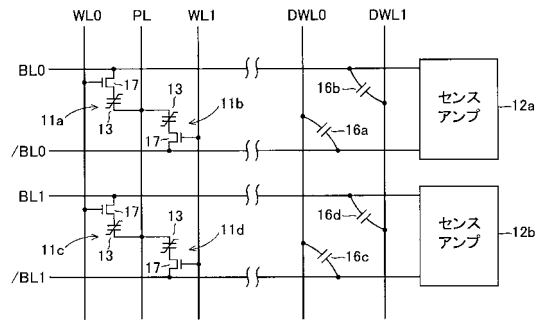
【図3】



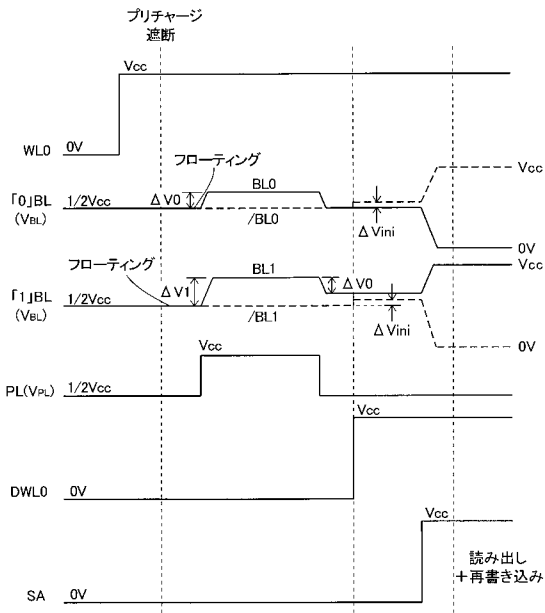
【図2】



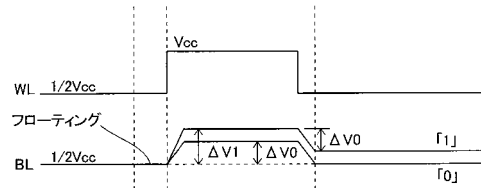
【図4】



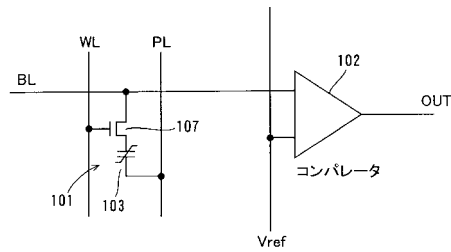
【図5】



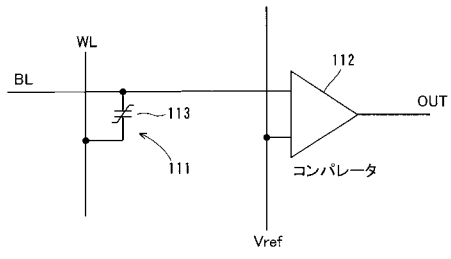
【図6】



【図7】



【 図 8 】



---

フロントページの続き

(56)参考文献 特開平01 - 158691 (JP, A)  
特開2000 - 311482 (JP, A)  
特開平11 - 016377 (JP, A)

(58)調査した分野(Int.Cl., DB名)  
G11C 11/22