

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4004277号

(P4004277)

(45) 発行日 平成19年11月7日(2007.11.7)

(24) 登録日 平成19年8月31日(2007.8.31)

(51) Int. Cl.	F I
HO 1 L 21/285 (2006.01)	HO 1 L 21/285 C
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 O 1 A
HO 1 L 21/205 (2006.01)	HO 1 L 21/205
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 V
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 E

請求項の数 1 (全 9 頁) 最終頁に続く

(21) 出願番号	特願2001-357123 (P2001-357123)	(73) 特許権者	000002037
(22) 出願日	平成13年11月22日(2001.11.22)		新電元工業株式会社
(65) 公開番号	特開2003-158092 (P2003-158092A)		東京都千代田区大手町2丁目2番1号
(43) 公開日	平成15年5月30日(2003.5.30)	(72) 発明者	大野 純一
審査請求日	平成15年12月17日(2003.12.17)		埼玉県飯能市南町10番13号 新電元工業株式会社工場内
		審査官	長谷山 健
		(56) 参考文献	特開平08-330423 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

溝部を有する半導体基板上にシリコン酸化膜を形成する第一の工程と、
 前記シリコン酸化膜上に、モノシランガスとジボランガスを混入した反応ガスの熱分解によりボロン不純物を含有する第一のシリコン膜を堆積する第二の工程と、
 前記第一のシリコン膜上にジシランガスとジボランガスを混入した反応ガスの熱分解により前記第一のシリコン膜より高濃度のボロン不純物を含有する第二のシリコン膜を堆積する第三の工程と、
 前記第一のシリコン膜と前記第二のシリコン膜のボロン不純物濃度を均一にする非酸化性雰囲気中で熱処理を行う第四の工程とを含む半導体装置の製造方法において、
 前記第二の工程は、前記溝部を空隙なく充填するように前記第一のシリコン膜を堆積することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する分野】

本発明は、溝部を利用したMOSFETやIGBTの溝部にボロンを添加したゲート電極用シリコン膜を埋め込む場合に有効な半導体装置の製造方法である。

【0002】

【従来技術】

最近のMOSFETやIGBTはオン特性向上のために溝型構造を有する集積度の高いも

のが多くなっている。溝部にチャネルを形成するため、溝部側壁にゲート酸化膜を形成し、残りの溝部にゲート電極用のシリコン膜を埋め込む必要がある。素子の歩留まりおよび信頼度を確保するためにはシリコン膜を溝部に均一に付ける必要がある。即ち、段差被覆性のよい膜が必要となる。また、MOSFETやIGBTを各セル部分に対して均一にしかも高速に動作させるためには、ゲート電極とするシリコン膜はできるかぎり低抵抗にする必要がある。このため、シリコン膜に不純物を添加して抵抗を下げている。この段差被覆性、低抵抗の要求は、集積度が高くなり微細化が進むにつれてますます強くなっている。

【0003】

pチャネルMOSFETやIGBTでは、製造工程上ボロン添加のシリコン膜を製造することが要求される。このボロン添加のシリコン膜の形成はnチャネルMOSFETやIGBTに要求されるリン添加のシリコン膜の形成に比べて難しい工程である。

10

【0004】

図7、図8、図9は従来の半導体装置の製造工程を説明するための図である。シリコン基板の溝部にシリコン膜を形成する工程を示している。以下、従来の実施例について説明する。

【0005】

第7図に示すシリコン基板30の表面に付着させたシリコン酸化膜32をマスクとして、異方性ドライエッチングによりこのシリコン基板30の表面に溝部34を形成し、溝部34の側壁にMOSFETやIGBTのゲート酸化膜となるシリコン酸化膜31を形成する。次にこのシリコン基板30をCVD装置の反応室内に設置し、このシリコン基板を550に保ち、モノシランガスとジボランガスの混合ガスをCVD装置内に導入し、モノシランガスを分解させ、少量ボロンを含んだ段差被覆性のよいシリコン膜33を堆積する。

20

【0006】

しかる後に第8図に示すように、CVD装置内においてこのシリコン基板の温度を550に保ったまま、モノシランガスとジボランガスの混合ガスにより、堆積したシリコン膜33より多くのボロンを含んだボロン不純物濃度の高いシリコン膜35をこのシリコン基板表面が平坦化するまで堆積する。

【0007】

次に非酸化性の雰囲気中でこのシリコン基板30を900に保ち30分間の熱処理を行ない、シリコン膜35からシリコン膜33へボロンを拡散させ、溝部34内のシリコン膜33、35のボロンの濃度を均一にする。

30

【0008】

その後、異方性ドライエッチング装置を用い、第9図に示すように、上記シリコン基板に堆積したシリコン膜33、35をエッチングして溝部34内にのみシリコン膜33、35を残し、MOSFETの埋め込みシリコン電極を作製する。

【0009】

このように、段差被覆性のよい比較的ボロン濃度の低いシリコン膜33を堆積し、さらにゲート電極の抵抗を下げるため、比較的ボロン濃度の高いシリコン膜35を堆積し、その後、熱処理することにより、溝部34を空隙なく埋め込み、ある程度低抵抗のシリコン膜33、35を得ることができる。しかしながら、最近の高性能なより集積度の高いMOSFETやIGBTのゲート電極にはさらに低い抵抗が要求されている。

40

モノシランガスは500以上の高温にしないと熱分解が起こらず、ジボランガスはこれよりかなり低温でないと分解しないため、これ以上シリコン膜中のボロン濃度をあげるのは困難である。モノシランガスの反応を500以下の低温にすることは、ボロン濃度をあげることにあまり効果がないばかりか、膜の付着速度を落とし、段差被覆性を悪くすることになるため、とても生産には使えない。

【0010】

図10は従来の製造方法の問題点を説明するための半導体装置の断面図である。シリコン

50

膜 33、35 を堆積するときジシランガスとジボランガスの混合ガスを用いることもできる。ジシランガスとジボランガスの混合ガスは比較的低温でしかも熱分解温度の差が少ないため、十分ボロン濃度をあげることができ、ボロンの分布の均一性、即ち抵抗の均一性もよい。しかしながら、溝部 24 にシリコン膜 33、35 を堆積し埋め込むときにジシランガスを含む高次シランガスを用いると空隙を作りやすい。空隙が残ると溝部 24 内のみシリコン膜 33、35 を残すためにこれらのシリコン膜 33、35 をエッチングする際に、エッチングガスが空隙に入り込んで溝部 34 内の空隙が大きくなり信頼性や、特性に悪い影響を与える。

【0011】

このように、従来の方法では、最近の高性能なより集積度の高い MOSFET や IGBT のゲート電極に要求されるより低抵抗な空隙の少ないシリコン膜を作ることには対応できない。また、溝部 34 を段差被覆性のよい膜と段差被覆性の悪い低抵抗のシリコン膜とで埋め込む方法では空隙の発生を完全に押さえることは困難である。

10

【0012】

【発明が解決しようとする課題】

本発明は、上記従来技術の問題点を鑑みてなされたもので、その目的は、溝部を埋めるシリコン膜の抵抗率を小さくし併せて、抵抗率のばらつきをなくし、空隙の発生をなくすることである。

【0013】

【課題を解決しようとする手段】

シランガスとジボランガスの混合ガスによるシリコン膜とジシランガスあるいは高次シランガスとジボランガスの混合ガスによるシリコン膜との組み合わせにより低抵抗でそのばらつきも少なく空隙の発生もない半導体装置の製造方法を見つけた。

20

【0014】

上記課題を解決するための手段として、本発明の半導体装置の製造方法は、溝部を有する半導体基板上にシリコン酸化膜を形成する第一の工程と、前記シリコン酸化膜上に、モノシランガスとジボランガスを混入した反応ガスの熱分解によりボロン不純物を含む第一のシリコン膜を堆積する第二の工程と、前記第一のシリコン膜上にジシランガスとジボランガスを混入した反応ガスの熱分解により前記第一のシリコン膜より高濃度のボロン不純物を含む第二のシリコン膜を堆積する第三の工程と、前記第一のシリコン膜と前記第二のシリコン膜のボロン不純物濃度を均一にする非酸化性雰囲気中で熱処理を行う第四の工程とを含む半導体装置の製造方法において、前記第二の工程は、前記溝部を空隙なく充填するように前記第一のシリコン膜を堆積することを特徴とする。

30

【0015】

【発明の実施の形態】

図 1、図 2、図 3 は本発明の第 1 の実施の形態に係る半導体装置の製造工程を説明するための断面図である。図 4、図 5、図 6 は本発明の第 2 の実施の形態に係る半導体装置の製造工程を説明するための断面図である。

【0016】

第 1 の実施例について説明する。

40

第 1 図に示すように、シリコン基板 10 を酸化雰囲気中で熱処理することにより、シリコン基板 10 の表面にシリコン酸化膜 12 を成長させる。次に、このシリコン酸化膜 12 を写真処理することにより、溝部 14 を形成する部分に対応するシリコン酸化膜 12 を除去する。残されたシリコン酸化膜 12 をマスクとし、異方性ドライエッチにより、幅 0.6 μm 、深さ 5 μm の溝部 14 を形成する。次にこのシリコン基板を酸化雰囲気中で熱処理をすることにより、溝部 14 の側壁に厚さ 0.05 μm のシリコン酸化膜 11 を形成する。

【0017】

次にこのシリコン基板 10 を減圧 CVD 装置の反応室内に設置し、このシリコン基板を 500 に保ち、減圧 CVD 装置の反応室内を真空度 0.1 Pa まで排気する。その後、シ

50

リコン膜 13 の成膜用ガスであるモノシランガスと不純物添加用ガスであるジボランガスをそれぞれ 90 s c c m、14 s c c m の流量の割合とする混合ガスを導入し、減圧 C V D 装置の反応室内の真空度を 13 P a に保った状態で、モノシランガスとジボランガスの混合ガスを分解させ、少量のボロンを含んだシリコン膜 13 をこのシリコン基板の表面に厚さ 0 . 125 μ m 堆積する。

【 0018 】

次に、減圧 C V D 装置の反応室内に窒素ガスを導入し、反応室内の真空度を 30 P a に調整しながら反応室内のガスを置換し、窒素ガスを流したままこのシリコン基板の温度を 380 まで下降させる。

このシリコン基板を 380 に保ち、減圧 C V D 装置の反応室内を真空度 0 . 1 P a まで排気する。その後、シリコン膜 13 の成膜用ガスであるジシランガスと不純物添加用ガスであるジボランガスをそれぞれ 150 s c c m、25 s c c m の流量の割合とする混合ガスを導入し、減圧 C V D 装置の反応室内の真空度を 30 P a に保った状態で、ジシランガスとジボランガスの混合ガスを分解させ、多量のボロンを含んだシリコン膜 15 をこのシリコン基板 10 の表面に厚さ 0 . 125 μ m 堆積し溝部 24 にシリコンを埋め込み、このシリコン基板 10 の表面を平坦化する。

10

【 0019 】

この加工されたシリコン基板 10 をアニール炉に設置し、このシリコン基板 10 を 850 に保ち、非酸化性雰囲気中にて 30 分間の熱処理を行ない、シリコン膜 15 からシリコン膜 13 へボロンを拡散させ、溝部 14 内のシリコン膜 13、15 のボロンの濃度を均一にする。

20

【 0020 】

その後、異方性ドライエッチング装置を用い、第 3 図に示すように、上記シリコン基板 10 に堆積したシリコン膜 13、15 をエッチングして溝部 14 内にのみシリコン膜 13、15 を残す。このように M O S F E T の埋め込みシリコン電極を作成する。

【 0021 】

次に第 2 の実施例について説明する。第 1 の実施例と異なる特徴は、堆積するシリコン膜の厚さにある。

第 1 の実施例と同様、第 4 図に示すようにシリコン基板 20 の表面にシリコン酸化膜 22 を成長させる。これをマスクとして利用し、異方性ドライエッチング技術を用いて幅 0 . 6 μ m、深さ 5 μ m の溝部 14 を形成し、溝部 24 の側壁に厚さ 0 . 05 μ m の酸化膜 21 を形成する。

30

【 0022 】

次にこのシリコン基板 20 を減圧 C V D 装置の反応室内に設置し、第 1 の実施例と同様、少量のボロンを含んだシリコン膜 23 をシリコン基板 20 の表面に厚さ 0 . 25 μ m 以上堆積する。図 4 に示されるように、シリコン膜 23 は溝 24 を充填し、シリコン基板 20 の表面は平滑化されている。

【 0023 】

次に、このシリコン基板 20 を減圧 C V D 装置の反応室内に設置し、第 1 の実施例と同様にして、図 5 に見られるように多量のボロンを含んだシリコン膜 25 をこのシリコン基板 20 の表面に厚さ 0 . 25 μ m 堆積する。

40

【 0024 】

このシリコン基板 20 をアニール炉に設置し、第 1 の実施例と同じ、非酸化性雰囲気中、850、30 分間の熱処理を行ない、シリコン膜 25 からシリコン膜 23 へボロンを拡散させ、溝部 24 内のシリコン膜 23 のボロンの濃度を均一にする。

【 0025 】

第 2 の実施例では、溝部 24 に埋め込まれるシリコン膜は段差被覆性のよいシリコン膜 23 だけであり、第 1 の実施例のように、段差被覆性の悪い膜を埋め込まないので、空隙はまったくできない。また、シリコン膜 25 に添加されたボロンはシリコン膜 23 全体、深さ約 5 μ m にわたり十分拡散される必要があるが、シリコン膜 23、25 は多結晶または

50

非晶質であるため、不純物は非常に拡散しやすく、溝部 2 4 中のシリコン膜 2 3 に十分拡散され、シリコン膜 2 3 の比抵抗が十分下がっていることが確認された。

【 0 0 2 6 】

なお、半導体基板としてシリコン基板について説明したが n 型のシリコンであっても p 型のシリコンであってもよい。また、炭化珪素その他の半導体基板であってもよい。溝部形成用のマスクに利用した酸化膜は、シリコン酸化膜でなくても半導体基板の溝部形成用のマスクになり、ボロンが半導体基板に拡散するのを防止できる窒化シリコン等の膜であってもよい。また、溝部内側に形成するシリコン酸化膜は、溝部内側がシリコン酸化膜であればよく、埋め込まれるシリコン側が窒化シリコン膜であって溝内側がシリコン酸化膜である 2 層の膜等であってもよい。

10

【 0 0 2 7 】

本発明の半導体装置の製造方法の利用について、溝部を利用した MOSFET や IGBT の溝部にボロンを添加したゲート電極用シリコン膜を埋め込むのに有効であることを述べたが、記憶素子に利用することもできる。

【 0 0 2 8 】

【発明の効果】

本発明によれば、溝を埋めるシリコン膜の抵抗率を低くすることができ、低効率のばらつきを少なくすることができる。また、段差被覆性のよい膜を用いることにより空隙のない膜を作製でき、信頼性のよい半導体装置の製造方法を提供できる。MOSFET や IGBT に適用することにより、オン抵抗や高速性の特性を改善できる。また、溝を利用した記憶素子に適用することにより、高速応答を達成することができる。

20

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態に係る半導体装置の製造工程を説明するための断面図である。

【図 2】 本発明の第 1 の実施の形態に係る半導体装置の製造工程を説明するための断面図である。

【図 3】 本発明の第 1 の実施の形態に係る半導体装置の製造工程を説明するための断面図である。

【図 4】 本発明の第 2 の実施の形態に係る半導体装置の製造工程を説明するための断面図である。

30

【図 5】 本発明の第 2 の実施の形態に係る半導体装置の製造工程を説明するための断面図である。

【図 6】 本発明の第 2 の実施の形態に係る半導体装置の製造工程を説明するための断面図である。

【図 7】 従来の半導体装置の製造工程を説明するための断面図である。

【図 8】 従来の半導体装置の製造工程を説明するための断面図である。

【図 9】 従来の半導体装置の製造工程を説明するための断面図である。

【図 10】 従来の半導体装置の製造方法の問題点を説明するための半導体装置の断面図である。

40

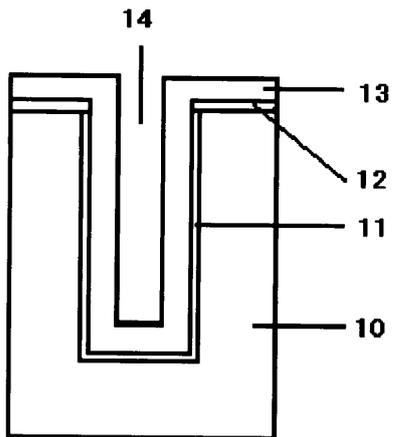
【符号の説明】

- 1 0 シリコン基板
- 1 1、1 2 シリコン酸化膜
- 1 3、1 5 シリコン膜
- 1 4 溝部
- 2 0 シリコン基板
- 2 1、2 2 シリコン酸化膜
- 2 3、2 5 シリコン膜
- 2 4 溝部
- 3 0 シリコン基板
- 3 1、3 2 シリコン酸化膜

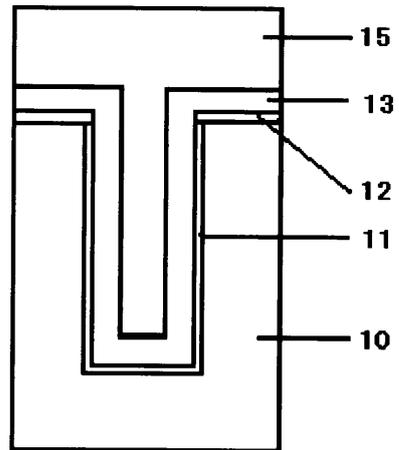
50

3 3、3 5 シリコン膜
3 4 溝部

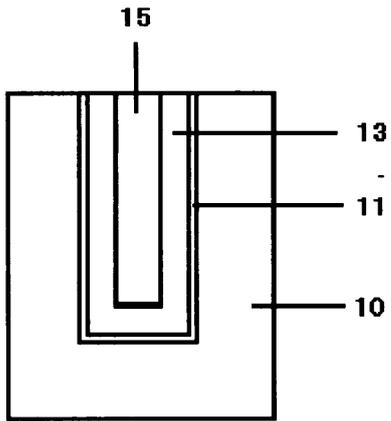
【図 1】



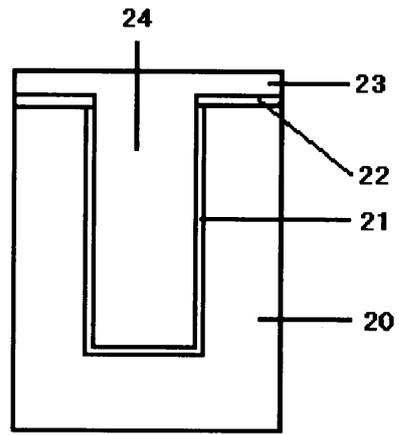
【図 2】



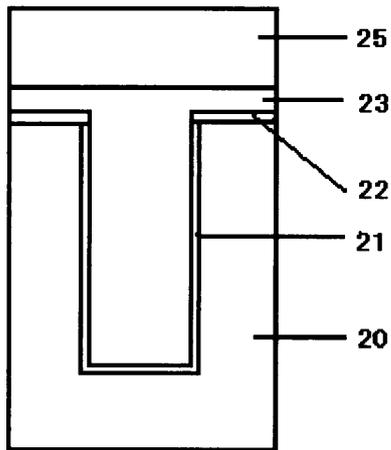
【 図 3 】



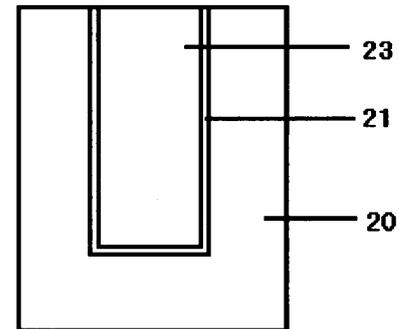
【 図 4 】



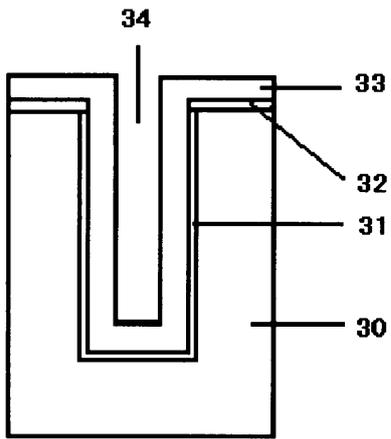
【 図 5 】



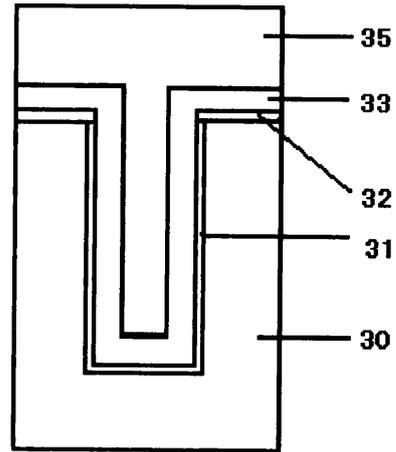
【 図 6 】



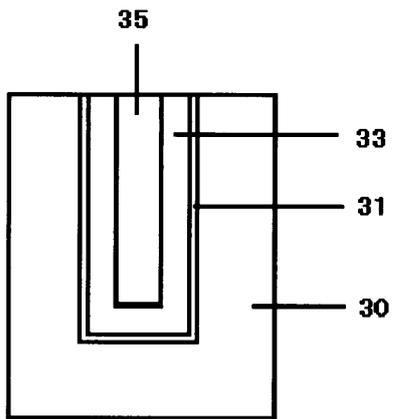
【 図 7 】



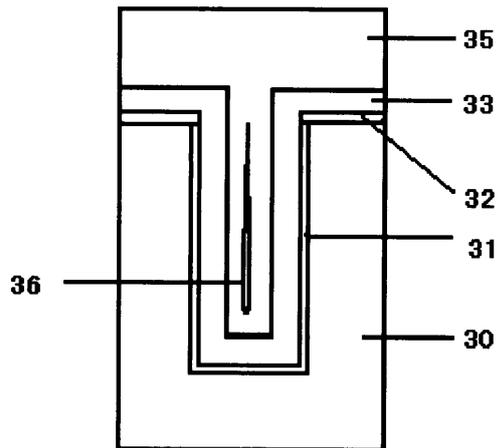
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(51) Int.Cl.

H01L 29/739 (2006.01)

F I

H01L 29/78 653A

H01L 29/78 655Z

(58) 調査した分野(Int.Cl. , DB名)

H01L 21/285

H01L 21/205

H01L 21/28

H01L 21/336

H01L 29/739

H01L 29/78