



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월01일  
(11) 등록번호 10-0818654  
(24) 등록일자 2008년03월26일

(51) Int. Cl.

H01L 21/336 (2006.01)

(21) 출원번호 10-2006-0120388

(22) 출원일자 2006년12월01일

심사청구일자 2006년12월01일

(56) 선행기술조사문헌

KR1020030032118 A

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

박현식

경기 이천시 부발읍 신하리 산481-1 삼익아파트  
102-903

한기현

서울 영등포구 당산동1가 137번지 202호

(74) 대리인

특허법인 신성

전체 청구항 수 : 총 12 항

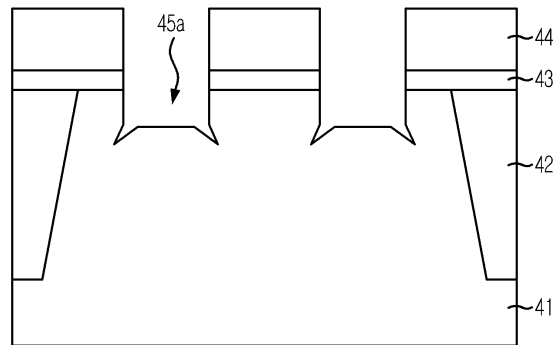
심사관 : 김주식

(54) 벌브형 리세스 게이트를 갖는 반도체 소자 및 그 제조 방법

(57) 요약

본 발명은 벌브형 리세스 게이트를 갖는 반도체 소자의 제조 방법에 관한 것으로, 본 발명은 반도체 기판을 식각하여 마이크로 트렌치를 갖는 제1 리세스를 형성하는 단계; 상기 제1 리세스 저면의 상기 반도체 기판을 식각하여 상기 제1 리세스보다 폭이 넓고 수직 프로파일을 갖는 제2 리세스를 형성하는 단계; 상기 제2 리세스의 저면의 상기 반도체 기판을 식각하여 구형 프로파일을 갖는 제3 리세스를 형성하는 단계; 및 상기 제1, 제2 및 제3 리세스로 이루어진 리세스 상에 게이트 패턴을 형성하는 단계를 포함하고, 상술한 본 발명은 벌브형 리세스 형성 공정에 있어서 이중 형상을 갖는 넥패턴을 형성함으로써, 벌브 패턴의 크기 및 리세스 상에 형성되는 게이트 패턴과의 오버레이 마진을 유지하면서도 보이드의 크기를 감소시켜 소자의 전기적 특성을 향상시킬 수 있다.

대표도 - 도4c



**특허청구의 범위**

**청구항 1**

반도체 기판을 식각하여 마이크로 트렌치를 갖는 제1 리세스를 형성하는 단계;

상기 제1 리세스 저면의 상기 반도체 기판을 식각하여 상기 제1 리세스보다 폭이 넓고 수직 프로파일을 갖는 제2 리세스를 형성하는 단계;

상기 제2 리세스의 저면의 상기 반도체 기판을 식각하여 구형 프로파일을 갖는 제3 리세스를 형성하는 단계; 및  
상기 제1, 제2 및 제3 리세스로 이루어진 리세스 상에 게이트 패턴을 형성하는 단계

를 포함하는 반도체 소자의 제조 방법.

**청구항 2**

제1항에 있어서,

상기 제1 리세스 형성 단계는,

상기 반도체 기판 상부에 리세스 예정영역을 오픈시키는 하드마스크 패턴을 형성하는 단계;

상기 하드마스크 패턴을 식각마스크로 상기 반도체 기판을 식각하여 수직 프로파일을 갖는 상기 제1 리세스를 형성하는 단계; 및

상기 제1 리세스의 저면 모서리에 마이크로 트렌치를 형성하는 단계를 포함하는

반도체 소자의 제조 방법.

**청구항 3**

제2항에 있어서,

상기 제1 리세스 형성 단계는,

HBr에 SF<sub>6</sub>/Cl<sub>2</sub>/O<sub>2</sub>를 첨가한 식각가스에 N<sub>2</sub> 가스를 첨가한 혼합가스를 사용하여 수행되는

반도체 소자의 제조 방법.

**청구항 4**

제3항에 있어서,

상기 N<sub>2</sub> 가스의 유량은 상기 식각가스의 유량보다 크거나 같은

반도체 소자의 제조 방법.

**청구항 5**

제2항에 있어서,

상기 마이크로 트렌치의 형성 단계는,

HBr에 SF<sub>6</sub>/Cl<sub>2</sub>를 첨가한 식각가스에 Ar 가스를 첨가한 혼합가스를 사용하여 수행되는

반도체 소자의 제조 방법.

**청구항 6**

제5항에 있어서,

상기 혼합가스 중 상기 Ar 가스의 비율은 0%를 초과하고 4% 이하인

반도체 소자의 제조 방법.

**청구항 7**

제2항에 있어서,  
 상기 마이크로 트렌치 형성 단계는,  
 800~1200W의 파워를 인가하는 조건하에서 수행되는  
 반도체 소자의 제조 방법.

**청구항 8**

제1항에 있어서,  
 상기 제2 리세스 형성 단계는,  
 HBr에 SF<sub>6</sub>/Cl<sub>2</sub>/O<sub>2</sub>를 첨가한 식각가스에 N<sub>2</sub> 가스를 첨가한 혼합가스를 사용하여 수행되는  
 반도체 소자의 제조 방법.

**청구항 9**

제8항에 있어서,  
 상기 N<sub>2</sub> 가스의 유량은 상기 식각가스의 유량보다 크거나 같은  
 반도체 소자의 제조 방법.

**청구항 10**

자신의 측벽이 실질적인 수직의 프로파일을 갖는 제1 리세스부;  
 상기 제1 리세스부 하부에 연장되어 상기 제1 리세스부 보다 큰 폭으로 형성되며, 자신의 측벽이 실질적인 수직의 프로파일을 갖는 제2 리세스부;  
 상기 제2 리세스의 하부에 연장되어 상기 제2리세스부 보다 큰 폭으로 형성되며, 실질적인 구형의 프로파일을 갖는 제3 리세스부; 및  
 상기 제1, 제2 및 제3 리세스부 내부에 매립된 게이트 전극용 도전물질  
 을 포함하는 반도체 소자.

**청구항 11**

제10항에 있어서,  
 상기 제1 리세스부는 그 모서리에 마이크로 트렌치가 형성되어 있는  
 반도체 소자.

**청구항 12**

제10항에 있어서,  
 상기 게이트 전극용 도전물질은 폴리실리콘인  
 반도체 소자.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <12> 본 발명은 반도체 소자의 제조 기술에 관한 것으로, 특히 벌브형(bulb type) 리세스 게이트를 갖는 반도체 소자의 제조 방법에 관한 것이다.
- <13> 반도체 소자가 초고집적화 됨에 따라, 반도체 기판 활성 영역의 소정 부분을 식각하여 리세스를 형성하고 이 리세스 상에 게이트를 형성하는 리세스 게이트 공정이 반도체 소자의 제조에 있어 필수적인 요소가 되고 있다. 이는 기존의 플래너(planar) 게이트 구조에 비하여 게이트의 길이가 증가하고 채널 면적이 확대되기 때문에, 문턱전압(threshold voltage), 리프레시(refresh) 시간 등 소자의 전기적 특성을 향상시킬 수 있다.
- <14> 그러나, 최근 반도체 소자가 더욱 작아짐에 따라 패턴이 미세해지고 소자 사이의 간격이 줄어들면서 채널 면적을 더욱 넓힐 수 있는 기술이 요구되었다. 이 요구에 대응하여 리세스의 하부 면적을 증가시킴으로써 채널 면적을 증가시킬 수 있는 벌브형 리세스 게이트 공정 기술이 제안되었다. 좀더 상세하게는, 벌브형 리세스는 리세스 예정영역이 오픈된 하드마스크 패턴을 식각 마스크로 반도체 기판을 식각하여 형성된 넥패턴(neck pattern) 및 넥패턴의 측벽에 스페이서 절연막을 형성한 후 넥패턴 아래의 반도체 기판을 등방성 식각하여 형성된 벌브 패턴(bulb pattern)으로 이루어진다.
- <15> 도1은 종래기술에 따른 일반적인 리세스와 벌브형 리세스의 프로파일을 나타내는 단면도이다. 도1을 참조하면, 우측의 벌브형 리세스의 하부는 구 형상을 갖는 벌브 패턴이므로 좌측의 일반적인 리세스에 비하여 채널 면적 확보가 가능함을 알 수 있다. 특히 벌브 패턴이 클수록 채널 면적을 증가시킬 수 있다.
- <16> 그러나, 벌브형 리세스 상에 게이트 패턴 형성을 위한 폴리실리콘 전극을 증착하는 경우에 보이드(void)가 발생한다. 이는 리세스 상부의 넥패턴이 리세스 하부의 벌브패턴보다 좁은 벌브형 리세스의 특성상, 벌브패턴에 폴리실리콘이 완전히 매립되기 전에 넥패턴에 폴리실리콘이 먼저 매립되기 때문이다. 일반적으로 보이드의 크기가 작은 경우에는 소자의 특성에 큰 영향을 주지 않으나(도2a 참조), 벌브형 리세스의 넥패턴에 비하여 벌브패턴이 클수록 보이드의 크기가 증가된다(도2b 참조). 이러한 보이드의 크기 증가는 소자의 전기적 특성에 악영향을 줄 수 있다.
- <17> 반면, 벌브패턴의 크기를 고려하여 넥패턴을 크게 하는 경우 보이드의 크기는 감소시킬 수 있으나, 리세스 상에 형성되는 게이트 패턴과의 오버레이(overlay) 마진이 감소하여 게이트 패턴 바깥으로 벌브형 리세스 상부가 노출되는 미스 얼라인(mis align)이 발생할 수 있다(도3 참조). 이것은 또한 소자의 전기적 특성에 악영향을 줄 수 있다.
- <18> 따라서, 벌브 패턴의 크기 및 리세스 상에 형성되는 게이트 패턴과의 오버레이 마진을 유지하면서도 보이드의 크기를 감소시킬 수 있는 기술이 요구된다.
- <19>

**발명이 이루고자 하는 기술적 과제**

- <20> 본 발명은 상기와 같은 문제점을 해결하기 위하여 제안된 것으로, 벌브형 리세스 형성 공정에 있어서 벌브 패턴의 크기 및 리세스 상에 형성되는 게이트 패턴과의 오버레이 마진을 유지하면서도 보이드의 크기를 감소시켜 소자의 전기적 특성을 향상시킬 수 있는 벌브형 리세스 게이트를 갖는 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

- <21> 상기 목적을 달성하기 위한 본 발명의 벌브형 리세스 게이트를 갖는 반도체 소자의 제조 방법은, 반도체 기판을 식각하여 마이크로 트렌치를 갖는 제1 리세스를 형성하는 단계; 상기 제1 리세스 저면의 상기 반도체 기판을 식각하여 상기 제1 리세스보다 폭이 넓고 수직 프로파일을 갖는 제2 리세스를 형성하는 단계; 상기 제2 리세스의 저면의 상기 반도체 기판을 식각하여 구형 프로파일을 갖는 제3 리세스를 형성하는 단계; 및 상기 제1, 제2 및 제3 리세스로 이루어진 리세스 상에 게이트 패턴을 형성하는 단계를 포함한다.
- <22> 또한, 상기 목적을 달성하기 위한 본 발명의 벌브형 리세스 게이트를 갖는 반도체 소자는, 자신의 측벽이 실질적인 수직의 프로파일을 갖는 제1 리세스부; 상기 제1 리세스부 하부에 연장되어 상기 제1 리세스부 보다 큰 폭으로 형성되며, 자신의 측벽이 실질적인 수직의 프로파일을 갖는 제2 리세스부; 상기 제2 리세스의 하부에 연장되어 상기 제2리세스부 보다 큰 폭으로 형성되며, 실질적인 구형의 프로파일을 갖는 제3 리세스부; 및 상기 제1, 제2 및 제3 리세스부 내부에 매립된 게이트 전극용 도전물질을 포함한다.

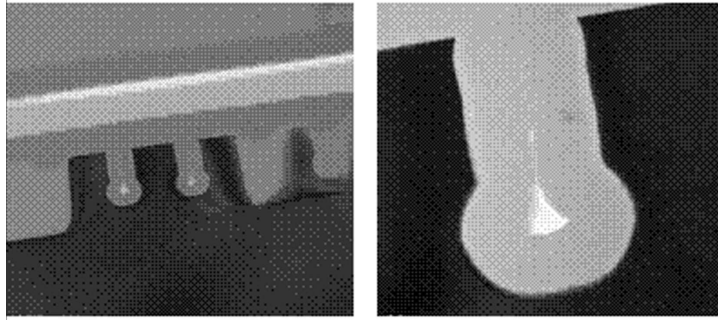
- <23> 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.
- <24> 도4a 내지 도4e는 본 발명의 일실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 공정 단면도이다.
- <25> 도4a에 도시된 바와 같이, 반도체 기판(41)에 활성영역을 정의하는 소자분리막(42)을 형성한다. 즉, 반도체 기판(41)의 소정 영역을 식각하여 트렌치를 형성한 후 이 트렌치에 절연막을 매립하고 CMP(Chemical Mechanical Polishing) 공정을 수행함으로써 반도체 기판(41)에 소자분리막(42)이 형성된다.
- <26> 이어서, 반도체 기판(41) 상에 희생산화막(43)을 형성한다.
- <27> 이어서, 희생산화막(43) 상에 리세스 예정영역이 오픈된 하드마스크 패턴(44)을 형성한다. 즉, 희생산화막(43) 상에 하드마스크층을 형성하고 이 하드마스크층 상부에 리세스 예정영역을 정의하는 포토레지스트 패턴을 형성한 후 이 포토레지스트 패턴을 식각마스크로 하드마스크층을 식각함으로써, 하드마스크 패턴(44)이 형성된다. 이때, 하드마스크층은 후속 리세스 형성 공정시 식각 베리어로 작용하며, 폴리실리콘으로 형성될 수 있다.
- <28> 도4b에 도시된 바와 같이, 하드마스크 패턴(44)을 식각마스크로 희생산화막(43)을 식각한다.
- <29> 연속하여, 하드마스크 패턴(44) 및 식각된 희생산화막(43)을 식각 베리어로 반도체 기판(41)을 식각하여 제1 리세스(45a)를 형성한다. 이때, 제1 리세스(45a) 형성을 위한 식각은 고밀도 플라즈마 식각장비에서 다량의 HBr (예를 들어, 150~200sccm의 유량을 가짐)에 소량의 SF<sub>6</sub>/Cl<sub>2</sub>/O<sub>2</sub>를 첨가한 식각가스를 사용하여 수행될 수 있다.
- <30> 여기서, 제1리세스(45a)는 벌브형 리세스의 넥패턴에 포함되므로 수직 프로파일을 갖는 것이 바람직하며, 이를 위해 상기한 식각가스(HBr/SF<sub>6</sub>/Cl<sub>2</sub>/O<sub>2</sub>)에 N<sub>2</sub> 가스를 첨가하여 식각을 수행한다. 이때, 식각가스 대 N<sub>2</sub> 가스의 유량 비율은 1:1 또는 그 이상이 됨이 바람직하다(즉, N<sub>2</sub> 가스의 유량 ≥ 식각가스의 유량). 도6은 식각가스 대 N<sub>2</sub> 가스의 유량 비율에 따른 반도체 기판의 식각 경사도를 나타내는 그래프로서, 도6을 참조하면, 식각가스에 대한 N<sub>2</sub> 가스의 유량이 증가할수록 식각 경사도가 90°에 가까워짐을 알 수 있다. 따라서, 식각가스에 대한 N<sub>2</sub> 가스의 유량이 증가할수록 제1 리세스(45a)가 수직 프로파일을 갖는 데 유리하다.
- <31> 상기한 식각 조건하에서 제1 리세스(45a)는 수직 프로파일을 갖고 100~200Å의 깊이로 형성된다.
- <32> 도4c에 도시된 바와 같이, 제1 리세스(45a)가 마이크로 트렌치 형상을 갖도록 추가적인 식각을 진행하고, 이러한 추가적인 식각 공정은 동일 챔버내에서 인시튜(In-Situ)로 진행될 수 있다.
- <33> 여기서, 마이크로 트렌치는 화학적 식각과 물리적 식각으로 이루어지는 플라즈마 식각시 물리적 식각에 의하여 발생하는 현상으로, 플라즈마 내에서 형성된 이온이 그 방향성 때문에 플라즈마 장내에서 가속되어 식각층에 충돌됨으로써 발생하며, 식각시 모서리 부분으로 좀더 식각이 되는 경우를 말한다. 마이크로 트렌치를 발생시키기 위한 식각은 고밀도 플라즈마 식각장비에서 식각가스에 비활성기체를 첨가한 혼합가스를 사용하여 소정 파워 및 압력 조건하에서 수행될 수 있다.
- <34> 도7a 내지 도7c는 이러한 마이크로 트렌치 형성 조건을 설명하기 위한 도면이다.
- <35> 도7a를 참조하면, 비활성기체로 Ar을 첨가한 혼합가스를 사용하는 경우에 있어서 Ar의 첨가량에 따라 마이크로 트렌치 형성 정도의 차이가 나타난다. Ar이 혼합가스 중 4% 첨가되었을 때에는 센터 및 에지(edge) 부분 모두에서 모서리 부분이 좀더 식각된 마이크로 트렌치 형상이 관찰되지만, Ar이 혼합가스 중 91% 첨가되었을 때에는 마이크로 트렌치 형상이 관찰되지 않는다(좌측 도면 참조). 따라서, Ar의 첨가량이 증가할수록 마이크로 트렌치의 형성 비율이 낮아짐을 알 수 있다(우측 그래프 참조).
- <36> 도7b를 참조하면, 압력이 마이크로 트렌치 형성 정도에 미치는 영향을 나타내고 있다. 압력이 4mtorr일 때보다 6mtorr, 8mtorr, 10mtorr로 증가할수록 마이크로 트렌치 형상이 없어진다. 이는 압력의 감소시 가스 입자들의 평균자유행로(mean free path)의 증가로 이온들이 측벽 모서리로 몰리기 때문이다. 따라서, 압력이 작을수록 마이크로 트렌치 형성 정도가 커짐을 알 수 있다.
- <37> 도7c를 참조하면, 파워가 마이크로 트렌치 형성 정도에 미치는 영향을 나타내고 있다. 파워가 0W일 때보다 100W, 500W로 증가할수록 마이크로 트렌치 형상이 뚜렷해진다. 이는 파워의 증가시 이온의 측벽에 대한 반사확률이 증가하여 이온의 반사유량이 증가하므로 이온의 측벽 모서리에 대한 충돌이 잘 일어나기 때문이다.

따라서, 파워가 증가할수록 마이크로 트렌치 형성 정도가 커짐을 알 수 있다.

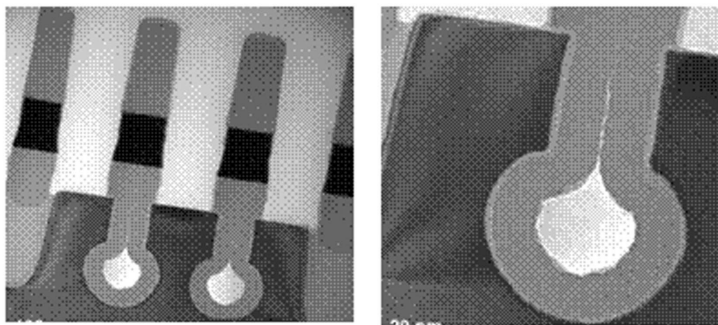
- <38> 상기의 제1 리세스(45a)가 이러한 마이크로 트렌치 형상을 갖도록 하기 위하여, 본 명세서는 일례로서, 다량의 HBr에 SF<sub>6</sub>/Cl<sub>2</sub>를 첨가한 식각가스에 비활성기체로 Ar을 첨가한 혼합가스를 사용하고, 800~1200W의 파워를 사용하여 식각을 수행한다. 이때 Ar은 혼합가스 중 4% 이하가 되는 것이 바람직하다.
- <39> 상기한 식각 조건하에서 제1 리세스(45a)는 모서리가 더욱 식각된 마이크로 트렌치 형상을 갖게 되어 그 저면이 넓어지고, 따라서 후속 제2 리세스(45b) 형성 공정시 식각의 대상이 되는 면적이 넓어지게 된다.
- <40> 도4d에 도시된 바와 같이, 마이크로 트렌치 형상을 갖는 제1 리세스(45a) 형성 후 남아있는 하드마스크 패턴(44)을 식각 배리어로 제1 리세스(45a) 저면의 반도체 기관(41)을 식각하여 제1 리세스(45a)보다 큰 폭을 갖는 제2 리세스(45b)를 형성한다. 제2 리세스(45b)가 제1 리세스(45a)보다 큰 폭을 가질 수 있는 것은 전술한 마이크로 트렌치 형성 공정에 의해 제1 리세스(45a)의 저면이 넓어졌기 때문이다.
- <41> 여기서, 제2 리세스(45b)는 제1 리세스(45a)와 마찬가지로 벌브형 리세스의 넥패턴을 이루는 부분이다. 즉, 단일 형상을 갖는 종래의 리세스의 넥패턴과 달리 제1 리세스(45a) 식각 및 제2 리세스(45b) 식각의 2단계 식각에 의해 상부보다 하부가 두꺼운 이중 형상을 갖는 넥패턴이 형성된다. 따라서, 제1 리세스(45a) 식각에 의해 형성되는 넥패턴의 상부는 그 크기를 일정하게 유지하여 게이트 패턴과의 오버레이 마진을 유지할 수 있고, 제2 리세스(45b) 식각에 의해 형성되는 넥패턴의 하부의 크기는 증가됨으로써 보이드의 크기를 감소시킬 수 있다.
- <42> 제2 리세스(45b)는 수직 프로파일을 갖는 것이 바람직하며, 특히 제2 리세스(45b)는 후속 제3 리세스(45c) 식각 공정에 의해 형성되는 벌브 패턴과 만나게 되는 부분으로서 제2 리세스에 경사가 생겨 벌브 패턴과 만나는 부분의 면적이 줄어들면 전술한 보이드의 크기 감소에 악영향을 미치므로 프로파일의 수직도를 높이는 것이 더욱 중요하다.
- <43> 이를 위해, 제2 리세스(45b) 형성을 위한 식각은 고밀도 플라즈마 식각장비에서 다량의 HBr(예를 들어, 150~200sccm의 유량을 가짐)에 소량의 SF<sub>6</sub>/Cl<sub>2</sub>/O<sub>2</sub>를 첨가한 식각가스에 N<sub>2</sub> 가스를 첨가하여 식각을 수행한다. 이때, 식각가스 대 N<sub>2</sub> 가스의 유량 비율은 1:1 또는 그 이상이 됨이 바람직하다(즉, N<sub>2</sub> 가스의 유량 ≥ 식각가스의 유량). 식각가스에 대한 N<sub>2</sub> 가스의 유량이 증가할수록 제2 리세스(45b)가 수직 프로파일을 갖는 데 유리하다(도 6 참조).
- <44> 전술한 바와 같이, 제1 리세스(45a) 및 제2 리세스(45b)는 본 발명의 일실시예에 따른 벌브형 리세스(45)의 넥패턴을 구성한다.
- <45> 도4e에 도시된 바와 같이, 제2 리세스(45b) 식각 후 남아있는 하드마스크 패턴(44)을 식각 배리어로 제2 리세스(45b) 저면의 반도체 기관(41)을 식각하여 구형 프로파일을 갖는 제3 리세스(45c)를 형성한다. 즉, 제1 리세스(45a) 및 제2 리세스(45b)로 이루어진 넥패턴의 측벽에 스페이서 절연막(미도시됨)을 형성하고 이 스페이서 절연막 및 남아있는 하드마스크 패턴(44)을 식각 배리어로 제2 리세스(45b) 저면을 등방성 식각함으로써 제3 리세스(45c)를 형성한다. 제3 리세스(45c)는 벌브형 리세스(45)의 벌브 패턴을 구성한다.
- <46> 위와 같은 일련의 공정을 통하여, 제1 리세스(45a) 및 제2 리세스(45b)로 이루어진 넥패턴과 제3 리세스(45c)로 이루어진 벌브패턴을 갖는 벌브형 리세스(45)가 형성된다.
- <47> 이어서, 후속 공정으로 벌브형 리세스(45) 상에 게이트 절연막을 형성하고 이 벌브형 리세스(45)에 일부가 매립되고, 나머지는 반도체 기관(41) 상부로 돌출되는 게이트 패턴이 형성된다. 여기서, 게이트 패턴은 폴리실리콘 전극, 메탈 전극 및 게이트 하드마스크가 적층되어 형성될 수 있다.
- <48> 도5는 본 발명의 일실시예에 따른 벌브형 리세스를 갖는 반도체 소자의 단면도 및 사시도이다.
- <49> 도5를 참조하면, 본 발명이 일실시예에 따른 벌브형 리세스(45)는 자신의 측벽이 실질적인 수직 프로파일을 갖는 제1 리세스부(51), 제1 리세스부(51) 하부에 연장되어 제1 리세스부(51)보다 폭이 넓고 실질적인 수직 프로파일을 갖는 제2 리세스부(53) 및 제2 리세스부(53) 하부에 연장되어 제2 리세스부(53)보다 폭이 넓고 구형의 프로파일을 갖는 제3 리세스부(54)로 이루어진다. 제1 리세스부(51) 및 제2 리세스부(53)는 벌브형 리세스 중 넥패턴을 구성하고, 제3 리세스부(54)는 벌브형 리세스 중 벌브패턴을 구성한다.
- <50> 이때, 제1 리세스부(51)와 제2 리세스부(53) 사이의 경사진 부분(52)은 제1 리세스부(51)에 형성된 마이크로 트렌치로 인하여 제1 리세스부(51)의 저면이 확대되는 부분이다. 따라서, 제2 리세스부(53)가 제1 리세스부(51)보



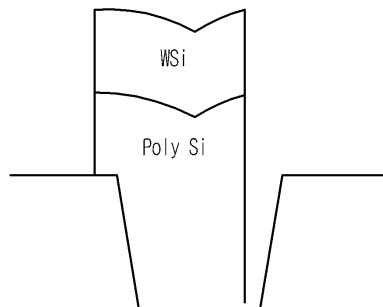
도면2a



도면2b

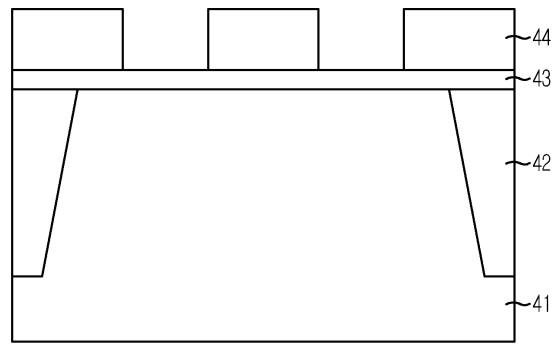


도면3

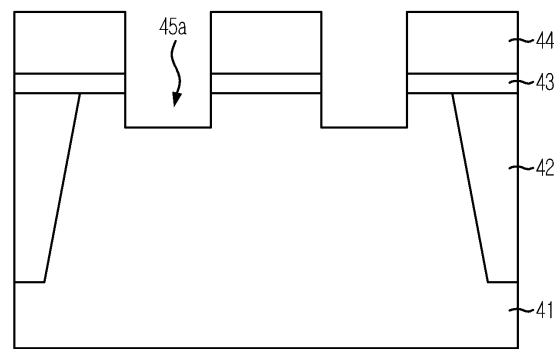




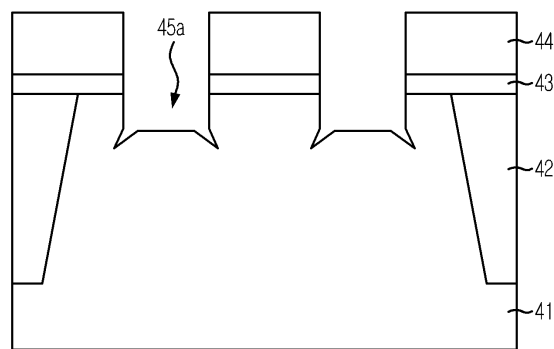
도면4a



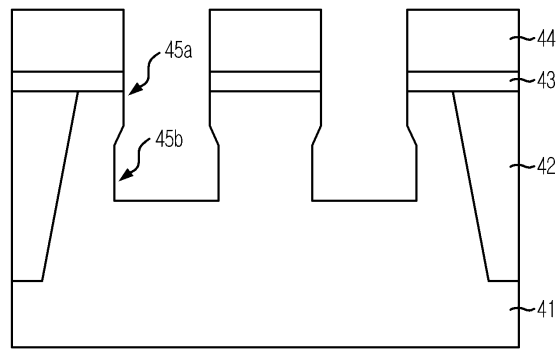
도면4b



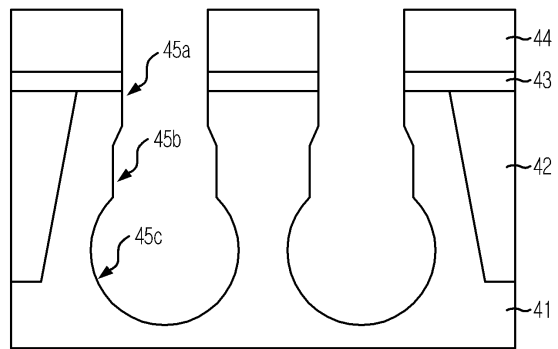
도면4c



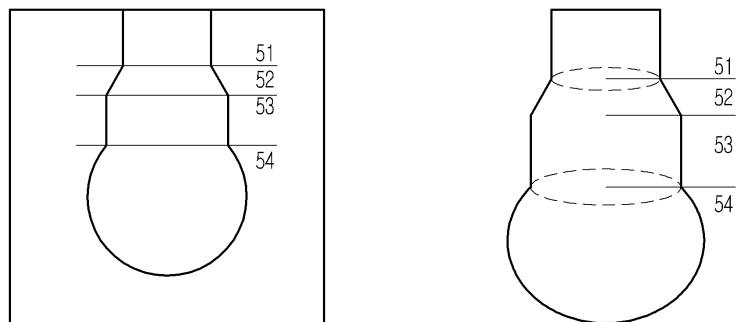
도면4d



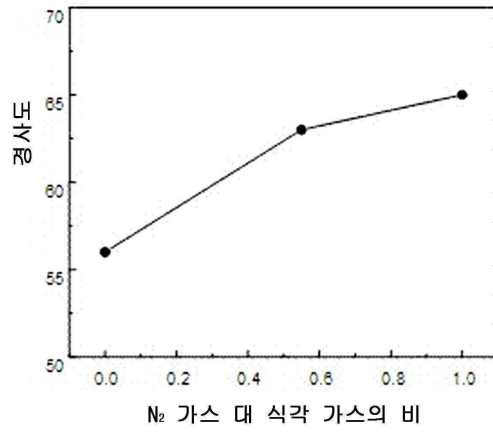
도면4e



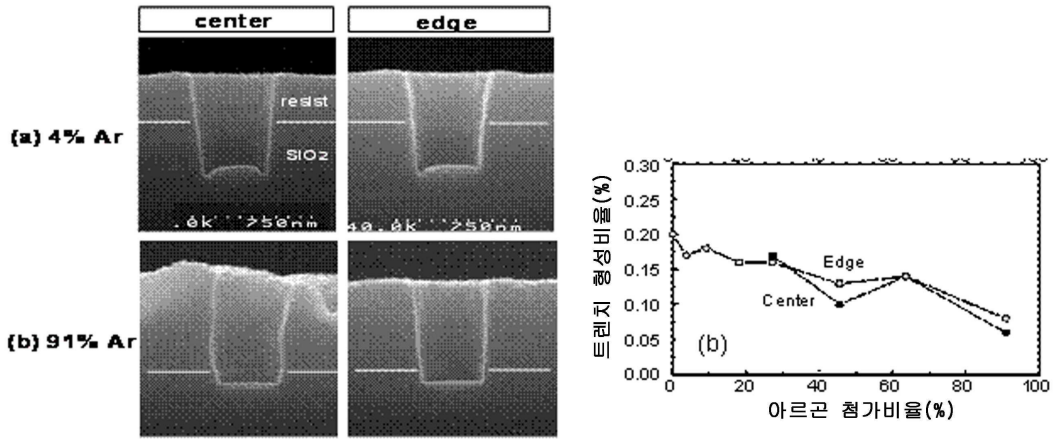
도면5



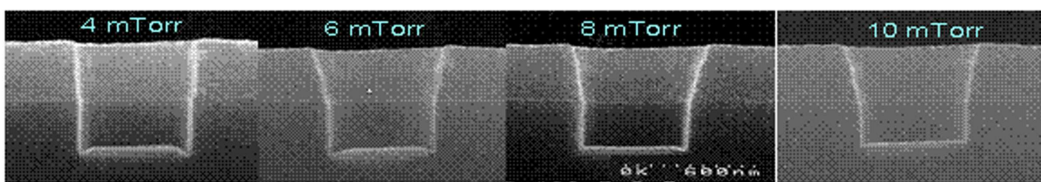
도면6



도면7a



도면7b



도면7c

