

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4720261号
(P4720261)

(45) 発行日 平成23年7月13日(2011.7.13)

(24) 登録日 平成23年4月15日(2011.4.15)

(51) Int.Cl.	F I
G02F 1/133 (2006.01)	G02F 1/133 550
G02F 1/1343 (2006.01)	G02F 1/1343
G02F 1/1368 (2006.01)	G02F 1/1368
G09G 3/20 (2006.01)	G09G 3/20 611D
G09G 3/36 (2006.01)	G09G 3/20 611J
請求項の数 6 (全 19 頁) 最終頁に続く	

(21) 出願番号	特願2005-110555 (P2005-110555)	(73) 特許権者	304053854 エプソンイメージングデバイス株式会社 長野県安曇野市豊科田沢6925
(22) 出願日	平成17年4月7日(2005.4.7)	(74) 代理人	100095728 弁理士 上柳 雅誉
(65) 公開番号	特開2006-292854 (P2006-292854A)	(74) 代理人	100107261 弁理士 須澤 修
(43) 公開日	平成18年10月26日(2006.10.26)	(72) 発明者	山崎 克則 東京都港区浜松町二丁目4番地1号 三洋 エプソンイメージングデバイス株式会社内
審査請求日	平成19年2月28日(2007.2.28)	審査官	藤田 都志行
最終頁に続く			

(54) 【発明の名称】 電気光学装置、駆動方法および電子機器

(57) 【特許請求の範囲】

【請求項1】

複数行の走査線と複数列の第1および第2データ線の対との交差に対応して設けられた画素であって、

画素毎に個別の第1および第2画素電極を備え、前記第1および第2画素電極のそれぞれに印加された電圧の差を保持する画素容量と、

対応する走査線が選択されたときに、前記第1データ線と前記第1画素電極との間で導通状態となる第1スイッチング素子と、

対応する走査線が選択されたときに、前記第2データ線と前記第2画素電極との間で導通状態となる第2スイッチング素子と、

を有する画素と、

前記複数行の走査線を所定の順番で選択する走査線駆動回路と、

前記第1データ線を所定の電圧とし、前記第1データ線と対をなす第2データ線を、前記所定の電圧よりも、画素の階調に応じた電圧だけ高位または低位の一方側の電圧とする状態と、

前記第1データ線を、前記所定の電圧よりも、当該画素の階調に応じた電圧だけ高位側または低位の一方側の電圧とし、前記第1データ線と対をなす第2データ線を前記所定の電圧とする状態と

を所定の周期で交互に繰り返すデータ線駆動回路と

を備えることを特徴とする電気光学装置。

【請求項 2】

前記画素容量に並列な補助容量を有することを特徴とする請求項 1 に記載の電気光学装置。

【請求項 3】

前記補助容量は、前記第 1 画素電極、絶縁層および前記第 2 画素電極の積層構造であることを特徴とする請求項 2 に記載の電気光学装置。

【請求項 4】

前記補助容量は、前記第 1 画素電極、絶縁層および導電層の積層構造からなる容量と、前記導電層、前記絶縁層および第 2 画素電極の積層構造からなる容量との直列接続であることを特徴とする請求項 3 に記載の電気光学装置。

10

【請求項 5】

複数行の走査線と複数列の第 1 および第 2 データ線の対との交差に対応して設けられた画素であって、

画素毎に個別の第 1 および第 2 画素電極を備え、前記第 1 および第 2 画素電極のそれぞれに印加された電圧の差を保持する画素容量と、

対応する走査線が選択されたときに、前記第 1 データ線と前記第 1 画素電極との間で導通状態となる第 1 スイッチング素子と、

20

対応する走査線が選択されたときに、前記第 2 データ線と前記第 2 画素電極との間で導通状態となる第 2 スイッチング素子と

を有する画素を備える電気光学装置の駆動方法であって、

前記第 1 データ線を所定の電圧とし、前記第 1 データ線と対をなす第 2 データ線を、前記所定の電圧よりも、画素の階調に応じた電圧だけ高位または低位の一方側の電圧とする状態と、

前記第 1 データ線を、前記所定の電圧よりも、当該画素の階調に応じた電圧だけ高位または低位の一方側の電圧とし、前記第 1 データ線と対をなす第 2 データ線を前記所定の電圧とする状態と

を所定の周期で交互に繰り返す

30

ことを特徴とする電気光学装置の駆動方法。

【請求項 6】

請求項 1 乃至 4 のいずれかに記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、クロストークやノイズによる表示品位の低下を防止する技術に関する。

【背景技術】

【0002】

40

特に液晶などの電気光学物質を用いて画像を表示する電気光学装置のうち、薄膜トランジスタ (thin film transistor、以下、単に TFT を略称する) により画素をスイッチングするタイプにおいては、画素毎に個別の画素電極に対して液晶を挟んで共通電極 (対向電極) が各画素にわたって共通に対向するとともに、走査線が選択されると、TFT がデータ線と画素電極との間でオンする構成となっている。この構成において、走査線を選択して TFT をオンさせたときに、データ線に対して画素の階調に応じた電圧をデータ線に供給すると、当該電圧が画素電極に印加される。走査線の選択が終了して、TFT がオフしても、当該電圧は、画素電極と共通電極とによって液晶を挟持した構成の画素容量によって、当該走査線が再度選択されるまで保持されることになる。

【0003】

50

ところで、この構成では、走査線が選択される期間では、各画素電極に、階調に応じた電圧が印加されるので、画素電極と容量結合する共通電極が電位変動する。共通電極が電位変動すると、画素容量で保持される電圧に影響を与えるので、画素の階調（明るさ）が目標値からズレて、いわゆるクロストークが発生してしまう。

そこで、共通電極の電位変動を検出するとともに、この電位変動を打ち消すような電圧を共通電極に与えて、共通電極の電位を安定化する技術が提案されている。

【特許文献1】特開平9-218388号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、この技術は、共通電極の電位変動を打ち消すという、いわば対処療法的な技術であるので、電位変動の打ち消しが間に合わなければ、クロストークが発生してしまうことになる。

そこで、本発明では、データ線や画素電極の電圧変動が、画素容量の保持電圧に影響を与えないようにして、クロストークやノイズによる表示品位の低下を根治的に防止することが可能な電気光学装置、駆動方法および電子機器を提供することにある。

【課題を解決するための手段】

【0005】

上記目的を達成するため本発明にあつては、複数行の走査線と複数列の第1および第2データ線の対との交差に対応して設けられた画素であつて、画素毎に個別の第1および第2画素電極を備え、前記第1および第2画素電極のそれぞれに印加された電圧の差を保持する画素容量と、対応する走査線が選択されたときに、前記第1データ線と前記第1画素電極との間で導通状態となる第1スイッチング素子と、対応する走査線が選択されたときに、前記第2データ線と前記第2画素電極との間で導通状態となる第2スイッチング素子と、を有する画素と、前記複数行の走査線を所定の順番で選択する走査線駆動回路と、前記対応する走査線が選択されたときに、前記第1データ線に画素の階調に応じたデータ信号を供給するとともに前記第2データ線に所定の電圧を供給するデータ線駆動回路とを備えることを特徴とする。本発明によれば、走査線の電圧変化や外的なノイズが第1および第2データ線に加わっても、第1および第2データ線の電位は同一方向に同量変化するので、当該電位変動は打ち消し合う結果、画素容量に保持される電圧に影響を与えない。

【0006】

本発明において、前記第2データ線は、各列にわたって共通であつて、前記データ線駆動回路は、前記第1データ線を、前記所定の電圧よりも、画素の階調に応じた電圧だけ高位または低位の一方側の電圧とする状態と、前記所定の電圧よりも、当該画素の階調に応じた電圧だけ高位または低位の他方側の電圧とする状態とを所定の周期で交互に繰り返す構成としてもよい。また、本発明において、前記データ線駆動回路は、前記第1データ線を所定の電圧とし、前記第1データ線と対をなす第2データ線を、前記所定の電圧よりも、画素の階調に応じた電圧だけ高位または低位の一方側の電圧とする状態と、前記第1データ線を、前記所定の電圧よりも、当該画素の階調に応じた電圧だけ高位側または低位の一方側の電圧とし、前記第1データ線と対をなす第2データ線を前記所定の電圧とする状態とを所定の周期で交互に繰り返す構成としてもよい。さらに、本発明において、前記データ線駆動回路は、前記所定の電圧を基準として、前記第1データ線の電圧と前記第2データ線の電圧とを互に対称とするとともに、所定の周期で高位または低位の電圧を反転させる構成としてもよい。

【0007】

また、本発明において、前記画素容量に並列な補助容量を有する構成が好ましい。この構成により、第1および第2スイッチング素子のオフ時においてリークする電荷を抑えることができる。ここで、前記補助容量は、前記第1画素電極、絶縁層および前記第2画素電極の積層構造としても良いし、前記第1画素電極、絶縁層および導電層の積層構造からなる容量と、前記導電層、前記絶縁層および第2画素電極の積層構造からなる容量との直

10

20

30

40

50

列接続としても良い。

なお、本発明は、電気光学装置のみならず、電気光学装置の駆動方法としても、さらには、当該電気光学装置を有する電子機器としても概念することが可能である。

【発明を実施するための最良の形態】

【0008】

以下、本発明の実施の形態について図面を参照して説明する。図1は、本発明の実施形態に係る電気光学装置の構成を示すブロック図である。

この図に示されるように、電気光学装置10は、液晶パネル100、データ線駆動回路250、走査線駆動回路350および制御回路400を含む。このうち、液晶パネル100には、第1データ線211および第2データ線212が対をなして、240列分がそれぞれ列(Y)方向に延在する一方、320行の走査線311が行(X)方向に延在して設けられている。

10

画素116は、第1データ線211および第2データ線212の対と、320行の走査線311との交差に対応して、それぞれ配列している。したがって、本実施形態では、画素116が縦320行×横240列でマトリクス状に配列することとなる。ただし、本発明をこれに限定する趣旨ではない。

なお、本実施形態では、第2データ線212は、互いに共通であり、後述する電圧Vcが共通に印加されている。

【0009】

ここで、画素116の詳細な構成について説明する。図2(a)は、画素116の構成を示す平面図であり、図2(b)は、画素116の電気的な構成を示す図である。いずれも、i行及びこれに隣接する(i+1)行と、j列及びこれに隣接する(j+1)列との交差に対応する2×2の計4画素分の構成が示されている。

20

なお、i、(i+1)は、画素116が配列する行を一般的に示す場合の記号であって、1以上320以下の整数であり、j、(j+1)は、画素116が配列する列を一般的に示す場合の記号であって、1以上240以下の整数である。

【0010】

図2(b)に示されるように、各画素116は、画素容量Cpixと、nチャンネル型の第1TFT241、nチャンネル型の第2TFT242とを有する。

ここで、各画素116については互いに同一構成なので、i行j列で代表させて説明すると、当該i行j列の画素116において、第1TFT241のゲートはi行目の走査線311に接続される一方、そのソースはj列目の第1データ線211に接続され、そのドレインは第1画素電極231に接続されている。また、同じi行j列の画素116において、第2TFT242のゲートはi行目の走査線311に接続される一方、そのソースはj列目の第2データ線212に接続され、そのドレインは第2画素電極232に接続されている。

30

なお、第1TFT241および第2TFT242は、互いに同一の素子特性となるように設計されている。

【0011】

液晶パネル100は、素子基板と対向基板との一对の基板が、一定の間隙を保持して貼り合わせた構成となっており、この間隙に液晶が挟持されている。また、素子基板には、走査線311や、第1データ線211、第2データ線212、第1画素電極231、第2画素電極232、第1TFT241および第2TFT242が形成されて、この電極形成面が対向基板と対向するように貼り合わせられる。この構成のうち、素子基板の電極形成面を平面的に示したものが図2(a)である。

40

この図からも判るように、液晶パネル100は、液晶にかかる電界方向を基板面方向とした、いわゆるIPS(in plane switching)方式としたものである。

詳細には、素子基板に、ゲート電極層のパターニングにより走査線311を形成し、その上に絶縁層と半導体層(図示省略)を堆積して第1TFT241および第2TFT242が形成された後に、さらに、絶縁層を介した第1金属層のパターニングにより第1デ

50

ータ線 2 1 1、第 2 データ線 2 1 2、第 1 画素電極 2 3 1 および第 2 画素電極 2 3 2 が形成された構成となっている。

ここで、第 1 画素電極 2 3 1 および第 2 画素電極 2 3 2 は、いずれも櫛歯状に形成されるとともに、互いに一定の距離を保って対向するように配置する。したがって、本実施形態において、画素容量 C_{pix} は、第 1 画素電極 2 3 1 と第 2 画素電極 2 3 2 とが液晶を介して互いに対向することによって生じる容量で表されることになる。

なお、第 1 画素電極 2 3 1 と第 2 画素電極 2 3 2 のいずれか一方が、例えば矩形で、他方が櫛歯形状となっており、一方の矩形の画素電極の上に絶縁層を介して他方の櫛歯形状の画素電極が形成された構成、すなわち IPS 方式の変形である FFS (fringe field switching) 方式を採用した構成としても良い。

【 0 0 1 2 】

画素容量 C_{pix} では、電界が、保持電圧に応じた強さで図 2 (a) において紙面縦 (Y) 方向に発生して、液晶の配向状態が変化する。このため、偏光子 (図示省略) を通過する光量は、当該電圧実効値に応じた値となる。

本実施形態において、画素容量 C_{pix} に印加される電圧実効値は、第 1 画素電極 2 3 1 および第 2 画素電極 2 3 2 の差電圧で定まるので、 i 行 j 列の画素を目的の階調とするには、 i 行目の走査線 3 1 1 に選択電圧を印加し、第 1 TFT 2 4 1 および第 2 TFT 2 4 2 を導通 (オン) 状態とさせるとともに、 j 列目の第 1 データ線 2 1 1 および第 2 データ線 2 1 2 の電圧差を、 i 行 j 列の画素の階調に応じた値に設定すれば良いことになる。

なお、本実施形態では説明の便宜上、当該電圧実効値がゼロに近ければ、光の透過率が最大となって白色表示になる一方、電圧実効値が大きくなるにつれて透過する光量が減少して、ついには透過率が最小の黒色表示になるノーマリーホワイトモードとする。

また、図 2 (b) の破線で示されるように、第 1 TFT 2 4 1 のゲート - ドレイン間には容量 C_{gd1} が寄生し、同様に、第 2 TFT 2 4 2 のゲート - ドレイン間には容量 C_{gd2} が寄生する。

【 0 0 1 3 】

説明を再び図 1 に戻すと、制御回路 4 0 0 は、1 水平走査期間の開始時を規定するラッチパルス LP や、極性指示信号 POL、スタートパルス DY、クロック信号 CLY 等の各種制御信号によって液晶パネル 1 0 0 の走査を制御するものである。

【 0 0 1 4 】

走査線駆動回路 3 5 0 は、図 3 に示されるように、垂直走査期間 (1 F) の最初に供給されるスタートパルス DY を、1 周期が 1 水平走査期間 (1 H) のクロック信号 CLY の立ち上がりにて順次取り込んでシフトして、そのシフト信号を、走査信号 Y 1、Y 2、Y 3、...、Y 3 2 0 として、それぞれ 1 行目、2 行目、3 行目、...、3 2 0 行目の走査線 3 1 1 に供給するものである。このため、1 ~ 3 2 0 行の走査線 3 1 1 は、1 水平走査期間 (1 H) 毎に 1 行ずつ選択されるとともに、選択されたときに H レベルに相当する電圧 V_{dd} が印加される一方、非選択のときには L レベルに相当する電圧 V_{ss} (= Gnd) が印加される。

【 0 0 1 5 】

次に、データ線駆動回路 2 5 0 について説明する。データ線駆動回路 2 5 0 は、データ供給回路 2 5 2 と、各列に対応した D/A 変換回路 2 5 4 とを有するとともに、各列において共通の第 2 データ線 2 1 2 に電圧 V_c をそれぞれ印加するものである。

データ供給回路 2 5 2 は、縦 3 2 0 行 × 横 2 4 0 列のマトリクス配列に対応した記憶領域 (図示省略) を有し、各記憶領域では、それぞれ対応する画素 1 1 6 の階調値 (明るさ) を指定する階調データ D_a が記憶される。なお、階調データ D_a は、図示しない上位装置から供給され、表示内容に変更が生じた場合には、対応する記憶領域に記憶された階調データ D_a が書き換えられる。

さらに、データ供給回路 2 5 2 は、走査線駆動回路 3 5 0 によって、 i 行目の走査線 3 1 1 が選択されたときに、当該 i 行目の走査線 3 1 1 に位置する 1 ~ 2 4 0 列の画素 1 1 6 の階調データを記憶領域から一斉に読み出して出力する。

【 0 0 1 6 】

各列の D / A 変換回路 2 5 4 は、データ供給回路 2 5 2 により読み出された階調データを、電圧 V_c を基準として極性指示信号 P O L で指定された極性のアナログ信号に変換して、対応する第 1 データ線 2 1 1 にデータ信号として供給するものである。なお、1、2、3、...、2 4 0 列目の第 1 データ線 2 1 1 に供給されるデータ信号を、それぞれ X_1 、 X_2 、 X_3 、...、 X_{240} と表記し、特に列を特定しないで一般的に説明する場合には、 X_j と表記する。

【 0 0 1 7 】

ここで、極性指示信号 P O L は、H レベルであれば画素容量 C_{pix} の正極性書込を指定し、L レベルであれば画素容量 C_{pix} の負極性書込を指定する信号であり、本実施形態では、図 3 に示されるように、1 垂直走査期間 (1 H) 毎に極性反転する。

10

また、本実施形態において、画素容量 C_{pix} の書込極性は、便宜的に、第 1 画素電極 2 3 1 が第 2 画素電極 2 3 2 によりも高位となる場合を正極性とし、反対に、第 1 画素電極 2 3 1 が第 2 画素電極 2 3 2 によりも低位となる場合を負極性としている。このように画素容量 C_{pix} の書込極性を正極性と負極性とで交互に駆動 (交流駆動) する理由は、直流成分の印加による液晶の劣化を防止するためである。

【 0 0 1 8 】

ところで、交流駆動の場合に、1 画面内における画素に対して書込極性をどのような関係とするかについては、

- (1) 走査線毎に書込極性を反転する走査線反転 (行反転)、
 - (2) データ毎に書込極性を反転するデータ線反転 (列反転)、
 - (3) 走査線反転とデータ線反転とを組み合わせ、上下左右で隣接する画素同士で書込極性を反転する画素反転 (ドット反転)、
 - (4) すべて揃える面反転 (フレーム反転)
- の 4 種類が考えられる。

20

本実施形態では、極性指示信号 P O L によって、各列の書込極性が同一に指定されるとともに、当該極性指示信号 P O L が、1 垂直走査期間 (1 F) にわたって固定化されることから判るように、フレーム反転が採用されている。ただし、本発明は、このフレーム反転方式に限定する趣旨ではない。

【 0 0 1 9 】

データ線駆動回路 2 5 0 によって出力されるデータ信号について、 j 列目により代表させて説明すると、当該 j 列目の第 1 データ線 2 1 1 に供給されるデータ信号 X_j は、図 3 に示される通りとなる。すなわち、データ線駆動回路 2 5 0 は、極性指示信号が H レベルとなって正極性書込が指示される 1 垂直走査期間において、1 行目の走査線 3 1 1 が選択される水平走査期間では、データ信号 X_j を、電圧 V_c に対して 1 行 j 列の画素の階調に応じた電圧だけ高位側として出力する。

30

次の 2 行目の走査線 3 1 1 が選択される水平走査期間においても正極性書込の指示となるので、データ線駆動回路 2 5 0 は、2 行目の走査線 3 1 1 が選択される水平走査期間にはデータ信号 X_j を、電位 V_c に対して 2 行 j 列の画素の階調に応じた電圧だけ高位側として出力する。以下、この動作を、最終の 3 2 0 行目の走査線 3 1 1 が選択される水平

40

走査期間まで繰り返す。

データ線駆動回路 2 5 0 は、極性指示信号が L レベルとなって負極性書込が指示される 1 垂直走査期間では、データ信号 X_j を、電圧 V_c に対して画素の階調に応じた電圧だけ低位側として出力する。

したがって、隣接する 2 垂直走査期間において表示内容に変更がなければ (各記憶領域に記憶される階調データが更新されなければ)、データ信号 X_j は、図 3 に示されるように、電圧 V_c を基準に高位側と低位側とで対称となる。

【 0 0 2 0 】

ここで、図 3 における電圧の関係について説明すると、電圧 V_{ss} は接地電位 (= Gnd) であって、本実施形態における電圧の基準 (電圧ゼロ) であり、電圧 V_{dd} は電源電圧高位

50

側である。これらの電圧 V_{ss} 、 V_{dd} は、上述したように、それぞれ走査信号 Y_1 、 Y_2 、 Y_3 、...、 Y_{320} の L レベル、H レベルに相当する。

一方、画素容量 C_{pix} における書込極性の基準となる電圧 V_c は、電圧 V_{ss} 、 V_{dd} のほぼ中間値である。

なお、図 3 においては、Y 側の走査信号 $Y_1 \sim Y_{320}$ 等と、X 側のデータ信号 X_j との縦方向の電圧スケールを、便宜的に異ならせてある（後述する図 6、図 7 においても同様）。

【0021】

次に、このような構成にかかる電気光学装置における書き込みについて説明する。図 4 は、 i 行 j 列の画素の書き込みについて、走査信号 Y_i との関係において示す図である。なお、図 4 では、 i 行 j 列の画素 116 における第 1 画素電極 231 の電圧が太実線で示され、 i 行 j 列の画素 116 における第 2 画素電極 232 の電圧が中実線で示され、走査信号 Y_i の電圧が細実線で示されている。

i 行目の走査信号 Y_i が H レベルとなる 1 水平走査期間 (1H) において、例えば、 i 行 j 列の画素を白色と黒色との間の灰色とする場合に、データ信号 X_j は、正極性であれば、電圧 V_c に対して電圧 V_g だけ高位側の電圧 ($V_c + V_g$) となる。ここで、電圧 V_g は、データ供給回路から読み出された i 行 j 列の階調データによって指定された電圧である。

走査信号 Y_i が H レベルになると、 i 行目の画素 116 においては、第 1 TFT 241 および第 2 TFT 242 がそれぞれオンして、ソース・ドレイン間がいずれも導通状態となる。このため、 i 行 j 列の第 1 画素電極 231 は、 j 列目の第 1 データ線 211 に電氣的に接続された状態となり、同様に第 2 画素電極 232 は、 j 列目の第 2 データ線 212 に電氣的に接続された状態となる。

したがって、走査信号 Y_i が H レベルとなる 1 水平走査期間 (1H) では、 i 行 j 列において、第 1 画素電極 231 は電圧 ($V_c + V_g$) となり、第 2 画素電極 232 は電圧 V_c となって、その差電圧は、 i 行 j 列の階調に応じた電圧 V_g となる。

【0022】

ところで、第 1 TFT 241、第 2 TFT 242 には、それぞれ容量 C_{gd1} 、 C_{gd2} が寄生するので（図 2 (b) の破線参照）、 i 行目の走査線 311 の選択が終了して、走査信号 Y_i が H レベルから L レベルに変化すると、その変化方向にドレイン電圧が変化するプッシュダウンと呼ばれる現象（突き抜け、フィールドスルーなどとも呼ばれる）が発生する。詳細には、このプッシュダウンは、第 1 TFT 241 でいえば、オンしている期間において容量 C_{pix} 、 C_{gd1} に充電された電荷が、オフした瞬間に各容量に再分配されることに起因して発生する。

このため、走査信号 Y_i が L レベルに変化した瞬間に、第 1 TFT 241 のドレイン、すなわち、 i 行 j 列の第 1 画素電極 231 は、電圧 ($V_c + V_g$) から電圧 V だけ低下する。ここで、 V は、プッシュダウンによるドレイン電圧の変化分であり、容量比 $C_{gd1} / (C_{gd1} + C_{pix})$ に、ゲート電圧の変化分 ($V_{dd} - V_{ss}$) を乗じた値で示される。

ただし、本実施形態では、第 2 TFT 242 のドレインにおいても、プッシュダウンが発生する。上述したように、第 2 TFT 242 は、第 1 TFT 241 と同一特性となるように設計されているので、 $C_{gd2} = C_{gd1}$ である。このため、走査信号 Y_i が L レベルに変化した瞬間に、 i 行 j 列の第 2 画素電極 232 についても、電圧 V_c から同量の電圧 V だけ低下する。

【0023】

なお、負極性書込の場合、走査信号 Y_i が H レベルとなる 1 水平走査期間 (1H) において、データ信号 X_j は、図 4 に示されるように、電圧 V_c に対して電圧 V_g だけ低位側の電圧 ($V_c - V_g$) となる。

このため、負極性書込の場合に走査信号 Y_i が H レベルになると、 i 行 j 列の第 1 画素電極 231 は電圧 ($V_c - V_g$) となり、第 2 画素電極 232 は電圧 V_c になる一方、走査信号 Y_i が L レベルに変化した瞬間に、第 1 画素電極 231 は電圧 ($V_c - V_g$) から電圧

10

20

30

40

50

Vだけ低下し、第2画素電極232は電圧Vcから同量の電圧 Vだけ低下する。

また、ここでは一般的にj列目で説明したが、このような動作は、1~240列のすべてにわたって実行される。

【0024】

一般に、画素容量Cpixは、ノーマリーホワイトモードであれば、明状態となるほど小さくなる、すなわち、表示内容に応じて容量値が変化する。このため、プッシュダウンにより低下する電圧 Vは、画素容量Cpix(すなわち、画素の階調)に依存する。しかしながら、本実施形態によれば、走査信号YiがLレベルに変化した瞬間に、第1画素電極231および第2画素電極232は、互いに同量の電圧 Vだけ変化して、相殺し合うので、i行j列の画素容量Cpixに保持される電圧Vgは、プッシュダウンや書込極性の影響を受けないことではなく、階調のみによって定まることになる。

10

このため、本実施形態によれば、正極性と負極性とで画素容量Cpixに印加される電圧実効値は互いに同一となるので、直流成分の印加を防止される結果、フリッカーの発生が抑えられるとともに、液晶の劣化も未然に防止することが可能となる。

【0025】

この点について従来の技術との比較において詳述する。図15は、従来の構成を示す図である。この図に示されるように、従来では、各列には、データ線215のみが設けられ、走査線311とデータ線215との交差に対応して画素117が配列する構成である。この従来における画素117は、nチャンネル型のTFT245のゲートが走査線311に接続される一方、そのソースがデータ線215に接続され、そのドレインが画素毎に個別の画素電極235に接続される。従来における画素容量は、画素電極235と各画素にわたって共通の共通電極108によって液晶を挟持した構成となる。この共通電極108は、時間的に一定の電圧LCcomに保たれる。

20

【0026】

この構成において、交流駆動は、共通電極108に対して高位側(正極性)と低位側(負極性)とで交互書き込みをする。ただし、従来の構成において、電圧LCcomを書込極性の基準である電圧Vcに一致させた状態で、交互書き込みをすると、図16(a)に示されるように、プッシュダウンのために、負極性書込において画素容量に印加される電圧実効値が、正極性書込において画素容量に印加される電圧実効値よりも大きくなってしま

30

このため、同一階調で正極性・負極性書込をしても画素容量の電圧実効値が互いに等しくなるように、共通電極108の電圧LCcomを、書込極性の基準である電圧Vcよりも、プッシュダウンにより低下する電圧 Vだけ、低めに設定すれば(図16(b)参照)、一見すると良いように思われる。

【0027】

しかしながら、この設定では、共通電極108の電圧LCcomの低下分は、階調とは関係なく、一律となってしま

上述したように、TFT245のプッシュダウンにより画素電極235において低下する電圧 Vは、画素容量Cpix(画素の階調)に依存して変動するので、ある階調値において、正極性書込と負極性書込とで画素容量の電圧実効値が同じとなるように、共通電極108の電圧LCcomを設定してしまうと、他の階調値において、画素容量の電圧実効値は正極性書込と負極性書込とで異なってしま

したがって、従来の画素構成では、共通電極108を、いかなる電圧に設定しても、画素容量に印加される電圧実効値を正極性書込と負極性書込とで同一値にすることができないので、直流成分の印加を防止することができないのである。

40

【0028】

これに対して、本実施形態では、第1TFT241において発生するプッシュダウンと同量のプッシュダウンが、第2TFT242において発生して、その影響が相殺し合うので、画素容量に印加される電圧実効値は、電圧 Vの影響を受けない。このため、本実施形態によれば、画素容量Cpixに印加される電圧実効値を、正極性書込と負極性書込とで完全に一致させることが可能となるのである。

50

【 0 0 2 9 】

さらに、本実施形態によれば、クロストークの低減という面でも、従来の構成と比較して効果がある。そこで次に、このクロストークの低減について説明する。

まず、交流駆動の場合に、1画面内における画素に対して書込極性をどのような関係とするかについては、上述したように4種類が考えられる。

図15に示される従来の画素構成において、4種類のうち、行反転およびフレーム反転を採用すると、いわゆる横クロストークが発生する。

ここで、横クロストークとは、例えば、ノーマリーホワイトモードにおいて中間調の灰色を背景として、黒色および白色領域をそれぞれウィンドウ表示しようとする場合、図17に示されるように、黒色領域とは横(水平走査)方向に隣接する灰色領域がやや明るくなり、白色領域とは横方向に隣接する灰色領域がやや暗くなる現象をいう。

10

【 0 0 3 0 】

このような横クロストークが発生する原因について説明すると、図15に示される画素1行分の等価回路は、図18(a)に示される通りであり、共通電極108は、少なからず抵抗成分を有している。この図18(a)については、各列が同一の階調値とさせる場合、図18(b)に示されるように簡略化することができる。すなわち、TF T 2 4 5については、理想的なスイッチに置き換える一方、画素電極235をまとめてノードAとし、これらの画素電極235に対向する共通電極108をノードBとしている。

ここで、行反転およびフレーム反転では、同一走査線(ライン)311に対応する画素の書込極性は同一であるので、図18(c)に示されるように、走査信号 Y_i がHレベルとなって、ノードAが例えば負極性の電圧($V_c - V_g$)から正極性の電圧($V_c + V_g$)に転じると、ノードBにスパイク状のノイズが現れる。

20

このノイズが収束しないうちに、i行目の走査線の選択が終了して走査信号 Y_i がLレベルに変化すると、ノードAおよびノードBの間の電圧、すなわち、画素容量に保持される電圧は、目標値よりも少なくなってしまう。

ノーマリーホワイトモードであれば、ノイズは、中間調の灰色を表示する場合よりも、黒色を表示する方が大きく、反対に、白色を表示する方が小さいので、図17に示されるような横クロストークが発生するのである。

【 0 0 3 1 】

このような横クロストークを解消するためには、列反転またはドット反転を採用すれば良い。この理由は、少なくとも列毎に書込極性が反転するので、同一行の走査線が選択されたときに、正極性、負極性の一方から他方に変化することによるノイズと、正極性、負極性の他方から一方に変化することによるノイズとが発生して、両ノイズが互いに打ち消し合うので、ノードBの電圧変動が十分小さくなるからである。

30

ただし、列反転またはドット反転を採用しても、表示内容によってはノイズを完全に相殺することができない。例えば、奇数列(または偶数列)のみを黒色表示させるような場合に、ある1行の走査線が選択されたとき、黒色画素は、正極性書込または負極性書込のいずれかに集中して、行反転またはフレーム反転と同様に横クロストークが発生してしまう。

【 0 0 3 2 】

40

一方、カラー表示とする場合に、R(赤)、G(緑)、B(青)に対応する画素を、水平走査方向にR G B R G B...と繰り返し配置させた構成において、例えば赤色領域をウィンドウ表示させる場合、奇数列の赤色画素と偶数列の赤色画素とが併存するので、両赤色画素によるノイズの打ち消し合いによって、横クロストークは抑えられる。

しかしながら、近年では、広色化のために、R G BのほかにC(シアン)を加えた4原色によりカラー表示する技術が提案されている。この技術では、画素配列が奇数行ではR G R G R G...の繰り返しとなり、偶数行ではB C B C B C...の繰り返しとなる。

この画素配列において、赤色領域をウィンドウ表示させると、赤色画素は、奇数列に固定されるので、ある1行の走査線が選択されたとき、赤色画素は、正極性書込または負極性書込のいずれかに集中するので、やはり、行反転またはフレーム反転と同様になって、

50

横クロストークが発生してしまう。

【 0 0 3 3 】

これに対して、本実施形態では、1個の画素によってノイズ（画素電極の電圧変化）が相殺し合うので、行反転、列反転、ドット反転およびフレーム反転のいずれにおいても、表示内容に依存することなく、横クロストークを抑えることが可能となる。

さらに、本実施形態では、第1データ線211および第2データ線212を介して、画素容量Cpixに対して階調に応じた電圧を保持させるので、ノイズに強いという効果がある。詳細には、画素容量Cpixには、第1データ線211および第2データ線212の差電圧が保持されるので、第1データ線211および第2データ線212に対して走査信号の電圧変化等によって何らかのノイズが重畳されても、当該ノイズは互いに相殺し合う結果、画素容量Cpixに保持される電圧に影響を与えないのである。

10

【 0 0 3 4 】

上述した実施形態では、第2データ線212を各列にわたって共通化した構成としたが、各画素容量について、交流駆動しつつ、階調に応じた電圧を保持させれば十分である。このため、例えば、図5に示されるように、第2データ線212を各列にわたって独立化した構成としても良い。

図5においては、列毎に出力回路256が設けられている。ここで、一般的にj列目の出力回路256は、j列目の第1データ線211と第2データ線212との差電圧が、極性指示信号POLで指定された極性で、データ供給回路252から読み出された階調データに対応した値となるように出力するものである。

20

詳細には、上述したように、第1画素電極231が第2画素電極232によりも高位となる場合を正極性とし、第1画素電極231が第2画素電極232によりも低位となる場合を負極性としているので、出力回路256は、正極性書込が指定された場合には、第1データ線211が第2データ線212よりも高位とし、負極性書込が指定された場合には、第1データ線211が第2データ線212よりも低位として、いずれの場合にも、第1データ線211および第2データ線212の差電圧が階調データに対応した値となるように出力する。

なお、便宜的に、j列目の出力回路256がj列目の第1データ線211に出力するデータ信号をXa-jと表記し、j列目の第2データ線212に出力するデータ信号をXb-jと表記する。

30

【 0 0 3 5 】

ここで、出力回路256が第1データ線211および第2データ線212に階調に応じた差電圧を出力する態様としては、例えば、第1データ線211、第2データ線212の一方を定位とし、他方を振らせる状態を交互に繰り返す第1態様や、基準電圧に対して第1データ線211、第2データ線212の双方とも振らせる第2態様などが考えられる。

図6においては、正極性書込の場合に、データ信号Xb-jについては電圧Vrとし、データ信号Xa-jについては電圧Vrを基準として階調に応じた電圧だけ高位側とする一方、負極性書込の場合に、データ信号Xa-jについては電圧Vrとし、データ信号Xb-jについては電圧Vrを基準として階調に応じた電圧だけ高位側とする第1態様の例が示されている。

40

なお、電圧Vrについては、電圧Vddと電圧Vssとの間において、ノーマリーホワイトモードであれば黒色に相当する最大の差電圧を書き込むことが可能であれば良い。図6の例では、階調に応じた電圧を高位側にシフトしているため、定位電圧Vrは、電圧Vddと電圧Vssとの中間値よりも低めに設定される。

特に図示はしないが、正極性書込の場合に、データ信号Xa-jについては定位電圧とし、データ信号Xb-jについては定位電圧を基準として階調に応じた電圧だけ低位側とする一方、負極性書込の場合に、データ信号Xb-jについては定位電圧とし、データ信号Xa-jについては定位電圧を基準として階調に応じた電圧だけ低位側としても良い。

【 0 0 3 6 】

また、図7においては、電圧Vcを基準として、正極性の場合に、データ信号Xa-j

50

については、階調に応じた電圧の半分だけ高位側とし、データ信号 X b - j については、階調に応じた電圧の半分だけ低位側とする一方、負極性の場合に、データ信号 X a - j については、階調に応じた電圧の半分だけ低位側とし、データ信号 X b - j については、階調に応じた電圧の半分だけ高位側とする第 2 態様の例が示されている。この例では、データ信号 X a - j およびデータ信号 X b - j は、単独で見れば、電圧 V_r に対して階調に応じた電圧の半分だけシフトしているが、その差電圧で見れば、階調に応じた電圧となる。

なお、振幅の基準については、電圧 V_{dd} と電圧 V_{ss} との間において、ノーマリーホワイトモードであれば黒色に相当する最大の差電圧を書き込むことが可能であれば、電圧 V_c でなくても良い。

【 0 0 3 7 】

このように、第 1 態様や第 2 態様によれば、データ信号の振幅幅が、図 3 に示される例と比較して半分に抑えることができるので、階調データを、階調に応じた電圧のアナログ信号に変換する D / A 変換回路の構成を簡略化することが可能となる。

【 0 0 3 8 】

なお、図 7 において極性指示信号 P O L は、1 水平走査期間 (1 H) 毎に極性反転するとともに、隣接する垂直走査期間において同一の走査線が選択される水平走査期間に着目しても極性反転した関係となっているので、ライン反転となる。

また、奇数列、偶数列の一方に当該極性指示信号 P O L を、奇数列、偶数列の他方に論理反転した極性指示信号 P O L を、それぞれ供給するとともに、極性指示信号 P O L とし

て図 3 (図 6) に示される波形を採用すれば列反転となり、図 7 に示される波形を採用すればドット反転となる。

【 0 0 3 9 】

また、上述した実施形態において、画素 1 1 6 については、図 2 に示された構成以外にも種々の構成が可能である。そこで以下については、画素の応用・変形構成について説明する。まず、図 8 (b) に示される画素 1 1 6 は、実施形態の構成 (図 2 (b) 参照) において、画素容量 C_{pix} に対して並列に補助容量 2 5 0 を設けた構成となっている。この補助容量 2 5 0 は、例えば図 8 (a) に示されるように、第 1 画素電極 2 3 1 と第 2 画素電極 2 3 2 とを絶縁層 (図示省略) を介して積層した構造である。

この構成によれば、見掛け上、画素容量 C_{pix} が補助容量 2 5 0 の分だけ増加するので、オフ時において第 1 T F T 2 4 1 および第 2 T F T 2 4 2 を介して画素容量 C_{pix} からリークする電荷が少なくなる。このため、画素容量 C_{pix} の保持電圧の変化によるフリッカーの発生を抑えることが可能となる。

ただし、図 8 (a) に示される構成では、第 1 金属層のパターニングにより第 1 画素電極 2 3 1 等を形成した後に、絶縁層を介した第 2 金属層のパターニングにより第 2 画素電極 2 3 2 を形成する必要があるが、第 1 画素電極 2 3 1 と第 2 画素電極 2 3 2 とを同一金属層のパターニングにより形成可能な図 2 (a) の構成と比較して、製造プロセスが複雑化する。

【 0 0 4 0 】

そこで、画素 1 1 6 については、図 9 (a) および図 9 (b) に示される構成としても良い。

すなわち、図 9 (a) において、補助容量 2 5 0 は、第 1 画素電極 2 3 1 および第 2 画素電極 2 3 2 が離間するとともに、それらの下層に、絶縁層 (図示省略) を介して導電層 2 5 2 が設けられた構成となっている。このため、補助容量 2 5 0 は、図 9 (b) に示されるように、第 1 画素電極 2 3 1 側からみれば、第 1 画素電極 2 3 1 / 絶縁層 / 導電層 2 5 2 からなる容量と、導電層 2 5 2 / 絶縁層 / 第 2 画素電極 2 3 2 からなる容量とを直列に接続した構成となる。導電層 2 5 2 は、例えば走査線 3 1 1 (または T F T の半導体層) と同一層をパターニングすることにより形成可能であるので、図 9 (a) および図 9 (b) に示される構成では、別途の導電層をパターニングすることなく、補助容量 2 5 0 を付加することが可能となる。

【 0 0 4 1 】

10

20

30

40

50

画素 1 1 6 については、第 1 画素電極 2 3 1 および第 2 画素電極 2 3 2 のみならず、共通電極を設けても良い。

例えば、図 1 0 (a) に示されるように、第 1 画素電極 2 3 1 および第 2 画素電極 2 3 2 のいずれにも櫛歯状に対向するような共通電極 1 1 1 を、各画素 1 1 6 にわたって共通となるように設けた構成としても良い。この構成において、画素容量は、図 1 0 (b) に示される等価回路のように、第 1 画素電極 2 3 1 側からみれば、第 1 画素電極 2 3 1 / 液晶 / 共通電極 1 1 1 からなる容量と、共通電極 1 1 1 / 液晶 / 第 2 画素電極 2 3 2 からなる容量とを直列に接続した合成容量となる。

また、図 1 1 (a) に示されるように、第 1 画素電極 2 3 1 および第 2 画素電極 2 3 2 同士が対向する領域の下層に、その対向領域を含むように、絶縁層 (図示省略) を介して、共通電極 1 1 1 を設けた、いわゆる F F S 方式の構成としても良い。なお、図 1 1 (a) に示される画素の等価回路は、図 1 1 (b) に示される通りであって、図 1 0 (b) と同一となる。

【 0 0 4 2 】

ここで、図 1 0 (a) および図 1 1 (a) の画素構成において、共通電極 1 1 1 をなんらかの電圧 (例えば電圧 V_c) に維持すると、図 3 や、図 6 に示したデータ信号波形では、個別の容量に対する直流成分の印加を避けることができないので、図 7 に示したデータ信号波形とする必要がある。

また、図 1 0 (a) および図 1 1 (a) に示される画素構成は、合成容量で見れば、横クロストークの発生を抑えたり、ノイズの影響をキャンセルしたりすることが可能であるが、それぞれ図 1 5 に示した従来の画素を直列 (かつ対称) に接続した構成と同等であるので、個別の容量に対してはプッシュダウンによる直流成分の印加を防止することができない。

しかしながら、共通電極 1 1 1 ではなく、図画素毎に個別の中間電極とすれば、詳細には、図 1 2 (a) または図 1 3 (a) に示されるように、第 1 画素電極 2 3 1 および第 2 画素電極 2 3 2 にそれぞれ対向する中間電極 1 1 2 とすれば、プッシュダウンによる直流成分の印加についても防止することが可能となる。

なお、この図 1 2 (a) または図 1 3 (a) に示される画素の等価回路は、いずれも、図 1 2 (b) または図 1 3 (b) に示されるように互いに同一となる。なお、図 1 3 (a) に示される画素容量 C_{pix} は、直列接続のために図 2 (b) と比較して半分となるように錯覚してしまうが、中間電極 1 1 2 と第 1 画素電極 2 3 1 (第 2 画素電極 2 3 2) との間の絶縁層が極めて薄いので、直列接続による合成容量は、図 2 (b) と同等か、もしくは、それ以上となる。

【 0 0 4 3 】

実施形態や各例では、第 1 T F T 2 4 1 および第 2 T F T 2 4 2 をボトムゲートとしたが、トップゲートでもよく、さらにアモルファス型でなく、ポリシリコン型などであっても良い。また、両トランジスタは n チャネル型としたが、p チャネル型としても良いのももちろんである。

また、上述した実施形態では、同一画素についての書込極性の変更周期を 1 垂直走査期間 (1 フレーム) としたが、その理由は、画素容量 C_{pix} に対して直流成分の印加を防止するためなので、その反転については 2 以上のフレーム周期としても良い。

さらに、実施形態では、電圧無印加状態において白色を表示するノーマリーホワイトモードとしたが、電圧無印加状態において黒色を表示するノーマリーブラックモードとしても良い。なお、ノーマリーブラックモードであれば、画素容量 C_{pix} の電圧実効値が高いほど、画素が暗くなる。

また、階調表示数は特に限られないし、さらに、R (赤)、G (緑)、B (青) の 3 画素で 1 ドットを構成して、カラー表示を行うとしても良い。

液晶パネル 1 0 0 は透過型に限られず、反射型や、両者の中間的な半透過半反射型であっても良い。

【 0 0 4 4 】

10

20

30

40

50

次に、上述した実施形態に係る電気光学装置 10 を表示装置として有する電子機器について説明する。図 14 は、実施形態に係る電気光学装置 10 を用いた携帯電話 1200 の構成を示す斜視部である。

この図に示されるように、携帯電話 1200 は、複数の操作ボタン 1202 のほか、受話口 1204、送話口 1206 とともに、上述した液晶パネル 100 を備えるものである。なお、電気光学装置 10 のうち、液晶パネル 100 以外の構成要素については電話器に内蔵されるので、外観としては現れない。

【0045】

電気光学装置 10 が適用される電子機器としては、図 14 に示される携帯電話の他にも、デジタルスチルカメラや、ノートパソコン、液晶テレビ、ビューファインダ型（またはモニタ直視型）のビデオレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネルを備えた機器などが挙げられる。そして、これらの各種電子機器の表示装置として、上述した電気光学装置 10 が適用可能であることは言うまでもない。そして、いずれの電子機器においても、表示品位の低下を抑えて高品位の表示が簡易な構成によって実現されることになる。

10

【図面の簡単な説明】

【0046】

【図 1】本発明の実施形態に係る電気光学装置の構成を示すブロック図である。

【図 2】同電気光学装置における画素の構成を示す図である。

20

【図 3】同電気光学装置における走査信号およびデータ信号を示す図である。

【図 4】同電気光学装置における第 1 及び第 2 画素電極の電圧変化を示す図である。

【図 5】本発明の応用例に係る電気光学装置の構成を示すブロック図である。

【図 6】応用例における走査信号およびデータ信号を示す図である。

【図 7】別例における走査信号およびデータ信号を示す図である。

【図 8】同電気光学装置において画素の別例を示す図である。

【図 9】同電気光学装置において画素の別例を示す図である。

【図 10】同電気光学装置において画素の別例を示す図である。

【図 11】同電気光学装置において画素の別例を示す図である。

【図 12】同電気光学装置において画素の別例を示す図である。

30

【図 13】同電気光学装置において画素の別例を示す図である。

【図 14】同電気光学装置を用いた携帯電話の構成を示す図である。

【図 15】従来の画素の構成を示す図である。

【図 16】従来の画素における画素電極の電圧変化を示す図である。

【図 17】横クロストークを示す図である。

【図 18】横クロストークの原因を説明するための図である。

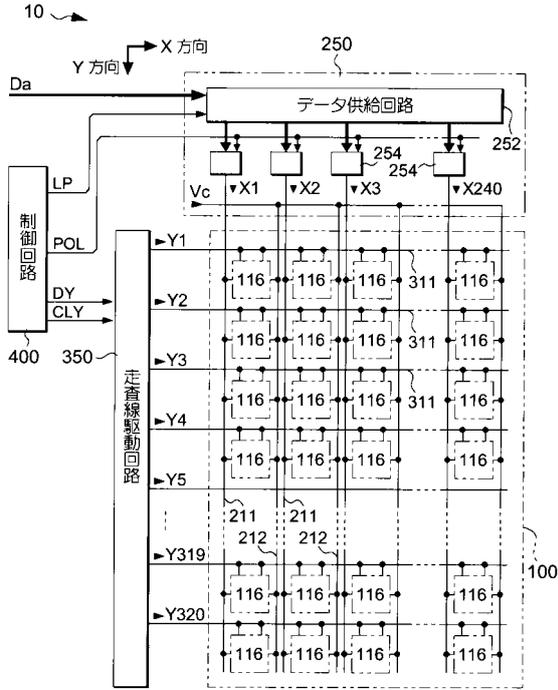
【符号の説明】

【0047】

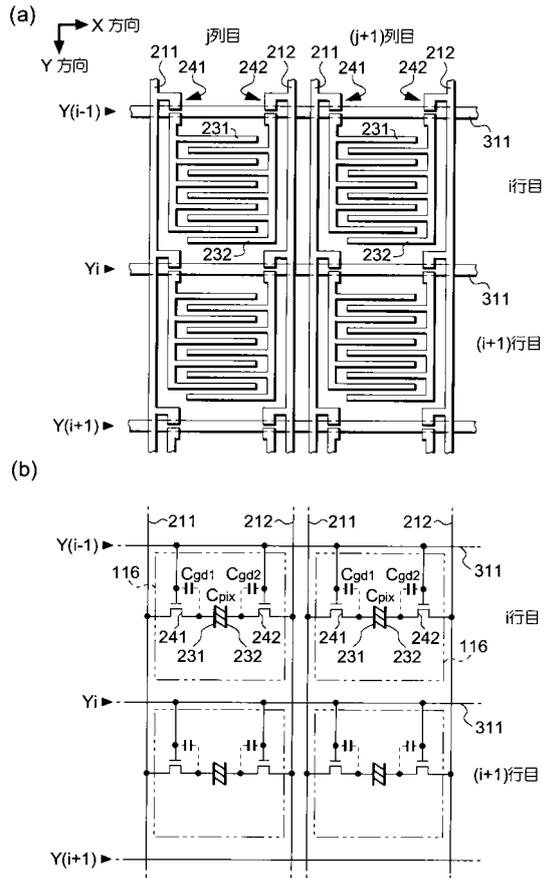
10 ... 電気光学装置、116 ... 画素、211 ... 第 1 データ線、212 ... 第 2 データ線、231 ... 第 1 画素電極、232 ... 第 2 画素電極、241 ... 第 1 TFT、242 ... 第 2 TFT、250 ... データ線駆動回路、311 ... 走査線、350 ... 走査線駆動回路、400 ... 制御回路、1200 ... 携帯電話

40

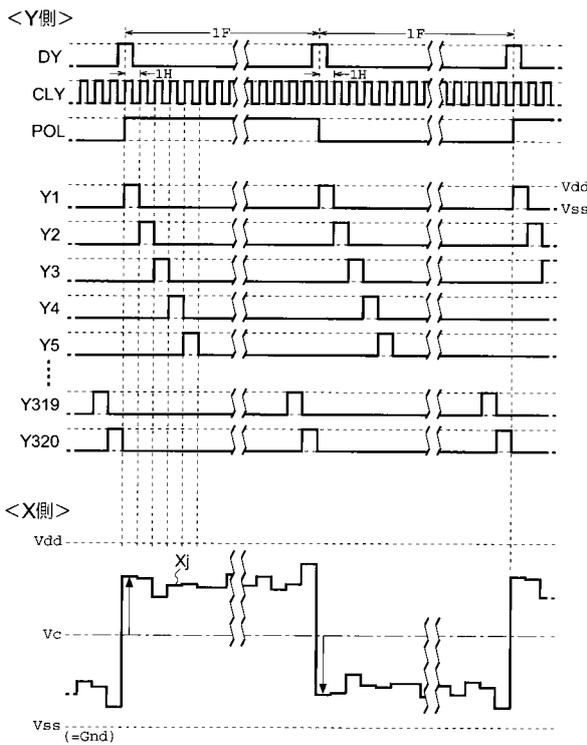
【図1】



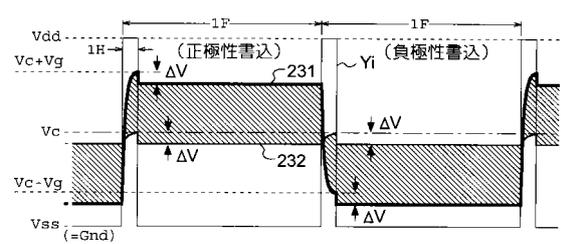
【図2】



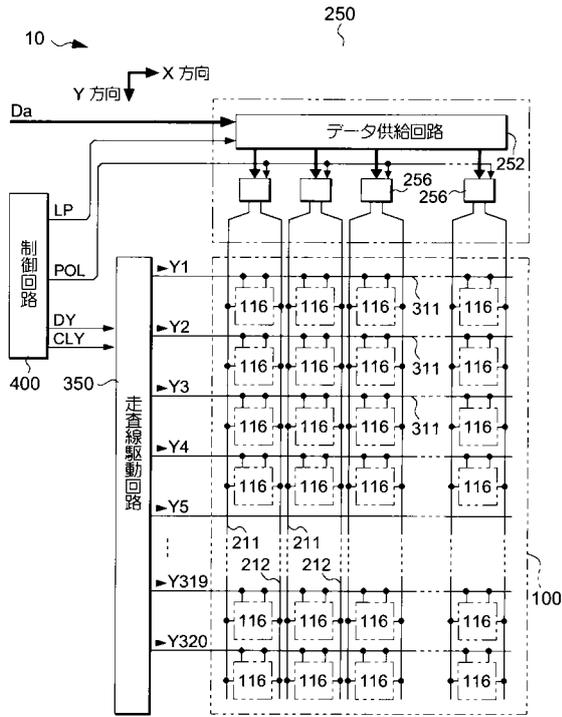
【図3】



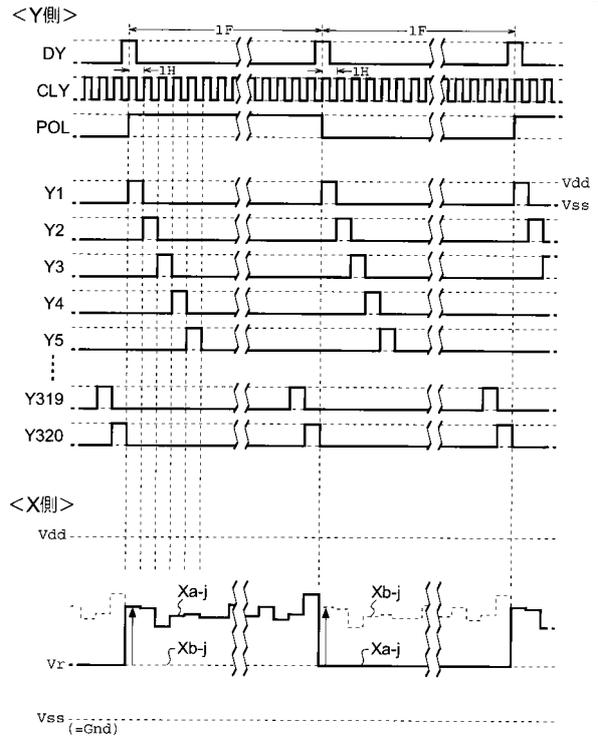
【図4】



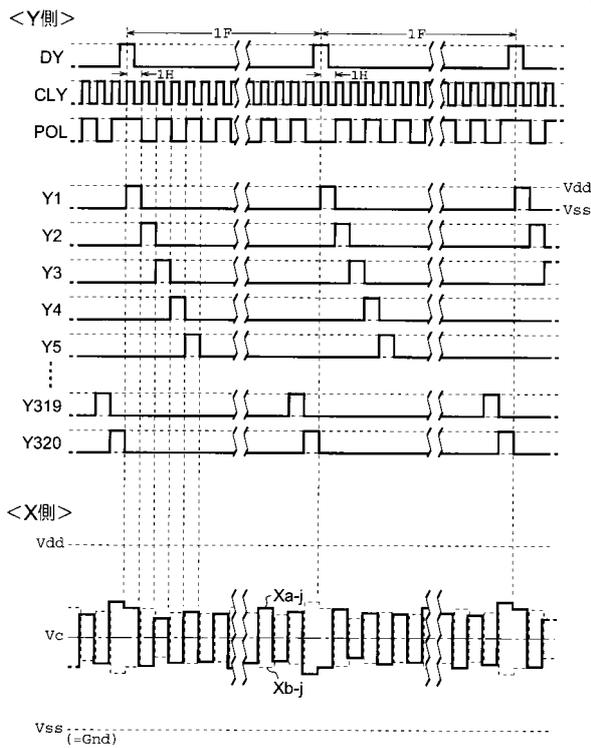
【図5】



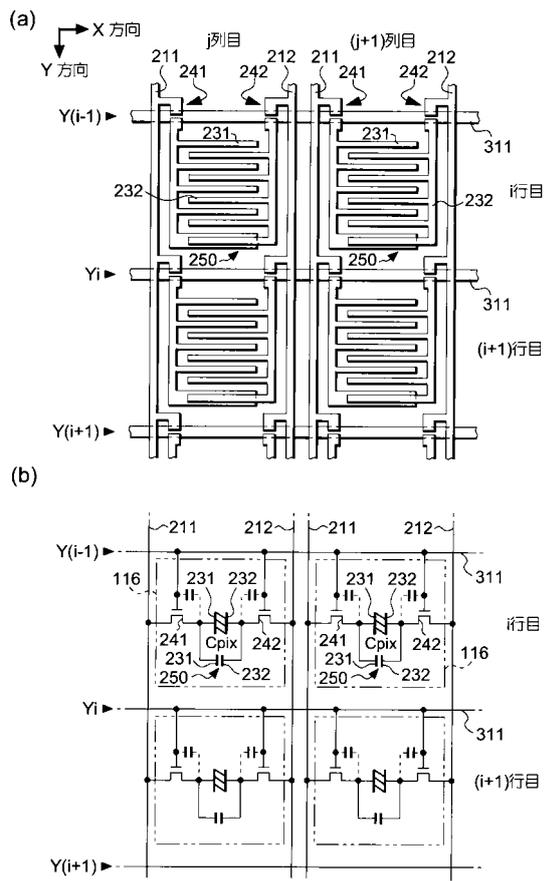
【図6】



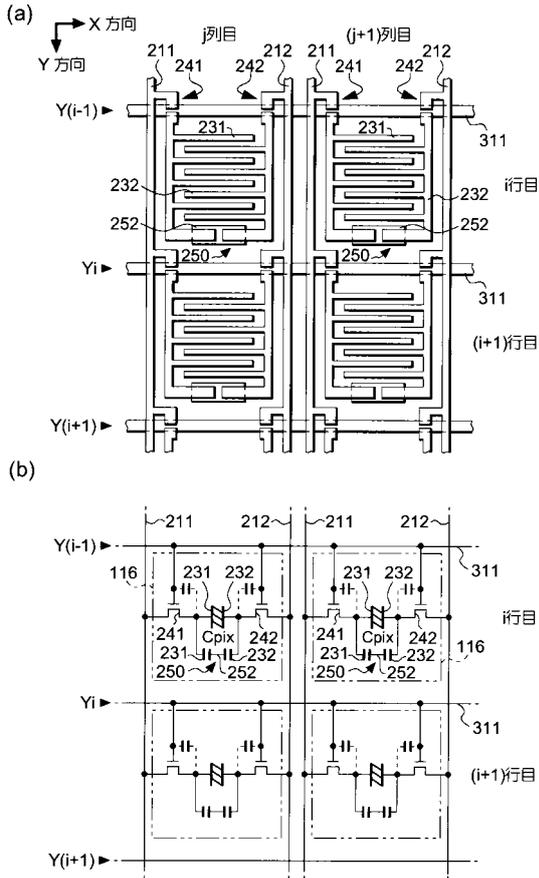
【図7】



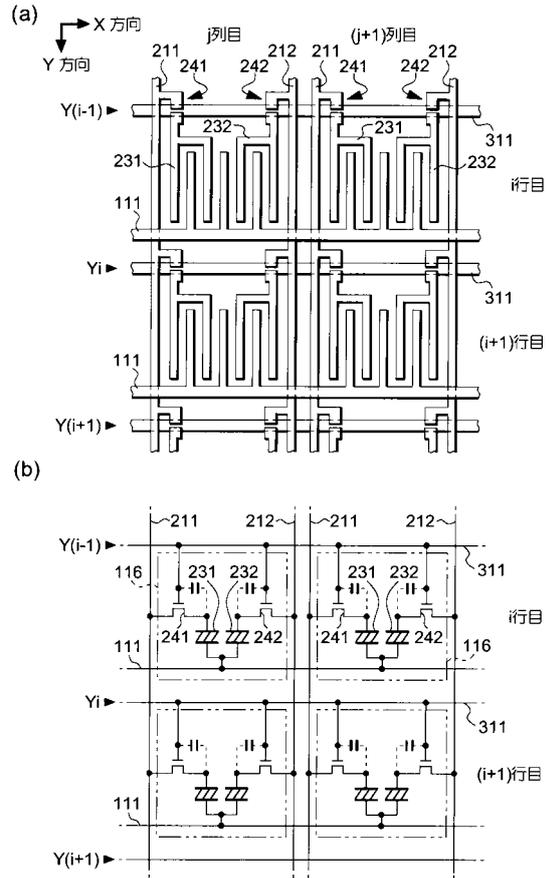
【図8】



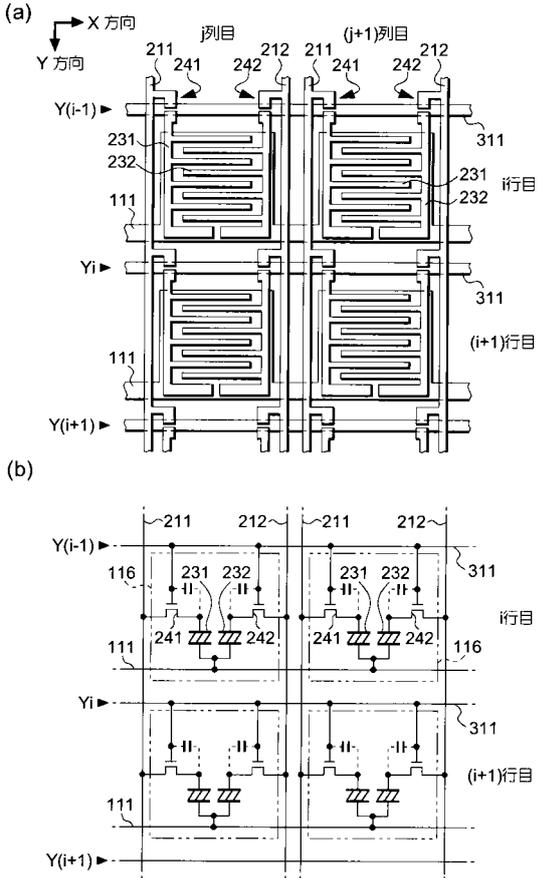
【図9】



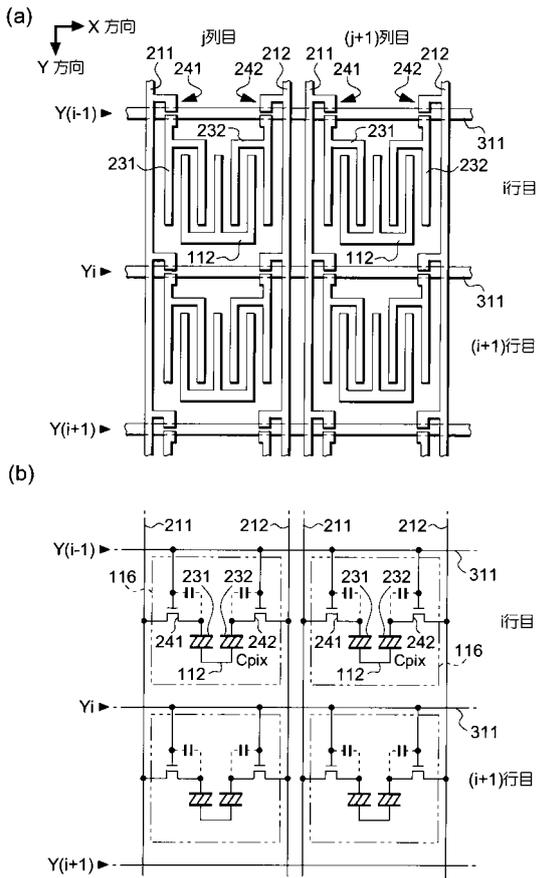
【図10】



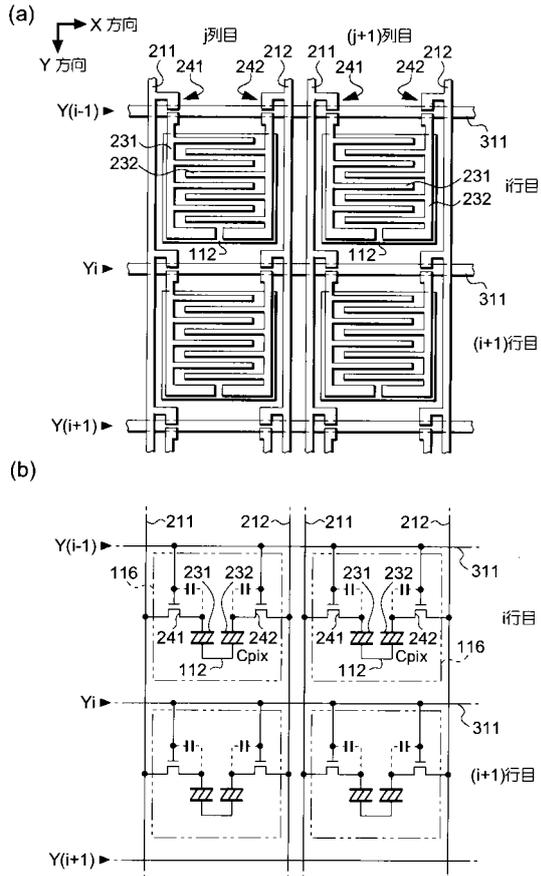
【図11】



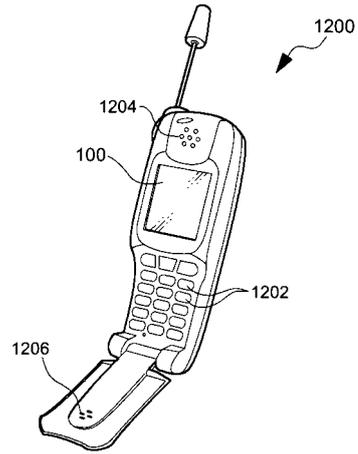
【図12】



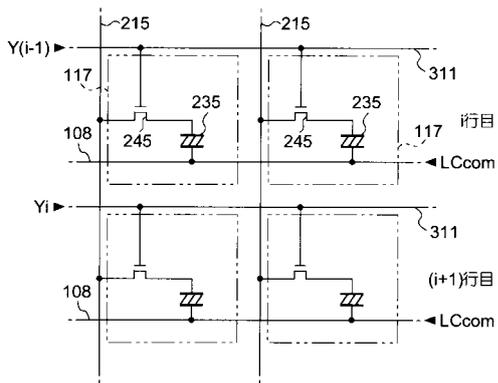
【図13】



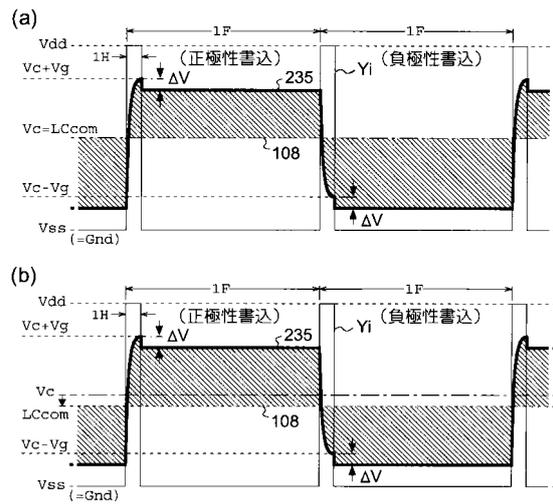
【図14】



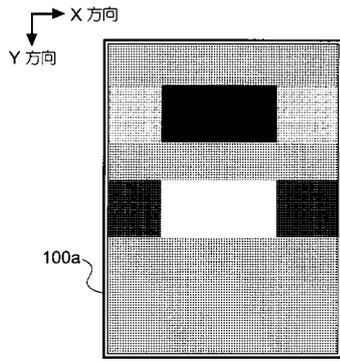
【図15】



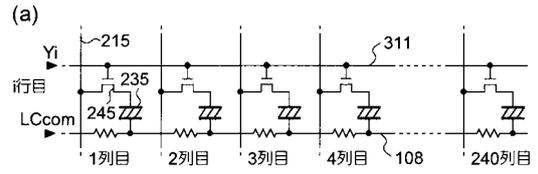
【図16】



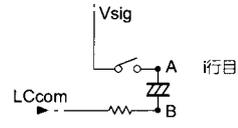
【 図 17 】



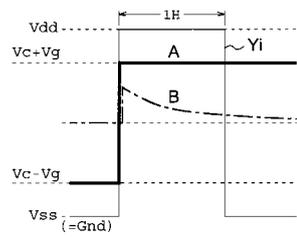
【 図 18 】



(b)



(c)



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 1 B
G 0 9 G 3/20 6 2 4 B
G 0 9 G 3/20 6 4 1 C
G 0 9 G 3/36

(56)参考文献 特開平06 - 148596 (JP, A)
特開2003 - 131636 (JP, A)
特開2002 - 296608 (JP, A)
特開2005 - 300780 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1 / 1 3 3
G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 6 8
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6