

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-165018

(P2006-165018A)

(43) 公開日 平成18年6月22日(2006.6.22)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 H	4M104
HO 1 L 29/778 (2006.01)	HO 1 L 21/28 3O1B	5F102
HO 1 L 21/338 (2006.01)	HO 1 L 21/28 3O1R	
HO 1 L 21/28 (2006.01)	HO 1 L 29/50 J	
HO 1 L 29/417 (2006.01)		

審査請求 未請求 請求項の数 18 O L (全 44 頁)

(21) 出願番号 特願2004-349673 (P2004-349673)
 (22) 出願日 平成16年12月2日 (2004.12.2)

(71) 出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100131071
 弁理士 ▲角▼谷 浩
 (72) 発明者 浅野 哲郎
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 (72) 発明者 石原 秀俊
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 Fターム(参考) 4M104 AA04 AA05 AA07 BB06 BB11
 BB15 CC01 CC05 DD26 DD34
 DD68 DD78 FF06 FF11 FF13
 FF17 FF29 GG12

最終頁に続く

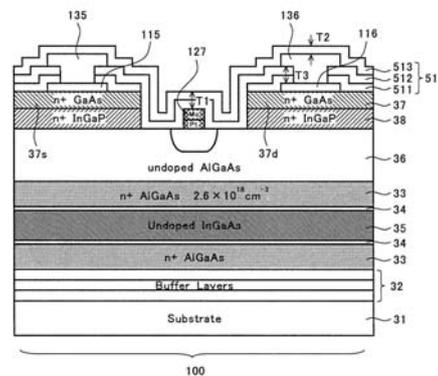
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 オーミック電極である第1ソース電極と第1ドレイン電極は、ゲートのリセスエッチングのためのマスクとしての窒化膜を開口して形成されるため、窒化膜との間に隙間Gが形成される。このためガルバニック効果によりオーミック電極端部のキャップ層がエッチングされ、オン抵抗が増大する問題がある。

【解決手段】 初期窒化膜を全面除去した後、オーミック電極を形成し、キャップ層とオーミック電極の段差を密着して覆う第1窒化膜を形成する。ゲートのリセスエッチングは、第1窒化膜をマスクとして行うと、オーミック電極の端部に隙間Gが形成されない。従って、ガルバニック効果を抑制し、オン抵抗の増大を抑制できる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板上に積層された、バッファ層、電子供給層、チャンネル層、安定層およびキャップ層となる複数の半導体層と、

前記半導体層に設けられ、ソース領域およびドレイン領域を有する動作領域と、

前記ソース領域およびドレイン領域とそれぞれコンタクトする第 1 ソース電極および第 1 ドレイン電極と、

前記ソース領域および前記第 1 ソース電極上と、前記ドレイン領域および前記第 1 ドレイン電極上をそれぞれ連続して覆う第 1 絶縁膜と、

少なくとも前記第 1 絶縁膜上に設けられた第 2 絶縁膜と、

前記第 1 ソース電極および前記第 1 ドレイン電極とコンタクトする第 2 ソース電極および第 2 ドレイン電極と、

前記ソース領域および前記ドレイン領域間の前記動作領域の一部とショットキー接合を形成するゲート電極と、

を具備することを特徴とする半導体装置。

【請求項 2】

前記第 1 絶縁膜は、前記ソース領域と前記第 1 ソース電極の段差および、前記ドレイン領域と前記第 1 ドレイン電極の段差に密着して被覆することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 絶縁膜は、前記ソース領域と前記ドレイン領域間の動作領域の一部、及びゲート電極に密着して被覆することを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

第 2 ソース電極および第 2 ドレイン電極は、前記第 1 絶縁膜および前記第 2 絶縁膜に設けられたコンタクトホールを介して前記第 1 ソース電極および前記第 1 ドレイン電極とコンタクトすることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記安定層の下層に障壁層を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

前記ゲート電極は、前記障壁層に設けることを特徴とする請求項 5 に記載の半導体装置

【請求項 7】

前記ゲート電極は前記安定層上に設けることを特徴とする請求項 1 に記載の半導体装置

【請求項 8】

前記ゲート電極は Pt を含み、一部が前記動作領域に埋め込まれることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】

埋め込まれた前記ゲート電極の底部は、前記障壁層に達することを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

埋め込まれた前記ゲート電極の底部は、前記安定層内に位置することを特徴とする請求項 8 に記載の半導体装置。

【請求項 11】

半導体基板上に積層された、バッファ層、電子供給層、チャンネル層、安定層およびキャップ層となる複数の半導体層と、

前記半導体層に設けられソース領域およびドレイン領域を有する動作領域と、

前記ソース領域およびドレイン領域上に設けられた第 1 ソース電極および第 1 ドレイン電極と、

前記第 1 ソース電極および前記第 1 ドレイン電極上に設けられた第 2 ソース電極および

10

20

30

40

50

第 2 ドレイン電極と、

前記ソース領域および前記ドレイン領域間の前記動作領域の一部とショットキー接合を形成するゲート電極と、

前記ゲート電極周囲、前記第 1 ソース電極及び第 2 ソース電極周囲、前記第 1 ドレイン電極及び第 2 ドレイン電極周囲と密着して被覆する絶縁膜を具備し、

前記第 2 ソース電極および前記第 2 ドレイン電極は、前記絶縁膜内に設けられたコンタクトホールを介して前記第 1 ソース電極および第 1 ドレイン電極とそれぞれコンタクトし、

前記ゲート電極上に設けられた前記絶縁膜の膜厚から前記第 2 ソース電極および前記第 2 ドレイン電極上に設けられた前記絶縁膜の膜厚を減じた値を、前記コンタクトホールの深さとなる前記絶縁膜の膜厚から減じた値が正となることを特徴とする半導体装置。 10

【請求項 1 2】

半導体基板上にバッファ層、電子供給層、チャンネル層、安定層およびキャップ層を積層し、全面に初期絶縁膜を形成する工程と、

所定の領域にイオン注入による絶縁化層を形成し、動作領域を分離する工程と、

全面の初期絶縁膜を除去する工程と、

前記動作領域の前記キャップ層の一部にコンタクトする第 1 ソース電極および第 1 ドレイン電極を形成する工程と、

全面に第 1 絶縁膜を形成する工程と、

前記第 1 ソース電極および第 1 ドレイン電極間の前記第 1 絶縁膜の一部を除去し、該第 1 絶縁膜をマスクとして前記キャップ層の一部を除去し前記安定層を露出する工程と、 20

前記第 1 ソース電極及び第 1 ドレイン電極間の前記動作領域の一部とショットキー接合するゲート電極を形成する工程と、

前記ゲート電極を覆う第 2 絶縁膜を形成する工程と、

前記第 1 絶縁膜および第 2 絶縁膜に設けたコンタクトホールを介して前記第 1 ソース電極および第 1 ドレイン電極とコンタクトする第 2 ソース電極および第 2 ドレイン電極を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 1 3】

前記第 2 絶縁膜および、前記第 2 ソース電極と第 2 ドレイン電極上を覆う第 3 絶縁膜を形成する工程を有することを特徴とする請求項 1 2 に記載の半導体装置の製造方法。 30

【請求項 1 4】

前記第 1 絶縁膜は、前記ソース領域と前記第 1 ソース電極、および前記ドレイン電極と前記第 1 ドレイン電極の段差に密着して被覆することを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 5】

前記安定層の下層に障壁層を有し、前記ゲート電極は露出した前記安定層を除去して前記障壁層上に形成することを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 6】

前記ゲート電極は、前記安定層上に形成することを特徴とする請求項 1 2 に記載の半導体装置の製造方法。 40

【請求項 1 7】

前記ゲート電極の最下層金属は Pt であり、熱処理により前記 Pt の一部を前記動作領域表面に埋め込むことを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 8】

前記初期絶縁膜は、ウェハ投入後の前記基板表面の保護膜および/または前記絶縁化層を形成する不純物の活性化アニールの保護膜であることを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関わり、特にHEMTのガルバニック効果を防止しオン抵抗の増大を抑制する半導体装置およびその製造方法に関する。

【背景技術】

【0002】

HEMT (High Electron Mobility Transistor: 高電子移動度トランジスタ) に代表されるヘテロ接合を有するデバイスは、GaAs MESFET (Metal Semiconductor FET)、GaAs JFET (Junction FET) と比較して効率性、利得性、歪特性が優れているため、MMICの主流デバイスに成りつつある。

10

【0003】

図17を参照し、従来のHEMTの構造について説明する。

【0004】

図の如くHEMT基板は、半絶縁性GaAs基板231上にノンドープのバッファ層232を積層し、バッファ層232上に、電子供給層となるn+AlGaAs層233、チャンネル(電子走行)層となるノンドープInGaAs層235、電子供給層となるn+AlGaAs層233等の半導体層を順次積層したものである。電子供給層233とチャンネル層235間には、スペーサ層234が配置される。

【0005】

バッファ層232は、不純物が添加されていない高抵抗層であり、その膜厚は、数千程度である。上層の電子供給層233上には、障壁層236となるノンドープのAlGaAs層を積層し、所定の耐圧とピンチオフ電圧を確保している。更にキャップ層となるn+GaAs層237を最上層に積層している。

20

【0006】

キャップ層237を一部除去して所望の形状にパターンニングし、ソース領域237sおよびドレイン領域237dを設ける。ソース領域237sおよびドレイン領域237dにはそれぞれ第1ソース電極315、第1ドレイン電極316が接続し、その上層には第2ソース電極335、第2ドレイン電極336が形成される。

【0007】

また、ゲート電極327はソース領域237sおよびドレイン領域237d間に配置され、障壁層236の一部とショットキー接合を形成する。

30

【0008】

HEMTの動作領域300は、バッファ層に達する絶縁化層(ここでは不図示)を設けて分離することにより形成される。ここで、動作領域300とは、絶縁化層で分離され、HEMTのソース電極315、335、ドレイン電極316、336およびゲート電極327が配置される領域の半導体層をいう。

【0009】

図18から図21の断面図を参照し、HEMTの製造方法の一例を説明する。

【0010】

半絶縁性GaAs基板231上にノンドープのバッファ層232、電子供給層のn+AlGaAs層233、スペーサ層234、チャンネル層のノンドープInGaAs層235、スペーサ層234、電子供給層のn+AlGaAs層233、障壁層となるノンドープのAlGaAs層236、キャップ層となるn+GaAs層237の複数の半導体層を積層する。

40

【0011】

絶縁化層を形成するため、全面にスルーイオン注入用の第1窒化膜2511を形成する。レジストのマスクにより所望のパターンにボロン(B+)をイオン注入し、レジスト除去、アニールを行うことにより絶縁化層250を形成する。バッファ層232に達する絶縁化層250を設けることにより、HEMTを構成する動作領域としての不純物領域が分離される(図18)。

50

【0012】

次に、オーミック金属層による電極を形成するため、レジストPRのマスクを設け、スルーイオン用の第1窒化膜2511の所望の領域をエッチングにより除去する(図19(A))。全面にオーミック金属層(AuGe/Ni/Au)310を蒸着し(図19(B))、リフトオフ後、アロイする。これにより、キャップ層237に接触する第1ソース電極315および第1ドレイン電極316が形成される(図19(C))。

【0013】

次に、ゲート電極形成のために新たなレジストPRを設ける。レジストPRのゲート電極の形成領域を開口し、露出した窒化膜2511を除去して開口部OPを形成する(図20(A))。その後、リセスエッチングを行う。すなわち耐圧を確保するためキャップ層237を窒化膜251の開口部OPより大きく、所定の寸法になるまでサイドエッチングを続ける。エッチングによりキャップ層237は分離され、第1ソース電極315および第1ドレイン電極316にそれぞれ接触するソース領域237s、ドレイン領域237dとなる。ゲート電極の形成領域には障壁層236が露出する(図20(B))。

10

【0014】

さらに、キャップ層237のサイドエッチングによりひさし状に張り出した第1窒化膜2511のひさし部Eを除去する(図20(C))。

【0015】

次に、全面にゲート金属層320を蒸着する(図21(A))。その後、リフトオフし、障壁層236とショットキー接合を形成するゲート電極327を形成する(図21(B))。そして、全面に保護膜となる第2窒化膜2512を再び形成する(図21(C))。

20

【0016】

その後、窒化膜2512に接触ホールを形成する。新たなレジストにより所望の形状にパッド金属層(Ti/Pt/Au)330を蒸着、リフトオフし、第2ソース電極335、第2ドレイン電極336を形成する。全面にジャケット膜となる第3窒化膜2513を形成して、図17に示す最終構造を得る(例えば特許文献1参照。)

【特許文献1】特開平6-84956号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0017】

図22には、各電極部分の拡大断面図を示す。

【0018】

図の如く、ゲート電極327、第1ソース電極315および第2ソース電極335、第1ドレイン電極316および第2ドレイン電極336の周囲は窒化膜251で被覆される。

【0019】

窒化膜251はより詳細には第1窒化膜2511、第2窒化膜2512、第3窒化膜2513からなる。第1窒化膜2511は、ソース領域237sおよびドレイン領域237d上で、第1ソース電極315および第2ドレイン電極316の周囲に設けられる。第2窒化膜2512は、パッシベーション膜でありゲート電極327上を覆い、第1絶縁膜2511の上に延在される。第2絶縁膜2512に設けた接触ホールCHを介して、第2ソース電極335が第1ソース電極315と接触し、第2ドレイン電極336が第1ドレイン電極316と接触する。第3窒化膜2513はジャケット膜であり、第2ソース電極335、第2ドレイン電極336を覆って全面に設けられる。

40

【0020】

ところで、従来構造においては、オーミック金属層310で形成されたオーミック電極である第1ソース電極315および第1ドレイン電極316の端部に位置するキャップ層237(ソース領域237s、ドレイン領域237d)が、図22の如くエッチングされて、溝GVが形成されてしまう問題がある。

50

【0021】

これはガルバニック効果によるものである。ガルバニック効果は、オーミック電極等の金属電極が半導体に接している場所で発生する。すなわち、製造プロセス中にオーミック電極の端部でオーミック電極と半導体の間に電流が発生することにより、半導体が電気化学的腐食を起こす。半導体の不純物濃度が高いなど、導電性が増せば増すほど大きな電流が流れるためガルバニック効果が激しくなり、その部分の半導体が大きくエッチングされてしまう。

【0022】

具体的には半導体層の不純物濃度が $2 \times 10^{18} \text{ cm}^{-3}$ 以上、半導体層の厚みが 500 以上になるとガルバニック効果が著しくなる。

10

【0023】

従来の製造方法においては、図19に示す工程により、オーミック電極と、隣り合う第1窒化膜2511間には $0.1 \mu\text{m} \sim 1.0 \mu\text{m}$ 程度の隙間Gが形成される。そして、以降その上層に第2窒化膜2512が形成される(図21(C))までの製造工程において、オーミック電極の端部において、キャップ層237は露出したままである。

【0024】

従って、ガルバニック効果により、キャップ層237が確実にエッチングされてしまう。具体的には、オーミック電極端部付近においてキャップ層(n+GaAs層)237がエッチングされる深さ(溝GV深さ)は数100以上と非常に深い。また、キャップ層37の厚みが1000の場合、溝GV深さが500以上となるケースも稀ではない。

20

【0025】

一方、イオン注入型GaAs MMICのオーミック電極を、上記の図19から図21の工程を採用して形成した場合は、ガルバニック効果の発生は少ない。また発生したとしてもエッチング深さが数10以下と極わずかに過ぎない。

【0026】

これは、イオン注入型GaAs MMICにおいてオーミック電極の付近はイオン注入されたn+型領域であるが、イオン注入のドーズ量をいくら上げてても活性化の限界があり、不純物濃度は高くても $1 \sim 1.5 \times 10^{18} \text{ cm}^{-3}$ 程度に過ぎないためである。

【0027】

しかし、上記のHEMTの場合には、キャップ層237は、 $3 \times 10^{18} \text{ cm}^{-3}$ 以上の高い不純物濃度を有し、その厚みは600以上である。従って、ガルバニック効果により大きい溝GVが形成されてしまう。

30

【0028】

HEMTは、図22の太実線で示すようにソース-ドレイン間の電流経路が形成される。つまり、溝GVにより電流経路が狭められると、オン抵抗 R_{on} が増大する問題がある。

【0029】

また、隙間Gは、その上層に堆積された第2窒化膜2512により被覆されるものの、隙間Gのステップカバレジが悪く、溝GV上では第2窒化膜2512の成膜密度が低くなる。従って、パッシベーション効果が薄いためウェハ完成後においても外部からの水分などが基板表面に達する可能性が高く、ガルバニック効果が発生する場合がある。

40

【0030】

これによりキャップ層237がよりエッチングされ、さらにソース-ドレイン間の電流経路が狭められ、一層オン抵抗 R_{on} が増加する恐れがある。

【課題を解決するための手段】

【0031】

本発明は上述した諸々の事情に鑑み成されたもので、第1に、半導体基板上に積層された、バッファ層、電子供給層、チャンネル層、安定層およびキャップ層となる複数の半導体層と、前記半導体層に設けられ、ソース領域およびドレイン領域を有する動作領域と、前記ソース領域およびドレイン領域とそれぞれコンタクトする第1ソース電極および第1ド

50

レイン電極と、前記ソース領域および前記第1ソース電極上と、前記ドレイン領域および前記第1ドレイン電極上をそれぞれ連続して覆う第1絶縁膜と、少なくとも前記第1絶縁膜上に設けられた第2絶縁膜と、前記第1ソース電極および前記第1ドレイン電極とコンタクトする第2ソース電極および第2ドレイン電極と、前記ソース領域および前記ドレイン領域間の前記動作領域の一部とショットキー接合を形成するゲート電極と、を具備することにより解決するものである。

【0032】

また、前記第1絶縁膜は、前記ソース領域と前記第1ソース電極の段差および、前記ドレイン領域と前記第1ドレイン電極の段差に密着して被覆することを特徴とするものである。

10

【0033】

また、前記第2絶縁膜は、前記ソース領域と前記ドレイン領域間の動作領域の一部、及びゲート電極に密着して被覆することを特徴とするものである。

【0034】

また、第2ソース電極および第2ドレイン電極は、前記第1絶縁膜および前記第2絶縁膜に設けられたコンタクトホールを介して前記第1ソース電極および前記第1ドレイン電極とコンタクトすることを特徴とするものである。

【0035】

また、前記安定層の下層に障壁層を有することを特徴とするものである。

【0036】

また、前記ゲート電極は、前記障壁層に設けることを特徴とするものである。

20

【0037】

また、前記ゲート電極は前記安定層上に設けることを特徴とするものである。

【0038】

また、前記ゲート電極はPtを含み、一部が前記動作領域に埋め込まれることを特徴とするものである。

【0039】

また、埋め込まれた前記ゲート電極の底部は、前記障壁層に達することを特徴とするものである。

【0040】

また、埋め込まれた前記ゲート電極の底部は、前記安定層内に位置することを特徴とするものである。

30

【0041】

第2に、半導体基板上に積層された、バッファ層、電子供給層、チャンネル層、安定層およびキャップ層となる複数の半導体層と、前記半導体層に設けられソース領域およびドレイン領域を有する動作領域と、前記ソース領域およびドレイン領域上に設けられた第1ソース電極および第1ドレイン電極と、前記第1ソース電極および前記第1ドレイン電極上に設けられた第2ソース電極および第2ドレイン電極と、前記ソース領域および前記ドレイン領域間の前記動作領域の一部とショットキー接合を形成するゲート電極と、前記ゲート電極周囲、前記第1ソース電極及び第2ソース電極周囲、前記第1ドレイン電極及び第2ドレイン電極周囲と密着して被覆する絶縁膜を具備し、前記第2ソース電極および前記第2ドレイン電極は、前記絶縁膜内に設けられたコンタクトホールを介して前記第1ソース電極および第1ドレイン電極とそれぞれコンタクトし、前記ゲート電極上に設けられた前記絶縁膜の膜厚から前記第2ソース電極および前記第2ドレイン電極上に設けられた前記絶縁膜の膜厚を減じた値を、前記コンタクトホールの深さとなる前記絶縁膜の膜厚から減じた値が正となることにより解決するものである。

40

【0042】

第3に、半導体基板上にバッファ層、電子供給層、チャンネル層、安定層およびキャップ層を積層し、全面に初期絶縁膜を形成する工程と、所定の領域にイオン注入による絶縁化層を形成し、動作領域を分離する工程と、全面の初期絶縁膜を除去する工程と、前記動作

50

領域の前記キャップ層の一部にコンタクトする第1ソース電極および第1ドレイン電極を形成する工程と、全面に第1絶縁膜を形成する工程と、前記第1ソース電極および第1ドレイン電極間の前記第1絶縁膜の一部を除去し、該第1絶縁膜をマスクとして前記キャップ層の一部を除去し前記安定層を露出する工程と、前記第1ソース電極及び第1ドレイン電極間の前記動作領域の一部とショットキー接合するゲート電極を形成する工程と、前記ゲート電極を覆う第2絶縁膜を形成する工程と、前記第1絶縁膜および第2絶縁膜に設けたコンタクトホールを介して前記第1ソース電極および第1ドレイン電極とコンタクトする第2ソース電極および第2ドレイン電極を形成する工程と、を具備することにより解決するものである。

【0043】

10

また、前記第2絶縁膜および、前記第2ソース電極と第2ドレイン電極上を覆う第3絶縁膜を形成する工程を有することを特徴とするものである。

【0044】

また、前記第1絶縁膜は、前記ソース領域と前記第1ソース電極、および前記ドレイン電極と前記第1ドレイン電極の段差に密着して被覆することを特徴とするものである。

【0045】

また、前記安定層の下層に障壁層を有し、前記ゲート電極は露出した前記安定層を除去して前記障壁層上に形成することを特徴とするものである。

【0046】

また、前記ゲート電極は、前記安定層上に形成することを特徴とするものである。

20

【0047】

また、前記ゲート電極の最下層金属はPtであり、熱処理により前記Ptの一部を前記動作領域表面に埋め込むことを特徴とするものである。

【0048】

また、前記初期絶縁膜は、ウェハ投入後の前記基板表面の保護膜および/または前記絶縁化層を形成する不純物の活性化アニールの保護膜であることを特徴とするものである。

【発明の効果】

【0049】

本発明の構造に依れば、第1ソース電極および第1ドレイン電極と、キャップ層の段差を被覆する第1絶縁膜を設けることにより、従来、第1ソース電極および第1ドレイン電極の両端に形成されていた隙間Gが形成されることはなく、ガルバニック効果の発生を防止する。

30

【0050】

これにより、第1ソース電極および第1ドレイン電極の端部のキャップ層のエッチングを防止し、電流経路の狭さく化を防ぐことができるので、オン抵抗 R_{on} の増大を抑制できる。

【0051】

また、第1ソース電極および第1ドレイン電極の両端におけるパッシベーション用の第2絶縁膜の成膜密度を十分確保でき、ウェハ完成後においても外部から滲入する水分や薬剤などから基板表面を十分保護することができる。従って、ウェハ完成後におけるガルバニック効果の発生を防止し、オン抵抗 R_{on} の増大を抑制できる。

40

【0052】

また、本発明の製造方法によれば、初期窒化膜を全面除去した後、オーミック金属層を堆積し、第1ソース電極および第1ドレイン電極を形成する。そしてその後、第1窒化膜で第1ソース電極および第1ドレイン電極上を覆うため、第1ソース電極と第1ドレイン電極、およびキャップ層の段差を第1窒化膜により完全に被覆し、ガルバニック効果を防止することができる。

【発明を実施するための最良の形態】

【0053】

50

以下に図1から図16を用いて、本発明の実施の形態を詳細に説明する。

【0054】

図1は、本実施形態のHEMTにより構成されたMMICを説明する図であり、一例としてSPDT(Single Pole Double Throw)スイッチ回路装置を示す。図1(A)は回路図であり、図1(B)は図1(A)の回路を1チップに集積化したスイッチ回路装置の平面図である。

【0055】

図1(A)ごとく、本実施形態のHEMTはスイッチ回路装置等を構成する。図は、基本的なSPDTスイッチ回路装置であり、第1のFETであるFET1と第2のFETであるFET2のソース電極(あるいはドレイン電極)が共通入力端子INに接続され、FET1およびFET2のゲート電極がそれぞれ抵抗R1、R2を介して第1と第2の制御端子Ct11、Ct12に接続され、そしてFET1およびFET2のドレイン電極(あるいはソース電極)が第1と第2の出力端子OUT1、OUT2に接続されたものである。

10

【0056】

第1と第2の制御端子Ct11、Ct12に印加される制御信号は相補信号であり、Hレベルの信号が印加された側のFETがONして、共通入力端子INに印加された入力信号をどちらか一方の出力端子に伝達するようになっている。抵抗R1、R2は、交流接地となる制御端子Ct11、Ct12の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

20

【0057】

そして、出力端子OUT1に信号を通すときには制御端子Ct11に例えば3V、制御端子Ct12に0Vを印加し、逆に出力端子OUT2に信号を通すときには制御端子Ct12に3V、Ct11に0Vのバイアス信号を印加している。

【0058】

図1(B)のごとく、基板に、スイッチを行うFET1およびFET2を中央部に配置する。なお、本実施形態では基本デバイスがHEMTの場合を例に説明する。基板の周辺でFET1およびFET2の周囲には複数の電極パッドPが配置される。電極パッドPは具体的には共通入力端子IN、第1および第2出力端子OUT1、OUT2、第1および第2制御端子Ct11、Ct12に対応するパッドIC、O1、O2、C1、C2である。各FETのゲート電極に抵抗R1、R2が接続される。なお、点線で示した第2層目金属層は各FETのゲート電極127形成時に同時に形成されるゲート金属層(Pt/Mo)120である。実線で示した第3層目金属層は各素子の接続およびパッドの形成を行うパッド金属層(Ti/Pt/Au)130である。第1層目金属層は基板にオーミックに接合するオーミック金属層(AuGe/Ni/Au)であり、各FETのソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するが、図では、パッド金属層と重なるために図示されていない。

30

【0059】

FET1のゲート電極127と、制御端子パッドC1は抵抗R1で接続され、FET2のゲート電極127と制御端子パッドC2は抵抗R2で接続されている。

40

【0060】

チップ中心に向かって伸びる櫛歯状のパッド金属層130が出力端子パッドO1に接続されるドレイン電極136(あるいはソース電極)であり、この下にオーミック金属層で形成されるドレイン電極(あるいはソース電極)がある。またチップ中心から外側に伸びる櫛歯状のパッド金属層130が共通入力端子パッドICに接続されるソース電極135(あるいはドレイン電極)であり、この下にオーミック金属層で形成されるソース電極(あるいはドレイン電極)がある。

【0061】

すなわち、HEMTの動作領域100は一点鎖線で示す領域に設けられ、動作領域100には、ソース電極135、115およびドレイン電極136、116が櫛歯をかみ合わ

50

せた形状に配置される。またソース電極 135、115 およびドレイン電極 136、116 間に、ゲート金属層 120 で形成されるゲート電極 127 が櫛歯形状に配置され、動作領域 100 の一部とショットキー接合を形成する。

【0062】

上記の如きスイッチ回路装置などに採用される HEMT の構造について、図 2 から図 4 を参照してディプレッション型 HEMT を例に説明する。

【0063】

まず、図 2 は、第 1 の実施形態を示す断面図であり、例えば図 1 の A - A 線断面図である。本実施形態の半導体装置は、半導体基板上に積層された複数の半導体層と、動作領域と、第 1 ソース電極および第 1 ドレイン電極と、第 1 絶縁膜と、第 2 絶縁膜と、第 2 ソース電極および第 2 ドレイン電極と、ゲート電極と第 3 絶縁膜から構成される。

10

【0064】

HEMT の基板は、半絶縁性 GaAs 基板 31 上に複数の半導体層を積層してなる。複数の半導体層は、ノンドープのバッファ層 32、電子供給層 33、チャンネル（電子走行）層 35、障壁層 36、安定層 38、キャップ層 37 である。チャンネル層 35 の上下には電子供給層 33 が配置され、さらにチャンネル層 35 と電子供給層 33 間にはスペーサ層 34 が配置される。

【0065】

このようにチャンネル層 35 の上下の層に電子供給層 33 を配置するダブルヘテロ接合構造とすることにより、キャリア密度が増えオン抵抗 R_{on} を非常に小さくできる。

20

【0066】

バッファ層 32 は、不純物が添加されていない高抵抗層であり、その膜厚は、数千程度である。障壁層 36 となるノンドープの AlGaAs 層は、電子供給層 33 と当接してその上に設けられる。すなわち安定層 38 と電子供給層 33 間に配置され、所定の耐圧とピンチオフ電圧を確保している。安定層 38 は、障壁層 36 と当接してその上に設けられ酸化しにくいいため外部からの化学的ストレスに強く信頼性上安定な InGaP 層であり、膜厚は 100 程度である。尚、図では $n + \text{InGaP}$ 層の安定層 38 を示しているが、第 1 の実施形態では安定層 38 はノンドープ InGaP 層であってもよい。又、安定層 38 はエッチストップ層としても機能する。

【0067】

更にキャップ層となる $n + \text{GaAs}$ 層 37 を最上層に積層する。キャップ層 37 の厚みは 600 以上、不純物濃度は、 $2 \times 10^{18} \text{ cm}^{-3}$ 以上であり、好適には膜厚が 1000 程度、不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ 以上である。

30

【0068】

電子供給層 33 は、チャンネル層 35 よりバンドギャップが大きい材料が用いられる。また、電子供給層 33 の $n + \text{AlGaAs}$ 層の n 型不純物（例えば Si）の不純物濃度は、 V_p 、オン抵抗 R_{on} 、耐圧に関係するが本実施形態では $2 \sim 4 \times 10^{18} \text{ cm}^{-3}$ 程度（好適には $2.6 \times 10^{18} \text{ cm}^{-3}$ ）とする。

【0069】

そして、このような構造により、電子供給層 33 である $n + \text{AlGaAs}$ 層のドナー不純物から発生した電子が、チャンネル層 35 側へ移動し、電流パスとなるチャンネルが形成される。この結果、電子とドナー・イオンは、ヘテロ接合界面を境として空間的に分離されることになる。電子はチャンネル層 35 を走行するが、チャンネル層 35 にはドナー・イオンが存在しないためクーロン散乱の影響が非常に少なく、高電子移動度を持つことができる。

40

【0070】

また、結晶に歪みが発生することによるスリットなどの結晶欠陥を防止するため、InGaP 層（安定層）38 を GaAs、つまりここでは $n + \text{GaAs}$ 層（キャップ層）37 およびノンドープ AlGaAs 層（障壁層）36 と格子整合させる。また、ノンドープ AlGaAs 層（障壁層）36 と電子供給層 33 は共に AlGaAs 層であるため格子整合

50

している。

【0071】

キャップ層37は所望の形状にパターンニングされ、第1ソース電極115および第1ドレイン電極116がそれぞれコンタクトするソース領域37s、ドレイン領域37dとなる。第1ソース電極115および第1ドレイン電極116上には、パッド金属層130で形成される第2ソース電極135、第2ドレイン電極136がそれぞれコンタクトする。ゲート電極127は、ソース領域37s、ドレイン領域37d間に配置される。

【0072】

また、本実施形態の安定層38は、その上層のキャップ層37と同じパターンでエッチングされている。

【0073】

HEMTの動作領域100は、バッファ層32に達する絶縁化層(ここでは不図示)を設けて分離することにより例えば図1の一点鎖線の領域に設けられる。以下、動作領域100とは、絶縁化層で分離され、HEMTのソース電極115、135、ドレイン電極116、136およびゲート電極127が配置される領域の半導体層をいう。すなわち電子供給層33、チャンネル(電子走行)層35、スペーサ層34、障壁層36、安定層38、キャップ層37などのHEMTを構成する各半導体層をすべて含んだトータルとしての領域を動作領域100とする。

【0074】

ゲート電極127は、キャップ層37および安定層38のパターンニングにより露出した動作領域100表面の障壁層36とショットキー接合を形成する。

【0075】

ゲート電極127は、例えばPt/Moであり、これらの蒸着膜厚はPt(白金)が45、Mo(モリブデン)が50である。そして、最下層金属のPtの一部を熱処理により障壁層36に埋め込んだ構造である。埋め込まれたPtはゲート電極127として機能する。埋め込まれたPtの深さは108であり、その底部は障壁層36内に位置する。これにより、ピンチオフ電圧 $V_p = -0.8V$ を実現している。

【0076】

またゲート電極を形成するゲート金属層としてPtの上にはMoなどPt埋め込み熱処理においてGaAsと反応しない金属を、Ptに引き続き連続して蒸着することが望ましい。ゲート電極をPtのみで形成すると、Pt蒸着後、Pt埋め込み熱処理までの間にPt表面に異物が付着した場合、その異物までPt埋め込み熱処理反応に関与することになり、HEMTの特性が劣化する。従って熱によりGaAsと反応しないMoでPtの上を覆うことによりMo上に同様の異物が付着したとしても、Moがバリアとなりその異物がPt埋め込み熱処理反応に関与することは無い。

【0077】

またウエハ完成後においても実装時に半田付けの熱が加わることなどが有る。この場合、ゲート電極をPtのみで形成するとPtの上に異物が付着している場合、その異物が半田付けの熱などによってGaAsと反応しHEMTの特性が劣化する場合がある。その際にもMoでPtの上を覆うことによりMo上に異物があってもMoがバリアとなりその異物が半田付けの熱などによってGaAsと反応することは無い。Moの厚みはあまり厚くするとPtとの間でストレスが発生するため、最大でもPtの厚みと同程度とすることが望ましい。Pt厚みは45であるためMoも同程度の50とする。

【0078】

スイッチMMICの場合、ゲート電極から制御端子までの間に10K程度以上の抵抗が挿入されるため、ゲート電極自体の抵抗値は高くても問題なく、Pt/Moというゲート金属構造が最適である。

【0079】

また熱によりGaAsと反応しない金属としてMoの代わりにW(タングステン)も考えられるが、Wは融点が高いため一般にはスパッタで形成しており蒸着では形成できない

10

20

30

40

50

。従ってPtの蒸着と連続してWは形成できず、またスパッタの場合高熱が発生するためレジストが耐えられずリフトオフによる形成も不可能である。

【0080】

本実施形態では、ゲート電極の最下層金属の一部を基板表面に埋め込んだ、埋め込みゲート構造とすることにより、HEMTの特性を向上させることができる。これは図の如く埋め込まれたPtは底部の端が丸いためである。これにより、底部の端が尖っている埋め込みゲート構造ではないゲート電極（例えばTi/Pt/Au）に比べ、ゲート電極に逆バイアスが印加される際、電界強度が分散される。つまり埋め込みゲート構造は、最大電界強度が弱まり耐圧が大幅に上がるためである。

【0081】

逆に所定の耐圧に設計する場合、埋め込みゲート構造ではゲート電極付近の電界強度が弱まる分、電子供給層33の不純物濃度を大幅に上げることができ、オン抵抗 R_{on} を大幅に小さくすることができる。つまり、本実施形態の電子供給層33は、スイッチ回路を構成するHEMTが最大限の特性が得られるよう、設計されている。

【0082】

また、本実施形態ではチャンネル層35の上下に電子供給層33を配置したダブルヘテロ接合構造を採用しており、更に電子供給層33の上に障壁層36および安定層38が設けられる。

【0083】

そして、所定の耐圧を確保するためゲート電極127は、ノンドープ層である障壁層36表面に蒸着され、障壁層36内にその一部が埋め込まれる。つまり、ゲート電極127から電子供給層33に至るまでの間に不純物が添加された層が無く、実質的に電子供給層33に連続するノンドープ層36に、ゲート電極127が設けられたこととなる。

【0084】

このように、ダブルヘテロ接合構造で、電子供給層33に連続するノンドープ層にゲート電極が設けられた構造により、HEMTは所定の耐圧を確保しながら非常に低いオン抵抗を実現することができる。すなわち20Vのゲート耐圧を有しながら、Pt埋め込みゲート構造、ダブルヘテロ接合構造、電子供給層からゲート電極までをすべてノンドープ層とする構造を採用することにより、電子供給層の濃度を $2.6 \times 10^{18} \text{ cm}^{-3}$ まで上げることができる。この結果 $V_p = -0.8 \text{ V}$ におけるゲート幅1mmあたりのオン抵抗として、ゲート電圧 $V_g = 0 \text{ V}$ の場合にオン抵抗 $R_{on} = 1.4 \text{ } \Omega/\text{mm}$ を実現した。このオン抵抗の値はスイッチ用HEMTとしては極めて低いといえる。

【0085】

尚、図ではゲート金属層としてPt/Moを例に示したが、これに限らずTi/Pt/Auであってもよく、ゲート電極127の一部が障壁層36に埋め込まれていなくてもよい。

【0086】

図の如く、ゲート電極127、第1ソース電極115および第2ソース電極135、第1ドレイン電極116および第2ドレイン電極136は、その周囲に密着する窒化膜51で被覆される。窒化膜51はより詳細には第1窒化膜511、第2窒化膜512、第3窒化膜513からなるが、窒化膜51の構成内容の種類は部分的に異なり、これら3層がすべて存在する個所もあるが、これらのいずれか2層の組み合わせの個所、あるいはこれらのうち1つの窒化膜から構成される個所もある。具体的には、例えばゲート電極127上の窒化膜51は第2窒化膜512 + 第3窒化膜513から構成され、第2ソース電極135および第2ドレイン電極136上の窒化膜51は第3窒化膜513のみから構成され、コンタクトホールCHの深さとなる窒化膜51は第1窒化膜511 + 第2窒化膜512から構成される。また第3の窒化膜513は存在する場合と存在しない場合がある。

【0087】

第1窒化膜511は、ソース領域37sおよび第1ソース電極115上を連続して覆う。また、ドレイン領域37dおよび第1ドレイン電極116上を連続して覆う。これによ

10

20

30

40

50

り、ソース領域 37s と第 1 ソース電極 115 の段差および、ドレイン領域 37d と第 1 ドレイン電極 116 の段差は、第 1 窒化膜 511 により完全に被覆され、第 1 ソース電極 115 (第 1 ドレイン電極 116 も同様) の端部は、第 1 窒化膜 511 と密着している。また、第 1 窒化膜 511 の端部は、ソース領域 37s およびドレイン領域 37d となるキャップ層 37 (および安定層 38) の端部と一致している。

【0088】

第 2 窒化膜 512 は、パッシベーション膜となり、ゲート電極 127 の側面および上面とゲート電極 127 周囲に露出した障壁層 36 上を覆う。また安定層 38 とキャップ層 37 の側面を覆い、第 1 窒化膜 511 の上まで延在される。コンタクトホール CH は、第 1 窒化膜 511 および第 2 窒化膜 512 に設けられる。コンタクトホール CH を介して第 2 ソース電極 135 が第 1 ソース電極 115 とコンタクトし、第 2 ドレイン電極 136 が第 1 ドレイン電極 116 とコンタクトする。

10

【0089】

第 3 窒化膜 513 はジャケット膜であり、第 2 窒化膜 512 上を覆い、更に第 2 ソース電極 135、第 2 ドレイン電極 136 を覆って全面に設けられる、また図示は省くがボンディングパッド上のみ開口される。

【0090】

このように本実施形態では、第 1 窒化膜 511 がソース領域 37s となるキャップ層 37 と第 1 ソース電極 115 (ドレイン側も同様) の段差に完全に密着して被覆している。従って、従来 of 如く隙間 G が形成されることがなく、製造工程中におけるガルバニック効果

20

【0091】

また、第 1 窒化膜 511 および第 2 窒化膜 512 はそれぞれ 500、1500 程度で、ほぼ均一な厚みで、第 1 ソース電極 115 (ドレイン側も同様) およびキャップ層 37 をまんべんなく覆っている。すなわち窒化膜は CVD により堆積を行う。CVD においては装置のチャンパー内において雪が降り積もる如く窒化膜が堆積されていく。従って従来のように溝 GV が形成されると、溝の底に近い部分は溝の影になってしまい、どうしても窒化膜の厚みが薄くなったり、密度が薄くなってしまう。しかし、本実施形態では溝 GV が形成されることはないので、側面でも上面 (平面) の 70% 程度以上の膜厚が確保できる。従って、ウェハ完成後においても水分や薬剤などの滲入を完全に保護することができ、ガルバニック効果の発生を防止できる。

30

【0092】

ここで、この構造を実現するためには、ゲート電極 127 上に設けられた窒化膜 51 (第 2 窒化膜 512 + 第 3 窒化膜 513) の膜厚 T1、第 2 ソース電極 135 および第 2 ドレイン電極 136 上に設けられた窒化膜 51 (第 3 窒化膜 513) の膜厚 T2、コンタクトホール CH の深さとなる窒化膜 51 (第 1 窒化膜 511 + 第 2 窒化膜 512) の膜厚 T3 は以下の関係を満たしている必要がある。

【0093】

$$T3 - (T1 - T2) > 0$$

すなわち、 $T3 - (T1 - T2)$ の値はコンタクトホール CH の周囲の第 1 窒化膜 51 の膜厚である。後に詳述するが、ガルバニック効果を防止するために第 1 窒化膜 511 でキャップ層 37 と第 1 ソース電極 115 (ドレイン電極 116) を被覆した結果、コンタクトホール CH の周囲の窒化膜 51 には、第 1 窒化膜 511 が残ることになる。尚、第 3 窒化膜 513 は存在する場合と存在しない場合があり、第 3 窒化膜 513 が存在しない場合についても、 $T3 = 0$ を代入することにより前記不等式は成り立つ。

40

【0094】

次に、図 3 を参照して、本発明の第 2 の実施形態について説明する。第 2 の実施形態は、第 1 の実施形態とゲート電極 127 部分および基板構造が異なるものであり、第 1 の実施形態と重複する部分については詳細な説明を省略する。また、図 3 は図 1 の A-A 線断面図である。

50

【0095】

HEMTの基板は、半絶縁性GaAs基板31上に、ノンドープのバッファ層32、電子供給層33、チャンネル(電子走行)層35、障壁層36、安定層38、キャップ層37を積層したものである。チャンネル層35の上下には電子供給層33が配置され、さらにチャンネル層35と電子供給層33間にはスペーサ層34が配置される。

【0096】

第2の実施形態も、チャンネル層35の上下の層に電子供給層33を配置するダブルヘテロ接合構造とすることにより、キャリア密度が増えオン抵抗 R_{on} を非常に小さくできる。

【0097】

さらに、InGaP層(安定層)38をGaAs、つまりここでは $n+GaAs$ 層(キャップ層)37およびノンドープAlGaAs層(障壁層)36と格子整合させる。また、ノンドープAlGaAs層(障壁層)36と電子供給層33は共にAlGaAs層であるため格子整合している。

【0098】

尚、図3(A)と図3(B)は基板を構成する半導体層は同じであるが、障壁層36および安定層38の厚みが異なる。

【0099】

図3(A)では、障壁層36が170Åであり、安定層38が80Åの膜厚である。キャップ層37は、第1の実施形態と同様に、膜厚が1000Å、不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ 以上である。また、安定層38は、ノンドープInGaP層である。

【0100】

キャップ層37は所望の形状にパターンニングされ、第1ソース電極115および第1ドレイン電極116がそれぞれコンタクトするソース領域37s、ドレイン領域37dとなる。第1ソース電極115および第1ドレイン電極116上には、パッド金属層130で形成される第2ソース電極135、第2ドレイン電極136がそれぞれコンタクトする。ゲート電極127は、ソース領域37s、ドレイン領域37d間に配置される。尚、ドレイン側とソース側の構造は同様であるので、以下ソース側について説明する。

【0101】

ゲート電極127は、キャップ層37のパターンニングにより露出した動作領域100表面の安定層38および障壁層36とショットキー接合を形成する。

【0102】

ゲート電極127は、例えばPt/Moであり、これらの蒸着膜厚はPtが45Å、Moが50Åである。そして、最下層金属のPtの一部を熱処理により動作領域100表面に埋め込んだ構造である。埋め込まれたPtはゲート電極127として機能する。埋め込まれたPtの深さは108Åであり、その底部は安定層38を貫通し、障壁層36に達する。これにより、ピンチオフ電圧 $V_p = -0.8 \text{ V}$ を実現している。

【0103】

またゲート電極を形成するゲート金属層としてPtの上にはMoなどPt埋め込み熱処理においてGaAsと反応しない金属を、Ptに引き続き連続して蒸着することが望ましい。

【0104】

図の如く、ゲート電極127、第1ソース電極115および第2ソース電極135は、その周囲に密着する窒化膜51で被覆される。窒化膜51はより詳細には第1窒化膜511、第2窒化膜512、第3窒化膜513からなるが、窒化膜51の構成内容の種類は部分的に異なり、これら3層がすべて存在する個所もあるが、これらのいずれか2層の組み合わせの個所、あるいはこれらのうち1つの窒化膜から構成される個所もある。また第3の窒化膜513は存在する場合と存在しない場合がある。

【0105】

第1窒化膜511は、ソース領域37sおよび第1ソース電極115上を連続して覆う

10

20

30

40

50

。これにより、ソース領域 37s と第 1 ソース電極 115 の段差は、第 1 窒化膜 511 により完全に被覆され、第 1 ソース電極 115 の端部は、第 1 窒化膜 511 と密着している。また、第 1 窒化膜 511 の端部は、ソース領域 37s となるキャップ層 37 の端部と一致している。

【0106】

第 2 窒化膜 512 は、ゲート電極 127 の側面および上面とゲート電極 127 の周囲に露出した安定層 38 上および、キャップ層 37 の側面を覆い、第 1 窒化膜 511 の上まで延在される。コンタクトホール CH は、第 1 窒化膜 511 および第 2 窒化膜 512 に設けられ、コンタクトホール CH を介して第 2 ソース電極 135 が第 1 ソース電極 115 とコンタクトする。

10

【0107】

第 3 窒化膜 513 はパッシベーション膜であり、第 2 窒化膜 512 上を覆い、更に第 2 ソース電極 135 を覆って全面に設けられる。また図示は省くがボンディングパッド上のみ開口される。

【0108】

第 2 の実施形態においても、第 1 窒化膜 511 がソース領域 37s となるキャップ層 37 と第 1 ソース電極 115 の段差に完全に密着して被覆している。そして、窒化膜 51 の膜厚 T_1 、 T_2 、 T_3 は、以下の関係を満たしている。

【0109】

$$T_3 - (T_1 - T_2) > 0$$

20

従って、従来 of 如く隙間 G が形成されることがなく、製造工程中におけるガルバニック効果を防止できる。

【0110】

また、第 1 窒化膜 511 および第 2 窒化膜 512 は、ほぼ均一な厚みで、第 1 ソース電極 115 およびキャップ層 37 をまんべんなく覆っているため、ウェハ完成後においても水分や薬剤などの滲入を完全に保護することができ、ガルバニック効果の発生を防止できる。

【0111】

図 3 (B) では、障壁層 36 が 80 であり、安定層 38 が 170 の膜厚である。キャップ層 37 は、第 1 の実施形態と同様に、膜厚が 1000、不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ 以上である。また、安定層 38 は、ノンドープ InGaP 層である。

30

【0112】

ゲート電極 127 は、キャップ層 37 のパターンニングにより露出した動作領域 100 表面の安定層 38 とショットキー接合を形成する。

【0113】

ゲート電極 127 は、例えば Pt/Mo であり、これらの蒸着膜厚は Pt が 45、Mo が 50 である。そして、最下層金属の Pt の一部を熱処理により安定層 38 に埋め込んだ構造である。埋め込まれた Pt はゲート電極 127 として機能する。埋め込まれた Pt の深さは 108 であり、その底部は安定層 38 内に位置する。これにより、ピンチオフ電圧 $V_p = -0.8 \text{ V}$ を実現している。

40

【0114】

他の構成要素は、図 3 (A) と同様である。そして、この場合においても、第 1 窒化膜 511 がソース領域 37s となるキャップ層 37 と第 1 ソース電極 115 の段差に完全に密着して被覆している。そして、窒化膜 51 の膜厚 T_1 、 T_2 、 T_3 は、以下の関係を満たしている。

【0115】

$$T_3 - (T_1 - T_2) > 0$$

従って、従来 of 如く隙間 G が形成されることがなく、製造工程中および、ウェハ完成後におけるガルバニック効果を防止できる。尚、第 3 窒化膜 513 は存在する場合と存在しない場合があり、第 3 窒化膜 513 が存在しない場合についても、 $T_3 = 0$ を代入するこ

50

とにより前記不等式は成り立つ。

【0116】

次に、図4を参照して、本発明の第3の実施形態について説明する。第3の実施形態は、第1の実施形態とゲート電極127部分および基板構造が異なるものであり、第1の実施形態と重複する部分については詳細な説明を省略する。また、図4は図1のA-A線断面図である。

【0117】

HEMTの基板は、半絶縁性GaAs基板31上に、ノンドープのバッファ層32、電子供給層33、チャンネル(電子走行)層35、安定層38、キャップ層37を積層したものである。チャンネル層35の上下には電子供給層33が配置され、さらにチャンネル層35と電子供給層33間にはスペーサ層34が配置される。第3の実施形態は障壁層36がない構造である。

10

【0118】

安定層38は、250 の膜厚であり、ノンドープInGaP層である。キャップ層37は、第1の実施形態と同様に、膜厚が1000、不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ 以上である。

【0119】

第3の実施形態も、チャンネル層35の上下の層に電子供給層33を配置するダブルヘテロ接合構造とすることにより、キャリア密度が増えオン抵抗 R_{on} を非常に小さくできる。

20

【0120】

さらに、InGaP層(安定層)38をGaAs、つまりここでは $n + \text{GaAs}$ 層(キャップ層)37およびノンドープAlGaAs層(障壁層)36と格子整合させる。また、ノンドープAlGaAs層(障壁層)36と電子供給層33は共にAlGaAs層であるため格子整合している。

【0121】

キャップ層37は所望の形状にパターンニングされ、第1ソース電極115および第1ドレイン電極116がそれぞれコンタクトするソース領域37s、ドレイン領域37dとなる。第1ソース電極115および第1ドレイン電極116上には、パッド金属層130で形成される第2ソース電極135、第2ドレイン電極135がそれぞれコンタクトする。ゲート電極127は、ソース領域37s、ドレイン領域37d間に配置される。尚、ドレイン側とソース側の構造は同様であるので、以下ソース側について説明する。

30

【0122】

ゲート電極127は、キャップ層37のパターンニングにより露出した動作領域100表面の安定層38とショットキー接合を形成する。

【0123】

ゲート電極127は、例えばPt/Moであり、これらの蒸着膜厚はPtが45、Moが50である。そして、Ptの一部を熱処理により安定層36に埋め込んだ構造である。埋め込まれたPtはゲート電極127として機能する。埋め込まれたPtの深さは108であり、その底部は安定層38内に位置する。これにより、ピンチオフ電圧 $V_p = -0.8 \text{ V}$ を実現している。

40

【0124】

またゲート電極を形成するゲート金属層としてPtの上にはMoなどPt埋め込み熱処理においてGaAsと反応しない金属を、Ptに引き続き連続して蒸着することが望ましい。

【0125】

図の如く、ゲート電極127、第1ソース電極115および第2ソース電極135、は、その周囲に密着する窒化膜51で被覆される。窒化膜51はより詳細には第1窒化膜511、第2窒化膜512、第3窒化膜513からなるが、窒化膜51の構成内容の種類は部分的に異なり、これら3層がすべて存在する個所もあるが、これらのいずれか2層の組

50

み合わせの個所、あるいはこれらのうち1つの窒化膜から構成される個所もある。また第3の窒化膜513は存在する場合と存在しない場合がある。第1窒化膜511は、ソース領域37sおよび第1ソース電極115上を連続して覆う。これにより、ソース領域37sと第1ソース電極115の段差は、第1窒化膜511により完全に被覆され、第1ソース電極115の端部は、第1窒化膜511と密着している。また、第1窒化膜511の端部は、ソース領域37sとなるキャップ層37の端部と一致している。

【0126】

第2窒化膜512は、ゲート電極127の側面および上面とゲート電極127周囲に露出した安定層38上および、キャップ層37の側面を覆い、第1窒化膜511の上まで延在される。コンタクトホールCHは、第1窒化膜511および第2窒化膜512に設けられ、コンタクトホールCHを介して第2ソース電極135が第1ソース電極115とコンタクトする。

10

【0127】

第3窒化膜513はパッシベーション膜であり、第2窒化膜512上を覆い、更に第2ソース電極135を覆って全面に設けられる。また図示は省くがボンディングパッド上のみ開口される。

【0128】

第3の実施形態においても、第1窒化膜511がソース領域37sとなるキャップ層37と第1ソース電極115の段差に完全に密着して被覆している。そして、窒化膜51の膜厚T1、T2、T3は、以下の関係を満たしている。

20

【0129】

$$T3 - (T1 - T2) > 0$$

従って、従来の如く隙間Gが形成されることがなく、製造工程中および、ウェハ完成後においても水分や薬剤などの滲入を完全に保護することができ、ガルバニック効果の発生を防止できる。尚、第3窒化膜513は存在する場合と存在しない場合があり、第3窒化膜513が存在しない場合についても、T3 = 0を代入することにより前記不等式は成り立つ。

【0130】

上記の如きスイッチ回路装置などに採用されるHEMTの製造方法について、以下図5～図16を参照して説明する。尚、以下の断面図は、図1のA-A線断面図である。

30

【0131】

図5～図13は、第1の実施形態を示す。第1の実施形態の半導体装置の製造方法は、半導体基板上にバッファ層、電子供給層、チャンネル層、安定層およびキャップ層を積層し、全面に初期絶縁膜を形成する工程と、所定の領域にイオン注入による絶縁化層を形成し、動作領域を分離する工程と、全面の初期絶縁膜を除去する工程と、前記動作領域の前記キャップ層の一部にコンタクトする第1ソース電極および第1ドレイン電極を形成する工程と、全面に第1絶縁膜を形成する工程と、前記第1ソース電極および第1ドレイン電極間の前記第1絶縁膜の一部を除去し、該第1絶縁膜をマスクとして前記キャップ層の一部を除去し前記安定層を露出する工程と、前記第1ソース電極及び第1ドレイン電極間の前記動作領域の一部とショットキー接合するゲート電極を形成する工程と、前記ゲート電極を覆う第2絶縁膜を形成する工程と、前記第1絶縁膜および第2絶縁膜に設けたコンタクトホールを介して前記第1ソース電極および第1ドレイン電極とコンタクトする第2ソース電極および第2ドレイン電極を形成する工程と、から構成される。

40

【0132】

第1工程(図5)：半導体基板上にバッファ層、電子供給層、チャンネル層、安定層およびキャップ層を積層し、全面に初期絶縁膜を形成する工程。

【0133】

図5のごとく、半絶縁性GaAs基板31上に複数の半導体層を積層する。半導体層は、バッファ層32、電子供給層33、チャンネル(電子走行)層35、電子供給層33、障壁層36、安定層38、キャップ層37であり、電子供給層33とチャンネル層35間には

50

、スペーサ層 3 4 が配置される。

【0134】

ノンドープのバッファ層 3 2 は、不純物が添加されていない高抵抗層であり、その膜厚は、数千程度で、複数の層で形成される場合が多い。

【0135】

バッファ層 3 2 上に、電子供給層の $n + \text{AlGaAs}$ 層 3 3、スペーサ層 3 4、チャンネル層のノンドープ InGaAs 層 3 5、スペーサ層 3 4、電子供給層の $n + \text{AlGaAs}$ 層 3 3 を順次形成する。電子供給層 3 3 は、チャンネル層 3 5 よりバンドギャップが大きい材料が用いられ、 n 型不純物（例えば Si ）が $2 \sim 4 \times 10^{18} \text{ cm}^{-3}$ 程度（例えば $2.6 \times 10^{18} \text{ cm}^{-3}$ ）に添加されている。

10

【0136】

障壁層 3 6 は、所定の耐圧とピンチオフ電圧を確保するため、電子供給層 3 3 上に積層されたノンドープ AlGaAs 層である。その上層に酸化しにくい材料のため外部からの化学的ストレスに強く信頼性上安定な安定層 3 8 を設ける。安定層 3 8 は、ノンドープ InGaP 層または $n + \text{InGaP}$ 層であり、エッチストップ層としても機能する。更にキャップ層となる $n + \text{GaAs}$ 層 3 7 を最上層に積層する。

【0137】

安定層 3 8 は、100 の膜厚であり、その下層の障壁層 3 6 は、250 の膜厚である。また、キャップ層 3 7 は、1000 であり、不純物濃度は、 $3 \times 10^{18} \text{ cm}^{-3}$ 以上である。

20

【0138】

そして、基板全面に、初期窒化膜 5 0 を堆積する。初期窒化膜 5 0 は、ウェハ投入後の基板表面の保護膜となる。または、後の工程で絶縁化層を形成する際に注入される不純物の活性化アニールの保護膜となる。あるいは、これらの両方に共用される。

【0139】

第 2 工程（図 6）：所定の領域にイオン注入による絶縁化層を形成し、動作領域を分離する工程。

【0140】

レジスト（不図示）を設けてフォトリソグラフィプロセスによりアライメントマークのパターンが開口されたマスクを形成する。このマスクにより初期窒化膜 5 0 およびキャップ層 3 7 の一部をエッチングしてアライメントマーク（不図示）を形成する。

30

【0141】

レジスト除去後新たなレジスト（不図示）を設けてフォトリソグラフィプロセスにより絶縁化層を形成するためのマスクを形成する。初期窒化膜 5 0 上からボロン（ B^+ ）をイオン注入し、レジストを除去した後、500、30 秒程度のアニールを行う。これにより、バッファ層 3 2 に達する絶縁化層 6 0 が形成される。

【0142】

絶縁化層 6 0 は、電氣的に完全な絶縁ではなく、不純物（ B^+ ）をイオン注入することによりエピタキシャル層にキャリアトラップを設け、絶縁化した領域である。つまり、絶縁化層 6 0 にもエピタキシャル層として不純物は存在しているが、絶縁化のための B^+ 注入により不活性化されている。

40

【0143】

すなわち、所定のパターンに絶縁化層 6 0 を形成することにより、HEMT の動作領域や、他の構成要素を分離する。

【0144】

ここで、動作領域 1 0 0 とは、絶縁化層 6 0 で分離され、HEMT の第 1 ソース電極 1 1 5、第 2 ソース電極 1 3 5、第 1 ドレイン電極 1 1 6、第 2 ドレイン電極 1 3 6 およびゲート電極 1 2 7（図 1 参照）が配置される領域の半導体層をいう。第 1 ソース電極 1 1 5 および第 1 ドレイン電極 1 1 6 が contacts するキャップ層 3 7 は、後の工程で分離されてソース領域 3 7 s、ドレイン領域 3 7 d となる。

50

すなわち電子供給層 33、チャネル（電子走行）層 35、スペーサ層 34、障壁層 36、安定層 38、キャップ層 37などのHEMTを構成する各半導体層をすべて含んだトータルとしての領域を動作領域100とする。

【0145】

第3工程（図7）：全面の初期絶縁膜を除去する工程。

【0146】

全面の初期窒化膜50を除去する。表面には、キャップ層37が露出する。本工程で、ウェハ投入後表面の保護のために堆積した初期窒化膜50および/又は絶縁化層60を形成するために注入されたイオンの活性化アニールの際の保護膜として堆積した初期窒化膜50が除去される。従来は、この窒化膜をゲートのリセスエッチングのためのマスクとして利用していたが、本実施形態では後の工程で新たにゲートのリセスエッチングのためのマスクとなる窒化膜を堆積する。本工程で初期窒化膜50を全面除去することにより、後の窒化膜を均一な膜厚に形成することができる。

10

【0147】

第4工程（図8）：動作領域のキャップ層の一部とコンタクトする第1ソース電極および第1ドレイン電極を形成する工程。

【0148】

新たなレジストPRを全面に塗布し、フォトリソグラフィプロセスによりオーミック電極を形成するためのマスクを形成する。そして全面にオーミック金属層（AuGe/Ni/Au）110を蒸着する（図8（A））。

20

【0149】

その後、リフトオフし、アロイする。これにより、HEMTの動作領域100の一部にコンタクトする第1ソース電極115および第1ドレイン電極116が形成される。（図8（B））。

【0150】

第5工程（図9）：全面に第1絶縁膜を形成する工程。

【0151】

全面に、第1窒化膜511を形成する。この第1窒化膜511は、ゲートのリセスエッチングのマスクとなる。第1窒化膜511は、ほぼ均一な膜厚および膜質で、第1ソース電極115および第1ドレイン電極116の表面および側面と、これらの付近のキャップ層37に密着して被覆する。すなわち第1ソース電極115（第1ドレイン電極116も同様）とキャップ層37の段差はまんべんなく覆われる。つまり、従来のスルーイオン用窒化膜2511（ゲートのリセスエッチングのためのマスクとなる窒化膜）と、第1ソース電極315（第1ドレイン電極316）間に形成される隙間Gを防止できる。

30

【0152】

従って、以降の製造工程中、またはウェハ完成後において薬液及び水分から、第1ソース電極115および第1ドレイン電極116電極の付近のキャップ層37表面を完全に保護することができる。これによりガルバニック効果の発生を防止できる。

【0153】

また、第1窒化膜511は、最終構造（図2）において第1ソース電極115および第2ソース電極135（ドレイン電極も同様）の周囲を被覆する窒化膜51を構成する。

40

【0154】

第6工程（図10）：第1ソース電極および第1ドレイン電極間の第1絶縁膜の一部を除去し、第1絶縁膜をマスクとしてキャップ層の一部を除去し安定層を露出する工程。

【0155】

ゲート電極形成のために新たなレジストPRを設ける。フォトリソグラフィプロセスによりゲート電極の形成領域がパターンニングされたマスクを形成する。そして、マスクの開口部分に露出した第1窒化膜511を除去して開口部OPを形成する。この開口部OPの開口幅がゲート長となる（図10（A））。

【0156】

50

その後、ゲートのリセスエッチングを行う。すなわち第1窒化膜511の開口部OPに露出したキャップ層37を更にウェットエッチングにより除去する。開口部OPには安定層であるInGaP層38が露出する。

【0157】

また、キャップ層37は耐圧を確保するため、開口部OPより大きい所定の寸法にサイドエッチングされる。所定の寸法とは、例えば後に形成されるゲート電極から $0.3\mu\text{m}$ の距離である。このときキャップ層のGaAs層とその下の安定層のInGaP層とは選択エッチングされるため、サイドエッチングの際InGaP層がエッチングされることは無い。キャップ層37のエッチングにより動作領域100のキャップ層37が分離され、第1ソース電極115に接触するソース領域37s、および第1ドレイン電極116に接触するドレイン領域37dとなる。また、キャップ層37のサイドエッチングにより、キャップ層37の端部から張り出した開口部OP付近の第1窒化膜511は、ひさし部Eとなる(図10(B))。

10

【0158】

第7工程(図11)：第1ソース電極及び第1ドレイン電極間の動作領域の一部とショットキー接合するゲート電極を形成する工程。

【0159】

キャップ層37から張り出した第1窒化膜511のひさし部Eは表面にレジストが密着しているため、裏側からプラズマエッチングにより除去する。すなわち、サイドエッチにより第1窒化膜511の開口部OPより後退したキャップ層37、安定層38、第1窒化膜511、およびレジストにより形成される袋状の部分にフッ素ラジカルを滞留させることにより、ひさし部Eを裏側からプラズマエッチングし、これを除去する。

20

【0160】

ひさし部Eを残したままでは、ゲート電極127形成の際レジストが均一に塗布できず、ゲート電極127が正常に形成できない。またゲート電極127が形成できても、後に形成するパッシベーション膜となる窒化膜が、ひさし部Eの下に形成されず、ゲート電極127周囲に空洞が形成されるため信頼性上問題となる。

【0161】

ここで、ひさし部Eをウェットエッチングで除去すると、動作領域100がダメージを受けることが無く、ひさし部Eの除去により表面空乏層が電子供給層の $n+\text{AlGaAs}$ 層233、またはチャネル層のノドープInGaAs層235にまで達してオン抵抗が増加する問題は防げる。しかし、ウェットエッチングはオーバーエッチになりやすく、第1ソース電極115(第1ドレイン電極116)が露出してしまう場合もある。これにより、ガルバニック効果によりキャップ層37が工程中にエッチングされる恐れがあるので、ウェットエッチングは不適當である。

30

【0162】

そこで本実施形態では、ドライエッチングによりひさし部Eを除去する。そしてこのときひさし部を除去する際ドライエッチングのプラズマにさらされる動作領域100表面は安定なInGaP層38で覆われているため、動作領域100にダメージを与えずに、エッチングができる。また、ドライエッチングであるので、ひさし部Eのみ除去することができ、第1窒化膜511はオーバエッチングされることはない。

40

【0163】

その後、レジストPRをそのままに、露出したInGaP層38を更にエッチングして除去し障壁層36を露出させる(図11(A))。

【0164】

次に、全面にゲート金属層120を蒸着する。ゲート金属層120は、例えばPt/Moであり、蒸着膜厚は、Ptが45、Moが50である(図11(B))。

【0165】

その後、リフトオフし、ゲート金属層120の最下層金属のPtを埋め込む熱処理を施す。これにより、Ptは障壁層36とショットキー接合を保ったまま一部が障壁層36内

50

に埋め込まれ、ゲート電極 127 が形成される。埋め込まれた Pt の深さは例えば 108 である。(図 11 (C))。

【0166】

尚、図 1 のスイッチ回路装置の場合には、ゲート電極 127 が束ねられるゲート配線も本工程により形成される。

【0167】

第 1 の実施形態では、ひさし部 E のプラズマエッチングの際には、動作領域 100 表面が InGaP 層 38 により保護されている。そして、その後プラズマダメージを受けた InGaP 層 38 を除去することにより、清浄な障壁層 36 にゲート電極 127 を形成できる。

【0168】

またゲート金属層 120 として Pt の上には Mo など Pt 埋め込み熱処理において GaAs と反応しない金属を、Pt に引き続き連続して蒸着することが望ましい。ゲート電極を Pt のみで形成すると、Pt 蒸着後、Pt 埋め込み熱処理までの間に Pt 表面に異物が付着した場合、その異物まで Pt 埋め込み熱処理反応に関与することになり、HEMT の特性が劣化する。従って熱により GaAs と反応しない Mo で Pt の上を覆うことにより Mo 上に同様の異物が付着したとしても、Mo がバリアとなりその異物が Pt 埋め込み熱処理反応に関与することは無い。

【0169】

またウエハ完成後においても実装時に半田付けの熱が加わることなどが有る。この場合、ゲート電極を Pt のみで形成すると Pt の上に異物が付着している場合、その異物が半田付けの熱などによって GaAs と反応し HEMT の特性が劣化する場合がある。その際にも Mo で Pt の上を覆うことにより Mo 上に異物があっても Mo がバリアとなりその異物が半田付けの熱などによって GaAs と反応することは無い。Mo の厚みはあまり厚くすると Pt との間でストレスが発生するため、最大でも Pt の厚みと同程度とすることが望ましい。Pt 厚みは 45 であるため Mo も同程度の 50 とする。

【0170】

スイッチ MMIC の場合、ゲート電極から制御端子までの間に 10K 程度以上の抵抗が挿入されるため、ゲート電極自体の抵抗値は高くても問題なく、Pt/Mo というゲート金属層の構造が最適である。

【0171】

また熱により GaAs と反応しない金属として Mo の代わりに W も考えられるが、W は融点が高いため一般にはスパッタで形成しており蒸着では形成できない。従って Pt の蒸着と連続して W は形成できず、またスパッタの場合高熱が発生するためレジストが耐えられずリフトオフによる形成も不可能である。

【0172】

尚、ゲート金属層 120 に Ti/Pt/Au を採用し、ゲート埋め込みの熱処理を行わず、障壁層 36 とショットキー接合を形成するゲート電極 127 を形成してもよい。

【0173】

第 8 工程 (図 12) : ゲート電極を覆う第 2 絶縁膜を形成する工程。

【0174】

全面にパッシベーション膜となる第 2 窒化膜 512 をデポジションする。ゲート電極 127 と、その周辺に露出した障壁層 36 は、第 2 窒化膜 512 により被覆される。このとき、第 1 窒化膜 511 はほぼ均一な厚みで、第 1 ソース電極 115 (第 1 ドレイン電極 116) とその端部周辺のキャップ層 37 を覆っている。従って、第 1 窒化膜 511 上層に形成する第 2 窒化膜 512 も、成膜の密度が均一となり、これらをまんべんなく被覆することができる。従って、ウエハ完成後においても水分または薬剤などの滲入を防ぎ、ガルバニック効果を防止できる (図 12 (A))。また、第 2 窒化膜 512 も、最終構造 (図 2) で、各電極周囲を被覆する窒化膜 51 を構成する。

【0175】

10

20

30

40

50

その後、新たなレジスト（不図示）を設けてコンタクトホール形成のためのマスクを形成し、第1ソース電極115、第1ドレイン電極116上の第1窒化膜511、第2窒化膜512をエッチングする。これにより、第1ソース電極115、第2ドレイン電極116（および他の所定の領域）上にコンタクトホールCHが形成され、その深さは、第1窒化膜511および第2窒化膜512の合計膜厚T3となる（図12（B））。

【0176】

第9工程（図13）：第1絶縁膜および第2絶縁膜に設けたコンタクトホールを介して第1ソース電極および第1ドレイン電極とコンタクトする第2ソース電極および第2ドレイン電極を形成する工程。

【0177】

新たなレジスト（不図示）を設けてマスクを形成し、パッド金属層（Ti/Pt/Au）130を蒸着、リフトオフする。

【0178】

これにより、第1ソース電極115および第1ドレイン電極116にそれぞれコンタクトする第2ソース電極135および第2ドレイン電極136が形成される（図13（A））。

【0179】

また、図1に示すスイッチ回路装置の場合、各電極パッドPや配線も本工程により所望のパターンに形成される。

【0180】

更に、全面にジャケット膜となる第3窒化膜513を形成する。第3窒化膜513は、第2窒化膜512および、第2ソース電極135と第2ドレイン電極136上を被覆する。

【0181】

また、第3窒化膜513は、窒化膜51の一部を構成する。従って、ゲート電極127上の窒化膜51の膜厚T1と、第1ソース電極115（第1ドレイン電極116）上のコンタクトホールCH周囲の窒化膜51の膜厚T3と、第2ソース電極135（第2ドレイン電極136）上の窒化膜51の膜厚T2には、以下の関係が成り立つ（図13（B））。

【0182】

$$T3 - (T1 - T2) > 0$$

すなわち $T3 - (T1 - T2)$ とは第1窒化膜511の厚みであり、この不等式は第1窒化膜511がコンタクトホールCHの部分まで達していることを示す。

【0183】

尚、図示は省くがボンディングパッド部分のジャケット窒化膜にはワイヤボンド用の開口が設けられる。

【0184】

図14および図15を参照して、第2の実施形態の製造方法を説明する。第2の実施形態は、図3に示す構造の製造方法であり、図14に図3（A）の場合の製造方法を示し、図15に図3（B）の場合の製造方法を示す。

【0185】

尚、第2の実施形態の製造方法は、安定層38がノンドープInGaP層38であり、ゲート電極は安定層の上に、Pt埋め込みにより形成する以外は、第1の実施形態と同様であるので、重複箇所についての説明は省略する。

【0186】

第2の実施形態の図3（A）では、安定層38となるノンドープInGaP層38は、80の膜厚であり、その下層の障壁層36は、170の膜厚である。また、キャップ層37は、1000である。

【0187】

図14は、第1の実施形態と同様に第6工程（図10）まで終了した後、キャップ層3

10

20

30

40

50

7から張り出した第1窒化膜511のひさし部E(図10(B)参照)をプラズマエッチングにより除去した状態である。本実施形態では、プラズマに晒される動作領域100表面は図15のごとく安定なInGaP層38で覆われているため、動作領域100にダメージを与えずに、エッチングができる。また、ドライエッチングであるので、ひさし部Eのみ除去することができ、第1窒化膜511はオーバエッチングされることはない(図14(A))。

【0188】

その後、レジストPRをそのままに、全面にゲート金属層120を蒸着する。ゲート金属層120は、例えばPt/Moであり、蒸着膜厚は、Ptが45、Moが50である(図14(B))。

【0189】

その後、リフトオフし、ゲート金属層120の最下層金属のPtを埋め込む熱処理を施す。これにより、Ptは安定層38とショットキー接合を保ったまま一部が例えば108の深さまで埋め込まれゲート電極127が形成される。埋め込まれたPtの底部は、安定層38を貫通し、障壁層36に達する(図14(C))。

【0190】

尚、以降の工程は、第1の実施形態と同様である。

【0191】

図15は図3(B)の場合の製造方法である。第2の実施形態の図3(B)では、安定層38となるノンドープInGaP層38は、170の膜厚であり、その下層の障壁層36は、80の膜厚である。また、キャップ層37は、1000である。また、第1の実施形態と同様の第6工程まで終了した状態で、キャップ層37の一部がエッチングされ安定層38が露出する(図14(A)参照)。

【0192】

そして第7工程において、上記の図14の場合と同様に、安定層38上にゲート金属層120(例えばPt/Mo)を蒸着し(図14(B)参照)、安定層38表面とショットキー接合を形成するゲート電極127を形成する。蒸着膜厚は、Ptが45、Moが50である。そして、熱処理を施して安定層38の表面にゲート電極127の一部を埋め込む。これにより、図15の如くPtは深さ108まで埋め込まれ、その底部は、安定層38内に位置する。

【0193】

尚、これ以外の工程は、第1の実施形態と同様である。

【0194】

第2の実施形態は、第1の実施形態と比較して、安定層38のエッチングを省くことができるが、ノンドープInGaP層38の上部は、ひさし部E除去の際に多少のプラズマダメージを受けていることが考えられる。またノンドープInGaP層38上部はキャップ層(n+GaAs)37との界面となるためInGaP/GaAs遷移層としてAsが含まれている。従って、第2の実施形態ではこれらの影響が電気的特性に及ばないようにするため、ゲート電極127の一部を埋め込み、ゲート電極127底部の位置をInGaP層表面より下げる必要がある。

【0195】

図16を参照して、本発明の第3の実施形態の製造方法を説明する。第3の実施形態は、図4に示す構造の製造方法である。

【0196】

尚、第3の実施形態の製造方法は、障壁層36を含まない基板構造であり、ゲート電極形成工程が異なる以外は、第1の実施形態と同様であるので、重複箇所についての説明は省略する。

【0197】

第3の実施形態では、半絶縁性GaAs基板31上に、ノンドープのバッファ層32、電子供給層33、チャンネル(電子走行)層35、安定層38、キャップ層37を積層した

10

20

30

40

50

ものである。チャンネル層 35 の上下には電子供給層 33 が配置され、さらにチャンネル層 35 と電子供給層 33 間にはスペーサ層 34 が配置される。

【0198】

安定層 38 となるノンドープ InGaP 層 38 は、250 の膜厚であり、キャップ層 37 は、1000 である。また、前述の如く、安定層 38 下層に障壁層 36 が配置されない。

【0199】

第 1 の実施形態と同様に第 6 工程 (図 10) まで終了した状態で、キャップ層 37 の一部がエッチングされ安定層 38 が露出する (図 14 (A) 参照)。

【0200】

そして第 7 工程において、上記の図 14 の場合と同様に、安定層 38 上にゲート金属層 120 (例えば Pt/Mo) を蒸着する (図 14 (B) 参照)。蒸着膜厚は、Pt が 45、Mo が 50 である。そして、リフトオフし、ゲート金属層 120 の最下層金属の Pt を埋め込む熱処理を施す。これにより、図 16 の如く Pt は安定層 38 とショットキー接合を保ったまま一部が例えば 108 の深さまで埋め込まれゲート電極 127 が形成される。埋め込まれた Pt の底部は、安定層 38 内に位置する。第 3 の実施形態では、第 1 の実施形態の安定層 38 の除去工程を省くことができる。

【0201】

これ以外の工程は、第 1 の実施形態と同様である。

【0202】

尚、本実施形態では、HEMT の平面の一例としてスイッチ MMIC を示したが、これに限るものではなく、基本素子である HEMT の製造方法に適用できるものである。

【0203】

また、上記の例はディプレッション型 HEMT について説明したが、エンハンスメント型 HEMT でも同様に実施できる。

【0204】

更にディプレッション型 HEMT とエンハンスメント型 HEMT を同一基板に集積化した半導体装置であってもよい。すなわち、第 6 工程から第 7 工程を第 1 のゲート電極形成条件 (第 1 の Pt/Mo の蒸着膜厚) で形成し、引き続き同一の半導体層に対して第 2 のゲート電極形成条件 (第 2 の Pt/Mo の蒸着膜厚) で第 6 工程から第 7 工程を行う。これにより、埋め込まれた Pt の深さにより異なるピンチオフ電圧を得ることができ、ディプレッション型 HEMT とエンハンスメント型 HEMT を同一基板に集積化した半導体装置が実現する。本発明はこのような半導体装置及びその製造方法にも適用でき、同様の効果が得られる。

【図面の簡単な説明】

【0205】

【図 1】本発明を説明するための (A) 回路概要図、(B) 平面図である。

【図 2】本発明を説明するための断面図である。

【図 3】本発明を説明するための断面図である。

【図 4】本発明を説明するための断面図である。

【図 5】本発明の製造方法を説明するための断面図である。

【図 6】本発明の製造方法を説明するための断面図である。

【図 7】本発明の製造方法を説明するための断面図である。

【図 8】本発明の製造方法を説明するための断面図である。

【図 9】本発明の製造方法を説明するための断面図である。

【図 10】本発明の製造方法を説明するための断面図である。

【図 11】本発明の製造方法を説明するための断面図である。

【図 12】本発明の製造方法を説明するための断面図である。

【図 13】本発明の製造方法を説明するための断面図である。

10

20

30

40

50

- 【図14】本発明の製造方法を説明するための断面図である。
 【図15】本発明の製造方法を説明するための断面図である。
 【図16】本発明の製造方法を説明するための断面図である。
 【図17】従来技術を説明するための断面図である。
 【図18】従来技術の製造方法を説明するための断面図である。
 【図19】従来技術の製造方法を説明するための断面図である。
 【図20】従来技術の製造方法を説明するための断面図である。
 【図21】従来技術の製造方法を説明するための断面図である。
 【図22】従来技術のを説明するための断面図である。

【符号の説明】

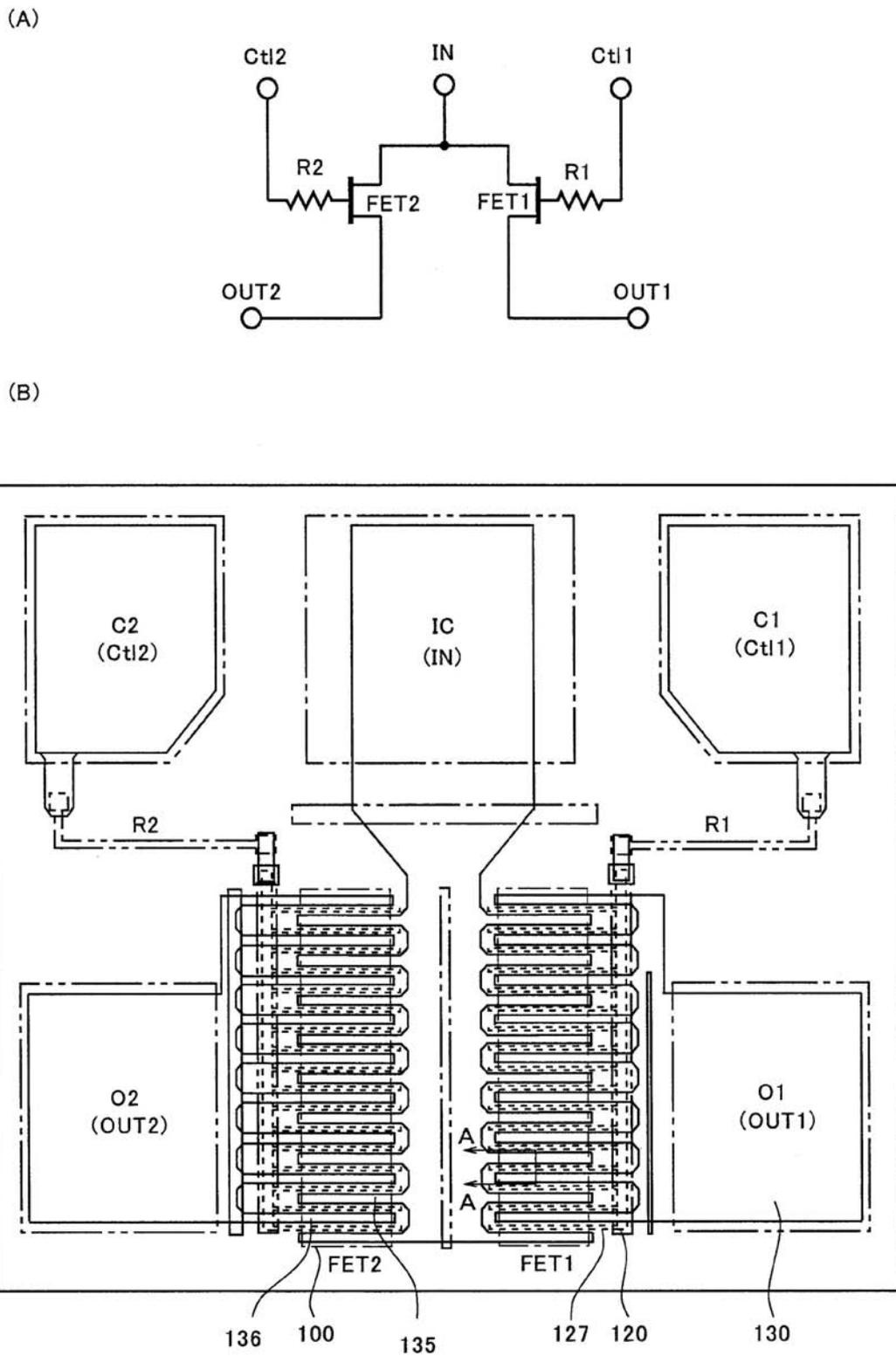
10

【0206】

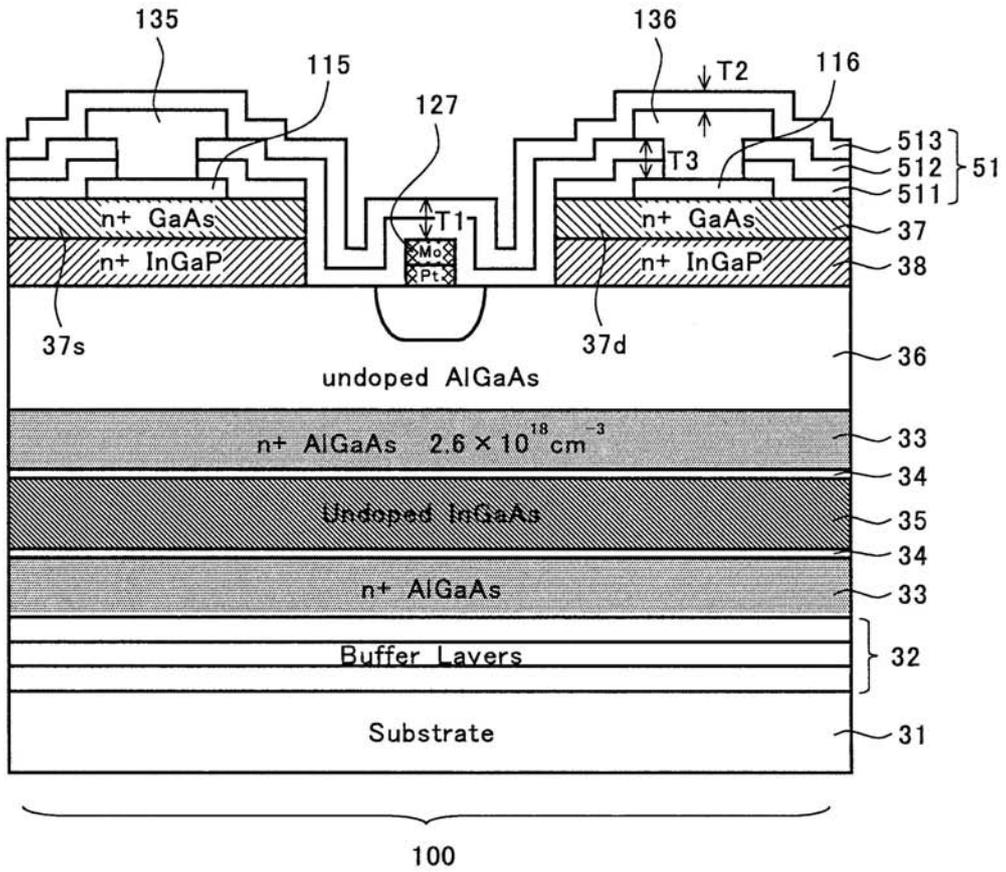
31	G a A s 基板	
32	バッファ層	
33	電子供給層	
34	スペーサ層	
35	チャンネル層	
36	障壁層	
37	キャップ層	
38	安定層	
37s	ソース領域	20
37d	ドレイン領域	
60	絶縁化層	
50	初期窒化膜	
51	窒化膜	
511	第1窒化膜	
512	第2窒化膜	
513	第3窒化膜	
100	動作領域	
110	オーミック金属層	
115、135	ソース電極	30
116、136	ドレイン電極	
120	ゲート金属層	
127	ゲート電極	
130	パッド金属層	
231	G a A s 基板	
232	バッファ層	
233	電子供給層	
234	スペーサ層	
235	チャンネル層	
236	障壁層	40
237	キャップ層	
237s	ソース領域	
237d	ドレイン領域	
250	絶縁化層	
251	窒化膜	
2511	スルーイオン用窒化膜	
2512	パッシベーション膜	
2513	ジャケット膜	
300	動作領域	
310	オーミック金属層	50

3 1 5、3 3 5	ソース電極	
3 1 6、3 3 6	ドレイン電極	
3 2 0	ゲート金属層	
3 2 7	ゲート電極	
3 3 0	パッド金属層	
E	ひさし部	
OP	開口部	
CH	コンタクトホール	
PR	レジスト	
IN	共通入力端子	10
C t l 1	制御端子	
C t l 2	制御端子	
OUT 1	出力端子	
OUT 2	出力端子	
IC	共通入力端子パッド	
C 1	第 1 制御端子パッド	
C 2	第 2 制御端子パッド	
O 1	第 1 出力端子パッド	
O 2	第 2 出力端子パッド	
P	電極パッド	20
G	隙間	
G V	溝	

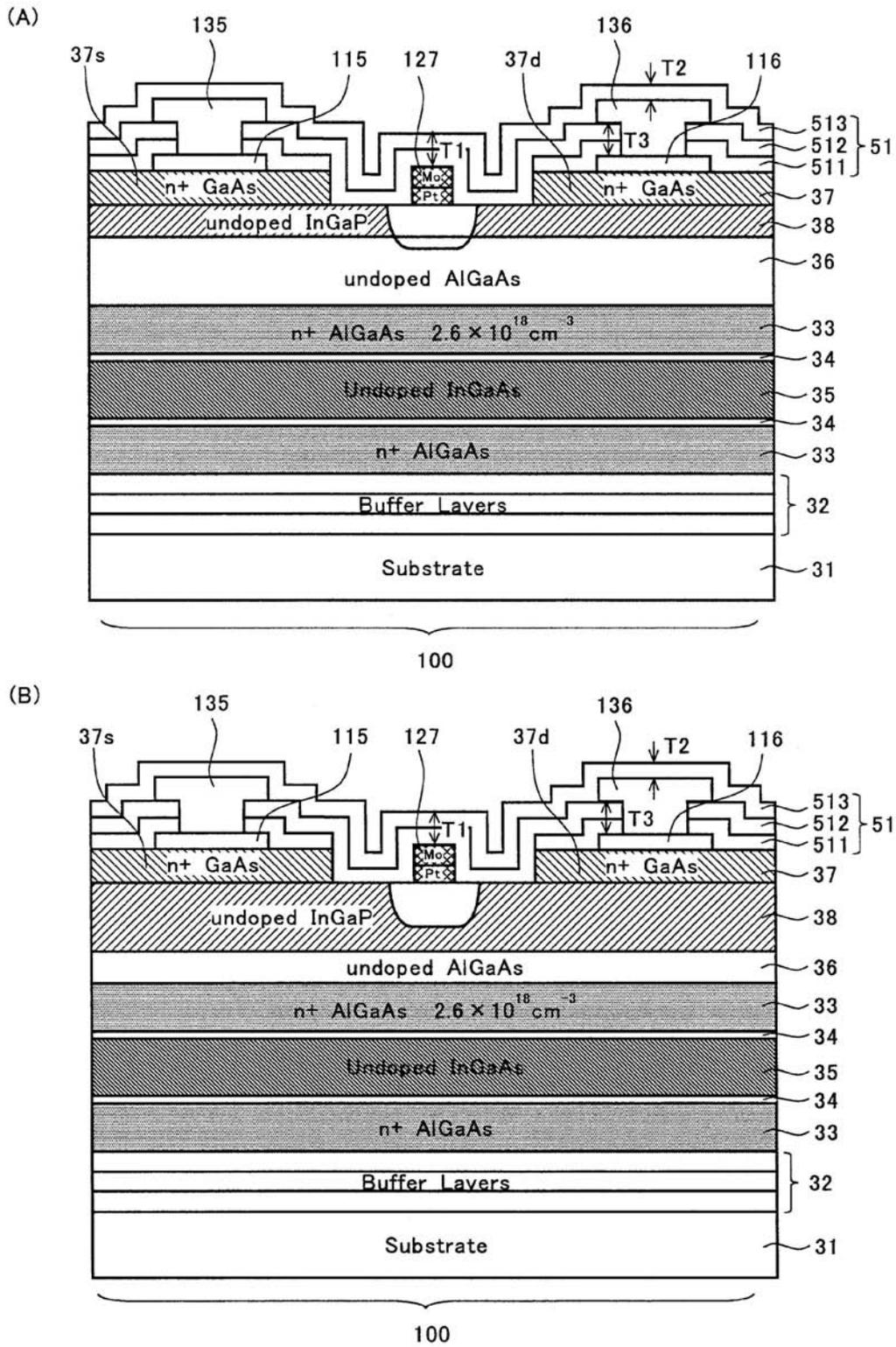
【 図 1 】



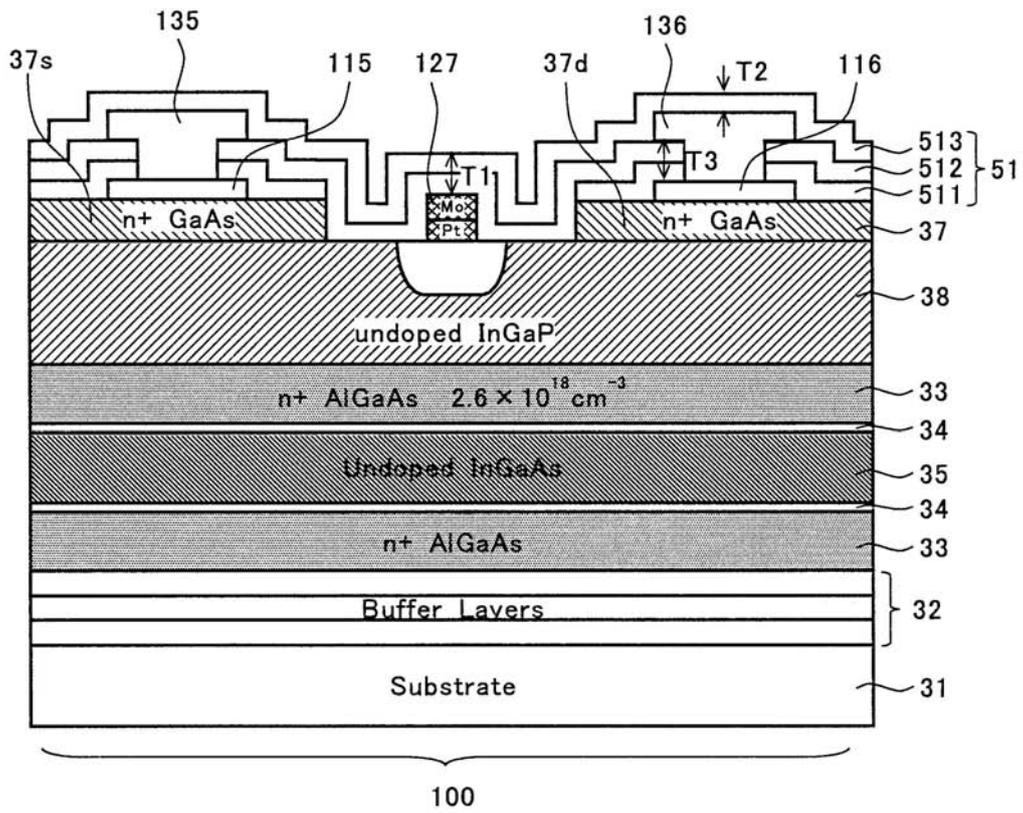
【 図 2 】



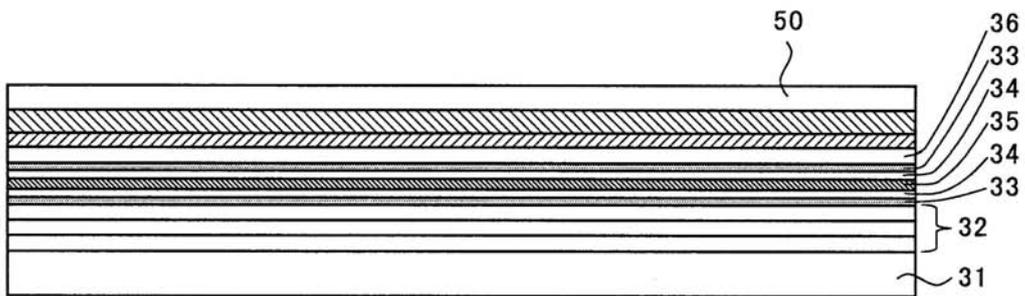
【 図 3 】



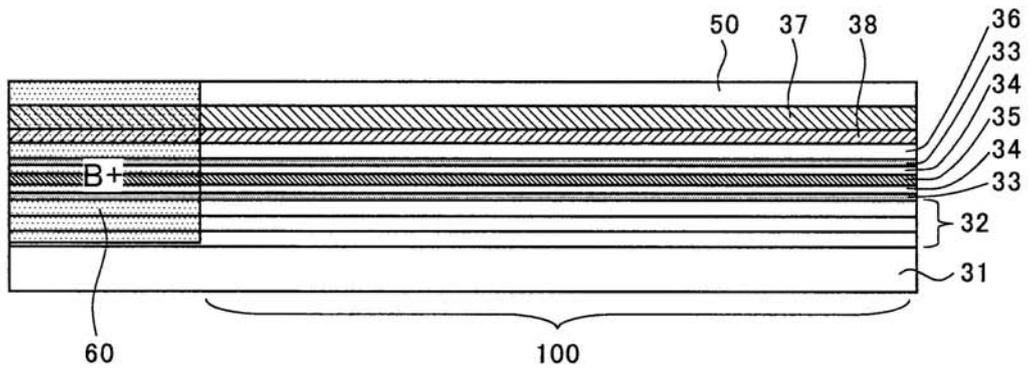
【 図 4 】



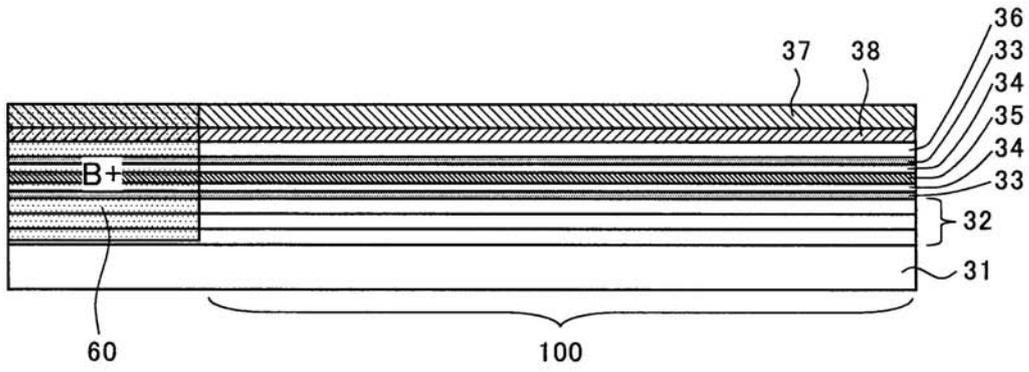
【 図 5 】



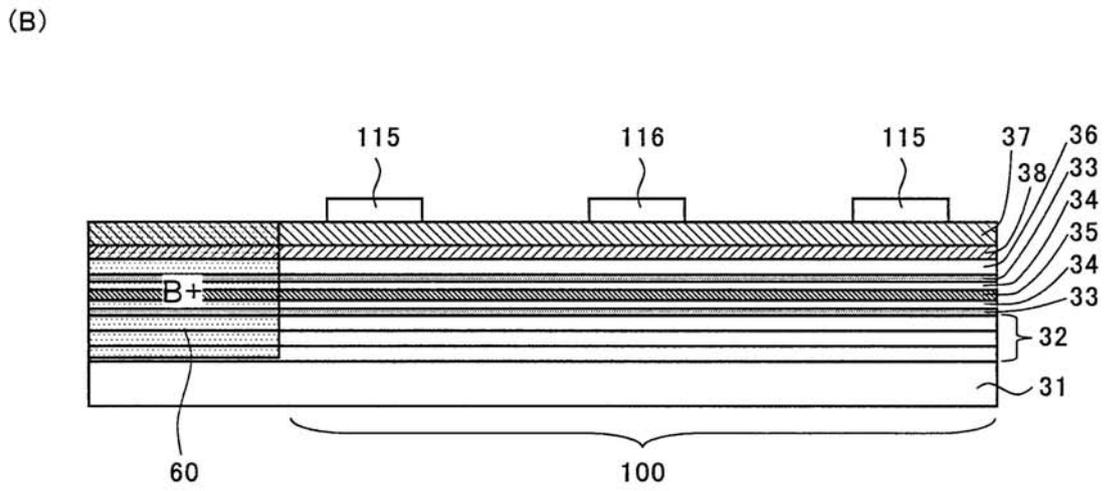
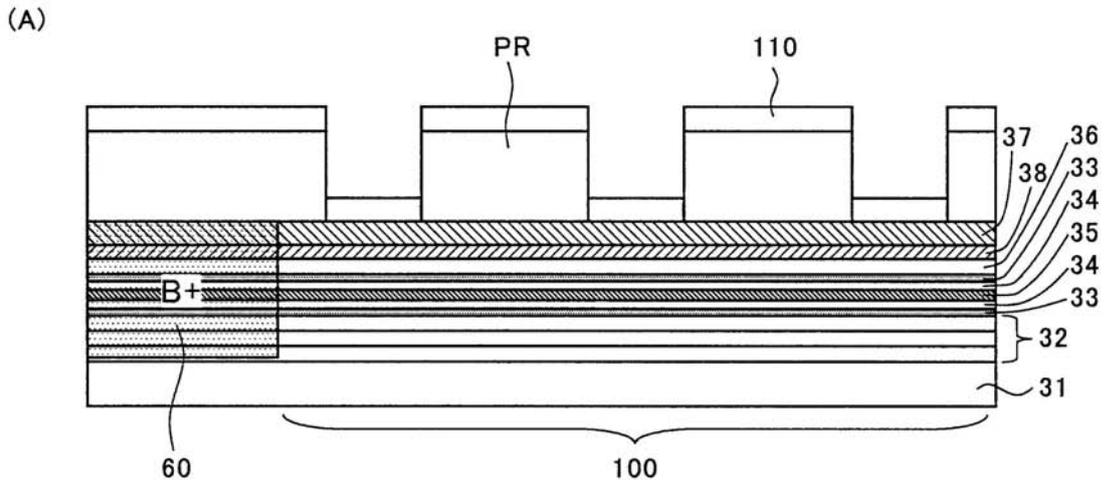
【 図 6 】



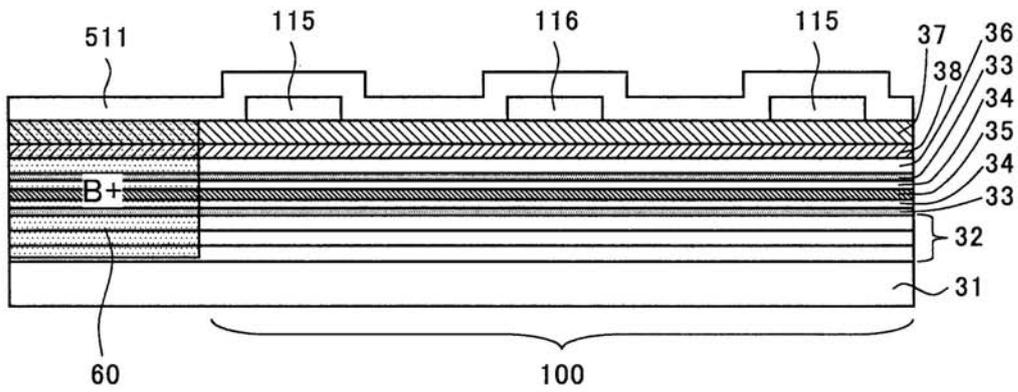
【 図 7 】



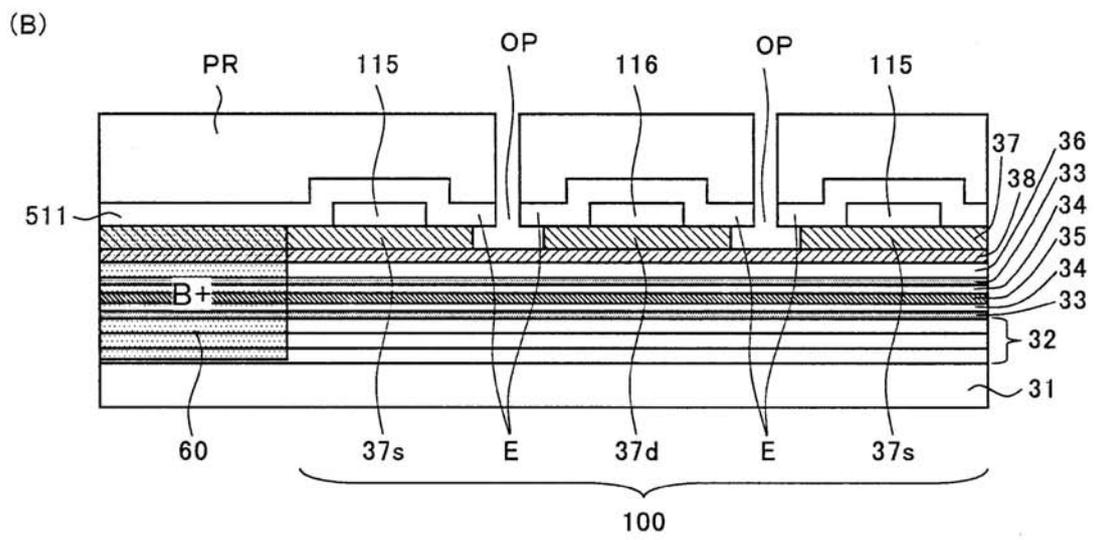
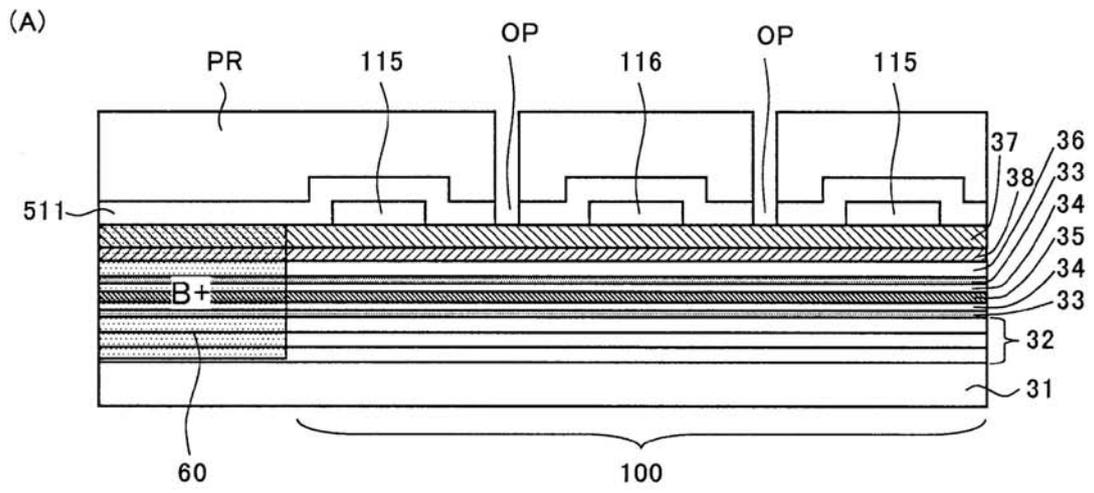
【 図 8 】



【 図 9 】

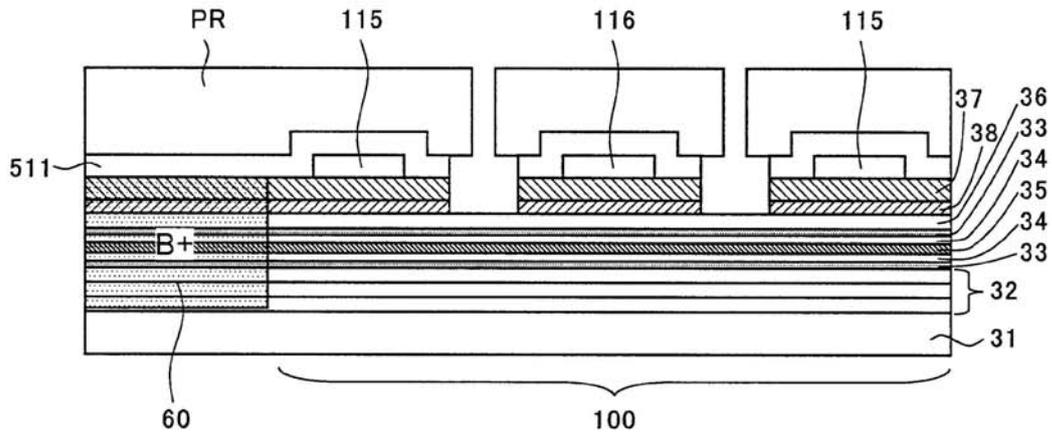


【 図 1 0 】

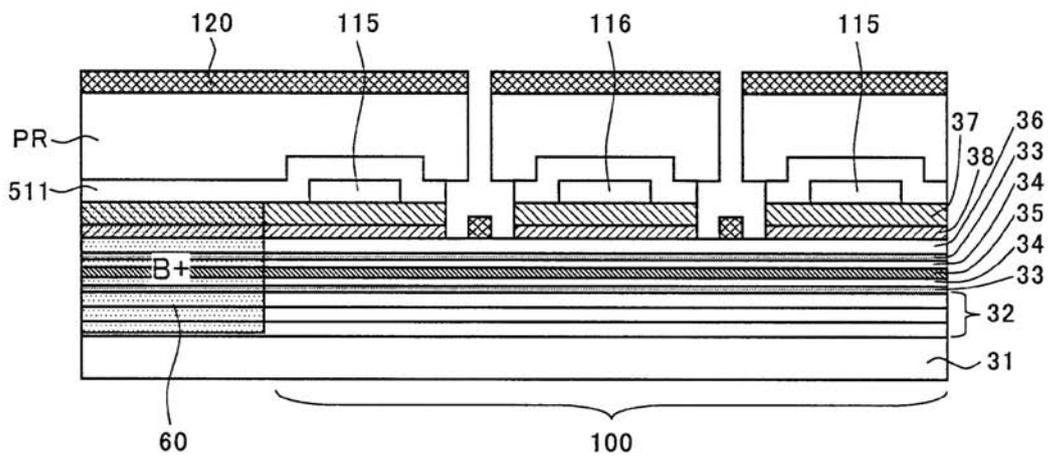


【 図 1 1 】

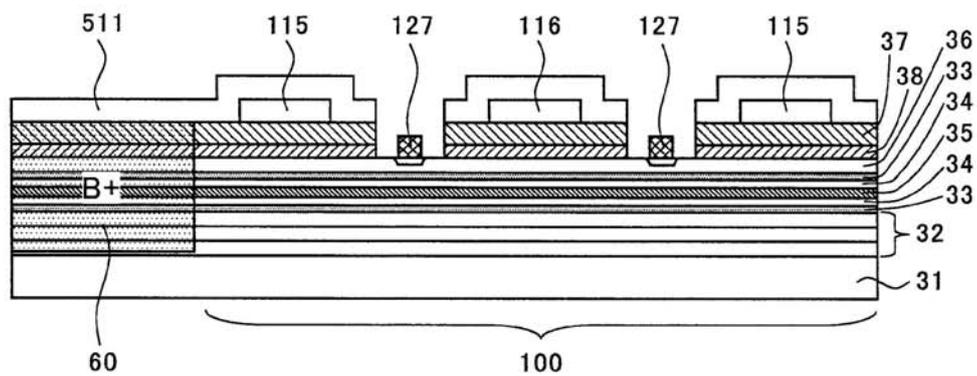
(A)



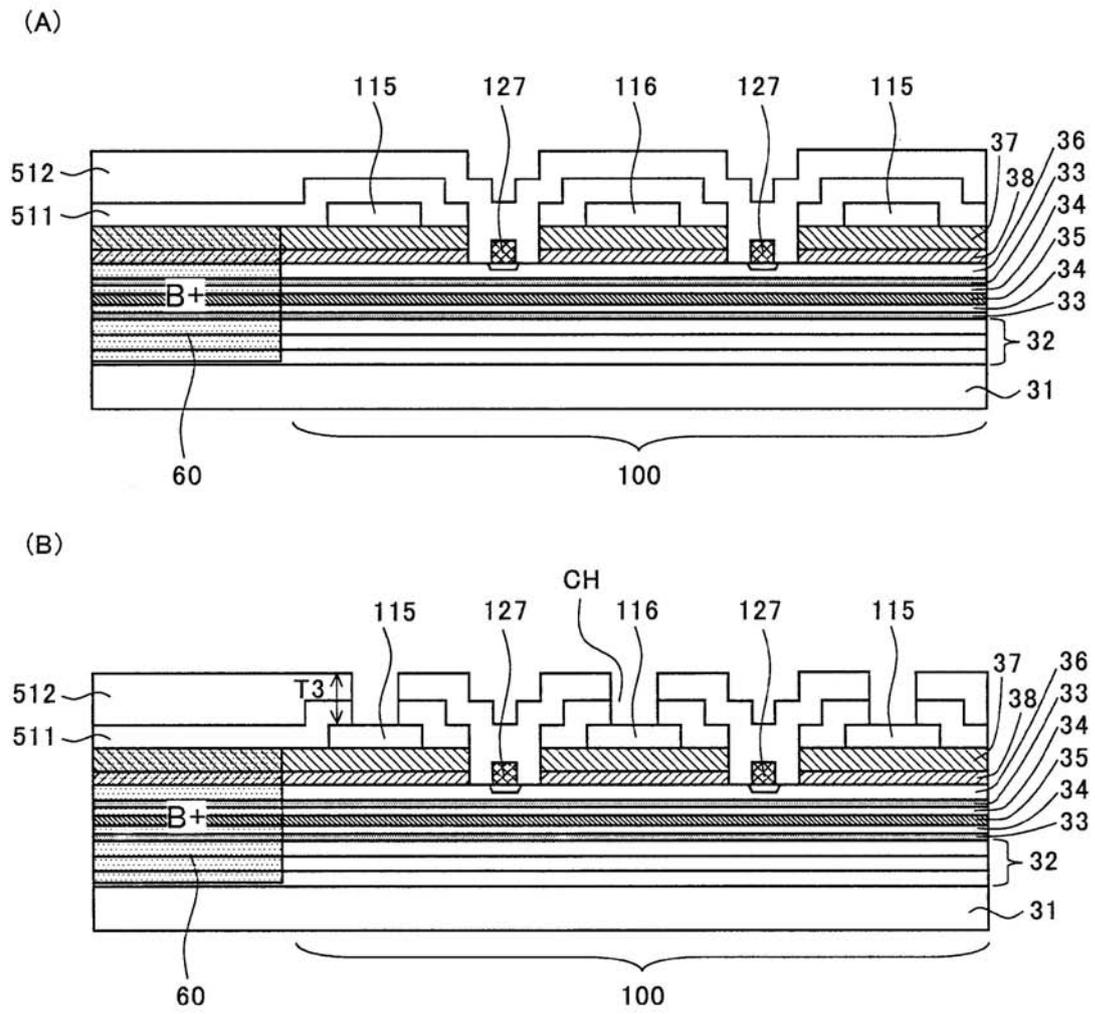
(B)



(C)

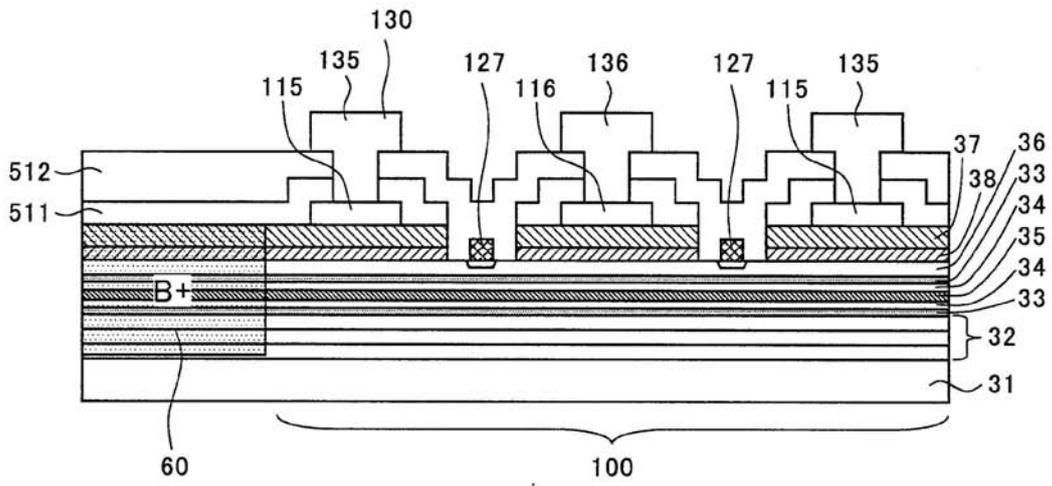


【 図 1 2 】

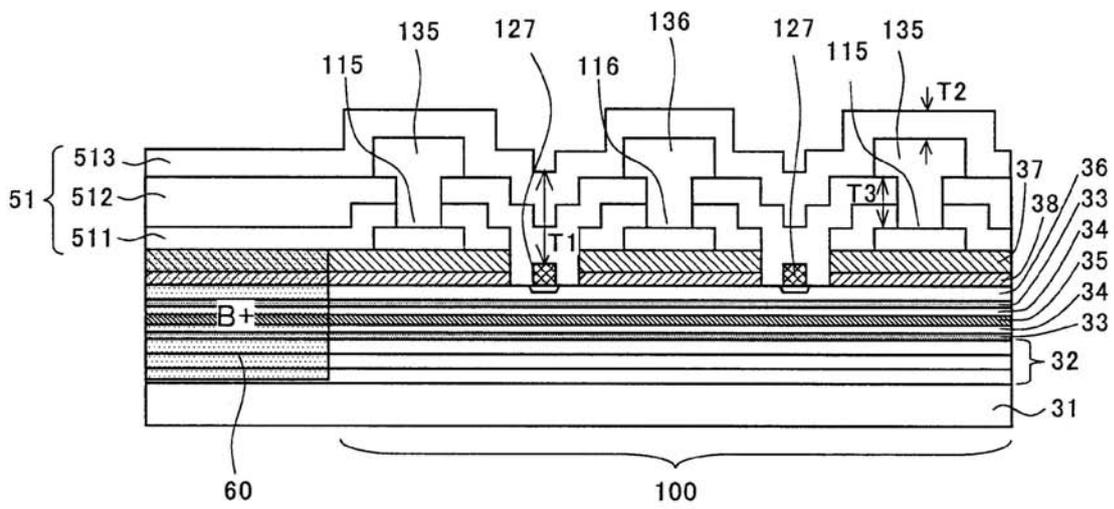


【 図 1 3 】

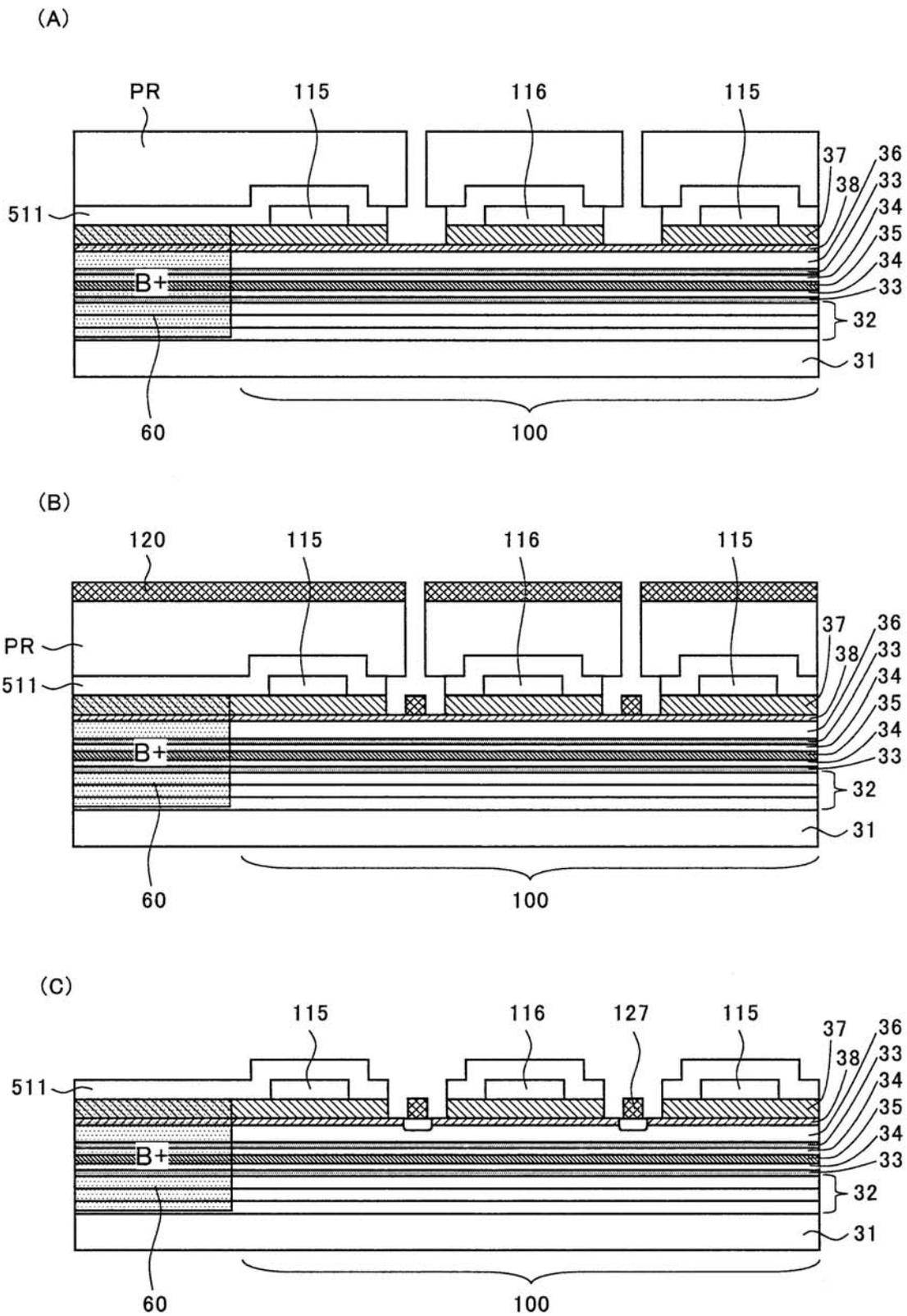
(A)



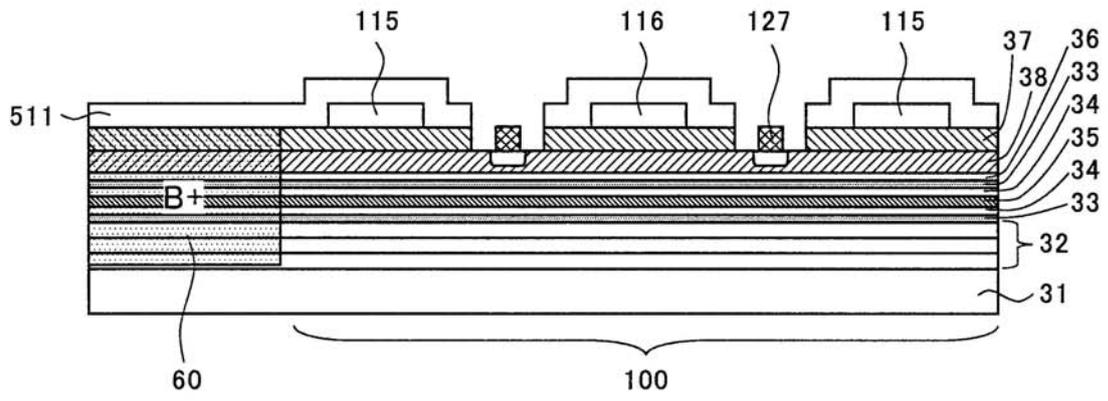
(B)



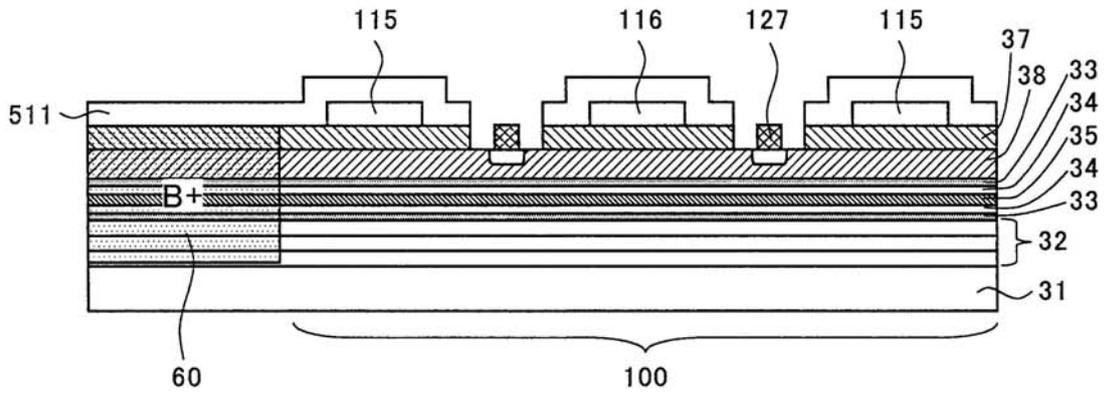
【 図 1 4 】



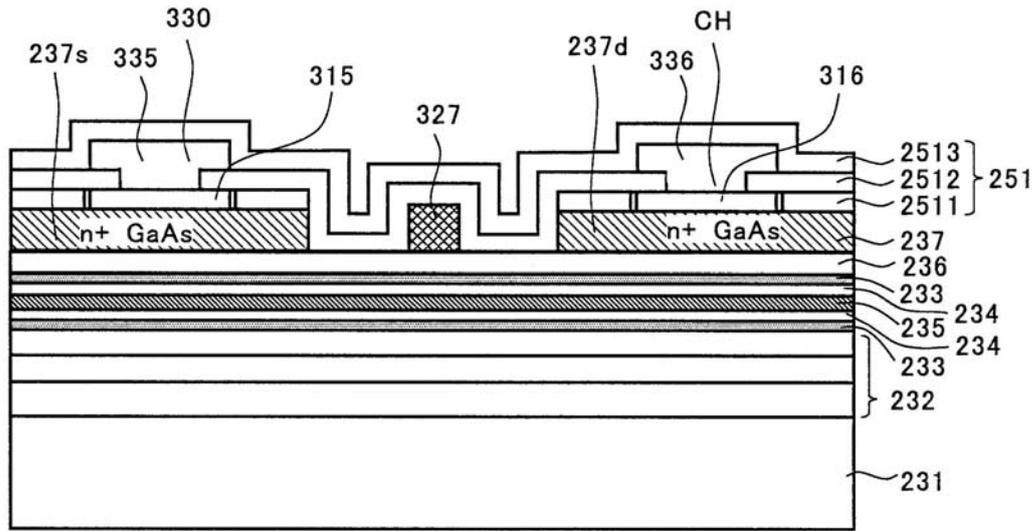
【 図 1 5 】



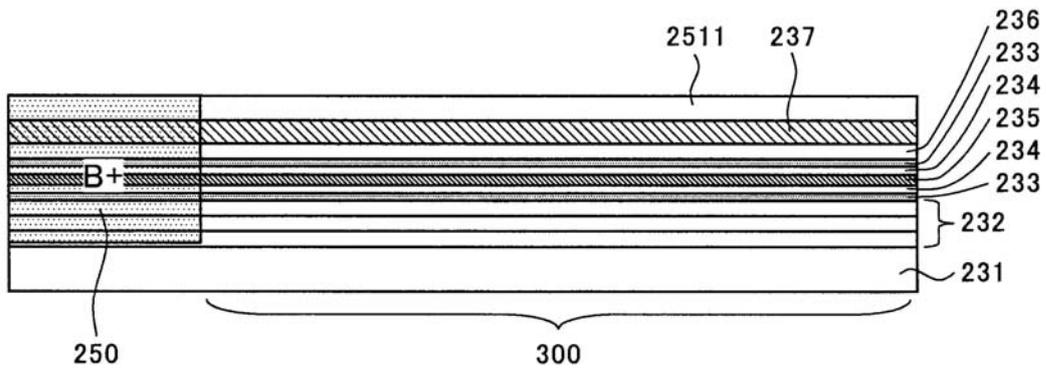
【 図 1 6 】



【 図 1 7 】

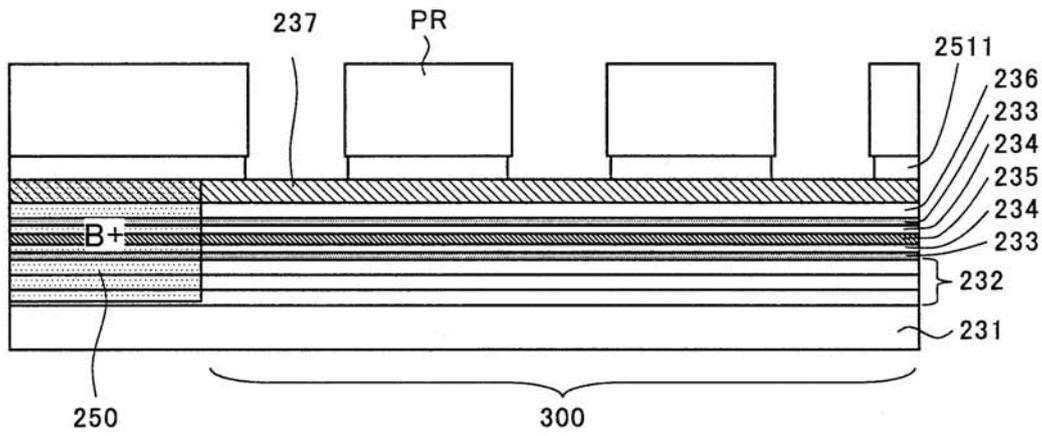


【 図 1 8 】

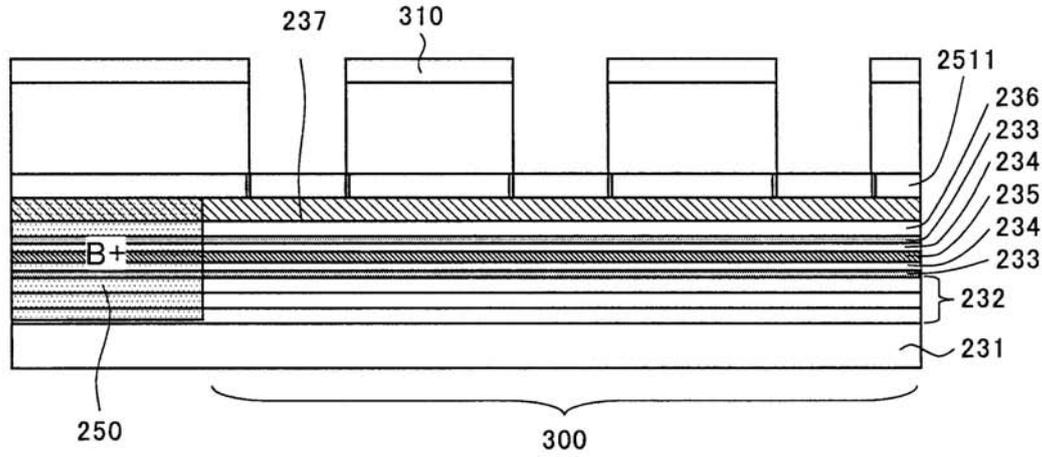


【 図 1 9 】

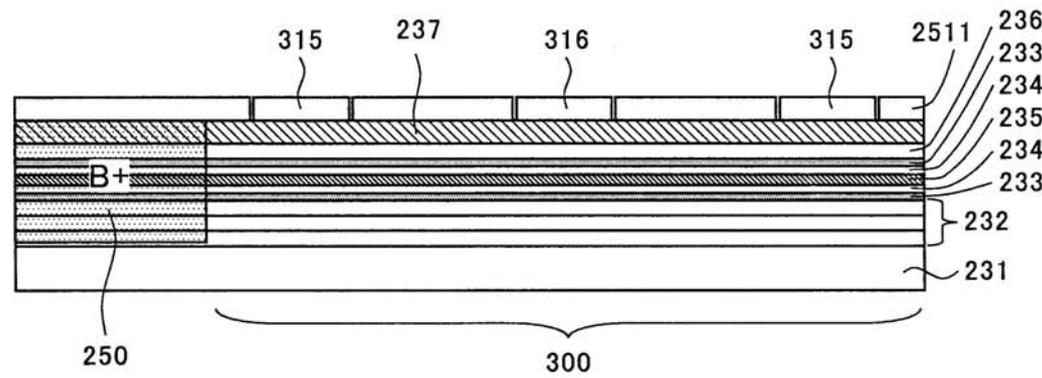
(A)



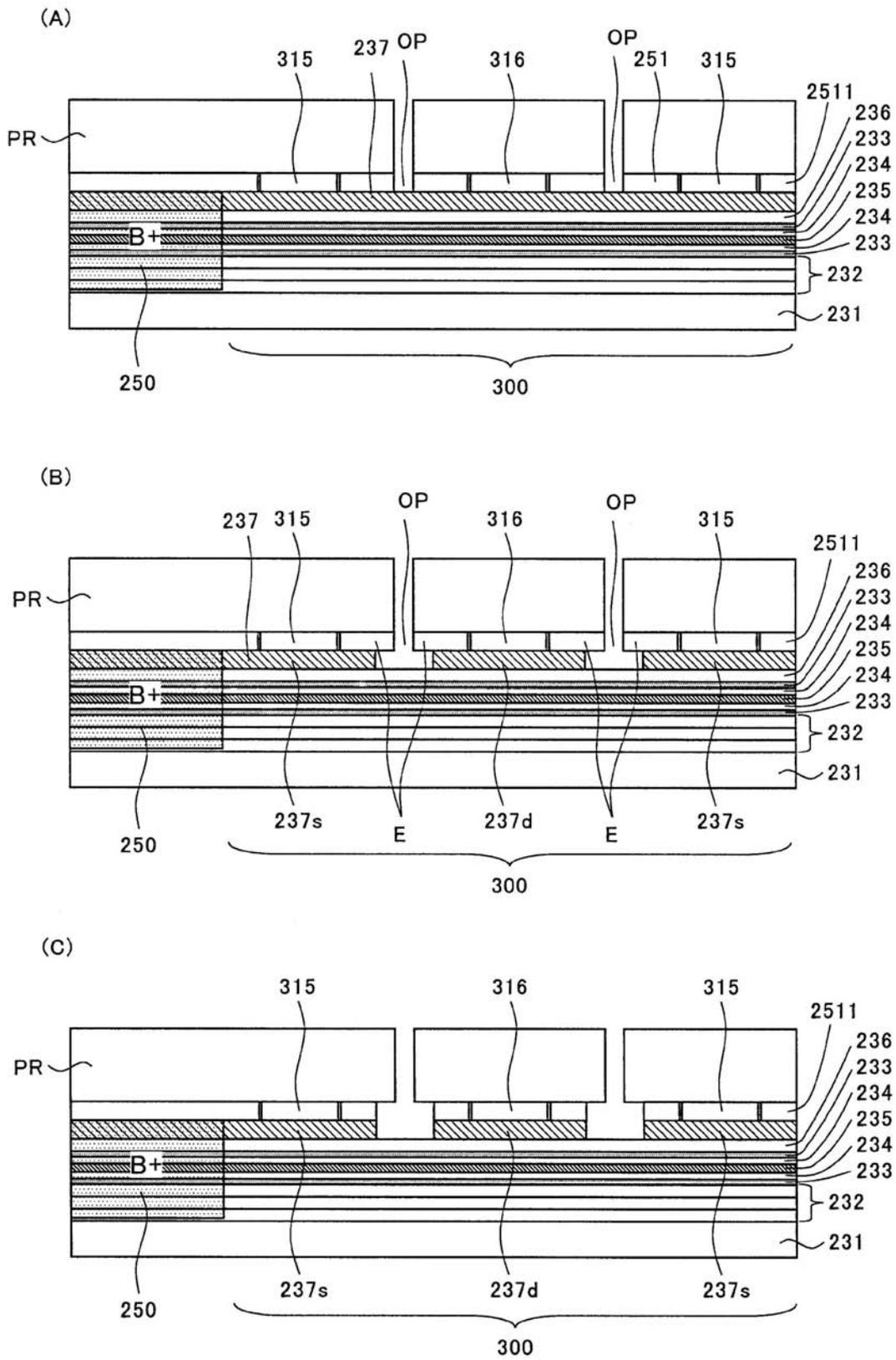
(B)



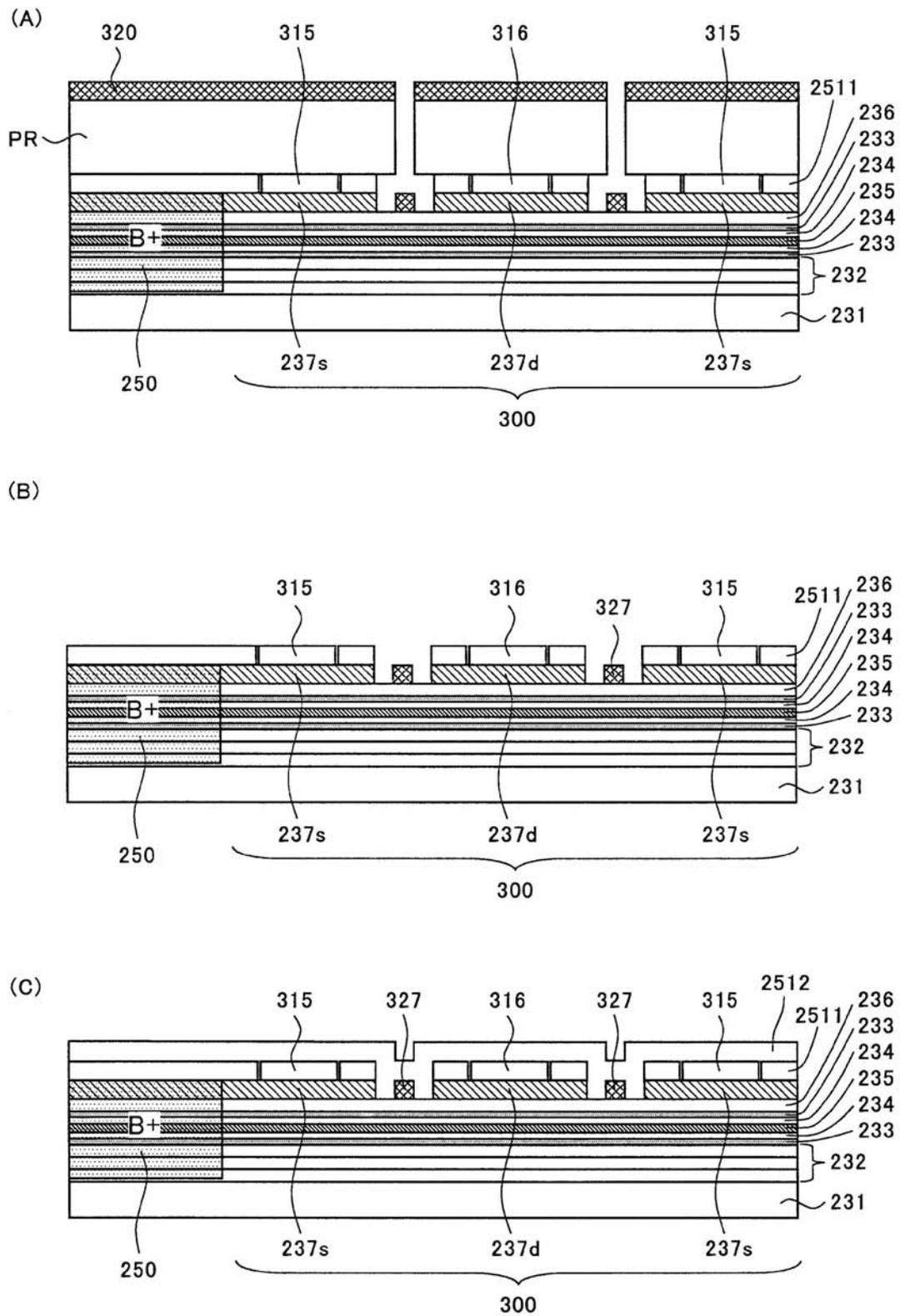
(C)



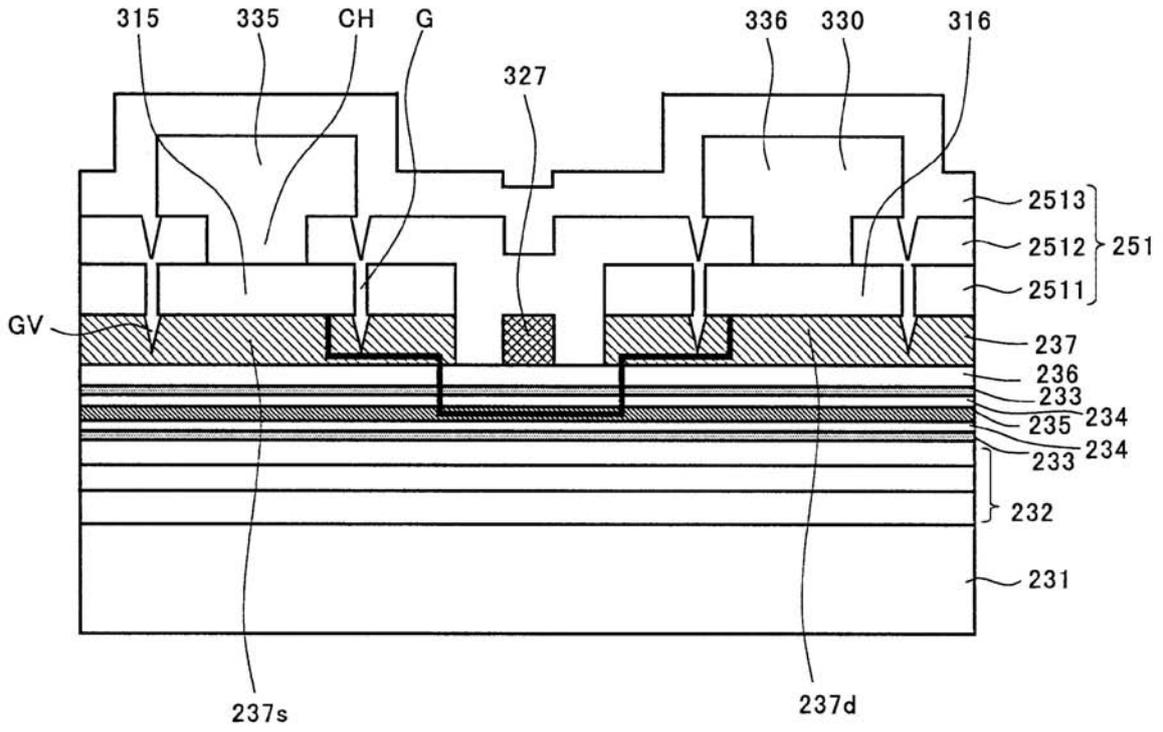
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



フロントページの続き

F ターム(参考) 5F102 FA00 FA08 GA01 GA17 GB01 GC01 GD01 GJ05 GK08 GL04
GM06 GM07 GN04 GQ02 GQ03 GR04 GS01 GS09 GT03 GV06
GV08 HC07 HC10 HC15 HC17 HC19 HC21