

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7316034号  
(P7316034)

(45)発行日 令和5年7月27日(2023.7.27)

(24)登録日 令和5年7月19日(2023.7.19)

(51)国際特許分類

F I

H 0 3 K	17/16 (2006.01)	H 0 3 K	17/16	F
B 4 1 J	2/355(2006.01)	B 4 1 J	2/355	B
B 4 1 J	2/447(2006.01)	B 4 1 J	2/447	1 0 1 D
B 4 1 J	2/45 (2006.01)	B 4 1 J	2/447	1 0 1 L
G 0 2 F	1/133(2006.01)	B 4 1 J	2/45	

請求項の数 7 (全17頁) 最終頁に続く

(21)出願番号 特願2018-213452(P2018-213452)  
 (22)出願日 平成30年11月14日(2018.11.14)  
 (65)公開番号 特開2020-80500(P2020-80500A)  
 (43)公開日 令和2年5月28日(2020.5.28)  
 審査請求日 令和3年10月15日(2021.10.15)

(73)特許権者 000116024  
 ローム株式会社  
 京都府京都市右京区西院溝崎町 2 1 番地  
 (74)代理人 100105924  
 弁理士 森下 賢樹  
 (74)代理人 100133215  
 弁理士 真家 大樹  
 (72)発明者 井ノ口 普之  
 京都府京都市右京区西院溝崎町 2 1 番地  
 ローム株式会社内  
 審査官 及川 尚人

最終頁に続く

(54)【発明の名称】 ドライバ回路

(57)【特許請求の範囲】

【請求項 1】

複数の負荷素子を駆動するドライバ回路であって、  
 前記複数の負荷素子が接続されるべき複数の出力端子と、  
 前記複数の出力端子に対応し、それぞれに対応する前記負荷素子に印加すべき駆動信号を発生する複数のドライバと、  
 前記複数のドライバに対応する複数のクランプ回路と、  
前記複数のドライバに対応し、それぞれに対応するドライバの入力ノードまたは出力ノードに接続されるキャパシタを含む複数のバイパス回路と、  
 を備え、ひとつの半導体基板に集積化され、  
 各クランプ回路は、  
 対応するドライバの出力ノードと電源ラインの間に設けられた上側 P N 接合ダイオードと、  
 対応するドライバの出力ノードと接地ラインの間に設けられた下側 P N 接合ダイオードと、  
 対応するドライバの出力ノードと電源ラインの間に設けられた上側ショットキーダイオードと、  
 対応するドライバの出力ノードと接地ラインの間に設けられた下側ショットキーダイオードと、  
 を含み、

各バイパス回路は、  
 対応するドライバの出力ノードと電源ラインの間に設けられた上側キャパシタと、  
 対応するドライバの出力ノードと接地ラインの間に設けられた下側キャパシタと、  
 を含み、  
 前記ドライバ回路は、第1方向を長手、第2方向を短手とするパッケージに収容され、  
 前記複数の出力端子は、前記第1方向に並べて配置され、  
 ひとつの出力端子に対応する、前記ドライバ、前記クランプ回路および前記バイパス回  
 路は、前記出力端子から第2方向に沿って、前記上側PN接合ダイオードおよび前記下側  
 PN接合ダイオードのペア、前記上側ショットキーダイオードおよび前記下側ショットキ  
 ーダイオードのペア、前記バイパス回路、前記ドライバの順に配置されることを特徴とす  
 るドライバ回路。

10

【請求項2】

前記キャパシタは、MOS (Metal Oxide Semiconductor) トランジスタのゲート容  
 量であることを特徴とする請求項1に記載のドライバ回路。

【請求項3】

前記複数のドライバはそれぞれ、アナログスイッチを含むことを特徴とする請求項1ま  
 たは2に記載のドライバ回路。

【請求項4】

前記複数のドライバはそれぞれ、アンプを含むことを特徴とする請求項1から3のい  
 ずれかに記載のドライバ回路。

20

【請求項5】

前記複数のドライバはそれぞれ、ハイレベル電圧とローレベル電圧の2値を出力するイ  
 ンバータを含むことを特徴とする請求項1から4のいずれかに記載のドライバ回路。

【請求項6】

マトリクス型のディスプレイパネルを駆動することを特徴とする請求項1から5のい  
 ずれかに記載のドライバ回路。

【請求項7】

プリンタヘッドを駆動する請求項1から6のいずれかに記載のドライバ回路。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、負荷素子の駆動技術に関する。

【背景技術】

【0002】

さまざまな用途に、数十、数百、あるいは千を超えるチャンネルの出力端子を有するド  
 ライバ回路が使用される。こうしたドライバ回路としては、液晶ディスプレイパネルのゲ  
 ートドライバやソースドライバ、ゲートドライバとソースドライバが統合された1チップ  
 ドライバ、あるいはピエゾ素子のアレイを有するプリンタのドライバが例示される。ド  
 ライバ回路は、複数の出力端子(出力ピン)を備え、各出力端子に接続される負荷の電  
 気的状態を個別に制御可能に構成される。

40

【0003】

図1は、ディスプレイシステム100のブロック図である。ディスプレイシステム100  
 は、パネル110、ゲートドライバ120、ソースドライバ130を備える。パネル110は、  
 複数N本のソースラインSL、複数M本のゲートラインGL、複数のゲートライ  
 ンGLと複数のソースラインSLの交点にマトリクス状に配置される複数の画素112を  
 有する。各画素112はTFT (Thin Film Transistor) を含む。TFTのゲートはゲ  
 ートラインGLと接続され、TFTのソースはソースラインSLと接続される。

【0004】

ゲートドライバ120は、複数のゲートラインGL<sub>1</sub>, GL<sub>2</sub>...に順にハイレベルのゲ  
 ート駆動電圧V<sub>G</sub>を与えることにより選択し、選択したゲートラインGLに接続されるT

50

FTを活性化させる(オン)。ソースドライバ130は、複数のソースラインSLに、輝度に応じたソース駆動電圧 $V_S$ を印加し、各ソースラインSLに対応する画素112の輝度を設定する。

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明者は、図1のディスプレイシステム100について検討した結果、以下の課題を認識するに至った。図2(a)~(c)は、ソースドライバ130が生成するソース駆動電圧 $V_S$ の波形図である。図2(a)は、正常なソース駆動電圧 $V_S$ を表す。図2(b)、(c)は、異常が発生したときのソース駆動電圧 $V_S$ を表している。図2(b)では図2(a)に比べて波形が鈍っており、この場合、画素の輝度の誤差が大きくなる(色化け)。図2(c)では、ソース駆動電圧 $V_S$ にリングングが生じており、この場合、ノイズが発生する。

10

【0006】

図3(a)~(c)は、ゲートドライバ120が生成するゲート駆動電圧 $V_G$ の波形図である。図3(a)は、正常なゲート駆動電圧 $V_G$ を表す。図3(b)、(b)は、異常が発生したときのソース駆動電圧 $V_S$ を表している。図3(b)では図3(a)に比べて波形が鈍っており、この場合、TFTの活性化時間が不足し、正しい輝度を設定できなくなる。図3(c)では、リングングが生じており、この場合、ノイズが発生する。

【0007】

本発明に係る状況に鑑みてなされたものであり、その目的は、負荷の異常を検出可能なドライバ回路の提供にある。

20

【課題を解決するための手段】

【0008】

本発明のある態様は、複数の負荷素子を駆動するドライバ回路に関する。ドライバ回路は、複数の負荷素子が接続されるべき複数の出力端子と、複数の出力端子に対応し、それぞれに対応する負荷素子に印加すべき駆動信号を発生する複数のドライバと、複数のドライバに対応する複数のクランプ回路と、を備え、ひとつの半導体基板に集積化される。各クランプ回路は、対応するドライバの入力ノードまたは出力ノードに接続されるショットキーダイオードを含む。

30

【0009】

この態様によると、ショットキーダイオードにより、オーバーシュートやアンダーシュートを抑制することができる。複数のショットキーダイオードを、集積回路に内蔵することにより、それらを外付けした場合に比べて、部品点数および実装面積の増加を抑制できる。また、ショットキーダイオードを集積回路に内蔵することにより、外付けした場合に比べて過電圧やリングングを抑制すべきノードに近づけることができるため、過電圧やリングングの抑制の効果を最大化できる。

【0010】

クランプ回路は、対応するドライバの入力ノードまたは出力ノードと電源ラインの間に設けられた上側ショットキーダイオードと、対応するドライバの入力ノードまたは出力ノードと接地ラインの間に設けられた下側ショットキーダイオードと、含んでもよい。

40

【0011】

ドライバ回路は、複数のドライバに対応する複数のバイパス回路をさらに備えてもよい。各バイパス回路は、それぞれに対応するドライバの入力ノードまたは出力ノードに接続されるキャパシタを含んでもよい。隣接チャンネルとの間の容量結合によって、隣接チャンネルから侵入するリングング成分を、キャパシタを介して逃がすことができる。複数のキャパシタを、集積回路に内蔵することにより、それらを外付けした場合に比べて、部品点数および実装面積の増加を抑制できる。

【0012】

バイパス回路は、対応するドライバの入力ノードまたは出力ノードと電源ラインの間に

50

設けられた上側キャパシタと、対応するドライバの入力ノードまたは出力ノードと接地ラインの間に設けられた下側キャパシタと、を含んでもよい。

【0013】

ドライバ回路は、第1方向を長手、第2方向を短手とするパッケージに收容され、複数の出力端子は、第1方向に並べて配置されてもよい。ひとつの出力端子に対応する、ドライバ、ショットキーダイオードは、第2方向に並べて配置されてもよい。

【0014】

ドライバ回路は、複数の出力端子に対応する複数の保護回路をさらに備えてもよい。各保護回路は、対応する出力端子と接続される保護ダイオードを含んでもよい。

【0015】

本発明の別の態様もまた、複数の負荷素子を駆動するドライバ回路に関する。このドライバ回路は、複数の負荷素子が接続されるべき複数の出力端子と、複数の出力端子に対応し、それぞれが対応する負荷素子に印加すべき駆動信号を発生する複数のドライバと、複数の出力端子に対応し、それぞれが対応する出力端子に接続される複数の第1ダイオードと、複数のドライバに対応し、それぞれが対応するドライバの入力ノードまたは出力ノードに接続される複数の第2ダイオードと、を備え、ひとつの半導体基板に集積化される。第2ダイオードは、第1ダイオードよりも順電圧が小さく、高速である。

【0016】

この態様によると、ESD (Electro-Static Discharge) については第1ダイオードにより保護を図るとともに、リングングおよびそれに起因する過電圧については、第2ダイオードにより保護を図ることができる。

【0017】

第2ダイオードはショットキーダイオードであってもよい。

【0018】

ドライバ回路はスイッチ型であり、複数のドライバはそれぞれ、アナログスイッチを含んでもよい。

【0019】

ドライバ回路は充放電型であり、複数のドライバはそれぞれ、アンプを含んでもよい。

【0020】

ドライバ回路は、ハイレベル電圧、ローレベル電圧の2値を出力するインバータを含んでもよい。

【0021】

ドライバ回路は、マトリクス型のディスプレイパネルを駆動してもよい。

【0022】

ドライバ回路は、プリンタヘッドを駆動してもよい。

【0023】

なお、以上の構成要素の任意の組合せや本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】

【0024】

本発明によれば、リングングや過電圧を抑制できる。

【図面の簡単な説明】

【0025】

【図1】ディスプレイシステムのブロック図である。

【図2】図2(a)~(c)は、ソースドライバが生成するソース駆動電圧 $V_S$ の波形図である。

【図3】図3(a)~(c)は、ゲートドライバが生成するゲート駆動電圧 $V_G$ の波形図である。

【図4】実施の形態1に係るドライバ回路の回路図である。

【図5】図5(a)、(b)は、図4のドライバ回路の動作を説明する図である。

10

20

30

40

50

【図 6】実施の形態 1 に係るドライバ回路の具体的な構成例（実施例 1 . 1）の回路図である。

【図 7】図 7（a）～（c）は、アナログスイッチの構成例の回路図である。

【図 8】実施の形態 1 に係るドライバ回路の具体的な構成例（実施例 1 . 2）の回路図である。

【図 9】実施の形態 1 に係るドライバ回路の具体的な構成例（実施例 1 . 3）の回路図である。

【図 10】実施の形態 2 に係るドライバ回路の回路図である。

【図 11】図 10 のドライバ回路の動作を説明する図である。

【図 12】実施の形態 2 に係るドライバ回路の具体的な構成例（実施例 2 . 1）の回路図である。

10

【図 13】図 13（a）～（c）は、アナログスイッチおよびバイパス回路の構成例の回路図である。

【図 14】実施の形態 2 に係るドライバ回路の具体的な構成例（実施例 2 . 2）の回路図である。

【図 15】実施の形態 2 に係るドライバ回路の具体的な構成例（実施例 2 . 3）の回路図である。

【図 16】図 12 のドライバ回路のレイアウト図である。

【図 17】図 14 のドライバ回路のレイアウト図である。

【図 18】図 15 のドライバ回路のレイアウト図である。

20

【発明を実施するための形態】

【0026】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【0027】

本明細書において、「部材 A が部材 B に接続された状態」とは、部材 A と部材 B が物理的に直接的に接続される場合や、部材 A と部材 B が、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。同様に、「部材 C が、部材 A と部材 B の間に設けられた状態」とは、部材 A と部材 C、あるいは部材 B と部材 C が直接的に接続される場合のほか、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

30

【0028】

（実施の形態 1）

図 4 は、実施の形態 1 に係るドライバ回路 200 の回路図である。ドライバ回路 200 は、複数 N 個の出力を有する N チャンネルであり、複数 N 個の負荷素子（以下、単に負荷素子という） $Z_1 \sim Z_N$  を駆動可能に構成される。ドライバ回路 200 は、複数の出力端子  $P_{01} \sim P_{0N}$  と、複数のドライバ  $D_{r1} \sim D_{rN}$  と、複数の保護回路  $250\_1 \sim 250\_N$ 、複数のクランプ回路  $260\_1 \sim 260\_N$  を備え、ひとつの半導体基板上に一体集積化された機能 IC（Integrated Circuit）である。

40

【0029】

ドライバ回路 200 は、負荷回路 310 や図示しないホストプロセッサとともに、システム 300 を構成する。

【0030】

負荷回路 310 は、複数 N 個の負荷素子  $Z_1 \sim Z_N$  を含む。たとえば負荷素子 Z は、トランジスタやピエゾ素子、LED（発光ダイオード）、サーマルヘッドなどである。

【0031】

複数の出力端子  $P_{01} \sim P_{0N}$  には、複数の負荷素子  $Z_1 \sim Z_N$  が接続される。複数のド

50

ドライバ  $Dr_1 \sim Dr_N$  は、複数の出力端子  $Po_1 \sim Po_N$  に対応している。ドライバ  $Dr_{\#}$  ( $\# = 1 \sim N$ ) の出力は、対応する出力端子  $Po_{\#}$  を介して、対応する負荷素子  $Z_{\#}$  と接続されている。ドライバ  $Dr_{\#}$  は、制御信号  $CTRL_{\#}$  に応じて、対応する負荷素子  $Z_{\#}$  に印加すべき駆動信号  $Vo_{\#}$  を発生し、出力端子  $Po_{\#}$  から出力する。駆動信号  $Vo_{\#}$  は、電圧信号であってもよいし、電流信号であってもよい。制御信号  $CTRL_1 \sim CTRL_N$  は、ドライバ回路 200 の内部で生成してもよいし、ドライバ回路 200 の外部から与えられてもよい。

#### 【0032】

複数の保護回路 250\_\_1 ~ 250\_\_N は、複数の出力端子  $Po_1 \sim Po_N$  に対応する。各保護回路 250\_\_# は、ESD (Electro-Static Discharge) 保護用の第 1 ダイオード  $D_{\#}$  を含み、第 1 ダイオード  $D_{\#}$  は PN 接合を利用して形成される。たとえば出力端子  $Po_{\#}$  と電源ラインの間に、上側の第 1 ダイオード  $D_{\#H}$  が設けられ、出力端子  $Po_{\#}$  と接地ラインの間に、下側の第 1 ダイオード  $D_{\#L}$  が設けられる。

10

#### 【0033】

複数のクランプ回路 260\_\_1 ~ 260\_\_N は、複数のドライバ  $Dr_1 \sim Dr_N$  に対応する。各クランプ回路 260\_\_# は、対応するドライバ  $Dr_{\#}$  の出力ノード（もしくは入力ノード）と接続される第 2 ダイオード  $SD_{\#}$  を含む。第 2 ダイオード  $SD_{\#}$  の順方向電圧  $Vf_2$  は、第 1 ダイオード  $D_{\#}$  の順方向電圧  $Vf_1$  よりも小さく、かつ高速（リカバリ時間が短い）であることが好ましく、この観点において第 2 ダイオード  $SD_{\#}$  は、ショットキーダイオードを用いるとよい ( $Vf_1 = 0.7V$ 、 $Vf_2 = 0.1V$ )。

20

#### 【0034】

たとえばクランプ回路 260\_\_# は、ドライバ  $Dr_{\#}$  の出力ノードと電源ラインの間に設けられた上側の第 2 ダイオード  $SD_{\#H}$  と、ドライバ  $Dr_{\#}$  の出力ノードと接地ラインの間に設けられた下側の第 2 ダイオード  $SD_{\#L}$  を含む。

#### 【0035】

以上がドライバ回路 200 の構成である。続いてその動作を図 5 (a)、(b) を参照して説明する。比較のために、図 5 (a) に第 2 ダイオード  $SD_1 \sim SD_N$  を省略したときの動作波形図を示す。図 5 (b) に、図 4 のドライバ回路 200 の動作を示す。チャンネル  $CH_{\#}$  において負荷インピーダンスに異常が発生しているとする。負荷インピーダンスの異常は、チャンネル  $CH_{\#}$  の出力端子  $Po_{\#}$  の電位  $Vo_{\#}$  に、リングングをもたらす。ESD 保護用の第 1 ダイオード  $D_{\#}$  のみが存在する場合、 $V_{DD} + Vf_1$  を超える電圧  $Vo_{\#}$  は、上側の第 1 ダイオード  $D_{\#H}$  を導通させ、したがって、 $V_{DD} + Vf_1$  にクランプされる。また  $-Vf_1$  を下回る電圧は、下側の第 1 ダイオード  $D_{\#L}$  を導通させ、したがって、 $-Vf_1$  にクランプされる。つまり図 5 (a) に示すように出力端子  $Po_{\#}$  の電位  $Vo_{\#}$  は、 $-Vf_1 \sim V_{DD} + Vf_1$  の範囲で変動することとなる。

30

#### 【0036】

これに対して第 2 ダイオード  $SD_{\#}$  を設けた場合、 $V_{DD} + Vf_2$  を超える電圧  $Vo_{\#}$  は、上側の第 2 ダイオード  $SD_{\#H}$  を導通させ、したがって、 $V_{DD} + Vf_2$  にクランプされる。また  $-Vf_2$  を下回る電圧は、下側の第 2 ダイオード  $SD_{\#L}$  を導通させ、したがって、 $-Vf_2$  にクランプされる。その結果、図 5 (b) に示すように、出力端子  $Po_{\#}$  の電位  $Vo_{\#}$  は、 $-Vf_2 \sim V_{DD} + Vf_2$  の範囲に制限されることとなり、第 2 ダイオードがない場合に比べて、狭めることができる。これにより、過電圧およびリングングを抑制することができる。

40

#### 【0037】

別のアプローチとして、ドライバ回路 200 の外部に、出力端子  $Po$  ごとにショットキーダイオードを外付けする構成が考えられる（比較技術）。実施の形態 1 では、第 2 ダイオード  $SD_1 \sim SD_N$  をドライバ回路 200 の半導体チップに集積化することにより、比較技術に比べて回路の実装面積およびコストを大幅に低減できる。

#### 【0038】

加えて、比較技術では、過電圧やリングングを抑制すべきノード（被保護ノードという

50

)から、ショットキーダイオードまでの物理的な距離が長くなり、また被保護ノードとショットキーダイオードの間の寄生インピーダンスの影響が大きくなるため、ショットキーダイオードによる電圧クランプの効果が制限される。これに対して実施の形態1では、被保護ノードと第2ダイオードSD#までの距離を短くでき、それらの間の寄生インピーダンスを低減できるため、第2ダイオードSD#による過電圧およびリングングの抑制効果を最大化できる。

【0039】

(実施例1.1)

図6は、実施の形態1に係るドライバ回路の具体的な構成例(実施例1.1、符号200Aを付す)の回路図である。ドライバ回路200Aは、スイッチ型のドライバであり、任意のチャンネルの出力端子Poに、入力端子Piに与えられる入力電圧Vcomを発生させることができる。たとえばドライバ回路200Aはプリンタドライバであり、プリントヘッドである負荷回路310Aとともにプリンタシステム300Aを構成する。

10

【0040】

各チャンネルのドライバDrは、アナログスイッチSWAを含み、各アナログスイッチSWA#(#=1~N)の状態は、対応する制御信号CTRL#に応じて制御される。

【0041】

アナログスイッチSWA#のオン状態において、入力端子Piと出力端子Po#の間が導通し、出力端子Po#に入力信号Vcomが現れる。

【0042】

ドライバ回路200Aは、複数のレベルシフタLS1~LSN、信号処理部220、インタフェース回路230を備える。インタフェース回路230は、ホストプロセッサ320Aから、各チャンネルの出力を制御するためのデータを受信する。信号処理部220はロジック回路であり、インタフェース回路230が受信したデータにもとづいて、制御信号CTRL1~CTRLNを発生する。各レベルシフタLS#は、対応するチャンネルの制御信号CTRL#を受け、適切な電圧レベルにシフトして、対応するアナログスイッチSWA#を駆動する。

20

【0043】

この実施例1.1において、各出力端子Po#には、ESD用の保護回路250\_\_#が接続され、共通の入力端子Piには、ESD用の保護回路270が接続されている。保護回路270は、保護回路250と同様に構成することができる。

30

【0044】

またこの実施例1.1において、各ドライバDr#の入力側には、クランプ回路280\_\_#が設けられる。クランプ回路280\_\_#は、保護回路270よりも順方向電圧が小さいダイオードを含む。クランプ回路280\_\_#の構成は、クランプ回路260\_\_#と同様でよく、ショットキーダイオードを含むことができる。

【0045】

アナログスイッチSWAを含むドライバDrの場合、入力側にクランプ回路280\_\_#を設けることで、過電圧およびリングングの抑制効果を一層高めることができる。

【0046】

図7(a)~(c)は、アナログスイッチSWAの構成例の回路図である。図7(a)のアナログスイッチSWAはPMOSトランジスタを含み、そのバックゲートは電源ラインVDDと接続される。図7(b)のアナログスイッチSWAはNMOSトランジスタを含み、そのバックゲートは接地される。図7(c)のアナログスイッチSWAはNMOSトランジスタとPMPSTランジスタのペアで構成される。アナログスイッチSWAの構成は、入力信号Vcomの信号レベル(電圧範囲)に応じて設計すればよい。

40

【0047】

(実施例1.2)

図8は、実施の形態1に係るドライバ回路の具体的な構成例(実施例1.2、符号200Bを付す)の回路図である。ドライバ回路200Bは、各チャンネルの出力端子Poに

50

、ハイレベル電圧、ローレベル電圧の2値を選択的に出力する2値ドライバである。たとえばドライバ回路200Bは、ゲートドライバであり、ディスプレイパネルである負荷回路310Bとともにディスプレイシステム300Bを構成する。

【0048】

各チャンネルのドライバDrは、ハイレベル電圧とローレベル電圧の2値を出力可能なインバータINVを含む。各インバータINV# (# = 1 ~ N)の状態は、対応する制御信号CTRL#に応じて制御される。

【0049】

インバータINVは、ハイサイドトランジスタMHとローサイドトランジスタMLを含む。制御信号CTRL#が第1レベル(たとえばハイ)のとき、ハイサイドトランジスタMHがオン、ローサイドトランジスタMLがオフとなり、出力端子Po#にハイレベル電圧VDDが発生する。制御信号CTRL#が第2レベル(たとえばロー)のとき、ハイサイドトランジスタMHがオフ、ローサイドトランジスタMLがオンとなり、出力端子Po#にローレベル電圧0Vが発生する。

10

【0050】

ドライバ回路200Bは、複数のレベルシフトLS1 ~ LS<sub>N</sub>、信号処理部220、インタフェース回路230を備える。インタフェース回路230は、タイミングコントローラ320Bからの同期信号(制御信号)を受信する。信号処理部220は、ロジック回路であり、インタフェース回路230が受信した同期信号にもとづいて、制御信号CTRL1 ~ CTRL<sub>N</sub>を発生する。各レベルシフトLS#は、対応するチャンネルの制御信号CTRL#を受け、適切な電圧レベルにシフトして、対応するインバータINV#を駆動する。

20

【0051】

ドライバ回路200Bは、各ドライバDr(インバータINV)の出力ノードに接続されるクランプ回路260\_\_#を備える。

【0052】

(実施例1.3)

図9は、実施の形態1に係るドライバ回路の具体的な構成例(実施例1.3、符号200Cを付す)の回路図である。ドライバ回路200Cは、各チャンネルの出力端子Poに、多値の駆動信号を発生させる。

【0053】

たとえばドライバ回路200Cは、ソースドライバであり、ディスプレイパネルである負荷回路310Cとともにディスプレイシステム300Cを構成する。

30

【0054】

各チャンネルのドライバDr#は、任意の電圧レベルを出力可能なアンプ(バッファ)AMP#およびD/AコンバータDAC#を含む。D/AコンバータDAC#は、デジタルの制御信号(輝度データ)CTRL#をアナログの制御信号に変換し、アンプAMP#に供給する。各アンプAMP# (# = 1 ~ N)の出力レベルは、対応する制御信号CTRL#に応じて制御される。

【0055】

ドライバ回路200Cは、複数のレベルシフトLS1 ~ LS<sub>N</sub>、信号処理部220、インタフェース回路230を備える。インタフェース回路230は、タイミングコントローラ320Bからの画像データを受信する。信号処理部220は、ロジック回路であり、インタフェース回路230が受信した画像信号にもとづいて、各画素の輝度を指示する制御信号CTRL1 ~ CTRL<sub>N</sub>を発生する。各レベルシフトLS#は、対応するチャンネルの制御信号CTRL#を受け、適切な電圧レベルにシフトして、対応するD/AコンバータDACに供給する。

40

【0056】

ドライバ回路200Cは、各ドライバDr(アンプAMP)の出力ノードに接続されるクランプ回路260\_\_#を備える。

【0057】

50



## (実施の形態 2)

図 10 は、実施の形態 2 に係るドライバ回路 202 の回路図である。ドライバ回路 202 の基本構成は、図 4 のそれと同様である。ドライバ回路 202 は、複数のバイパス回路 290\_\_1 ~ 290\_\_N をさらに備える。

## 【0058】

複数のバイパス回路 290\_\_1 ~ 290\_\_N は、複数のドライバ  $Dr_1 \sim Dr_N$  に対応する。各バイパス回路 290\_\_# は、対応するドライバ  $Dr_{\#}$  の出力ノード（もしくは入力ノード）と接続されるキャパシタ  $C_{\#}$  を含む。バイパス回路 290\_\_# は、対応する出力端子  $Po_{\#}$  に入力される高周波ノイズを、電源ラインあるいは接地ラインに逃がす。したがってキャパシタ  $C_{\#}$  の容量は、高周波ノイズの周波数帯域において十分に低インピーダンスとなるように定めればよい。

10

## 【0059】

たとえばバイパス回路 290\_\_# は、ドライバ  $Dr_{\#}$  の出力ノードと電源ラインの間に設けられた上側のキャパシタ  $C_{\#H}$  と、ドライバ  $Dr_{\#}$  の出力ノードと接地ラインの間に設けられた下側のキャパシタ  $C_{\#L}$  を含む。

## 【0060】

以上がドライバ回路 202 の構成である。続いてその動作を説明する。図 11 は、図 10 のドライバ回路 202 の動作を説明する図である。図 11 には、隣接する 2 チャンネル  $CH_i, CH_{i+1}$  が示される。2 チャンネル  $CH_i, CH_{i+1}$  間は、キャパシタ  $C_p$  によって結合している。

20

## 【0061】

一方のチャンネル  $CH_i$  のラインの電圧  $Vo_i$  が遷移すると、その高周波成分がキャパシタ  $C_p$  を介して他方のチャンネル  $CH_{i+1}$  のラインに侵入し、誤動作を引き起こしたり、信号品質を劣化させる要因となる。バイパス回路 290\_\_( $i+1$ ) は、キャパシタ  $C_p$  を介して侵入する高周波ノイズを、電源ラインおよび接地ラインに逃がすことができる。これにより、他方のチャンネル  $CH_{i+1}$  のラインの電位  $Vo_{i+1}$  の変動を抑制できる。

## 【0062】

実施の形態 2 においても、ドライバ  $Dr$  の構成は、実施例 1.1 ~ 1.3 で説明したのと同様にさまざまな形式をとりうる。

30

## 【0063】

## (実施例 2.1)

図 12 は、実施の形態 2 に係るドライバ回路の具体的な構成例（実施例 2.1、符号 202A を付す）の回路図である。ドライバ回路 202A は、実施例 1.1（図 6）と同様にスイッチ型のドライバであり、任意のチャンネルの出力端子  $Po$  に、入力端子  $Pi$  に与えられる入力電圧  $V_{com}$  を発生させることができる。各チャンネルのドライバ  $Dr$  は、アナログスイッチ  $SWA$  を含み、各アナログスイッチ  $SWA_{\#}$  ( $\# = 1 \sim N$ ) の状態は、対応する制御信号  $CTRL_{\#}$  に応じて制御される。

## 【0064】

ドライバ回路 202A は、図 6 のドライバ回路 200A に加えて、バイパス回路 290\_\_1 ~ 290\_\_N, 292\_\_1 ~ 292\_\_N を備える。バイパス回路 290\_\_# は、アナログスイッチ  $SWA_{\#}$  の出力側に、バイパス回路 292\_\_# は、アナログスイッチ  $SWA_{\#}$  の入力側に設けられる。

40

## 【0065】

アナログスイッチ  $SWA$  を含むドライバ  $Dr$  の場合、入力側にバイパス回路 292\_\_# を設けることで、ノイズ抑制効果を一層高めることができる。

## 【0066】

図 13 (a) ~ (c) は、アナログスイッチ  $SWA$  およびバイパス回路 290, 292 の構成例の回路図である。バイパス回路 290, 292 を構成するキャパシタ  $C_{\#}$  は、MOS トランジスタのゲート容量で構成することができる。具体的には、MOS トランジスタ

50

タのバックゲート、ドレイン、ソースを接地ライン（もしくは電源ライン）と接続し、ゲートが、アナログスイッチSWAの入力あるいは出力と接続される。

【0067】

なおバイパス回路290、292のキャパシタC#の構造は限定されず、MIIM（Metal Insulator Metal）構造などを用いてもよい。

【0068】

（実施例2.2）

図14は、実施の形態2に係るドライバ回路の具体的な構成例（実施例2.2、符号202Bを付す）の回路図である。ドライバ回路202Bは、実施例1.2（図8）と同様に各チャンネルの出力端子Poに、ハイレベル電圧、ローレベル電圧の2値を選択的に出力する2値ドライバである。

10

【0069】

各チャンネルのドライバDrは、ハイレベル電圧とローレベル電圧の2値を出力可能なインバータINVを含む。各インバータINV#（# = 1 ~ N）の状態は、対応する制御信号CTRL#に応じて制御される。

【0070】

ドライバ回路202Bは、図8のドライバ200Bに加えて、バイパス回路290\_\_1 ~ 290\_\_Nを備える。バイパス回路290\_\_#は、インバータINV#の出力ノードと接続されるキャパシタを含む。

【0071】

20

（実施例2.3）

図15は、実施の形態2に係るドライバ回路の具体的な構成例（実施例2.3、符号202Cを付す）の回路図である。ドライバ回路202Cは、各チャンネルの出力端子Poに、多値の駆動信号を発生させる。

【0072】

各チャンネルのドライバDr#は、任意の電圧レベルを出力可能なアンプ（バッファ）AMP#およびD/AコンバータDAC#を含む。D/AコンバータDAC#は、デジタルの制御信号（輝度データ）CTRL#をアナログの制御信号に変換し、アンプAMP#に供給する。各アンプAMP#（# = 1 ~ N）の出力レベルは、対応する制御信号CTRL#に応じて制御される。

30

【0073】

ドライバ回路202Cは、図9のドライバ回路200Cに加えて、バイパス回路290\_\_1 ~ 290\_\_Nを備える。バイパス回路290\_\_#は、アンプAMP#の出力ノードと接続されるキャパシタを含む。

【0074】

（レイアウト）

図16は、図12のドライバ回路202Aのレイアウト図である。ドライバ回路202Aは、第1方向（x方向）を長手、第2方向（y方向）を短手とするパッケージに収容される。複数の出力端子Po1 ~ PoNは、第1方向に伸びる1辺E1に沿って並べて配置される。保護回路250\_\_iは、チップ外周部のI/O領域に、対応する出力端子Po\_iと近接して設けられる。ひとつの出力端子Po\_iに対応する、クランプ回路260\_\_i、バイパス回路290\_\_i、ドライバDr\_i（アナログスイッチSWA\_i）、バイパス回路292\_\_i、クランプ回路280\_\_iおよびレベルシフトLS\_iは、第2方向に並べて配置される。

40

【0075】

図6のドライバ回路200Aについては、図16からバイパス回路290\_\_1 ~ 290\_\_N、292\_\_1 ~ 292\_\_Nを省略したレイアウトとすればよい。

【0076】

図17は、図14のドライバ回路202Bのレイアウト図である。ドライバ回路202Bは、第1方向（x方向）を長手、第2方向（y方向）を短手とするパッケージに収容さ

50

れる。複数の出力端子  $P_{o1} \sim P_{oN}$  は、第 1 方向に伸びる 1 辺  $E_1$  に沿って並べて配置される。保護回路  $250\_i$  は、チップ外周部の I/O 領域に、対応する出力端子  $P_{oi}$  と近接して設けられる。ひとつの出力端子  $P_{oi}$  に対応する、クランプ回路  $260\_i$ 、バイパス回路  $290\_i$ 、ドライバ  $Dr_i$  (インバータ  $INV_i$ ) およびレベルシフタ  $LS_i$  は、第 2 方向に並べて配置される。

【0077】

図 8 のドライバ回路  $200B$  については、図 17 からバイパス回路  $290\_1 \sim 290\_N$  を省略したレイアウトとすればよい。

【0078】

図 18 は、図 15 のドライバ回路  $202C$  のレイアウト図である。ドライバ回路  $202C$  は、第 1 方向 (x 方向) を長手、第 2 方向 (y 方向) を短手とするパッケージに収容される。複数の出力端子  $P_{o1} \sim P_{oN}$  は、第 1 方向に伸びる 1 辺  $E_1$  に沿って並べて配置される。保護回路  $250\_i$  は、チップ外周部の I/O 領域に、対応する出力端子  $P_{oi}$  と近接して設けられる。ひとつの出力端子  $P_{oi}$  に対応する、クランプ回路  $260\_i$ 、バイパス回路  $290\_i$ 、ドライバ  $Dr_i$  (アンプ  $AMP_i$  および D/A コンバータ  $DAC_i$ ) およびレベルシフタ  $LS_i$  は、第 2 方向に並べて配置される。

【0079】

図 9 のドライバ回路  $200C$  については、図 18 からバイパス回路  $290\_1 \sim 290\_N$  を省略したレイアウトとすればよい。

【0080】

以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

【0081】

クランプ回路  $260$ 、 $280$  に用いる第 2 ダイオード  $SD$  は、ショットキー構造に限定されず、順方向電圧  $V_f$  が、保護回路  $250$ 、 $270$  を構成する第 1 ダイオードより小さいその他の素子を用いることができる。

【0082】

実施の形態 1 では、クランプ回路  $260$  ( $280$ ) を備える構成を、実施の形態 2 では、クランプ回路  $260$  ( $280$ ) とバイパス回路  $290$  ( $292$ ) を備える構成を説明したが、本発明はその限りでなく、たとえばバイパス回路  $290$  ( $292$ ) のみを備える構成も、本発明の一態様として有効である。

【0083】

以上、実施の形態にもとづき、本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎないことはいうまでもなく、実施の形態には、請求の範囲に規定された本発明の思想を離脱しない範囲において、多くの変形例や配置の変更が可能であることはいうまでもない。

【符号の説明】

【0084】

- 100 ディスプレイシステム
- 110 パネル
- 112 画素
- 120 ゲートドライバ
- 130 ソースドライバ
- 200, 202 ドライバ回路
- $P_o$  出力端子
- $Dr$  ドライバ
- $SWA$  アナログスイッチ
- $AMP$  アンプ

10

20

30

40

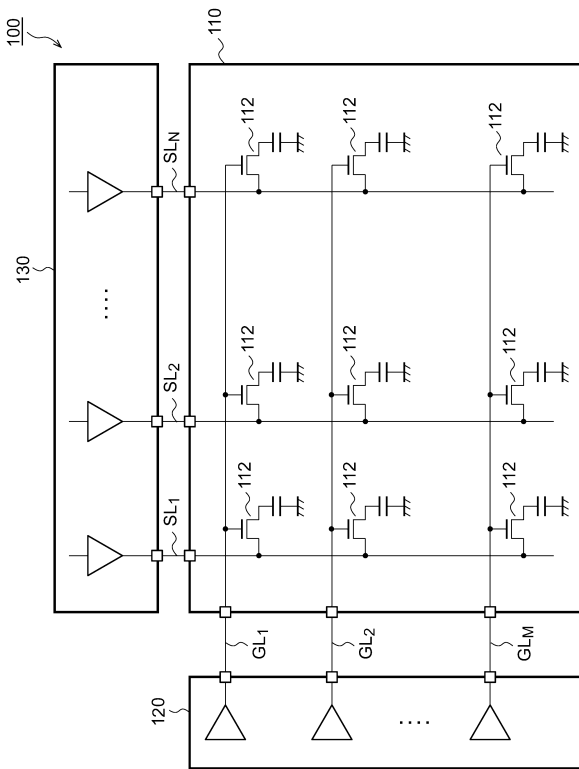
50

- D A C D / Aコンバータ
- I N V インバータ
- 2 2 0 信号処理部
- 2 3 0 インタフェース回路
- 2 5 0 保護回路
- 2 6 0 クランプ回路
- 2 7 0 保護回路
- 2 8 0 クランプ回路
- 2 9 0 , 2 9 2 バイパス回路
- 3 0 0 システム
- 3 1 0 負荷回路
- 3 2 0 ホストプロセッサ

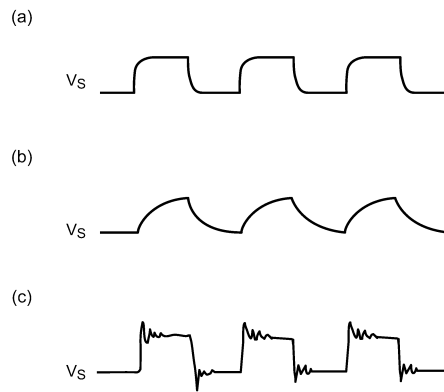
10

【図面】

【図 1】



【図 2】



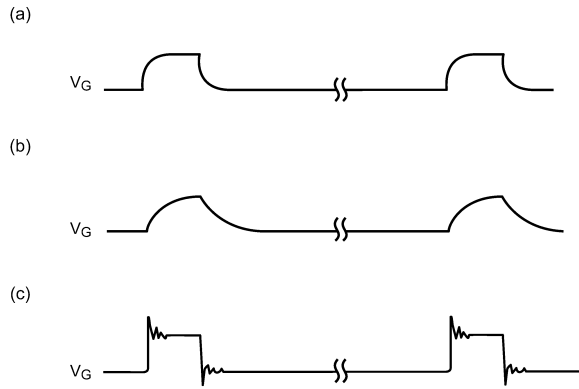
20

30

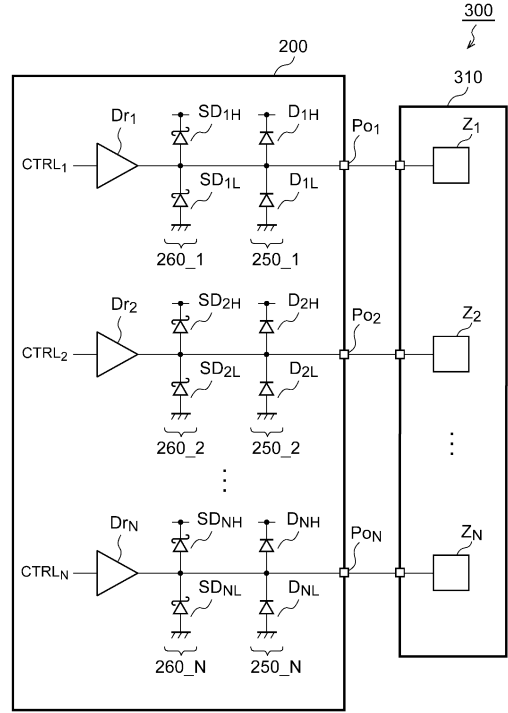
40

50

【図3】



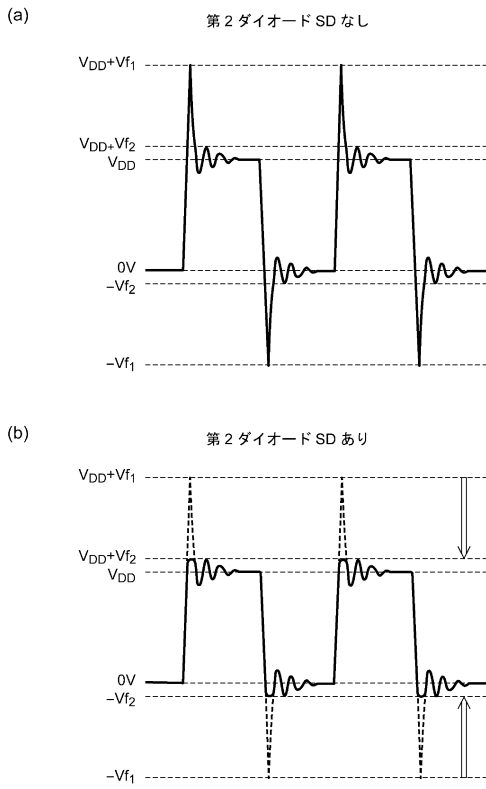
【図4】



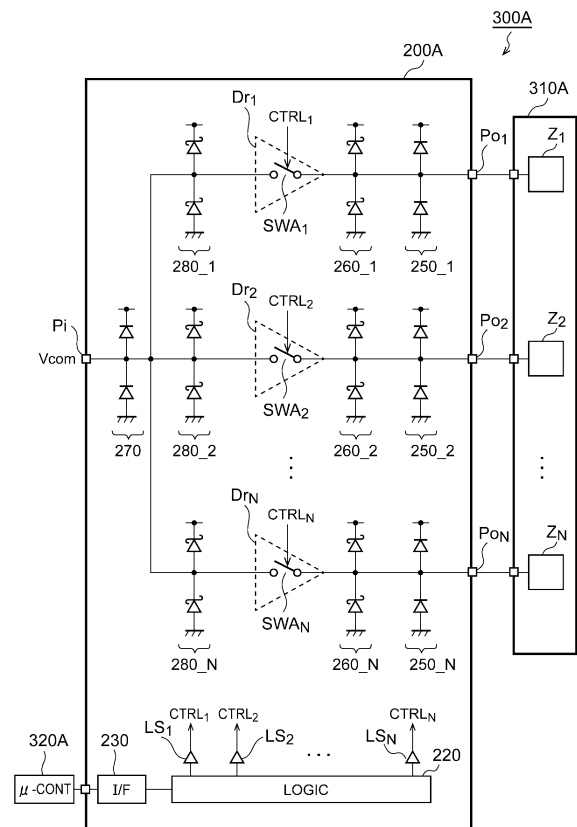
10

20

【図5】



【図6】

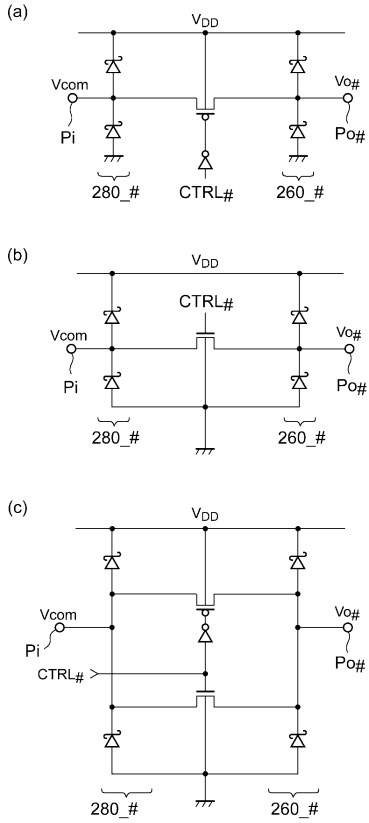


30

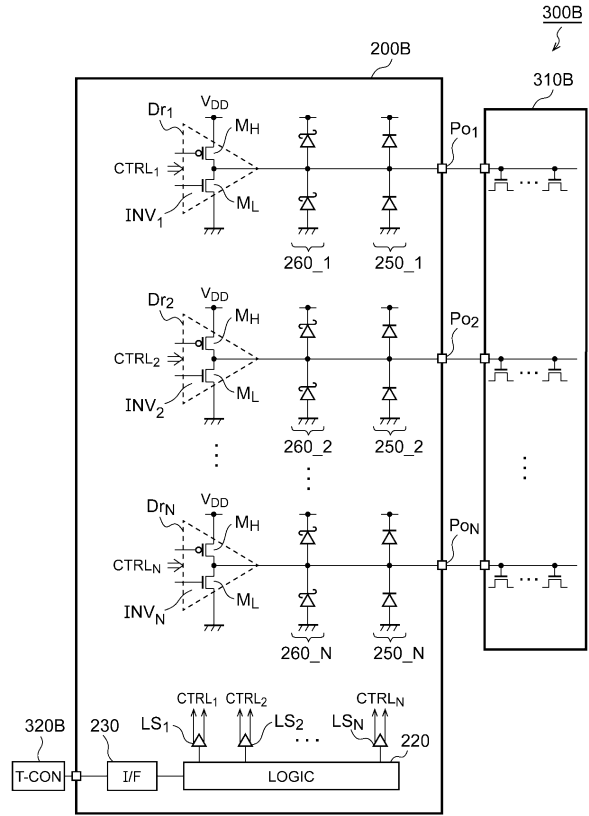
40

50

【 図 7 】



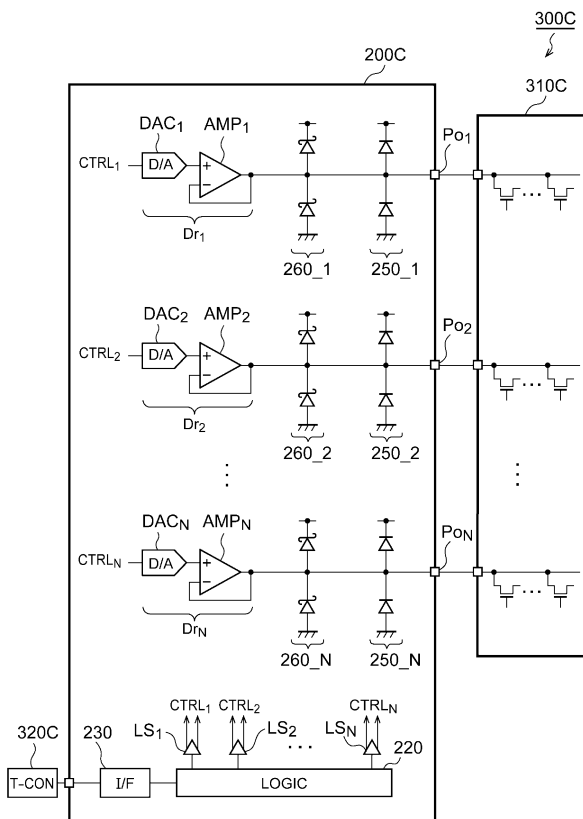
【 図 8 】



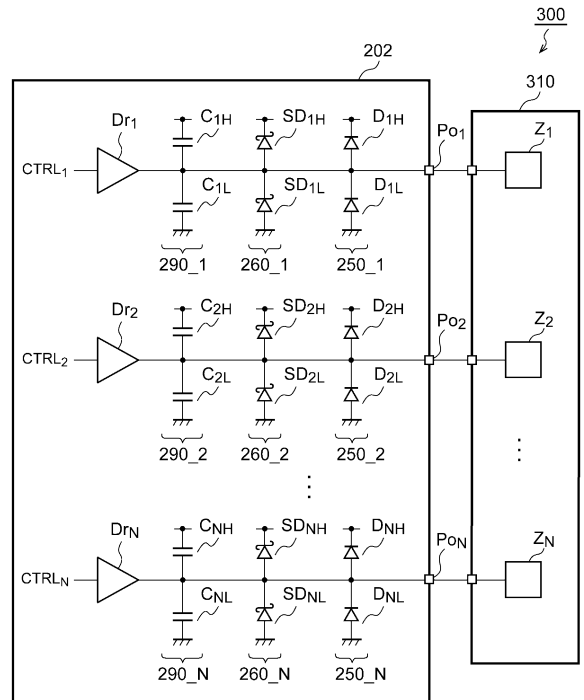
10

20

【 図 9 】



【 図 10 】

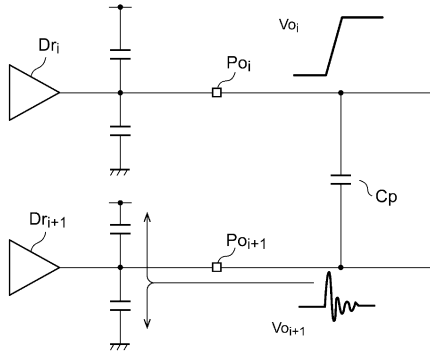


30

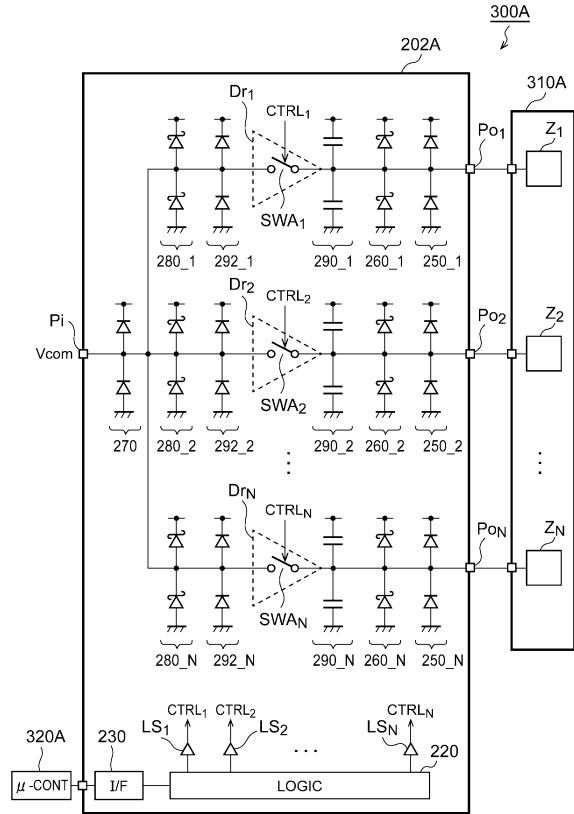
40

50

【図 1 1】



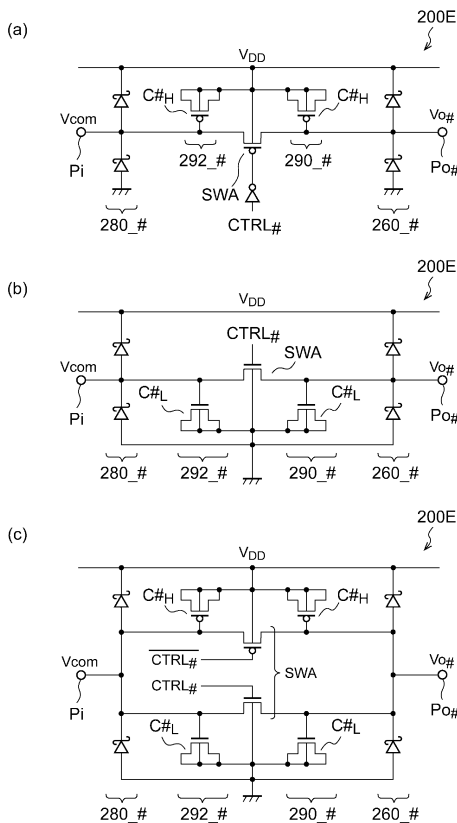
【図 1 2】



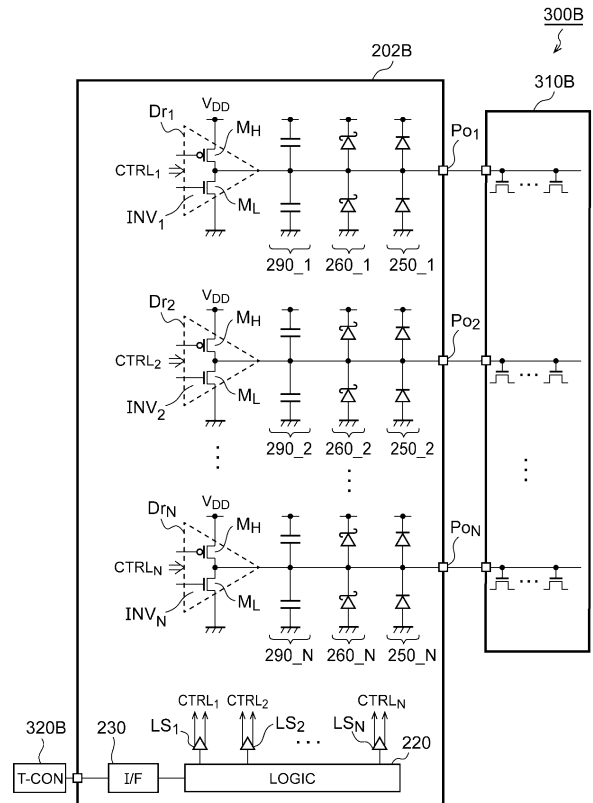
10

20

【図 1 3】



【図 1 4】

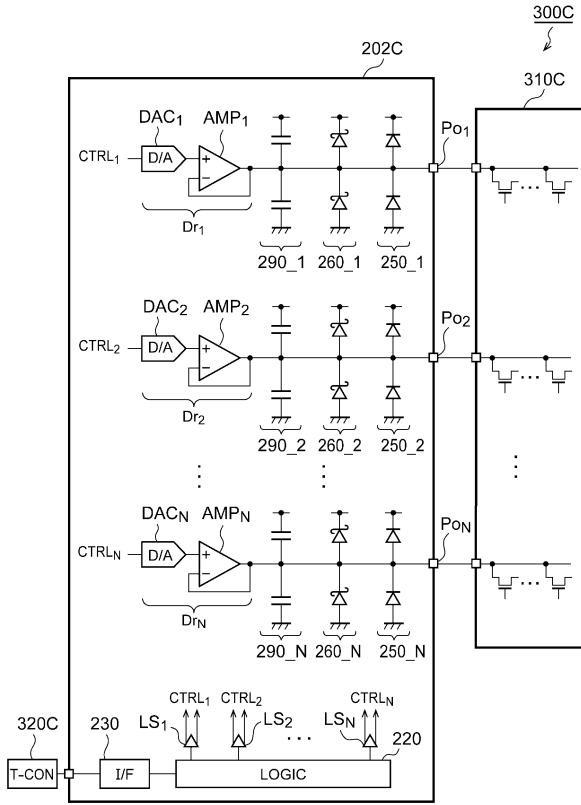


30

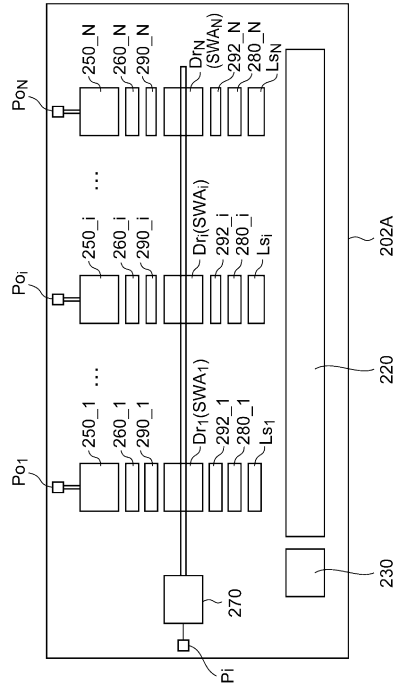
40

50

【図 15】



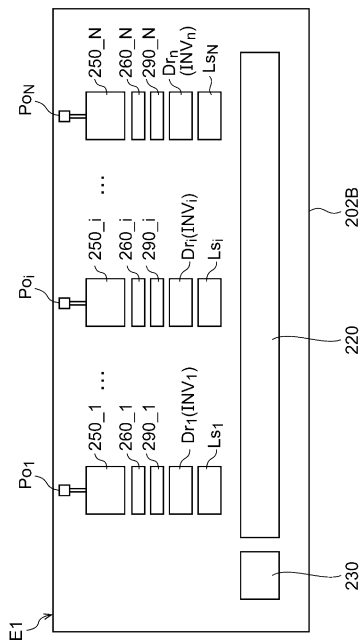
【図 16】



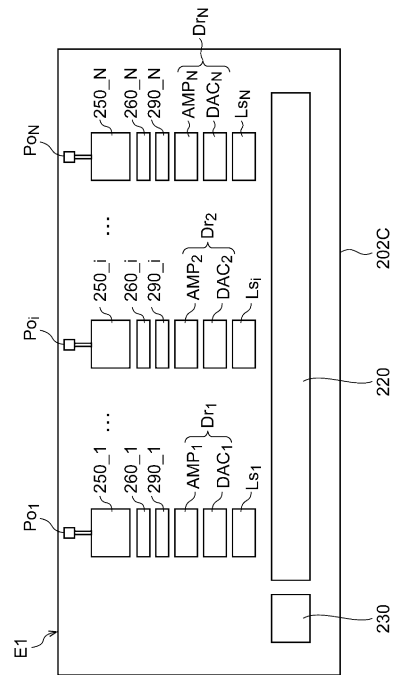
10

20

【図 17】



【図 18】



30

40

50



## フロントページの続き

(51)国際特許分類	F I		
G 0 9 G 3/20 (2006.01)	G 0 2 F	1/133	5 5 0
G 0 9 G 3/36 (2006.01)	G 0 9 G	3/20	6 1 1 J
H 0 1 L 21/822 (2006.01)	G 0 9 G	3/20	6 2 1 M
H 0 1 L 27/04 (2006.01)	G 0 9 G	3/20	6 8 0 G
	G 0 9 G	3/36	
	H 0 1 L	27/04	A
	H 0 1 L	27/04	C
	H 0 1 L	27/04	H

- (56)参考文献 特開昭 5 8 - 1 9 7 8 7 0 ( J P , A )  
 特開 2 0 1 3 - 0 4 8 2 0 9 ( J P , A )  
 特開昭 5 9 - 1 9 1 3 7 1 ( J P , A )  
 特開 2 0 0 8 - 0 0 3 5 9 1 ( J P , A )  
 特開平 0 4 - 0 9 7 5 6 1 ( J P , A )  
 特開 2 0 1 0 - 2 3 2 6 0 6 ( J P , A )  
 特開 2 0 0 8 - 1 9 1 0 0 1 ( J P , A )  
 特開 2 0 0 4 - 2 5 8 1 0 3 ( J P , A )  
 特開 2 0 0 0 - 3 5 7 9 4 9 ( J P , A )  
 国際公開第 2 0 1 3 / 1 7 2 0 6 0 ( W O , A 1 )

- (58)調査した分野 (Int.Cl., D B 名)  
 H 0 3 K 1 7 / 0 0 - 1 7 / 7 0  
 G 0 9 G 3 / 3 6  
 G 0 9 G 3 / 2 0  
 H 0 1 L 2 1 / 8 2 2  
 B 4 1 J 2 / 3 5 5  
 B 4 1 J 2 / 4 4 7  
 B 4 1 J 2 / 4 5  
 G 0 2 F 1 / 1 3 3