



(12) 发明专利

(10) 授权公告号 CN 110827876 B

(45) 授权公告日 2023. 10. 27

(21) 申请号 201910743703.6

(22) 申请日 2019.08.13

(65) 同一申请的已公布的文献号
申请公布号 CN 110827876 A

(43) 申请公布日 2020.02.21

(30) 优先权数据
16/101,600 2018.08.13 US

(73) 专利权人 美光科技公司
地址 美国爱达荷州

(72) 发明人 阿龙·S·叶

(74) 专利代理机构 北京律盟知识产权代理有限
责任公司 11287
专利代理师 王龙

(51) Int.Cl.

G11C 8/04 (2006.01)

G11C 8/10 (2006.01)

G11C 8/12 (2006.01)

(56) 对比文件

CN 101071638 A, 2007.11.14

CN 105917409 A, 2016.08.31

KR 20050097595 A, 2005.10.10

US 9773553 B1, 2017.09.26

审查员 邢露

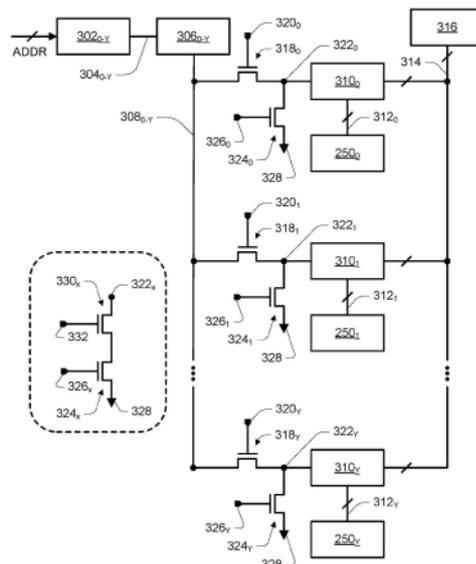
权利要求书5页 说明书14页 附图12页

(54) 发明名称

用于解码用于存取操作的存储器存取地址
的设备和方法

(57) 摘要

本申请涉及用于解码用于存取操作的存储器存取地址的设备和方法。本发明涉及具有块选择电路的存储器,所述块选择电路具有选择性地连接到多个驱动器电路的输出,每一驱动器电路连接到相应的存储器单元块;以及涉及操作此类存储器的方法。



1. 一种存储器,其包括:

存储器单元阵列,其包括多个存储器单元块;

多条数据线,其中所述多条数据线中的每条数据线选择性地连接到所述多个存储器单元块中的每个存储器单元块的相应的串联连接的存储器单元串;

多个驱动器电路,所述多个驱动器电路的每一驱动器电路包括连接到所述多个存储器单元块的相应的存储器单元块的相应的多个开关;以及

块选择电路,其具有输出,其中所述块选择电路的所述输出选择性地连接到用于所述多个驱动器电路的每一驱动器电路的所述相应的多个开关中的相应的每个开关的控制栅极。

2. 根据权利要求1所述的存储器,其中所述多个驱动器电路是第一多个驱动器电路,且其中所述块选择电路是第一块选择电路,所述存储器进一步包括:

第二多个驱动器电路,所述第二多个驱动器电路的每一驱动器电路连接到所述多个存储器单元块的相应的存储器单元块;以及

第二块选择电路,其具有输出,其中所述第二块选择电路的所述输出选择性地连接到所述第二多个驱动器电路的每一驱动器电路;

其中所述第一块选择电路的所述输出响应于第一控制信号选择性地连接到所述第一多个驱动器电路的第一驱动器电路;以及

其中所述第二块选择电路的所述输出响应于所述第一控制信号选择性地连接到所述第二多个驱动器电路的第一驱动器电路。

3. 根据权利要求2所述的存储器,其进一步包括:

其中所述第一块选择电路的所述输出响应于第二控制信号选择性地连接到所述第一多个驱动器电路的第二驱动器电路;以及

其中所述第二块选择电路的所述输出响应于所述第二控制信号选择性地连接到所述第二多个驱动器电路的第二驱动器电路。

4. 根据权利要求2所述的存储器,其进一步包括:

第一开关,其连接于第一电流汇和所述第一多个驱动器电路的所述第一驱动器电路之间,且连接以接收第二控制信号;以及

第二开关,其连接于第二电流汇和所述第二多个驱动器电路的所述第一驱动器电路之间,且连接以接收所述第二控制信号。

5. 根据权利要求4所述的存储器,其中所述第一开关响应于所述第一控制信号进一步选择性地连接到所述第一块选择电路的所述输出,且其中所述第二开关响应于所述第一控制信号进一步选择性地连接到所述第二块选择电路的所述输出。

6. 根据权利要求4所述的存储器,其中所述第一电流汇和所述第二电流汇是相同电流汇。

7. 根据权利要求4所述的存储器,其中所述第一电流汇和所述第二电流汇各自为接地节点。

8. 根据权利要求4所述的存储器,其进一步包括:

额外开关,其连接于所述第一开关和所述第一多个驱动器电路的所述第一驱动器电路之间,且连接以接收第三控制信号;以及

额外开关,其连接于所述第二开关和所述第二多个驱动器电路的所述第一驱动器电路之间,且连接以接收所述第三控制信号。

9. 根据权利要求4所述的存储器,其中所述第一控制信号被配置成响应于所述第一多个驱动器电路的所述第一驱动器电路的所述相应的存储器单元块或所述第二多个驱动器电路的所述第一驱动器电路的所述相应的存储器单元块被选择用于存取操作,具有第一逻辑电平,且响应于所述第一多个驱动器电路的所述第一驱动器电路的所述相应的存储器单元块或所述第二多个驱动器电路的所述第一驱动器电路的所述相应的存储器单元块均未被选择用于存取操作,具有不同于所述第一逻辑电平的第二逻辑电平。

10. 根据权利要求2所述的存储器,其进一步包括:

第一选择线,其中所述第一选择线连接到所述第一多个驱动器电路的所述第一驱动器电路的相应的存储器单元块,且连接到所述第一多个驱动器电路的所述第一驱动器电路;

第二选择线,其中所述第二选择线连接到所述第二多个驱动器电路的所述第一驱动器电路的所述相应的存储器单元块,且连接到所述第二多个驱动器电路的所述第一驱动器电路;

第一开关,其连接于第一电流汇和所述第一选择线之间,且连接以接收第二控制信号;以及

第二开关,其连接于第二电流汇和所述第二选择线之间,且连接以独立于所述第二控制信号而接收第三控制信号。

11. 根据权利要求2所述的存储器,其进一步包括:

全局存取线;

其中所述全局存取线响应于所述第一控制信号和所述第一块选择电路的所述输出选择性地连接到所述第一多个驱动器电路的所述第一驱动器电路的所述相应的存储器单元块的局部存取线;以及

其中所述全局存取线响应于所述第一控制信号和所述第二块选择电路的所述输出选择性地连接到所述第二多个驱动器电路的所述第一驱动器电路的所述相应的存储器单元块的局部存取线。

12. 根据权利要求2所述的存储器,其进一步包括:

全局存取线;

其中,对于所述第一多个驱动器电路的每一驱动器电路,所述驱动器电路被配置成响应于所述第一控制信号和所述第一块选择电路的所述输出选择性地将其全局存取线连接到其相应的存储器单元块的局部存取线;以及

其中,针对所述第二多个驱动器电路的每一驱动器电路,所述驱动器电路被配置成响应于所述第一控制信号和所述第二块选择电路的所述输出选择性地将其全局存取线连接到其相应的存储器单元块的局部存取线。

13. 根据权利要求1所述的存储器,其进一步包括:

解码电路,其连接到所述块选择电路的输入且被配置成将启用信号施加到所述块选择电路的所述输入;

其中所述启用信号被配置成响应于所述多个驱动器电路的任何驱动器电路的所述相应的存储器单元块被选择用于存取操作,具有第一逻辑电平,且响应于所述多个驱动器电

路中没有相应的存储器单元块被选择用于所述存取操作,具有不同于所述第一逻辑电平的第二逻辑电平。

14. 一种存储器,其包括:

存储器单元阵列,其包括多个存储器单元块;

第一多个驱动器电路,所述第一多个驱动器电路的每一驱动器电路连接到所述多个存储器单元块的相应的存储器单元块;以及

第一块选择电路,其具有输出,其中所述第一块选择电路的所述输出选择性地连接到所述第一多个驱动器电路的每一驱动器电路;

第二多个驱动器电路,所述第二多个驱动器电路的每一驱动器电路连接到所述多个存储器单元块的相应的存储器单元块;以及

第二块选择电路,其具有输出,其中所述第二块选择电路的所述输出选择性地连接到所述第二多个驱动器电路的每一驱动器电路;

其中所述第一块选择电路的所述输出响应于第一控制信号选择性地连接到所述第一多个驱动器电路的第一驱动器电路;以及

其中所述第二块选择电路的所述输出响应于所述第一控制信号选择性地连接到所述第二多个驱动器电路的第一驱动器电路。

15. 根据权利要求14所述的存储器,其进一步包括:

其中所述第一块选择电路的所述输出响应于第二控制信号选择性地连接到所述第一多个驱动器电路的第二驱动器电路;以及

其中所述第二块选择电路的所述输出响应于所述第二控制信号选择性地连接到所述第二多个驱动器电路的第二驱动器电路。

16. 根据权利要求14所述的存储器,其进一步包括:

第一开关,其连接于第一电流汇和所述第一多个驱动器电路的所述第一驱动器电路之间,且连接以接收第二控制信号;以及

第二开关,其连接于第二电流汇和所述第二多个驱动器电路的所述第一驱动器电路之间,且连接以接收所述第二控制信号。

17. 根据权利要求16所述的存储器,其中所述第一开关响应于所述第一控制信号进一步选择性地连接到所述第一块选择电路的所述输出,且其中所述第二开关响应于所述第一控制信号进一步选择性地连接到所述第二块选择电路的所述输出。

18. 根据权利要求16所述的存储器,其中所述第一电流汇和所述第二电流汇是相同电流汇。

19. 根据权利要求16所述的存储器,其中所述第一电流汇和所述第二电流汇各自为接地节点。

20. 根据权利要求16所述的存储器,其进一步包括:

额外开关,其连接于所述第一开关和所述第一多个驱动器电路的所述第一驱动器电路之间,且连接以接收第三控制信号;以及

额外开关,其连接于所述第二开关和所述第二多个驱动器电路的所述第一驱动器电路之间,且连接以接收所述第三控制信号。

21. 根据权利要求16所述的存储器,其中所述第一控制信号被配置成响应于所述第一

多个驱动器电路的所述第一驱动器电路的所述相应的存储器单元块或所述第二多个驱动器电路的所述第一驱动器电路的所述相应的存储器单元块被选择用于存取操作,具有第一逻辑电平,且响应于所述第一多个驱动器电路的所述第一驱动器电路的所述相应的存储器单元块或所述第二多个驱动器电路的所述第一驱动器电路的所述相应的存储器单元块均未被选择用于存取操作,具有不同于所述第一逻辑电平的第二逻辑电平。

22. 根据权利要求14所述的存储器,其进一步包括:

第一选择线,其中所述第一选择线连接到所述第一多个驱动器电路的所述第一驱动器电路的相应的存储器单元块,且连接到所述第一多个驱动器电路的所述第一驱动器电路;

第二选择线,其中所述第二选择线连接到所述第二多个驱动器电路的所述第一驱动器电路的所述相应的存储器单元块,且连接到所述第二多个驱动器电路的所述第一驱动器电路;

第一开关,其连接于第一电流汇和所述第一选择线之间,且连接以接收第二控制信号;以及

第二开关,其连接于第二电流汇和所述第二选择线之间,且连接以独立于所述第二控制信号而接收第三控制信号。

23. 根据权利要求14所述的存储器,其进一步包括:

全局存取线;

其中所述全局存取线响应于所述第一控制信号和所述第一块选择电路的所述输出选择性地连接到所述第一多个驱动器电路的所述第一驱动器电路的所述相应的存储器单元块的局部存取线;以及

其中所述全局存取线响应于所述第一控制信号和所述第二块选择电路的所述输出选择性地连接到所述第二多个驱动器电路的所述第一驱动器电路的所述相应的存储器单元块的局部存取线。

24. 根据权利要求14所述的存储器,其进一步包括:

全局存取线;

其中,对于所述第一多个驱动器电路的每一驱动器电路,所述驱动器电路被配置成响应于所述第一控制信号和所述第一块选择电路的所述输出选择性地将其全局存取线连接到其相应的存储器单元块的局部存取线;以及

其中,针对所述第二多个驱动器电路的每一驱动器电路,所述驱动器电路被配置成响应于所述第一控制信号和所述第二块选择电路的所述输出选择性地将其全局存取线连接到其相应的存储器单元块的局部存取线。

25. 一种存储器,其包括:

存储器单元阵列,其包括多个存储器单元块;

多个驱动器电路,所述多个驱动器电路的每一驱动器电路连接到所述多个存储器单元块的相应的存储器单元块;

块选择电路,其具有输出,其中所述块选择电路的所述输出选择性地连接到所述多个驱动器电路的每一驱动器电路;以及

解码电路,其连接到所述块选择电路的输入且被配置成将启用信号施加到所述块选择电路的所述输入;

其中所述启用信号被配置成响应于所述多个驱动器电路的任何驱动器电路的所述相应的存储器单元块被选择用于存取操作,具有第一逻辑电平,且响应于所述多个驱动器电路中没有相应的存储器单元块被选择用于所述存取操作,具有不同于所述第一逻辑电平的第二逻辑电平。

用于解码用于存取操作的存储器存取地址的设备和方法

技术领域

[0001] 本公开大体上涉及存储器,且确切地说,在一或多个实施例中,本公开涉及用于解码用于存取操作的存储器存取地址的设备和方法。

背景技术

[0002] 存储器(例如,存储器装置)通常提供为计算机或其它电子装置中的内部半导体集成电路装置。存在许多不同类型的存储器,包含随机存取存储器(RAM)、只读存储器(ROM)、动态随机存取存储器(DRAM)、同步动态随机存取存储器(SDRAM)和快闪存储器。

[0003] 快闪存储器已发展成用于多种多样的电子应用的广受欢迎的非易失性存储器源。快闪存储器通常使用允许高存储器密度、高可靠性和低功耗的单晶体管存储器单元。经由电荷存储结构(例如,浮动栅极或电荷捕集器)的编程(其常常被称作写入)或其它物理现象(例如,相变或偏振)而发生的存储器单元的阈值电压(V_t)的改变决定每一存储器单元的数据状态(例如,数据值)。快闪存储器和其它非易失性存储器的常见用途包含个人计算机、个人数字助理(PDA)、数码相机、数字媒体播放器、数字记录器、游戏、电气设备、车辆、无线装置、移动电话和可拆卸式存储器模块,且非易失性存储器的使用在持续扩增。

[0004] NAND快闪存储器是常用类型的快闪存储器装置,如此称谓的原因在于布置基本存储器单元配置的逻辑形式。通常,用于NAND快闪存储器的存储器单元阵列被布置成使得阵列中的一行中的每个存储器单元的控制栅极连接在一起以形成存取线,例如字线。阵列中的列包含在一对选择栅极之间,例如在源极选择晶体管与漏极选择晶体管之间,串联连接在一起的存储器单元串(常常被称为NAND串)。每个源极选择晶体管可连接到源极,而每个漏极选择晶体管可连接到数据线,例如列位线。使用存储器单元串与源极之间和/或存储器单元串与数据线之间的一个以上选择栅极的变型是已知的。

[0005] 随着使用存储器的系统的性能标准变得越来越苛刻,可能需要更快地存取存储器。

发明内容

[0006] 在一个方面中,本申请提供一种存储器,所述存储器包括:存储器单元阵列,其包括多个存储器单元块;多个驱动器电路,所述多个驱动器电路的每一驱动器电路连接到所述多个存储器单元块的相应的存储器单元块;以及块选择电路,其具有输出,其中所述块选择电路的所述输出选择性地连接到所述多个驱动器电路的每一驱动器电路。

[0007] 在另一方面中,本申请提供一种操作存储器的方法,所述方法包括:针对多个存储器单元块的每一存储器单元块,确定所述存储器单元块是否被选择用于存取操作;产生控制信号,所述控制信号在所述多个存储器单元块的至少一个存储器单元块被选择用于所述存取操作时具有第一电压电平,且在所述多个存储器单元块中没有存储器单元块被选择用于所述存取操作时具有不同于所述第一电压电平的第二电压电平;以及针对所述多个存储器单元块的每一存储器单元块,当所述存储器单元块被选择用于所述存取操作时将所

述控制信号施加到所述存储器单元块的驱动器电路。

[0008] 在又一方面中,本申请提供一种操作存储器的方法,所述方法包括:针对多个存储器单元块的每一存储器单元块,确定所述存储器单元块是否被选择用于存取操作,其中所述多个存储器单元块包括存储器单元块的多个子集,且其中存储器单元块的所述多个子集的存储器单元块的任何子集的每一存储器单元块具有针对存储器单元块的所述多个子集的存储器单元块的每一剩余子集的相应的对应存储器单元块;以及针对存储器单元块的所述多个子集的存储器单元块的每一子集:产生存储器单元块的所述子集的相应控制信号,所述相应控制信号在存储器单元块的所述子集的至少一个存储器单元块被选择用于所述存取操作时具有第一电压电平,且在存储器单元块的所述子集中没有存储器单元块被选择用于所述存取操作时具有不同于所述第一电压电平的第二电压电平;以及针对存储器单元块的所述子集的每一存储器单元块,当所述存储器单元块或存储器单元块的所述多个子集的存储器单元块的任何剩余子集的其对应的存储器单元块被选择用于所述存取操作时,将存储器单元块的所述子集的所述相应控制信号施加到所述存储器单元块的驱动器电路。

附图说明

[0009] 图1是根据一实施例作为电子系统的部分的存储器与处理器通信的简化框图。

[0010] 图2A-2C是如可用于参考图1描述的类型存储器中的存储器单元阵列的部分的示意图。

[0011] 图3A是用于相关技术的多个存储器单元块的存取的行解码电路的组件的示意框图。

[0012] 图3B是根据一实施例用于存取多个存储器单元块的行解码电路的组件的示意框图。

[0013] 图4是根据一实施例的块选择电路的示意图。

[0014] 图5是根据一实施例的块解码电路的示意框图。

[0015] 图6是根据一实施例用于存取存储器单元块的电路的示意框图。

[0016] 图7是根据一实施例的额外解码电路的示意图。

[0017] 图8是根据另一实施例用于存取多个存储器单元块的行解码器的组件的示意框图。

[0018] 图9A-9B是根据实施例用于存取操作的时序图。

[0019] 图10是根据一实施例操作存储器的方法的流程图。

[0020] 图11是根据另一实施例操作存储器的方法的流程图。

具体实施方式

[0021] 在以下详细描述中,参考附图,附图形成本发明的一部分且其中借助于说明展示特定实施例。在图式中,遍及若干视图,相同的参考标号描述大体上相似的组件。在不脱离本公开的范围的情况下可以利用其它实施例,且可以作出结构、逻辑和电学改变。因此,不应按限制性意义来看待以下详细描述。

[0022] 举例来说,本文所使用的术语“半导体”可以指一层材料、晶片或衬底,并包含任何基础半导体结构。“半导体”应被理解为包含蓝宝石上硅(SOS)技术、绝缘体上硅(SOI)技术、

薄膜晶体管 (TFT) 技术、掺杂和未掺杂半导体、由基础半导体结构支撑的外延硅层、以及所属领域的技术人员众所周知的其它半导体结构。此外,当在以下描述中参考半导体时,可能已利用先前处理步骤在基础半导体结构中形成区/界面,且术语半导体可包含含有此类区/界面的下伏层。除非另外从上下文显而易见,否则如本文中使用的术语导电 (conductive) 以及其各种相关形式 (例如 conduct、conductively、conducting、conduction、conductivity 等) 指代电学上的导电。类似地,除非另外从上下文显而易见,否则如本文中使用的术语连接 (connecting) 以及其各种相关形式 (例如 connect、connected、connection 等) 指代电学上连接。

[0023] 图1是根据一实施例作为呈电子系统的形式的第三设备的部分的呈存储器(例如,存储器装置)100的形式的设备与呈处理器130的形式的第二设备通信的简化框图。电子系统的一些实例包含个人计算机、个人数字助理 (PDA)、数码相机、数字媒体播放器、数字记录器、游戏、电气设备、车辆、无线装置、蜂窝电话等。例如存储器装置100外部的控制器等处理器130可以是存储器控制器或其它外部主机装置。

[0024] 存储器装置100包含以行和列逻辑地布置的存储器单元阵列104。逻辑行中的存储器单元通常连接到同一存取线(通常被称为字线),而逻辑列中的存储器单元通常选择性地连接到同一数据线(通常被称为位线)。单个存取线可与一个以上逻辑行的存储器单元相关联,且单个数据线可与一个以上逻辑列相关联。存储器单元阵列104的至少一部分的存储器单元(图1中未展示)能够编程成至少两个数据状态中的一个。

[0025] 提供行解码电路108和列解码电路110以对地址信号进行解码。行解码电路108可被配置成根据实施例存取存储器单元块。接收和解码地址信号以存取存储器单元阵列104。存储器装置100还包含输入/输出 (I/O) 控制电路112以管理命令、地址和数据到存储器装置100的输入以及数据和状态信息从存储器装置100的输出。地址寄存器114与I/O控制电路112和行解码电路108及列解码电路110通信以在解码之前锁存地址信号。命令寄存器124与I/O控制电路112和控制逻辑116通信以锁存传入命令。

[0026] 根据本文中描述的实施例,控制器(例如,存储器装置100内部的控制逻辑116)响应于所述命令控制对存储器单元阵列104的存取,且产生外部处理器130的状态信息,即,控制逻辑116被配置成执行存取操作(例如,读取操作、编程操作和/或擦除操作)。控制逻辑116与行解码电路108和列解码电路110通信,以响应于地址而控制行解码电路108和列解码电路110。

[0027] 控制逻辑116还与高速缓冲寄存器118通信。高速缓冲寄存器118如控制逻辑116所引导而锁存传入或传出的数据以在存储器单元阵列104正忙于分别写入或读取其它数据时暂时存储数据。在编程操作(例如,写入操作)期间,数据可从高速缓冲寄存器118传递到数据寄存器120以供传递到存储器单元阵列104;随后新数据可从I/O控制电路112锁存在高速缓冲寄存器118中。在读取操作期间,数据可从高速缓冲寄存器118传递到I/O控制电路112以供输出到外部处理器130;随后新数据可从数据寄存器120传递到高速缓冲寄存器118。高速缓冲寄存器118和/或数据寄存器120可形成存储器装置100的页缓冲区(例如,可形成其一部分)。页缓冲区可进一步包含感测装置(未图示)以感测存储器单元阵列104的存储器单元的数据状态。状态寄存器122可与I/O控制电路112和控制逻辑116通信以锁存状态信息以供输出到处理器130。

[0028] 存储器装置100经由控制链路132从处理器130接收控制逻辑116处的控制信号。控制信号可能包含芯片启用CE#、命令锁存启用CLE、地址锁存启用ALE、写入启用WE#、读取启用RE#和写入保护WP#。取决于存储器装置100的性质,可经由控制链路132进一步接收额外或替代性控制信号(未展示)。存储器装置100经由多路复用输入/输出(I/O)总线134从处理器130接收命令信号(表示命令)、地址信号(表示地址)和数据信号(表示数据),并经由I/O总线134将数据输出到处理器130。

[0029] 举例来说,可经由I/O控制电路112处的I/O总线134的输入/输出(I/O)引脚[7:0]接收命令,且接着可将所述命令写入到命令寄存器124中。可经由I/O控制电路112处的I/O总线134的输入/输出(I/O)引脚[7:0]接收地址,且接着可将所述地址写入到地址寄存器114中。可经由I/O控制电路112处的8位装置的输入/输出(I/O)引脚[7:0]或16位装置的输入/输出(I/O)引脚[15:0]接收数据,且接着可将所述数据写入到高速缓冲寄存器118中。所述数据可随后写入到数据寄存器120中用于编程存储器单元阵列104。对于另一实施例,高速缓冲寄存器118可省略,且所述数据可直接写入到数据寄存器120中。数据还可经由8位装置的输入/输出(I/O)引脚[7:0]或16位装置的输入/输出(I/O)引脚[15:0]输出。

[0030] 所属领域的技术人员应了解,可提供额外的电路和信号,且已简化图1的存储器装置100。应认识到,参考图1描述的各种块组件的功能性可能不一定与集成电路装置的相异组件或组件部分分离。举例来说,集成电路装置的单个组件或组件部分可经调适以执行图1的一个以上块组件的功能性。或者,可组合集成电路装置的一或多个组件或组件部分,以执行图1的单个块组件的功能性。

[0031] 此外,尽管根据各种信号的接收和输出的流行惯例而描述特定I/O引脚,但应注意,可在各种实施例中用其它I/O引脚(或其它I/O节点结构)的组合或其它数目个I/O引脚(或其它I/O节点结构)。

[0032] 图2A是如可例如作为存储器单元阵列104的一部分在参考图1描述的类型存储器中使用的例如NAND存储器阵列等存储器单元阵列200A的一部分的示意图。存储器单元阵列200A包含例如字线202₀到202_N等存取线和例如位线204₀到204_M等数据线。字线202可以对一关系连接到图2A中未展示的全局存取线(例如,全局字线)。对于一些实施例,存储器单元阵列200A可形成于半导体上方,所述半导体例如可经导电掺杂以具有例如p型导电性等导电类型例如以形成p阱,或n型电导率例如以形成n阱。

[0033] 存储器单元阵列200A可能以行(每行对应于字线202)和列(每列对应于位线204)布置。每列可包含串联连接的存储器单元(例如,非易失性存储器单元)串,例如NAND串206₀到206_M中的一个。每个NAND串206可能连接(例如,选择性地连接)到共用源极(SRC)216且可能包含存储器单元208₀到208_N。存储器单元208可表示用于存储数据的非易失性存储器单元。每一NAND串206的存储器单元208可能串联连接在选择栅极210(例如,场效应晶体管)和选择栅极212(例如,场效应晶体管)之间,所述选择栅极210例如是选择栅极210₀到210_M中的一个(例如,其可为源极选择晶体管,通常被称为选择栅极源极),所述选择栅极212例如是选择栅极212₀到212_M中的一个(例如,其可为漏极选择晶体管,通常被称为选择栅极漏极)。选择栅极210₀到210_M可能共同地连接到选择线214,例如源极选择线(SGS),且选择栅极212₀到212_M可能共同地连接到选择线215,例如漏极选择线(SGD)。尽管描绘为传统场效应晶体管,但选择栅极210和212可利用类似于(例如,相同于)存储器单元208的结构。选择栅极210

和212可能表示串联连接的多个选择栅极,其中串联的每一选择栅极被配置成接收相同或独立的控制信号。

[0034] 每一选择栅极210的源极可能连接到共用源极216。每一选择栅极210的漏极可能连接到对应NAND串206的存储器单元208₀。举例来说,选择栅极210₀的漏极可能连接到对应NAND串206₀的存储器单元208₀。因此,每一选择栅极210可能被配置成将对应NAND串206选择性地连接到共用源极216。每一选择栅极210的控制栅极可能连接到选择线214。

[0035] 每一选择栅极212的漏极可能连接到对应NAND串206的位线204。举例来说,选择栅极212₀的漏极可能连接到对应NAND串206₀的位线204₀。每一选择栅极212的源极可能连接到对应NAND串206的存储器单元208_N。举例来说,选择栅极212₀的源极可能连接到对应NAND串206₀的存储器单元208_N。因此,每一选择栅极212可能被配置成将对应NAND串206选择性地连接到对应位线204。每一选择栅极212的控制栅极可能连接到选择线215。

[0036] 图2A中的存储器阵列可能是准二维存储器阵列,且可能具有大体平面结构,例如其中共用源极216、NAND串206和位线204在大体上平行的平面中延伸。或者,图2A中的存储器阵列可能是三维存储器阵列,例如其中NAND串206可大体上垂直于含有共用源极216的平面且大体上垂直于含有位线204的平面延伸,所述位线204可大体上平行于含有共用源极216的平面。

[0037] 存储器单元208的典型构造包含可确定存储器单元的数据状态(例如,经由阈值电压的改变)的数据存储结构234(例如,浮动栅极、电荷捕集器等),以及控制栅极236,如图2A中所展示。数据存储结构234可包含导电和/或介电结构两者,而控制栅极236通常由一或多种导电材料形成。在某些情况下,存储器单元208可进一步具有限定的源极/漏极(例如,源极)230和限定的源极/漏极(例如,漏极)232。存储器单元208的控制栅极236连接到(且在某些状况下形成)字线202。

[0038] 存储器单元208的列可以是选择性地连接到给定位线204的NAND串206或多个NAND串206。存储器单元208的行可以是共同地连接到给定字线202的存储器单元208。存储器单元208的行可(但不必)包含共同地连接到给定字线202的所有存储器单元208。存储器单元208的行可常常划分成存储器单元208的物理页的一或多个群组,且存储器单元208的物理页常常包含共同地连接到给定字线202的每隔一个存储器单元208。举例来说,共同地连接到字线202_N且选择性地连接到偶数位线204(例如,位线204₀、204₂、204₄等)的存储器单元208可以是存储器单元208(例如,偶数存储器单元)的一个物理页,而共同地连接到字线202_N且选择性地连接到奇数位线204(例如,位线204₁、204₃、204₅等)的存储器单元208可以是存储器单元208(例如,奇数存储器单元)的另一物理页。尽管在图2A中未明确地描绘位线204₃-204₅,但从图中显而易见,存储器单元阵列200A的位线204可从位线204₀到位线204_M连续地编号。共同地连接到给定字线202的存储器单元208的其它分组也可限定存储器单元208的物理页。对于特定存储器装置,共同地连接到给定字线的所有存储器单元可能被认为是存储器单元的物理页。存储器单元(其在一些实施例中可仍为整个行)的物理页的在单个读取操作期间读取或在单个编程操作期间编程的部分(例如,上部或下部存储器单元页)可能被认为是存储器单元的逻辑页。存储器单元的块可包含被配置成一起被擦除的那些存储器单元,例如连接到字线202₀-202_N的所有存储器单元(例如,共享共用字线202的所有NAND串206)。除非明确地区分,否则对存储器单元页的参考在本文中是指存储器单元的逻辑页

的存储器单元。

[0039] 尽管结合NAND快闪存储器论述图2A的实例,但本文中所描述的实施例和概念不限于特定阵列架构或结构,且可包含其它结构(例如,SONOS、相变、铁电等)和其它架构(例如,AND阵列、NOR阵列等)。

[0040] 图2B是如可例如作为存储器单元阵列104的一部分在参考图1描述的类型存储器中使用的存储器单元阵列200B的一部分的另一示意图。图2B中的类似编号元件对应于如关于图2A提供的描述内容。图2B提供三维NAND存储器阵列结构的一个实例的额外细节。三维NAND存储器单元阵列200B可并入有竖直结构,其可包含半导体支柱,其中支柱的一部分可充当NAND串206的存储器单元的沟道区。NAND串206可各自通过选择晶体管212(例如,其可为漏极选择晶体管,通常被称为选择栅极漏极)选择性地连接到位线 204_0-204_M ,且通过选择晶体管210(例如,其可为源极选择晶体管,通常被称为选择栅极源极)选择性地连接到共用源极216。多个NAND串206可能选择性地连接到相同位线204。可通过使选择线 215_0-215_L 偏置以选择性地各自激活NAND串206和位线204之间的特定选择晶体管212而将NAND串206的子集连接到其相应位线204。选择晶体管210可通过使选择线214偏置来激活。每一字线202可连接到存储器单元阵列200B的多行存储器单元。通过特定字线202共同地彼此连接的存储器单元行可被共同地称为层。

[0041] 图2C是如可例如作为存储器单元阵列104的一部分在参考图1描述的类型存储器中使用的存储器单元阵列200C的一部分的又一示意图。图2C中的类似编号元件对应于如关于图2A提供的描述内容。存储器单元阵列200C可包含串联连接的存储器单元串(例如,NAND串)206、存取(例如,字)线202、数据(例如,位)线204、选择线214(例如,源极选择线)、选择线215(例如,漏极选择线)和源极216,如图2A中所描绘。举例来说,存储器单元阵列200A的一部分可以是存储器单元阵列200C的部分。图2C描绘将NAND串206分组为存储器单元块250。存储器单元块250可以是可在单个擦除操作中一起擦除的存储器单元208的分组,有时被称作擦除块。每一存储器单元块250可能表示共同地与单个选择线215(例如选择线 215_0)相关联的那些NAND串206。存储器单元块 250_0 的源极216可能是与存储器单元块 250_k 的源极216相同的源极。举例来说,每一存储器单元块 250_0-250_k 可能共同地选择性地连接到源极216。一个存储器单元块250的存取线202及选择线214和214可不具有分别到任何其它存储器单元块250的存取线202及选择线214和214的直接连接。然而,它们可经由全局存取线和全局选择线选择性地共同连接,如参考图6将描述。

[0042] 数据线 204_0-204_M 可连接(例如,选择性地连接)到缓冲区部分240,所述缓冲区部分可能是存储器的页缓冲区的一部分。缓冲区部分240可能对应于存储器平面(例如,存储器单元块 250_0-250_k 的集合)。缓冲区部分240可能包含用于感测相应数据线204上指示的数据值的感测装置(未展示),以及用于存储从其对应的存储器平面感测到的数据值的对应寄存器(未展示)。

[0043] 图3A是用于相关技术的多个存储器单元块的存取的行解码电路的组件的示意框图。在图3A中,块解码电路302(例如,解码电路 302_0-302_V)可能被配置成接收地址信号(ADDR)。地址信号ADDR可包含来自地址寄存器114的所有地址信号。或者,地址信号ADDR可表示来自地址寄存器114的地址信号的仅一部分,例如指示存储器单元块的那些信号。每一块解码电路302可对应于相应的存储器单元块250。举例来说,块解码电路 302_0 可对应于存

存储器单元块 250_0 。响应于地址信号ADDR,每一块解码电路302(例如,解码电路 302_0-302_Y)可能将相应启用信号304(例如,启用信号 304_0-304_Y)提供到相应的块选择电路306(例如,块选择电路 306_0-306_Y)。举例来说,块解码电路 302_0 可能将启用信号 304_0 提供到块选择电路 306_0 。

[0044] 每一启用信号304可能指示其相应的存储器单元块250是否被选择用于存取操作,例如读取或(感测)操作、编程(或写入)操作,或擦除操作。举例来说,启用信号304可能在其相应的存储器单元块250被选择用于存取操作时具有第一逻辑电平(例如,电压电平),且在其相应的存储器单元块250未被选择用于存取操作时具有不同于第一逻辑电平的第二逻辑电平(例如,电压电平)。

[0045] 每一块选择电路306(例如,块选择电路 306_0-306_Y)可能响应于其相应启用信号304(例如,启用信号 304_0-304_Y)将控制信号308(例如,控制信号 308_0-308_Y)提供到相应驱动器电路310(例如,驱动器电路 310_0-310_Y)。举例来说,块解码电路 302_0 可能将控制信号 308_0 提供到驱动器电路 310_0 。大体来说,驱动器电路将存储器单元块的一或多个存取线(例如,局部存取线)和/或一或多个选择线(例如,局部选择线)分别选择性地连接到全局存取线和/或全局选择线,所述全局存取线和/或全局选择线经由多个存储器单元块的相应驱动器电路选择性地连接到那些存储器单元块的局部存取线和/或局部选择线。

[0046] 每一控制信号308在其相应启用信号304具有第一逻辑电平时可能具有第一电压电平,且在其相应启用信号304具有第二逻辑电平时可能具有不同于(例如,低于)其第一电压电平的第二电压电平。控制信号308的第一电压电平可能经选择以激活其相应驱动器电路310(例如,驱动器电路 310_0-310_Y)的开关(例如,晶体管),且控制信号308的第二电压电平可能经选择以解除激活其相应驱动器电路310的所述开关。所述开关可能分别连接于连接到其相应的存储器单元块250的局部存取线或局部选择线(例如,局部存取线和选择线312的线路,例如局部存取线和选择线 312_0-312_Y)和全局存取线或全局选择线(例如,全局存取线和选择线314的线路)之间。全局存取线和选择线314可能从电压产生和选择电路316接收多个所施加电压电平。

[0047] 控制信号308的这些电压电平可能视选定的存取操作而变化。举例来说,编程操作可能将达25V或更大的电压施加到全局存取线和选择线314。相比而言,读取操作可能将小于或等于10V的电压施加到全局存取线和选择线314。对于任一存取操作,控制信号308的第一电压电平可能因此是被配置成将来自全局存取线和选择线314的电压电平充分传递到其相应局部存取线和选择线312的某一电压电平,例如第一电压电平可能高于全局存取线和选择线314的最大电压电平。相反,控制信号308的第二电压电平可能是被配置成使全局存取线和选择线314中的每一个与其相应局部存取线和选择线312隔离的某一电压电平。

[0048] 图3B是根据一实施例用于存取多个存储器单元块的行解码电路的组件的示意框图。与图3A的行解码电路相比,可能存在对应于若干存储器单元块250(例如,存储器单元块 250_0-250_Y)的单个块解码电路302(例如,块解码电路 302_0-Y)。块解码电路 302_0-Y 可能被配置成接收地址信号(ADDR)。地址信号ADDR可包含来自地址寄存器114的所有地址信号。或者,地址信号ADDR可表示来自地址寄存器114的地址信号的仅一部分,例如指示存储器单元块的那些信号。响应于地址信号ADDR,块解码电路 302_0-Y 可能将启用信号 304_0-Y 提供到块选择电路 306_0-Y 。

[0049] 启用信号 304_0-Y 可能指示存储器单元块 250_0-250_Y 的任何存储器单元块(例如,一或

多个存储器单元块)是否被选择用于存取操作,例如读取(或感测)操作、编程(或写入)操作或擦除操作。举例来说,启用信号 304_{0-Y} 可能在任何存储器单元块 250_0-250_Y 被选择用于存取操作时具有第一逻辑电平(例如,电压电平),且在没有任何存储器单元块 250_0-250_Y 被选择用于存取操作时具有不同于第一逻辑电平的第二逻辑电平(例如,电压电平)。

[0050] 块选择电路 306_{0-Y} 可能响应于启用信号 304_{0-Y} 将控制信号 308_{0-Y} 提供到若干开关,例如n型场效应晶体管(nFET) 318_0-318_Y 。控制信号 308_{0-Y} 可能在启用信号 304_{0-Y} 具有第一逻辑电平时具有第一电压电平,且可能在启用信号 304_{0-Y} 具有第二逻辑电平时具有不同于(例如,低于)其第一电压电平的第二电压电平。举例来说,控制信号 308_{0-Y} 的第一电压电平可能达29V以用于编程操作。

[0051] 每一开关 318 (例如,nFET 318_0-318_Y)可能被配置成接收相应控制信号 320 (例如,控制信号 320_0-320_Y)以将控制信号 308_{0-Y} 选择性地连接到相应电压节点 322 (例如,电压节点 322_0-322_Y)。每一控制信号 320 可能被配置成在其相应块 250 被选择用于存取操作时具有被配置成激活其相应开关 318 的第一电压电平,且可能被配置成在其相应块 250 未被选择用于存取操作时具有被配置成解除激活其相应开关 318 的不同于其第一电压电平的第二电压电平。当开关 318 被激活时,其将被认为使控制信号 308_{0-Y} 连接(例如,施加)到其相应电压节点 322 ,但其可能预期使控制信号 308_{0-Y} 的电压减小例如开关或nFET 318 的阈值电压。当开关 318 解除激活时,其将被认为使控制信号 308_{0-Y} 与其相应电压节点 322 隔离。

[0052] 每一电压节点 322 (例如,电压节点 322_0-322_Y)可能连接到相应驱动器电路 310 (例如,驱动器电路 310_0-310_Y)。控制信号 308_{0-Y} 的第一电压电平可能被选择以激活选定驱动器电路 310 (例如,驱动器电路 310_0-310_Y 中的一或多个)的开关(例如,晶体管),且控制信号 308 的第二电压电平可能被选择以解除激活任何剩余驱动器电路 310 的开关。所述开关可能分别连接于连接到其相应的存储器单元块 250 的局部存取线或局部选择线(例如,局部存取线和选择线 312 的线路,例如局部存取线和选择线 312_0-312_Y)和全局存取线或全局选择线(例如,全局存取线和选择线 314 的线路)之间。全局存取线和选择线 314 可能从电压产生和选择电路 316 接收多个所施加电压电平。

[0053] 控制信号 308_{0-Y} 的电压电平可能视选定的存取操作而变化。举例来说,编程操作可能将达25V或更大的电压施加到全局存取线和选择线 314 。相比而言,读取操作可能将小于或等于10V的电压施加到全局存取线和选择线 314 。对于任一存取操作,控制信号 308 的第一电压电平可能因此是被配置成将全局存取线和选择线 314 连接到其相应局部存取线和选择线 312 的某一电压电平。然而,不同于图3A的行解码电路,图3B的实施例中的控制信号 308_{0-Y} 的第一电压电平不必高于全局存取线和选择线 314 的最大电压电平。确切地说,如参考图9A-9B更详细描述,随着局部存取线和选择线 312 的电压在其连接到全局存取线和选择线 314 之后增加,相应电压节点 322 的电压电平可能归因于电容耦合而向上自举。如此,被传递到对应于选定存储器单元块 250 的电压节点 322 的控制信号 308_{0-Y} 的电压电平可能小于或等于全局存取线和选择线 314 的最大电压电平。

[0054] 考虑用于选定存储器单元块 250_0 的且具有25V的编程电压 V_{pgm} 的编程操作的实例。控制信号 308_{0-Y} 和控制信号 320_0 可能具有与编程电压 V_{pgm} (例如,25V)相同的电压电平,且可能导致将23V的电压电平传递到电压节点 322_0 。此电压电平将足以使全局存取线和选择线 314 连接到其相应局部存取线和选择线 312_0 ,但将不足以使编程电压 V_{pgm} 传递到选定

局部存取线。然而,随着局部存取线和选择线312₀的电压电平增加,电压节点322₀的电压电平将归因于电容耦合而增加,且可增加到高于编程电压V_{pgm}的电平。这可由nFET 318₀来促进,所述nFET可用以在nFET 318₀的V_{gs}变得小于其阈值电压时捕集电压节点322₀的电压电平。因为电压电平308_{0-y}不必高于待传递到局部存取线和选择线312₀的全局存取线和选择线314的最大电压电平,所以可在图3A的行解码电路上实现电力节省。或者,电压电平308_{0-y}可高于待传递到局部存取线和选择线312₀的全局存取线和选择线314的最大电压电平,从而产生到图3A的行解码电路上的驱动器电路310₀的开关的较高过激励电压(overdrive voltage)电平。控制信号308_{0-y}的第二电压电平可能是被配置成使全局存取线和选择线314中的每一个与其相应局部存取线和选择线312隔离的某一电压电平,且可小于0V,例如为-2V。

[0055] 每一电压节点322可能进一步连接(例如,选择性地连接)到相应开关(例如,nFET) 324(例如,nFET 324₀-324_y)。每一开关324(例如,nFET 324₀-324_y)可能被配置成接收相应控制信号326(例如,控制信号326₀-326_y)以将相应电压节点322(例如,电压节点322₀-322_y)选择性地连接到电流汇,例如接地节点328。电流汇328可能是用于开关324₀-324_y中的每一个的共同电流汇。每一控制信号326可能被配置成在其相应块250未被选择用于存取操作时具有被配置成激活其相应开关324的第一电压电平,且可能被配置成在其相应块250被选择用于存取操作时具有被配置成解除激活其相应开关324的不同于其第一电压电平的第二电压电平。当开关324被激活时,其将被认为从其相应电压节点322汲取电流,但相应电压节点322的电压电平可能是与电流汇328相同的电压电平。控制信号326的第一电压电平可能是某一正电压电平(例如电源电压V_{cc}),且可较高,例如常用于激活存储器单元的传递电压V_{pass},而与其编程状态(例如10V)无关。控制信号326的第二电压电平可能是某一中性或负电压电平,例如电源电压V_{ss}或-2V。

[0056] 对于一些实施例,额外开关可能连接于电压节点322和其相应开关324之间。举例来说,在虚线框中,可能表示电压节点322₀-322_y中的任一个的电压节点322_x到其相应开关324_x的连接可能包含相应中间开关,例如nFET 330_x。因为电压节点322可能体验高电压电平,所以突然激活开关324可能会引起到开关324的高应力水平。串联连接在其相应电压节点322和开关324之间的开关330可能用以减小此应力。每一开关330_x可能被配置成接收控制信号332。控制信号332可以是每一开关330_x共同的,且可被配置成激活那些开关330_x以提供其相应电压节点322_x和其相应开关324_x之间的电流流动。

[0057] 图4是根据一实施例的块选择电路306_{0-y}的示意图。块选择电路306_{0-y}可能包含连接于被配置成接收启用信号304_{0-y}的块选择电路306_{0-y}的输入和被配置成提供控制信号308_{0-y}的块选择电路306_{0-y}的输出之间的第一nFET 334。第一nFET 334可能被配置成接收(例如,使其控制栅极连接以接收)控制信号336。块选择电路306_{0-y}可能进一步包含连接于电压节点340和p型场效应晶体管(pFET) 342之间的第二nFET 338。第二nFET 338可能使其控制栅极连接到块选择电路306_{0-y}的输出。pFET 342可能连接于第二nFET 338和块选择电路306_{0-y}的输出之间。pFET 341可能被配置成接收(例如,使其控制栅极连接以接收)控制信号344。

[0058] 第一nFET 334可能是高电压nFET,第二nFET可能是高电压耗尽模式nFET,且pFET可能是高电压pFET。这些晶体管与可能根据实施例每存储器单元块250添加的nFET 318、

324和330相比可显著较大。如此,在将图3A的相关技术配置与图3B的实施例的配置比较时,图3B的实施例的配置可能利用半导体裸片的显著较少表面区域。

[0059] 控制信号336可能被配置成响应于启用信号 304_{0-Y} 具有其第一逻辑电平而初始地激活第一nFET 334,且随着控制信号 308_{0-Y} 的电压电平随后增加而解除激活第一nFET 334。举例来说,控制信号336的电压电平可能是电源电压 V_{cc} 。控制信号344可能初始地被配置成激活pFET 342,且在一段延迟之后解除激活pFET 342。举例来说,控制信号344的电压电平初始地可能是电源电压 V_{ss} (例如,接地或0V),且可能随后改变为电源电压 V_{cc} 。以此方式,电压节点340的电压电平可能用以使控制信号 308_{0-Y} 的电压电平增加到接近(例如,等于)电压节点340的电压电平的电压电平。随着控制信号 308_{0-Y} 的电压电平增加,第一nFET 334可解除激活,借此捕集控制信号 308_{0-Y} 的电压电平。在一段时间周期之后,例如达到控制信号 308_{0-Y} 的电压电平的稳态时,控制信号344的电压电平可能改变以解除激活pFET 342,借此使电压节点340与块选择电路 308_{0-Y} 的输出隔离。

[0060] 如果启用信号 304_{0-Y} 具有其第二逻辑电平,则控制信号336可能再次被配置成初始地激活第一nFET 334。控制信号344可能再次初始地被配置成激活pFET 342,且在一段延迟之后,解除激活pFET 342。然而,控制信号 308_{0-Y} 的电压电平可不在电压电平方面增加。举例来说,如果启用信号 304_{0-Y} 的第二逻辑电平的电压电平为0V,则控制信号 308_{0-Y} 的电压电平可归因于第一nFET 334的激活而保持在0V。在一段时间周期之后,例如达到控制信号 308_{0-Y} 的电压电平的稳态时,控制信号344的电压电平可能改变以解除激活pFET 342,借此使电压节点340与块选择电路 308_{0-Y} 的输出隔离。

[0061] 图5是根据一实施例的块解码电路 302_{0-Y} 的示意框图。块解码电路 302_{0-Y} 可能包含地址解码器346,其被配置成接收地址信号ADDR且提供若干个个别块选择信号348(例如,块选择信号 348_0-348_Y),每一块选择信号对应于相应的存储器单元块250(例如,存储器单元块 250_0-250_Y)。块选择信号 348_0-348_Y 中的每一个可能指示其相应的存储器单元块250是否被选择用于存取操作。举例来说,块选择信号348在其相应的存储器单元块250被选择用于存取操作时可能具有第一逻辑电平(例如,逻辑高电平),且在其相应的存储器单元块250未被选择用于存取操作时可能具有不同于第一逻辑电平的第二逻辑电平(例如,逻辑低电平)。

[0062] 块选择信号 348_0-348_Y 可能被提供为到例如OR门350等逻辑电路的输入,所述逻辑电路被配置成提供输出信号352,所述输出信号在块选择信号 348_0-348_Y 中的至少一个指示其相应的存储器单元块250被选择用于存取操作时具有第一逻辑电平(例如,逻辑高电平),且在一段延迟之后,在没有块选择信号 348_0-348_Y 指示其相应的存储器单元块250被选择用于存取操作时具有不同于其第一逻辑电平的第二逻辑电平(例如,逻辑低电平)。输出信号352可能被提供为到电平位移器354的输入。电平位移器354可能连接于电压节点356和电压节点358之间。电压节点356的电压电平可能高于电压节点358的电压电平。举例来说,电压节点356的电压电平可能是正电压电平(例如电源电压 V_{cc}),且电压节点358的电压电平可能是负电压电平(例如-2V)。当输出信号352具有特定逻辑电平(例如,其第一逻辑电平)时,电平位移器可能将电压节点356的电压电平作为启用信号 304_{0-Y} 提供到其输出。当输出信号352具有不同逻辑电平(例如,其第二逻辑电平)时,电平位移器可能将电压节点358的电压电平作为启用信号 304_{0-Y} 提供到其输出。

[0063] 图6是根据一实施例用于存取存储器单元块的电路的示意框图。电压产生和选择

电路316可能提供包含第一全局选择线(例如,漏极选择线)360和第二全局选择线(例如,源极选择线)362的全局存取线和选择线314。电压产生和选择电路316可能进一步提供包含多个全局存取线364(例如,全局存取线 364_0-364_N)的全局存取线和选择线314。电压产生和选择电路316可能取决于存储器单元块250(例如,存储器单元块 250_0-250_Y)的配置而提供额外全局存取线或全局选择线。举例来说,可能包含额外全局存取线,其中存储器单元块250利用虚设存储器单元;且可能包含额外全局选择线,其中存储器单元块250利用串联连接的多个选择栅极(例如,选择栅极210和/或212)。

[0064] 图6的全局存取线和选择线314可能连接到驱动器电路 310_x 。驱动器电路 310_x 可能表示驱动器电路 310_0-310_Y 中的任一个。每一驱动器电路 310_x 可能包含用于每一全局存取线或全局选择线的对应开关(例如,nFET)。举例来说,第一全局选择线360可能连接到开关(例如,nFET)366,第二全局选择线362可能连接到开关(例如,nFET)368,且全局存取线 364_0-364_N 的每一全局存取线可能连接到相应开关(例如,nFET) 370_0-370_N 。继而,开关(例如,nFET)366可能连接到局部选择线(例如,漏极选择线) 215_x ,开关(例如,nFET)368可能连接到局部选择线(例如,源极选择线) 214_x ,且每一开关(例如,nFET) 370_0-370_N 可能连接到局部存取线和选择线 312_x 的相应局部存取线 202_0-202_N 。

[0065] 对于每一存储器单元块 250_x ,其相应局部选择线(例如,漏极选择线) 215_x 可能进一步连接到相应开关(例如,nFET) 372_x 。开关 372_x 可能被配置成接收(例如,使其控制栅极连接以接收)相应控制信号 374_x 。每一控制信号 374_x 可能被配置成在其相应块 250_x 未被选择用于存取操作时具有被配置成激活其相应开关 372_x 的第一电压电平,且可能被配置成在其相应块 250_x 被选择用于存取操作时具有被配置成解除激活其相应开关 372_x 的不同于其第一电压电平的第二电压电平。当开关 372_x 被激活时,其将被认为从其相应局部选择线 215_x 汲取电流到电流汇(例如,接地节点)376,但相应局部选择线 215_x 的电压电平可能是与电流汇376相同的电压电平。电流汇376可能是用于开关 372_x 中的每一个的共同电流汇。控制信号 374_x 的第一电压电平可能是例如电源电压 V_{cc} 等某一正电压电平,且控制信号 374_x 的第二电压电平可能是例如电源电压 V_{ss} 等某一中性电压电平(例如,接地或0V)。

[0066] 图7是根据一实施例的额外解码电路378的示意图。解码电路378可能是用于解码用于其相应的存储器单元块 250_x 的控制信号 374_x 的电路的一个实例。如此,相应解码电路378可能对应于每一存储器单元块 250_0-250_Y 。解码电路378可能包含连接于电压节点380和提供控制信号 374_x 的解码电路 378_x 的输出之间的pFET 382。解码电路378可能进一步包含与连接于电压节点380和提供控制信号 374_x 的解码电路 378_x 的输出之间的pFET 382并联连接的nFET 384。解码电路378的输出可能进一步经由nFET 388选择性地连接到电流汇(例如接地节点)386。

[0067] 电压节点380可能被配置成接收某一正电压电平,例如电源电压 V_{cc} 。pFET 382可能被配置成接收(例如,使其控制栅极连接以接收)控制信号 308_{0-Y} 。nFET 384可能被配置成接收(例如,使其控制栅极连接以接收)用于其相应的存储器单元块 250_x 的控制信号 326_x 。nFET 388可能被配置成接收(例如,使其控制栅极连接以接收)用于其相应的存储器单元块 250_x 的控制信号 348_x 。以此方式,如果控制信号 308_{0-Y} 具有对应于选择其存储器单元块 250_0-250_Y 中的至少一个用于存取操作的其第一逻辑电平,则解码电路378的输出可能仅在其对应的控制信号 326_x 和 348_x 具有指示其相应的存储器单元块 250_x 被选择用于存取操作的电压

电平时连接电流汇386,且可能针对未被选择的存储器单元块250以其它方式连接到电压节点380。类似地,如果控制信号 308_{0-Y} 具有对应于未选择其存储器单元块 250_0-250_Y 用于存取操作的其第二逻辑电平,则解码电路378的输出可能针对其存储器单元块 250_0-250_Y 中的每一个连接到电压节点380。

[0068] 图8是根据另一实施例用于存取多个存储器单元块的行解码器的组件的示意框图。对于一些实施例,控制信号320和326可能用以控制存储器单元块 250_0-250_Y 的第一子集和存储器单元块 250_0-250_Y 的第二子集的连接。考虑实例,其中 $Y=7$,且控制信号320和326在多个存储器单元块 250_0-250_{15} 中的8个存储器单元块的两个子集(例如存储器单元块 250_0-250_7 和存储器单元块 250_8-250_{15})之间共享。存储器单元块 250_0-250_7 的每一存储器单元块可能对应于存储器单元块 250_8-250_{15} 的相应的存储器单元块。举例来说,存储器单元块 250_0 可能对应于存储器单元块 250_8 ,存储器单元块 250_1 可能对应于存储器单元块 250_9 ,且存储器单元块 250_2 可能对应于存储器单元块 250_{10} ,等等。图8描绘用于使用共享控制信号320和326控制存储器单元块的这两个子集的简化配置。为了简化论述,图8中未描绘电压节点322下游的电路,且针对存储器单元块的子集中的每一个的仅一个存储器单元块描绘到电压节点322的连接。然而,将了解,可针对每一剩余存储器单元块复制这些连接。类似地,参看图8描述的概念可能以类似方式扩展到存储器单元块的额外子集。举例来说,在可能添加存储器单元块 $250_{16}-250_{23}$ 的额外子集的情况下,存储器单元块 250_0 、 250_8 和 250_{16} 可能彼此对应,且可能共享控制信号320和326。

[0069] 参考图3B对块解码电路 302_{0-Y} 和其启用信号 304_{0-Y} 的论述可能适用于块解码电路 302_{0-7} 和其启用信号 304_{0-7} 以及块解码电路 302_{8-15} 和其启用信号 304_{8-15} 两者。类似地,参考图3B对块选择电路 306_{0-Y} 和其控制信号 308_{0-Y} 的论述可能适用于块选择电路 306_{0-7} 和其控制信号 308_{0-7} 以及块选择电路 306_{8-15} 和其控制信号 308_{8-15} 两者。

[0070] 对应于存储器单元块 250_0-250_7 中的存储器单元块 250_0 的nFET 318₀和对应于存储器单元块 250_8-250_{15} 中的存储器单元块 250_8 的nFET 318₈两者可能被配置成接收控制信号 $320_{0/8}$ 。然而,虽然图3B的论述中的每一控制信号320被配置成在其相应的块250被选择用于存取操作时具有被配置成激活其相应nFET 318的其第一电压电平,且被配置成在其相应的块250未被选择用于存取操作时具有被配置成解除激活其相应nFET 318的其第二电压电平,但控制信号 $320_{0/8}$ 可能在存储器单元块的子集中的任一个的任何对应的存储器单元块(例如,存储器单元块 250_0 和/或存储器单元块 250_8)被选择用于存取操作时具有被配置成激活其相应NFET 318₀和318₈的其第一电压电平,且被配置成在存储器单元块的子集中没有对应的存储器单元块(例如,存储器单元块 250_0 或 250_8 两者都不)被选择用于存取操作时具有被配置成解除激活其相应NFET 318₀和318₈的其第二电压电平。

[0071] 对应于存储器单元块 250_0-250_7 中的存储器单元块 250_0 的nFET 324₀和对应于存储器单元块 250_8-250_{15} 中的存储器单元块 250_8 的nFET 324₈两者可能被配置成接收控制信号 $326_{0/8}$ 。然而,虽然图3B的论述中的每一控制信号326被配置成在其相应的块250未被选择用于存取操作时具有被配置成激活其相应nFET 324的其第一电压电平,且被配置成在其相应的块250被选择用于存取操作时具有被配置成解除激活其相应nFET 324的其第二电压电平,但控制信号 $326_{0/8}$ 可能在存储器单元块的子集中没有对应的存储器单元块(例如,存储器单元块 250_0 或 250_8 两者都不)被选择用于存取操作时具有被配置成激活其相应NFET 324₀

和 324_8 的其第一电压电平,且被配置成在存储器单元块的子集中的任一个的任何对应的存储器单元块(例如,存储器单元块 250_0 和/或存储器单元块 250_8)被选择用于存取操作时具有被配置成解除激活其相应NFET 324_0 和 324_8 的其第二电压电平。

[0072] 应注意,当存储器单元块 250_0 被选择用于存取操作且存储器单元块 250_8 未被选择用于存取操作时,存储器单元块 250_8 可能仍与其数据线204隔离。举例来说,在启用信号 304_{8-15} 指示其存储器单元块 250_8-250_{15} 都未被选择用于存取操作的情况下,其控制信号 308_{8-15} 可为0V,使得其将不具有充足的电压电平来使全局存取线和选择线314连接到其局部存取线和选择线312,且其对应的nFET 372 可能也被激活以从其相应选择线215汲取任何电流,如参考图6和7所论述。进一步注意,图8的配置可能还并入有nFET 324 和其相应电压节点322之间的nFET 330 ,如参考图3B所描述。

[0073] 图9A-9B是根据实施例用于存取操作的时序图。图9A可能将编程操作或读取操作表示为概念是类似的,尽管利用不同电压电平。在图9A中,迹线902可能表示电压节点322的电压电平,且迹线904可能表示编程或读取操作的一或多个未经选择存取线的电压电平。在时间 t_0 处,控制信号 308_{0-Y} 可能施加到电压节点322。到电压节点322的连接可能在使其电压电平(例如,迹线902)增加到电压电平906之前体验电压电平的瞬时下降。举例来说,对于编程操作,电压电平906可能表示23V,且对于读取操作,电压电平906可能表示7V。在时间 t_1 处,未经选择的存取线(例如,迹线904)的电压电平可能增加到电压电平908。举例来说,对于编程操作,电压电平908可能表示10V,且对于读取操作,电压电平908可能表示5V。随着未经选择存取线的电压电平增加,电容耦合可用以致使电压节点322的电压电平增加到电压电平910。随着此电压电平开始增加,对应的nFET 318 可能开始解除激活,且可使电压节点322浮动,且截留电压节点322的增加的电压电平。取决于耦合比率,电压电平910和电压电平906之间的差可接近电压电平908的值。在时间 t_3 处,存取操作可能完成,且电压电平可能减小。

[0074] 图9B可能表示擦除操作。在图9B中,迹线912可能表示擦除电压 V_{erase} 。迹线914可能表示电压节点322的电压电平。迹线916可能表示待施加到选择线(例如,选择线214和215)的选择栅极电压 V_{gg} 。迹线918可能表示擦除操作的一或多个存取线的电压电平。在时间 t_0 处,擦除电压 V_{erase} (例如,迹线912)、电压节点322的电压电平(例如,迹线914)、选择栅极电压 V_{gg} (例如,迹线916)和存取线电压(例如,迹线918)可能分别增加到其相应电压电平920、922、924和926。举例来说,电压电平920可能是26V,电压电平922可能是23V,电压电平924可能是20V,且电压电平926可能是1V。因为存取线电压电平(例如,迹线918)为最小,所以可能不存在归因于电容耦合的电压节点322的电压电平的显著增加。

[0075] 图10是根据一实施例操作存储器的方法的流程图。举例来说,所述方法可能包含存储器的存储器单元阵列上的存取操作,例如读取(或感测)操作、编程(或写入)操作或擦除操作。

[0076] 在1001处,针对多个存储器单元块的每一存储器单元块确定所述存储器单元块是否被选择用于存取操作。举例来说,所述多个存储器单元块可能对应于存储器单元块 250_0-250_Y ,如参考图3B所论述。在1003处,产生控制信号(例如,控制信号 308_{0-Y}),其在所述多个存储器单元块中的至少一个存储器单元块被选择用于存取操作时具有第一电压电平,且在所述多个存储器单元块中没有存储器单元块被选择用于存取操作时具有不同于第一电压

电平的第二电压电平。在1005处,将控制信号施加到所述多个存储器单元块的被选择用于存取操作的每一存储器单元块的驱动器电路(例如,施加到驱动器电路310的nFET 366、368或370的控制栅极)。对于一些实施例,控制信号可能进一步施加到具有不同多个存储器单元块的未被选择用于存取操作的对应存储器单元块的所述多个存储器单元块的存储器单元块的驱动器电路。任选地,在1007处,可能从所述多个存储器单元块的未被选择用于存取操作的(例如,任何)存储器单元块的驱动器电路汲取电流(例如,从驱动器电路310的nFET 366、368或370的控制栅极汲取)。或者或另外,可能从所述多个存储器单元块的未被选择用于存取操作的每一存储器单元块的选择线(例如,选择线215)汲取电流。

[0077] 图11是根据另一实施例操作存储器的方法的流程图。举例来说,所述方法可能包含存储器的存储器单元阵列上的存取操作,例如读取(或感测)操作、编程(或写入)操作或擦除操作。

[0078] 在1111处,针对多个存储器单元块的每一存储器单元块确定所述存储器单元块是否被选择用于存取操作。举例来说,所述多个存储器单元块可能对应于存储器单元块 250_0 - 250_{15} ,如参看图8所论述。在1113处,针对所述多个存储器单元块的多个子集(例如,相互排斥子集)的每一子集,产生相应的控制信号,所述控制信号在所述多个存储器单元块的所述子集的至少一个存储器单元块被选择用于存取操作时具有第一电压电平,且在所述多个存储器单元块的所述子集中没有存储器单元块被选择用于存取操作时具有不同于第一电压电平的第二电压电平。举例来说,所述多个存储器单元块的所述子集可能对应于存储器单元块 250_0 - 250_7 和存储器单元块 250_8 - 250_{15} 的子集,如参看图8所论述。在1115处,针对所述多个存储器单元块的所述多个子集的每一子集,且针对所述多个存储器单元块的所述子集的每一存储器单元块,当所述多个存储器单元块的所述子集的所述存储器单元块或所述多个存储器单元块的所述多个子集的任何剩余子集的对应存储器单元块被选择用于存取操作时,将所述多个存储器单元块的所述子集的相应控制信号施加到所述多个存储器单元块的所述子集的所述存储器单元块的驱动器电路(例如,施加到驱动器电路310的nFET 366、368或370的控制栅极)。对于一些实施例,可能从所述多个存储器单元块的未被选择用于存取操作的(例如,任何)存储器单元块的驱动器电路汲取电流(例如,从驱动器电路310的nFET 366、368或370的控制栅极汲取)。或者或另外,可能从所述多个存储器单元块的未被选择用于存取操作的每一存储器单元块的选择线(例如,选择线215)汲取电流。

[0079] 结论

[0080] 尽管本文中已说明且描述特定实施例,但所属领域的一般技术人员将了解,预计实现相同目的的任何布置可以取代所展示的特定实施例。所属领域的一般技术人员将显而易见对实施例的许多调适。因此,本申请意图涵盖实施例的任何调适或变型。

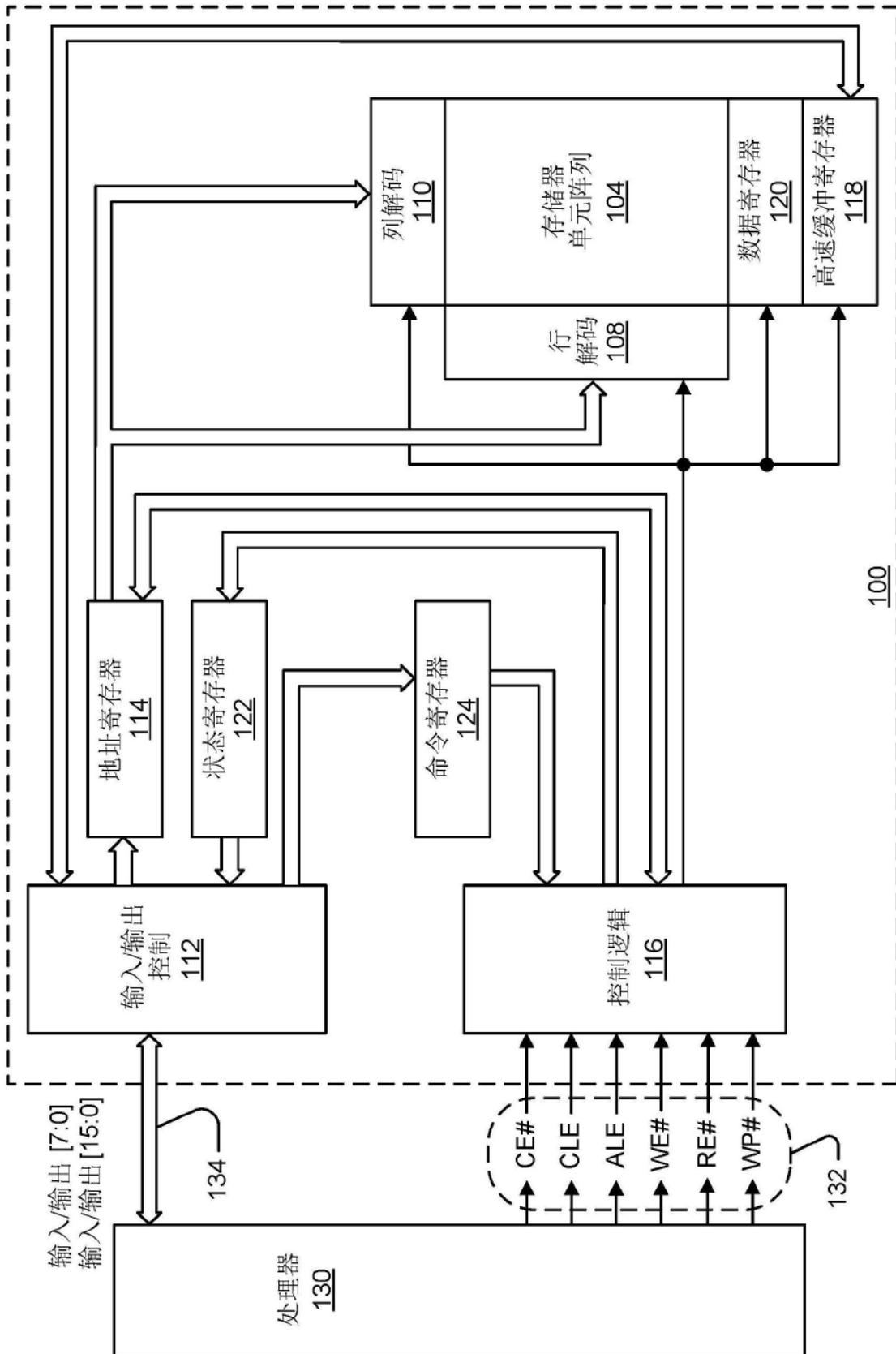


图1

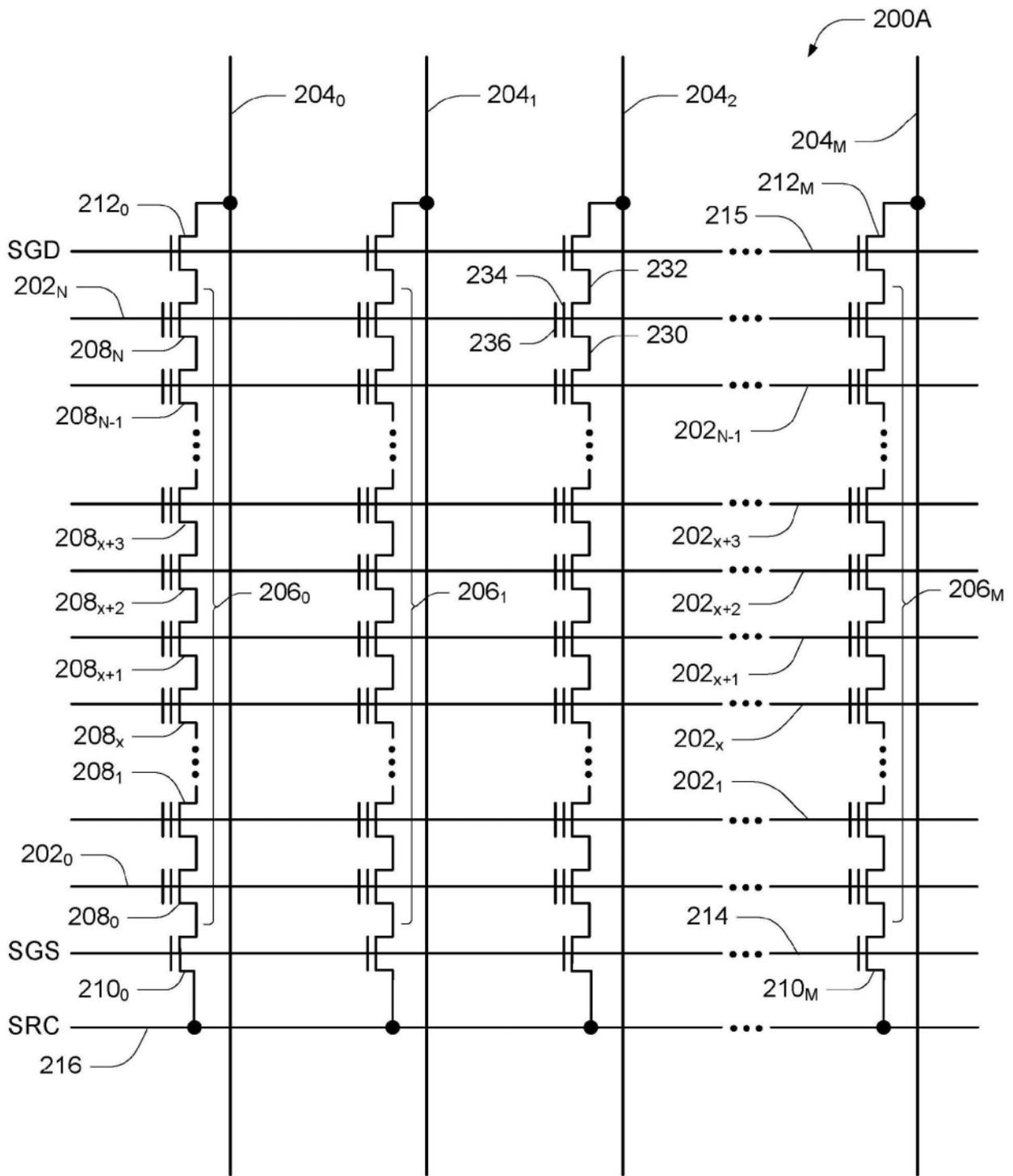


图2A

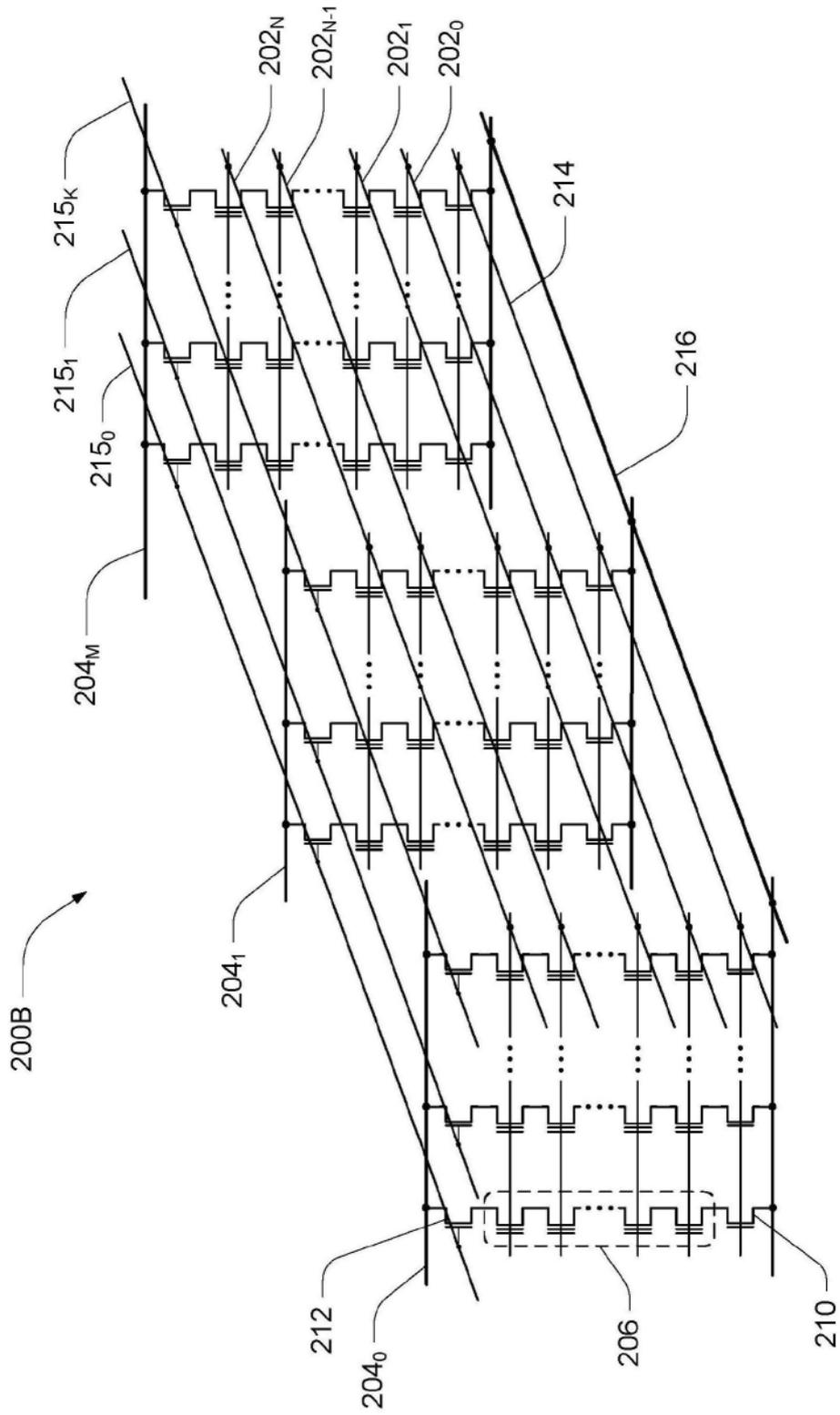


图2B

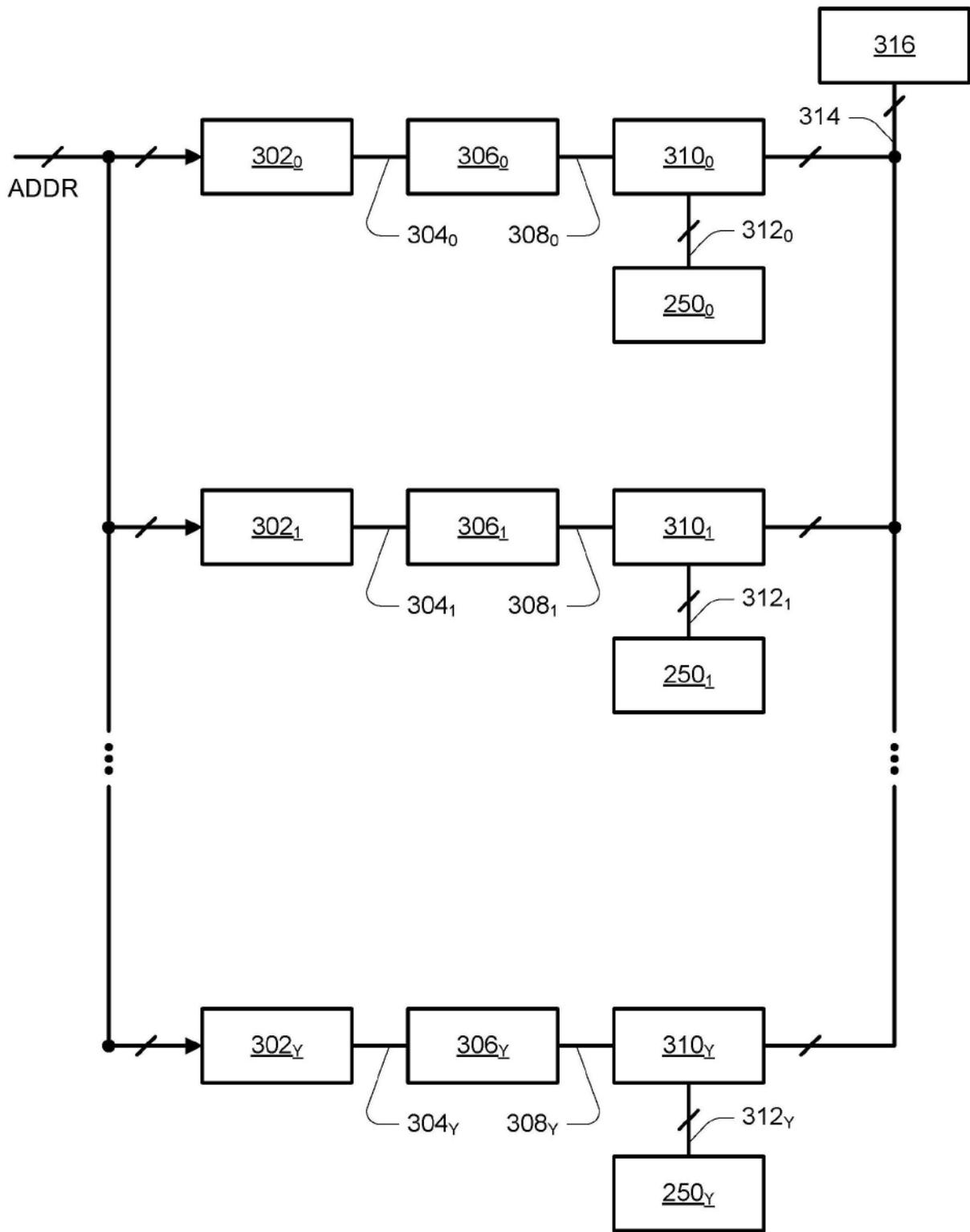


图3A(相关技术)

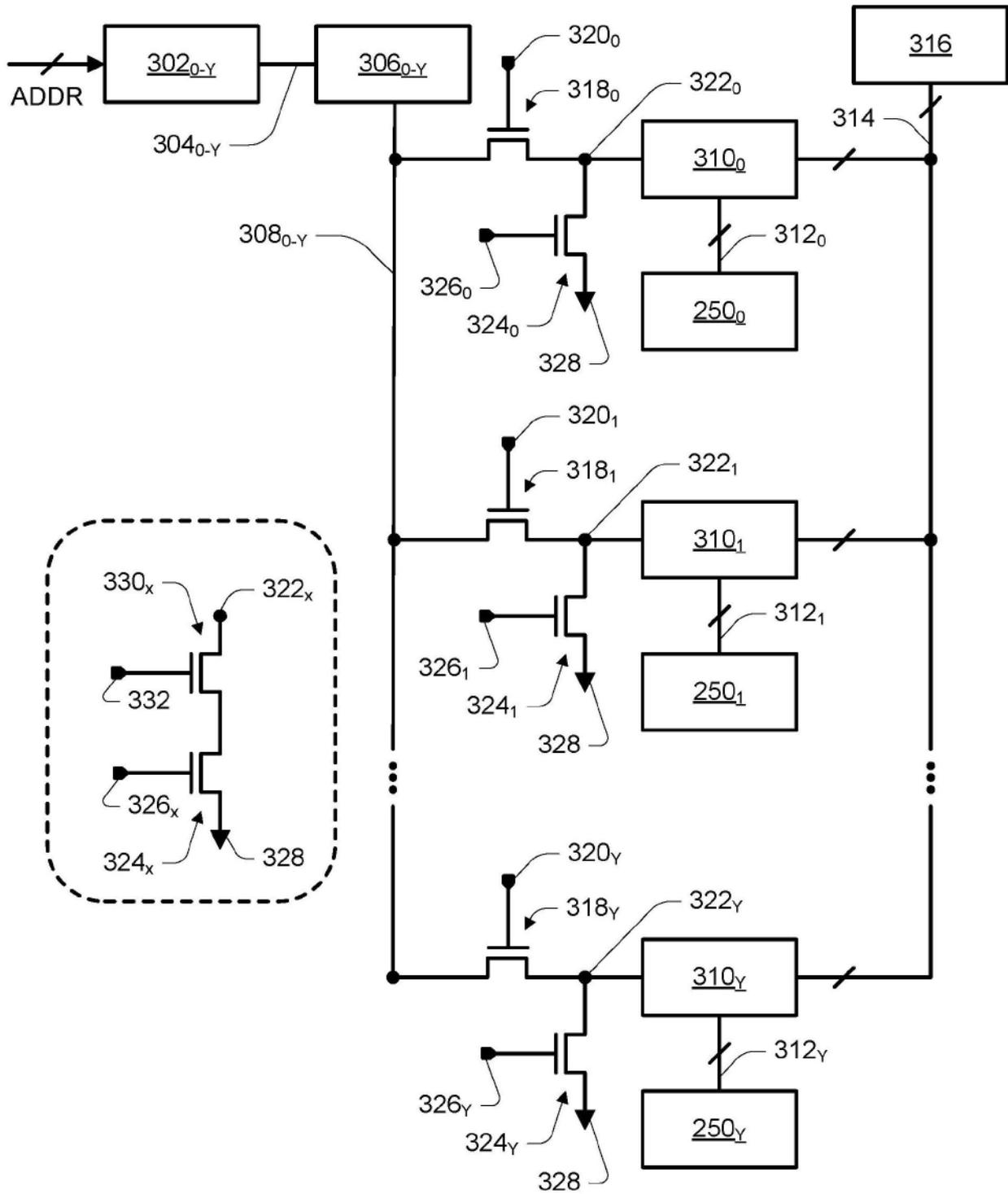


图3B

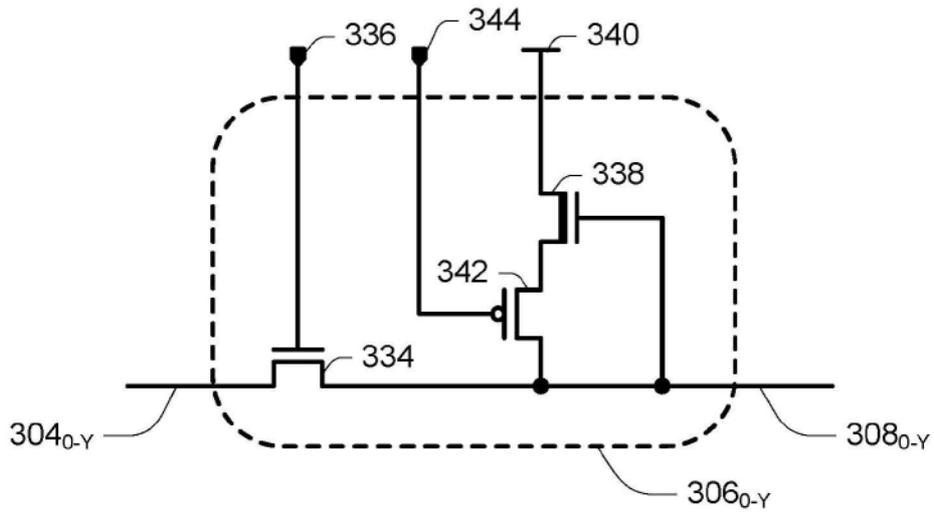


图4

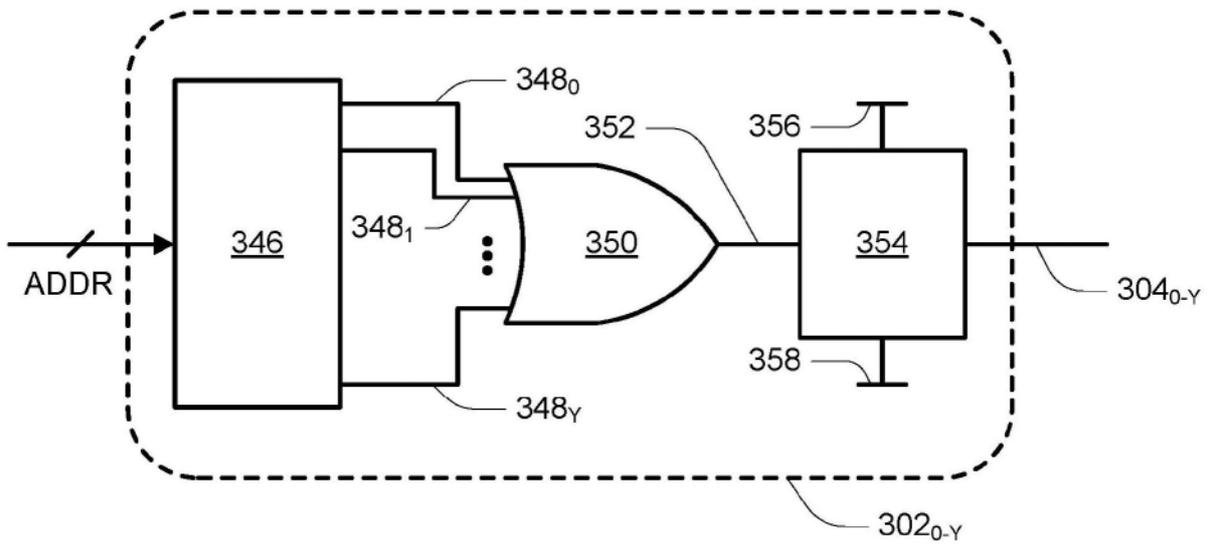


图5

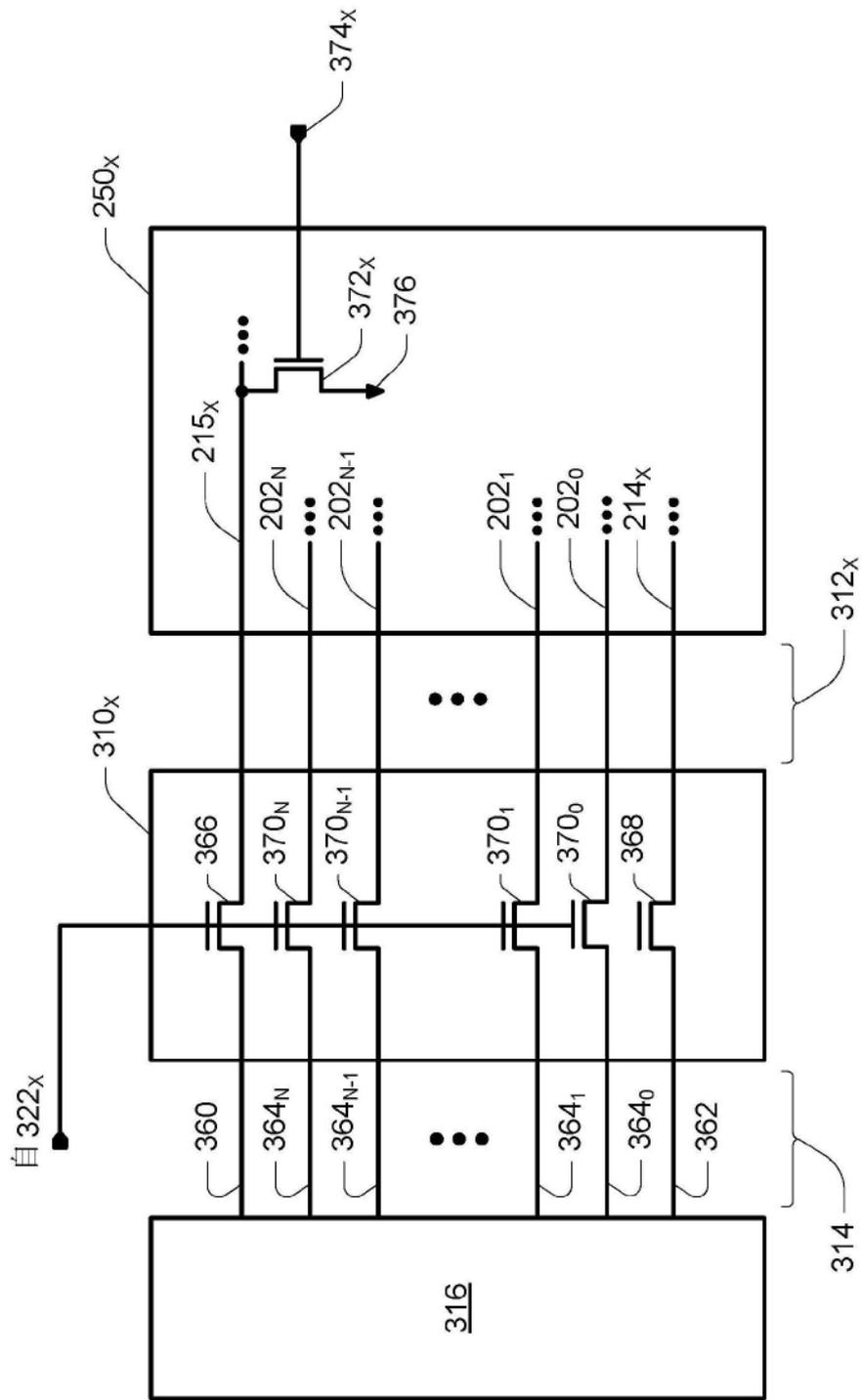


图6

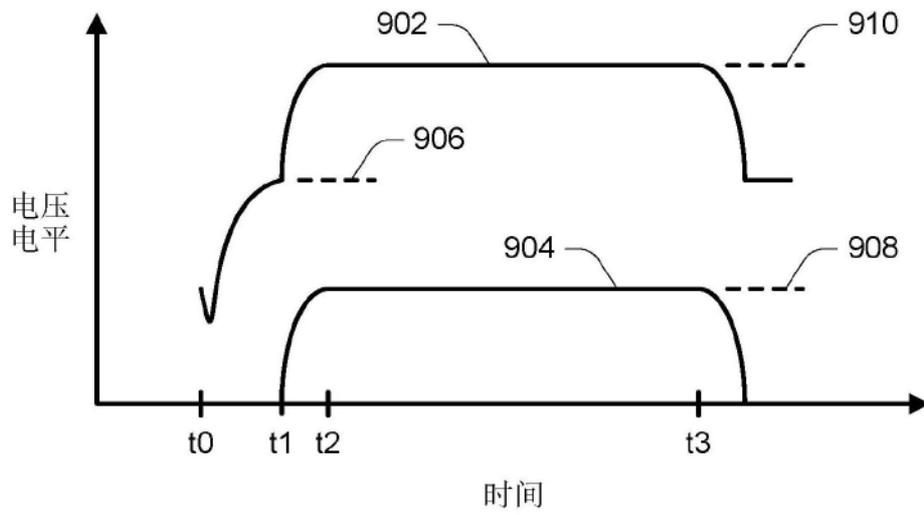


图9A

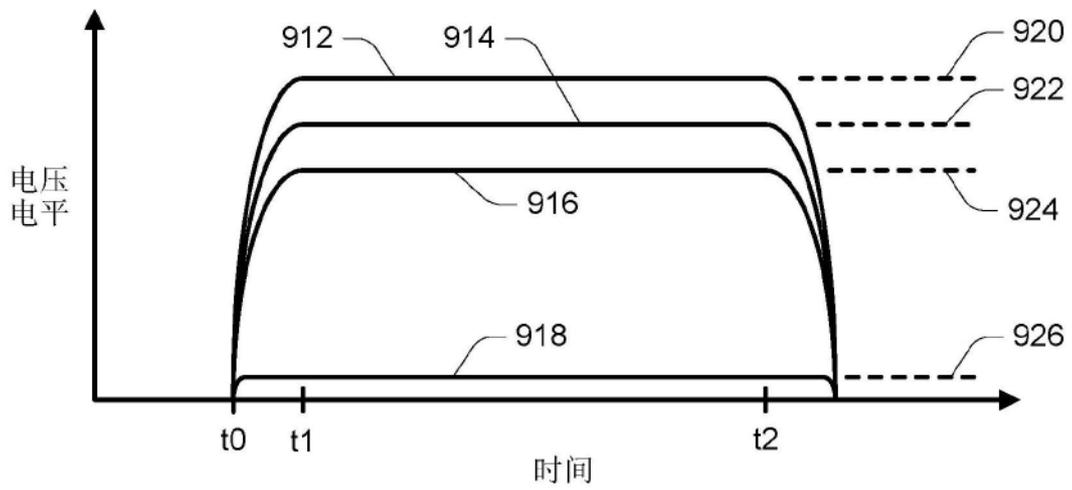


图9B

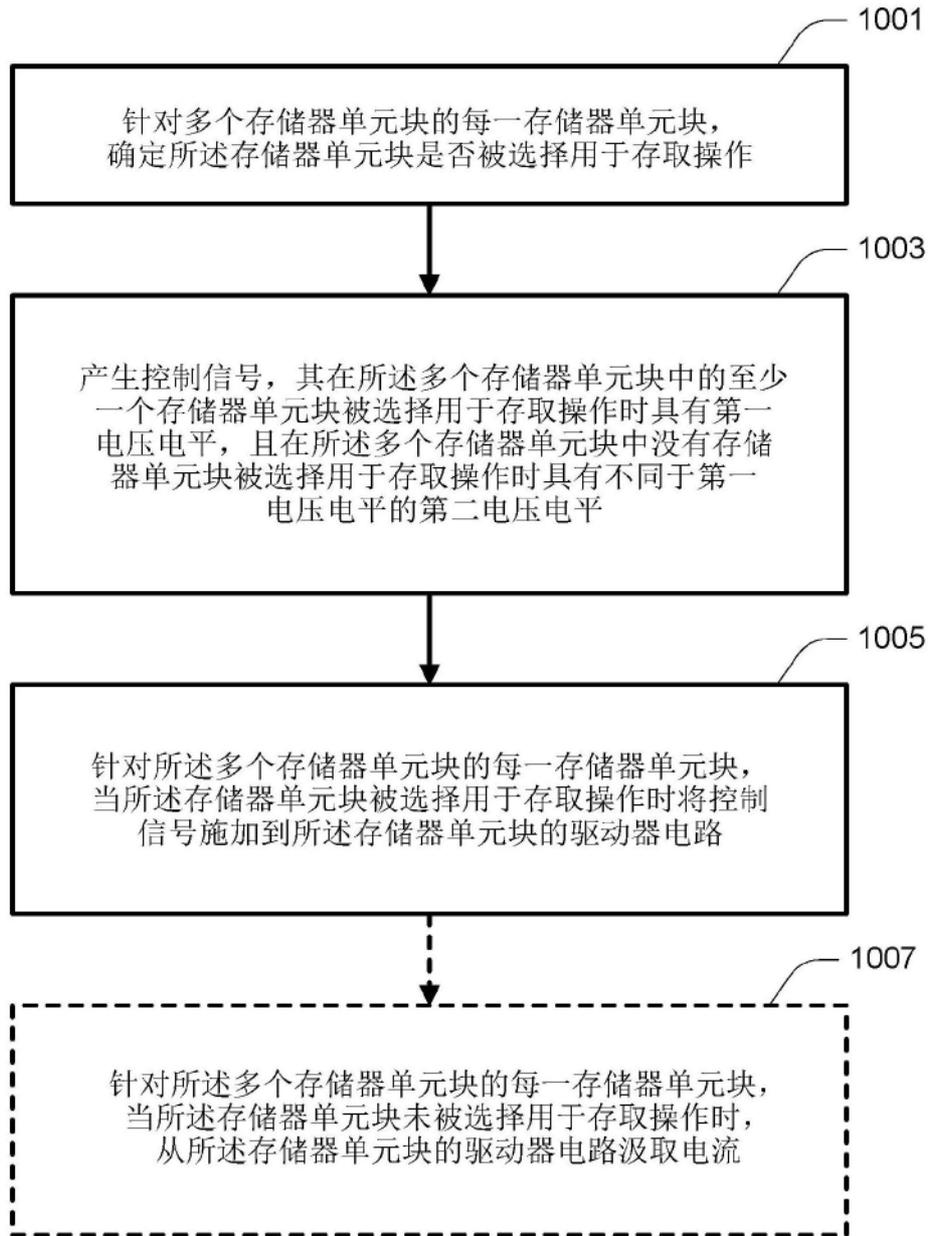


图10

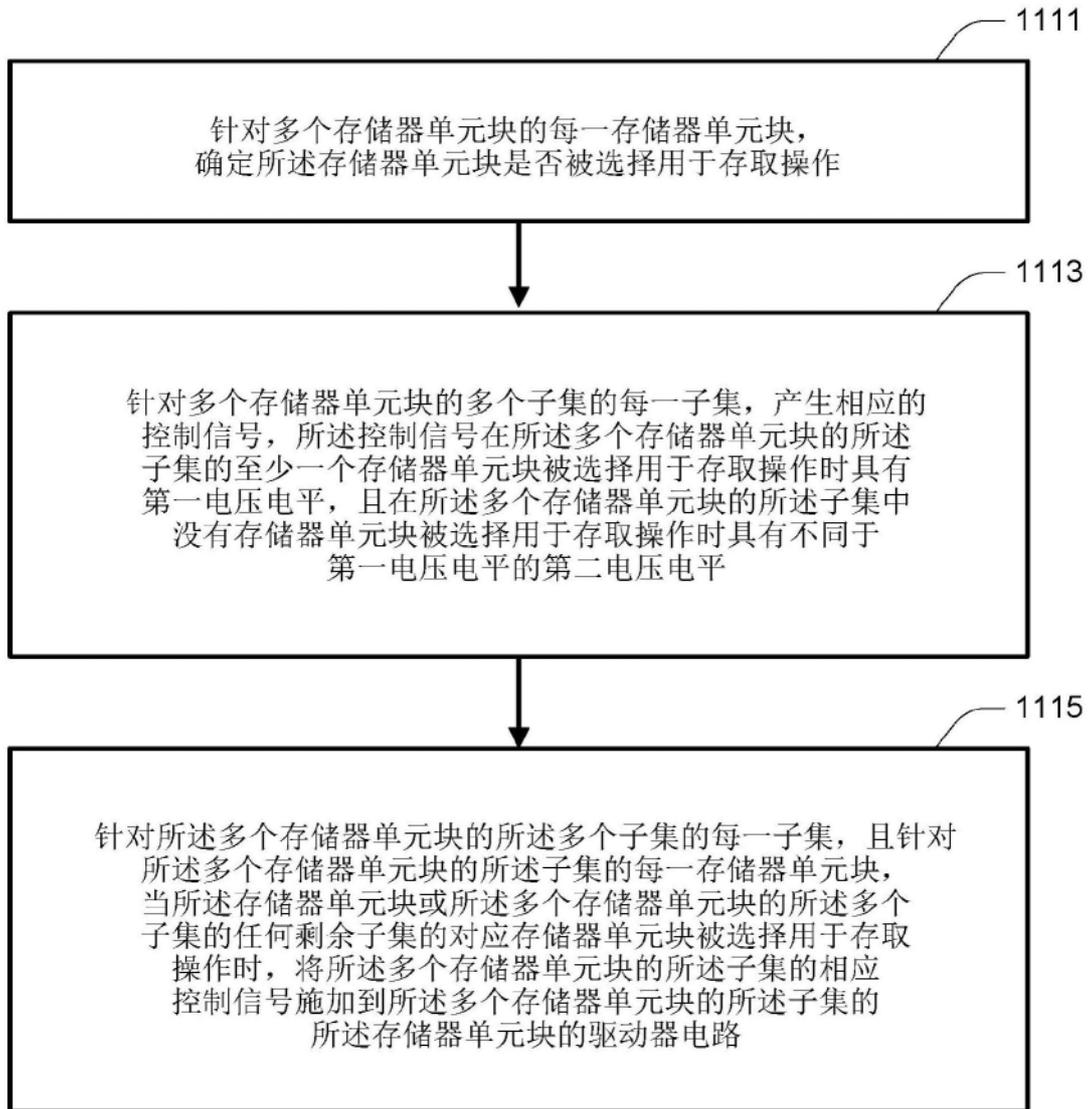


图11