

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-503440

(P2006-503440A)

(43) 公表日 平成18年1月26日(2006.1.26)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 7 1 C	5 F 0 8 3
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 1 5	5 F 1 1 0
HO 1 L 29/786 (2006.01)	HO 1 L 27/10 3 2 1	
	HO 1 L 29/78 6 1 3 B	

審査請求 有 予備審査請求 有 (全 32 頁)

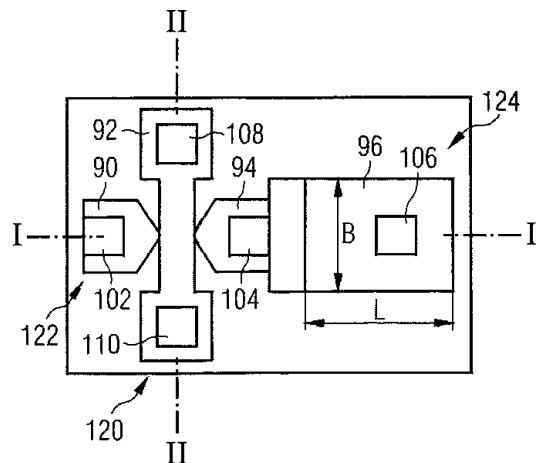
(21) 出願番号	特願2004-545697 (P2004-545697)	(71) 出願人	501209070 インフィネオン テクノロジーズ アクチ エンゲゼルシャフト
(86) (22) 出願日	平成15年10月10日 (2003.10.10)		
(85) 翻訳文提出日	平成17年4月15日 (2005.4.15)		
(86) 国際出願番号	PCT/DE2003/003355		
(87) 国際公開番号	W02004/038770		
(87) 国際公開日	平成16年5月6日 (2004.5.6)		
(31) 優先権主張番号	102 48 722.7	(74) 代理人	110000338 特許業務法人原謙三国際特許事務所
(32) 優先日	平成14年10月18日 (2002.10.18)		
(33) 優先権主張国	ドイツ (DE)	(72) 発明者	ブレーダーロー, ラルフ
(81) 指定国	EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR , CN, JP, KR, SG, US		ドイツ連邦共和国 8 5 5 8 6 ポーイン グ ズーデンテンシュトラーセ 5 1
		(72) 発明者	ハートヴィヒ, ジェシカ ドイツ連邦共和国 8 5 5 7 9 ノイビー ベルク ウンタービーヘアガー シュトラ ーセ 2 5

最終頁に続く

(54) 【発明の名称】 キャパシタを含んだ集積回路構造およびその製造方法

(57) 【要約】

特に、トランジスタ(122)(好ましくはFinFET)、および、キャパシタ(124)を備えた集積回路構造(120)を開示する。キャパシタ(124)の下部電極は、SOI基板ないに、トランジスタ(122)のチャンネル部に沿って配置されている。これにより、本発明の回路構造(120)は、簡単に製造され、優れた電子特性を有している。



【特許請求の範囲】

【請求項 1】

電氣的に絶縁性の絶縁領域と、キャパシタ(124)を形成する少なくとも1つの一連の領域と、を含み、

上記キャパシタが、

絶縁領域近傍の電極領域(34)と、

誘電体領域(46)と、

上記絶縁領域から離れた電極領域(56)と、をこの順に備えている、集積回路構造(120)であって、

上記絶縁領域が、平面に配置された絶縁層(14)の一部であり、

10

上記集積回路構造(120)の、キャパシタ(124)と少なくとも1つの活性素子(122)とが、絶縁層(14)に対して同じ側に位置しており、

上記絶縁領域近傍の電極領域(34)と上記活性素子(122)の活性領域(82)とが、絶縁層(14)が配置された平面と平行な平面に配置されていることを特徴とする、集積回路構造(120)。

【請求項 2】

上記絶縁領域近傍の電極領域(34)が、単結晶領域、好ましくはドーブされた半導体領域であり、および/または、

上記絶縁領域近傍の電極領域(34)および/または活性領域(82)の厚さが、100nm、または、50nmよりも薄く、および/または、

20

上記活性領域(82)が、単結晶領域、好ましくは、ドーブされているかドーブされていない半導体領域であり、および/または、

上記絶縁層(14)の一方の界面(an einer Seite)には、キャリア基板(12)、好ましくは、半導体材料(特にシリコンまたは単結晶シリコン)を含んでいるか上記半導体材料からなるキャリア基板が隣接しており、および/または、

上記絶縁層(14)の他方の界面には、絶縁領域近傍の電極領域(34)が隣接しており、および/または、

上記界面が、完全に互いに平行な2つの平面であることが好ましく、および/または、

上記絶縁層(14)が、電氣的に絶縁性の材料(好ましくは酸化物、特に好ましくは二酸化シリコン)を含んでいるか、または、この電氣的に絶縁性の材料からなり、および/

30

上記活性素子(122)が、トランジスタ、好ましくは電界効果トランジスタ、特に好ましくはFinFETであることを特徴とする、請求項1に記載の回路構造(120)。

【請求項 3】

上記誘電体領域(46)が、二酸化シリコンを含んでいるか、または、二酸化シリコンからなり、および/または、

上記誘電体領域(46)の誘電率が4、10、または、50よりも大きい材料からなり、および/または、

上記電極領域(56)が、

シリコン(好ましくは多結晶シリコン)を含んだ絶縁領域、または、シリコン(好ましくは多結晶シリコン)からなる絶縁領域から離れており、および/または、金属を含んでいるか、または、金属からなる絶縁領域から離れており、低インピーダンスの材料(好ましくは窒化チタン、窒化タンタル、ルビジウム、または、高ドーブされたシリコンゲルマニウム)を含んだ絶縁領域から離れており、および/または、金属半導体化合物を含んだ領域(特に、ケイ化物領域(96))に隣接した絶縁領域から離れていることを特徴とする、請求項1または2に記載の回路構造(120)。

40

【請求項 4】

上記誘電体領域(46)と絶縁領域から離れた電極領域(56)とが、絶縁領域近傍の電極領域(34)の、2、3、4、または、5つの側面に、または、5つよりも多い側面に、配置されており、および/または、

50

上記絶縁領域近傍の電極領域(34)が、多数の金属板を含んでおり、この金属板の高さが、好ましくは金属板の幅よりも大きい、または、金属板の幅の少なくとも2倍であることを特徴とする、請求項1~3のいずれか1項に記載の回路構造(120)。

【請求項5】

少なくとも1つの電界効果トランジスタ(122)のチャンネル領域(82)が、好ましくはドーピングされていない、活性領域であり、および/または、

上記電界効果トランジスタ(122)の制御電極(54)が、絶縁領域から離れた電極領域(56)と同じ材料、および/または、この電極領域(56)と同じドーパント濃度の材料を含んでおり、および/または、

上記電界効果トランジスタ(122)の制御電極絶縁領域(42、44)が、誘電体領域(46)の材料と同じ材料を含んでおり、および/または、この制御電極絶縁領域(42、44)の材料が、誘電体領域(46)の材料と同じ厚さであり、および/または、

上記電界効果トランジスタ(122)の制御電極絶縁領域(42、44)が、上記誘電体領域(46)とは異なる材料を含んでおり、および/または、前記誘電体領域(46)とは異なる厚さの材料を含んでいることを特徴とする、請求項1~4のいずれか1項に記載の回路構造(120)。

【請求項6】

上記電界効果トランジスタ(122)は、少なくとも1つの金属板を含んでおり、および/または、

複数の制御電極(54)(好ましくは2つか3つの制御電極)が、金属板(30a)の互いに対向した両側に配置されており、および/または、

少なくとも1つの制御電極(54)が、金属半導体化合物を含んだ領域(特にケイ化物領域(92))に隣接しており、および/または、

好ましくは、制御電極絶縁領域(42、44)の厚さよりも厚い絶縁領域(18、20)によってチャンネル領域から絶縁されている接続領域が、制御電極(54)に電氣的に接続しており、および/または、

上記接続領域が、絶縁領域から離れた電極領域(56)と同じ材料を有しており、および/または、前記電極領域(56)と同じドーピングレベルであることを特徴とする、請求項5に記載の回路構造(120)。

【請求項7】

上記電界効果トランジスタ(122)の、1つの端子領域または両方の端子領域(70、72)が、絶縁層(14)に隣接しており、および/または、

少なくとも1つの端子領域(70、72)が、金属半導体化合物を含んだ領域(好ましくはケイ化物領域(90、94))に隣接しており、および/または、

上記端子領域(70、72)の厚さが、活性領域(82)の厚さよりも厚いことを特徴とする、請求項5または6に記載の回路構造(20)。

【請求項8】

スペーサー(60b、60c)が、制御電極(54)の両側に配置されており、電極層とは異なる材料(好ましくは窒化シリコン)を含んでいることが好ましく、または、電極層とは異なる材料(好ましくは窒化シリコン)からなることが好ましく、および/または

、
スペーサー(60d)が、絶縁領域から離れた電極領域(56)の少なくとも1側面に配置されており、電極層(50)とは異なる材料(好ましくは窒化シリコン)を含んでいるか、または、前記異なる材料(好ましくは窒化シリコン)からなり、および/または、

制御電極(54)に配置されたスペーサー(60c)と、絶縁領域から離れた電極領域(56)に配置されたスペーサー(60d)とが、互いに接触していることを特徴とする、請求項5~7のいずれか1項に記載の回路構造(20)。

【請求項9】

上記絶縁領域近傍に位置する、電界効果トランジスタ(122)の端子領域(72)と、キャパシタ(124)の電極領域(34)とが、互いに隣接しており、電氣的に界面で

10

20

30

40

50

導電接続されており、および/または、

上記電極領域(34)に隣接している端子領域(72)が、金属半導体化合物を含んだ領域に隣接しておらず、および/または、

上記他の端子領域(70)が、金属半導体化合物を含んだ領域に隣接していることを特徴とする、請求項5~8のいずれか1項に記載の回路構造(120)。

【請求項10】

上記端子領域(72)に隣接している絶縁領域近傍の電極領域(34)の1側面が、上記側面に対して垂直な絶縁領域近傍の電極領域(34)のもう一方の側面よりも長い(少なくとも2倍、または、5倍である)ことが好ましく、

上記トランジスタ(122)の幅が、最小面積(F)の倍数であり、好ましくは3倍または5倍よりも大きく、または、

上記端子領域(72)に隣接している絶縁領域近傍の電極領域(34)の1側面に対して平行な絶縁領域近傍の電極領域(34)のもう一方の1側面は、端子領域(72)に隣接している1側面よりも長く、好ましくは少なくとも2倍、または、5倍長く、

上記トランジスタ(122)の幅は、最小面積(F)の3倍、好ましくは2倍よりも小さいことを特徴とする、請求項9に記載の回路構造(120)。

【請求項11】

上記回路構造が、少なくとも1つのプロセッサ(好ましくはマイクロプロセッサ)を含み、および/または、

上記キャパシタ(124)および活性素子(122)が、特にダイナミックRAMメモリーユニットの中の、メモリーセル(120)を構成しており、および/または、

メモリーセルが、キャパシタ(122)および単一のトランジスタ(122)、または、キャパシタ(Cs)および複数のトランジスタ(M1~M3)(好ましくは3つのトランジスタ(M1~M3))を含んでいることを特徴とする、請求項1~10のいずれか1項に記載の回路構造(120)。

【請求項12】

キャパシタ(124)を備えた集積回路構造(120)、特に請求項1~11のいずれか1項に記載の回路構造(120)の、製造方法であって、

電氣的に絶縁性の材料からなる絶縁層(14)と、半導体層(16)とを含んだ基板を配置する工程と、

キャパシタの少なくとも1つの電極領域(34)と、トランジスタ(122)の少なくとも1つの活性領域(82)とを形成するために、半導体層(16)をパターン形成する工程と、

上記半導体層(16)のパターン形成後、少なくとも1つの誘電体層(42、44、46)を形成する工程と、

上記誘電体層(42、44、46)の形成後、電極層(50)を形成する工程と、

上記絶縁領域から離れたキャパシタ(124)の電極(56)を電極層(50)に形成する工程とを、いかなる限定を加えることなく、この順序で行うことを特徴とする、方法。

【請求項13】

パターン形成する前の半導体層(16)に少なくとも1つの絶縁層(18、20)(、好ましくは窒化シリコン層(18)および/または第1の厚さを有する酸化物層(20))を供給する工程、および/または、

上記絶縁領域近傍の電極(34)を、好ましくは誘電体層(42、44、46)を製造する前にドーブする工程、および/または、

上記誘電体層(42、44、46)を、トランジスタ(122)の活性領域(82)に位置する誘電体層と同時に形成する工程、および/または、

上記トランジスタ(122)の制御電極(54)を、絶縁領域から離れた電極領域(56)の形成と同時に形成する工程から成ることを特徴とする、請求項12に記載の方法。

【請求項14】

10

20

30

40

50

上記電極層(50)の形成後に補助層(52)(好ましくは、酸化物層(18、20)よりも厚い補助層)を形成する工程、および/または、

上記絶縁領域から離れた電極領域(56)、および/または、補助層(52)をハードマスクとして用いたトランジスタの制御電極(54)を、パターン形成する工程から成ることを特徴とする、請求項12または13に記載の方法。

【請求項15】

上記トランジスタ(142)の制御電極(54)のパターン形成後に、他の補助層(60)(好ましくは窒化シリコン層)を供給する工程、および/または、

上記他の補助層(60)に異方性エッチングを施す工程から成ることを特徴とする、請求項12~14のいずれか1項に記載の方法。

10

【請求項16】

上記絶縁層(18、20)を再びパターン形成する工程、好ましくは、補助層(52)の厚さを薄くする、および/または、前記補助層(52)を完全には除去しない工程、および/または、

上記絶縁層(20)のパターン形成後に、他の補助層(60)に異方性エッチングを施す工程から成ることを特徴とする、請求項12~15のいずれか1項に記載の方法。

【請求項17】

上記絶縁領域から離れた電極領域(56)の形成後、および/または、トランジスタ(122)の制御電極(54)のパターン形成後、半導体材料(16)からなる露出領域に選択的エピタキシーを行う工程、および/または、

20

上記絶縁領域から離れた電極領域(56)の形成後、および/または、制御電極(54)のパターン形成後、および、好ましくはエピタキシー後、トランジスタ(122)の端子領域(70、72)をドーピングする工程から成ることを特徴とする、請求項12~16のいずれか1項に記載の方法。

【請求項18】

好ましくは、絶縁層(18、20)のパターン形成後、および/または、選択的エピタキシー実施後、補助層(52)を除去する工程、および/または、

上記電極層(54)および/または露出した半導体領域(16)の上に、金属半導体化合物を選択的に形成(特に選択的ケイ化物形成)する工程から成ることを特徴とする、請求項12~17のいずれか1項に記載の方法。

30

【発明の詳細な説明】

【発明の詳細な説明】

【0001】

本発明は、電氣的に絶縁性の絶縁領域と少なくとも1つのキャパシタとを含んだ、集積回路構造に関するものである。このキャパシタは、絶縁領域近傍の電極領域と、誘電体領域と、上記絶縁領域から離れて位置する電極領域と、をこの順に備えた一連の領域から形成されている。

【0002】

電氣的に絶縁性の絶縁領域は、例えば、20の室温で、比抵抗が 10^{12} cm(オームセンチメートル)よりも高い、電氣的に絶縁性の材料(例えば、酸化物、特に、二酸化シリコン)を含んでいる。また、電極領域は、例えば、20の室温で、比抵抗が 10^{-4} cmよりも低い材料を含んでいる。

40

【0003】

この材料の代わりに、電極領域は、例えば高ドーピングされた多結晶シリコンを含んでもよい。同様に、誘電体領域は、誘電率が約3.9である電氣的に絶縁性の材料(例えば、酸化物、特に二酸化シリコン)を含んでいるが、誘電率が著しく高い誘電体材料を含んでもよい。

【0004】

本発明の目的は、簡単に製造できる、キャパシタを備えた集積回路構造を提示することにある。そのために、この回路構造を、特にプロセス工程を少なく、かつ、特に使用する

50

リソグラフィーマスクを少なくして製造できるようにする。本発明の目的は、さらに、キャパシタを備えた集積回路構造の簡単な製造方法を提示することにある。

【0005】

上記回路構造に関する目的は、特許請求項1に記載の特徴を有する集積回路構造を用いて達成される。他の諸形態については、従属請求項に明示する。

【0006】

本発明の回路構造では、絶縁領域は、平面に配置された絶縁層の一部である。集積回路構造の、キャパシタと少なくとも1つの活性素子（好ましくは、集積回路構造の全ての活性素子）とは、絶縁層に対して同じ側に位置している。さらに、絶縁領域近傍の電極領域と上記活性素子の活性領域とは、絶縁層が配置された平面と平行な平面に配置されている。

10

【0007】

絶縁領域近傍の電極領域と活性領域とが一つの平面に配置されているので、本発明の回路構造を簡単にでき、簡単に製造できる。さらに、上記電極領域と活性領域とは、絶縁領域によって絶縁されている。したがって、自由に選択可能な電位を、キャパシタの2つの電極領域に印加できる。

【0008】

さらに、このキャパシタは、以下のような優れた電子特性を有している。
・寄生容量と有効容量の抵抗との比が小さい。また、微分容量が異なるのは、空間電荷領域に起因している。

20

アナログ容量の場合、微分容量は、動作基点において有効な容量である。漏れ電流が少ない。容量の微分非線形性が小さい。容量は、広い動作点の範囲において一定である。得られた容量/面積比が大きい。例えば1立方マイクロメートルあたり10フェムトファラッドよりも大きいか、または、1立方マイクロメートルあたり20フェムトファラッドよりも大きい。

【0009】

さらに、活性素子とキャパシタとの間に、他の層または他の積層した層を設ける必要はない。これにより、必要な層の数を低減し、集積回路構造の平面性を高めることができる。また、他の形態では、絶縁領域近傍の電極領域と活性領域とは、電気抵抗が $10^{-5} \sim 10^{+1.2}$ cm（特に 10^{-6} と $10^{+1.0}$ cm）である半導体材料（例えば、ゲルマニウム、シリコンまたは砒化ガリウム）を含んだ半導体領域である。絶縁領域近傍にあるキャパシタの電極領域の抵抗が、ドーピングによって下がるようになっていてもよい。

30

【0010】

また、回路構造の他の形態では、絶縁領域近傍の電極領域と活性領域とは、ドーピングされている適切な単結晶領域である。単結晶層での活性素子の電子特性は、特によい。さらに、キャパシタの単結晶電極の電気抵抗を、ドーピングによって非常に効果的に低減できる。また、絶縁領域近傍の電極領域とさらに活性領域との厚さは、100ナノメートル、あるいは、50ナノメートルよりも薄くなっていてもよい。このように薄膜半導体では、チャンネル長が非常に短い活性素子を、特に簡単に形成できる。

【0011】

次の他の形態では、絶縁層は、いわゆるSOI基板（Silicon On Insulator）の場合と同様に、キャリア基板に隣接している。この型の基板は、簡単に形成できる。さらに、これらの基板に配置された電子回路は、非常によい電子特性を有している。

40

【0012】

次の他の形態では、誘電体領域と絶縁領域から離れた電極領域とは、絶縁領域近傍の電極領域の少なくとも2つの側面に配置されている。これにより、キャパシタの容量を簡単に増やすことができる。これらの側面がキャリア基板に対して平行に位置する場合、チップ面積を増やさなくてもよい、あるいは、わずかに増やすだけで、容量を増やすことができる。容量を増やすために、電極領域に複数の組み合わせられた金属板（ineinandergreifenden Stegen）を備えるという方法もある。これらの金属板の高さは、その幅よりも大

50

きいことが好ましい。

【0013】

別の他の形態では、活性素子は、以下のような電界効果トランジスタである。電界効果トランジスタのチャンネル領域は活性領域である。チャンネル領域がドーブされない状況において、特にチャンネル長が非常に短い場合（例えば10ナノメートル）、非常によい電子特性が得られる。電界効果トランジスタの制御電極は、絶縁領域から離れたキャパシタの電極領域も配置したパターン形成された電極層の一部である。

【0014】

制御電極と絶縁領域から離れた電極領域とは、同じ材料を含んでいる。これらの領域の厚さおよびドーパント濃度は、一致している。電界効果トランジスタの制御電極絶縁領域が、キャパシタの誘電体領域と同じ材料を含んでいてもよい。また、これらの領域の厚さは互いに一致している。

10

【0015】

これにより、せいぜい3回の層形成プロセスにより、キャパシタおよび電界効果トランジスタを形成できる。これにより、キャパシタおよび電界効果トランジスタを形成するために、単に3回の層形成プロセスが必要なだけである。また、同じ層に位置する電界効果トランジスタ領域とキャパシタ領域とを、同時にパターン形成できる。キャパシタの下部電極領域が電界効果トランジスタのチャンネル領域と異なるようにドーブされる場合にのみ、キャパシタ形成用の他のマスクが必要である。

【0016】

また、制御電極絶縁領域とキャパシタの誘電体領域との材料および/または絶縁厚が互いに異なる場合にのみ、さらに他のマスクが必要である。しかし、その場合でも、回路構造の製造に必要なマスク数は、依然として少ない。

20

【0017】

次の他の形態では、電界効果トランジスタは、金属板またはひれ状部（Finne）を含んでいる。制御電極は、金属板を挟んで両側に配置されている。これにより、優れた制御特性を有する電界効果トランジスタ（例えばいわゆるF i n F E T）となる。

【0018】

他の形態では、制御電極を電氣的に接続している接続領域が、配置されている。接続領域とチャンネル領域とは、絶縁領域によって互いに分離されており、上記絶縁領域の絶縁層の厚さは、制御電極絶縁領域の絶縁層の厚さよりも厚くなっていてもよい。これにより、トランジスタを制御している間のエッジ効果（Kanteneffekte）を回避できる。また、制御電極がケイ化物領域に隣接しててもよい。こうすることにより、制御電極は、簡単に電氣的に接触され、さらに、接触抵抗およびシート抵抗は低減される。

30

【0019】

本発明にかかる回路構造の次の他の形態では、電界効果トランジスタの端子領域は、絶縁層に隣接している。この端子領域が、同様にケイ化物領域に隣接していてもよい。ケイ化物形成の前後に薄膜半導体の厚さが絶縁領域近傍の電極領域よりも端子領域の領域において厚い場合、ケイ化物形成に適した材料が十分に存在する。

【0020】

次の他の形態では、制御電極の両側に、電極層とは異なる材料を含んだ、または、異なる材料からなるスペーサーが配置される。この材料とは、特に、半導体エピタキシャル層（例えば、窒化シリコン）を形成するためのエピタキシーが行われる際にエピタキシャル層を成長させるための開始点として適していない材料のことである。このスペーサーを用いて、制御電極の側面領域を被覆する。これにより、そこからエピタキシーを行うことができず、短絡回路は回避される。

40

【0021】

また、スペーサーが、同様に、絶縁領域から離れた電極領域の少なくとも1面に配置されていてもよい。このスペーサーは、制御電極に配置されたスペーサーと同じ役割を果たす。ゲートに沿って配置されたスペーサーとキャパシタの電極に沿って配置されたスペー

50

サーとが互いに接触すると、例えばマスクされた領域でのドーピングまたはケイ化反応が防止される、すなわち、マスキングが生じる。

【0022】

次の他の形態では、電界効果トランジスタの端子領域と、絶縁領域近傍に位置するキャパシタの電極領域とは互いに隣接しているため、電界効果トランジスタの端子領域とキャパシタの電極領域とは電氣的に接続されている。これにより、絶縁領域近傍の電極と接続するために必要な他の方法を用いなくても、簡単に構成されたD R A M (Dynamic Random Access Memory)のメモリーセルが得られる。

【0023】

他の1つの形態では、トランジスタの1つの端子領域に隣接する絶縁領域近傍の電極領域の1側面は、この側面に対して平行な絶縁領域近傍の電極領域のもう一方の側面よりも長く、好ましくは、少なくとも2倍、または、5倍長い。この場合、トランジスタの幅は、最小面積の倍数であり、好ましくは、3倍または5倍よりも大きい。これにより、トランジスタとキャパシタとの間を接続した場合の抵抗は、特に低くなり、アナログ回路の特にいわゆるアナログ容量の電子特性が改善される。このようなアナログ回路の例として、アナログデジタル変換器が挙げられる。アナログ容量の他の例として、動作電圧線または信号線の、電圧スパイクを平滑化するために用いられるいわゆるバイパス容量が挙げられる。

10

【0024】

これに対して、他の代替的な形態では、端子領域に隣接している絶縁領域近傍の電極領域の1側面に対して平行な絶縁領域近傍の電極領域のもう一方の側面は、端子領域に隣接している1側面よりも、好ましくは少なくとも2倍、または、5倍長い。この場合、トランジスタの幅は、最小面積の3倍、好ましくは、2倍よりも短い。これによって、特にメモリーセルでは、キャパシタの下部電極のオーム性の抵抗が増すので、蓄積容量が急速に放電しなくなる。

20

【0025】

別の他の形態では、回路構造は、多数の論理スイッチング関数(logischen Schaltfunktionen)を含んだ少なくとも1つのプロセッサを含んでいる。1構成では回路構造がさらにプロセッサの横に複数のD R A Mメモリーユニット(Dynamic Access Memory)を含んでいる場合、メモリ混載という。この回路構造を形成するために、この論理の形成に必要な上記プロセス工程およびマスクに加えて、少数の他のプロセス工程および他のマスクが必要なだけであり、これにより、キャパシタまたはそれと電氣的に接続されるトランジスタが形成される。

30

【0026】

さらに、本発明は、他の観点では、集積回路構造の製造方法、特に、本発明にかかる回路構造、または、この回路構造にかかる他の形態のうちの一製造方法に関するものである。本発明にかかる方法では、次の方法工程を、いかなる限定を加えることなく、以下の順序で行う。電氣的に絶縁性の材料からなる絶縁層と、薄膜半導体とを含んだ基板(例えばS O I基板)を配置する。キャパシタの少なくとも1つの電極領域と、トランジスタの少なくとも1つの活性領域とを形成するために、上記薄膜半導体をパターン形成する。上記薄膜半導体のパターン形成後、誘電体層を形成する。上記誘電体層の形成後、電極層を形成する。上記絶縁領域から離れたキャパシタの電極と、トランジスタの制御電極とを、上記電極層に形成する。

40

【0027】

本発明の方法は、キャパシタとともに、いわゆるF i n F E Tの製造に特に適している。本発明の回路構造およびこの回路構造の他の形態に関する、上記の技術的效果は、本発明の方法およびこの方法の他の形態にも適している。

【0028】

以下に、本発明の模範的な実施形態について、添付図面を参照しながら説明する。図1 A ~ 図1 6 Bは、集積D R A Mメモリーセルを製造する際の製造段階を示している。図1

50

7は、メモリーセルを示す平面図である。図18は、3つのトランジスタを備えたDRAMメモリーセルを示す平面図である。

【0029】

図1A～図16Aは、集積化されたメモリーセル(integrierten Speicherzelle)を製造する際の製造段階を示している。図1～図16のAは、電界効果トランジスタのチャンネルに対して垂直方向に、特に、チャンネルの電流の流れる方向に対して垂直方向に延びる、断面Iに沿った部分を示す説明図である。図1～図16のBは、それぞれ、チャンネルに対して平行に延びる、断面IIに沿った部分を示す説明図である。

【0030】

メモリーセルの製造方法について説明する。まず、SOI基板10を用意する。このSOI基板10は、例えば、単結晶シリコンからなるキャリア基板12と、二酸化シリコンからなるいわゆる埋め込み絶縁層14と、単結晶シリコンからなる薄膜半導体16と、を有している。本実施形態では、キャリア基板12の厚さは、550 μ mである。絶縁層14の厚さは、100nmである。薄膜半導体16の厚さは、50nmである。

【0031】

この図1Aに示す製造段階では、図1Bから分かる通り、断面Iと断面IIとの構成上の違いは、まだ生じていない。

【0032】

次に、図2Aおよび図2Bに示すように、例えばCVD法(化学気相成長(Chemical Vapor Deposition))を用いて、SOI基板に窒化シリコン層18を堆積する。模範的な実施形態では、この窒化シリコン層18の厚さは、50nmである。さらに、窒化シリコン層18の全面に二酸化シリコン層(例えば、TEOS膜20(テトラエチルオルトシリケート))を、TEOS法を用いて堆積する。模範的な実施形態では、このTEOS膜20の厚さは、75nmである。図2Bから分かるように、断面IおよびIIの構成は、今なお同じである。

【0033】

他の模範的な実施形態において、窒化シリコン層18とTEOS膜20との2層を、単一の層に置き換えてもよい。単一の層に置き換えることでプロセス(工程)を簡略化することができる。次に、図3Aおよび図3Bに示すように、リソグラフィを行う。リソグラフィを行うために、フォトレジスト22を全面に塗布し、予め決められた設計にしたがって露光し、現像する。

【0034】

その後、TEOS膜20、窒化物層18、および薄膜半導体16を、例えばドライエッチングによってパターン形成する。これにより、積層30、または、断面IIの領域の金属板を形成するために先が細くなって再び広がるメサ形状となる(図3B参照)。それゆえ、製造される電界効果トランジスタとキャパシタとの形状を、互いに影響を与えずに規定(つまり最適化)できる。

【0035】

次に、フォトレジスト22を除去する。他の模範的な実施形態において、フォトリソグラフィの代わりに電子ビームリソグラフィまたは他の適切な方法を用いることもできる。図4Aおよび図4Bに示すように、次に、他のリソグラフィを行う。この方法では、キャパシタを製造するために、他のマスクを使用する必要がある。フォトレジスト層32を、塗布し、マスクを用いて露光し、現像およびパターン形成する。

【0036】

パターン形成の間、薄膜半導体16の下部電極領域34の上に位置するTEOS膜20および窒化シリコン層18を除去する。これによって、積層30が、トランジスタ部30aとキャパシタ部30bとに分けられる。

【0037】

続いて、パターン形成されたフォトレジスト層32を用いて、イオン注入を行う。図4Aに n^{++} および注入を示す矢印40によって示したように、下部電極領域34に多量の

10

20

30

40

50

n型ドーピングをする。薄膜半導体16は、トランジスタ用に備えられた領域ではドーピングされない。下部電極領域34への注入が行われれば行われるほど、下部電極領域34のインピーダンスは、低くなる。例えば、ドーピング濃度は、1立方センチメートルあたり 10^{20} ドーピング原子になるが、1立方センチメートルあたり $10^{19} \sim 10^{21}$ ドーピング原子であることが好ましい。

【0038】

ドーピング濃度が高くなった結果、ドーピングされなかった領域または適度に多くドーピングされている領域の上に位置しているよりもより速く誘電体が成長する。ドーピング濃度が高くなると、形成される空間電荷領域(Raumladungszonen)は小さくなるため、寄生効果も同様に小さくなる。

10

【0039】

後述するトランジスタのチャネル領域(特に、このチャネル領域の側面領域)を、フォトレジスト層32によって保護した結果、ドーピングを生じさせる場合のあるイオンは、これらの領域を貫通しない。次に、図5Aおよび図5Bに示すように、フォトレジスト層32を除去する。次に、薄膜半導体16の全露出面と、特に下部電極領域34の露出面とに、酸化膜を成膜する。

【0040】

この酸化膜は、トランジスタの領域ではゲート酸化物42およびゲート酸化物44である一方、キャパシタの領域では誘電体46である。この酸化膜は、例えば熱によって成長する。模範的な実施形態では、この酸化膜の厚さは、ドーピングされなかったシリコンの領域では2nmである。他の模範的な実施形態において、他のリソグラフィーを用いて、上記模範的な実施形態とは異なる材料からなる誘電体、および/または、トランジスタ用に備えられた領域とは厚さの異なる誘電体を、キャパシタの領域に形成してもよい。

20

【0041】

次に、図6Aおよび図6Bに示すように、次に、インシチュ(in-situ)ドーピングされた、または、続いてドーピングされた多結晶シリコンを堆積する。これにより、ポリシリコン層50が形成される。ポリシリコン層50は、例えば、厚さが100nmであり、ドーパント濃度は、1立方センチメートルあたり 10^{21} ドーピング原子である。n伝導型の多量のドーピングを、ここでも、符号 n^{++} によって示す。ドーピング原子には、例えばリン原子を使用する。

30

【0042】

次に、図7Aおよび図7Bに示すように、ポリシリコン層50の上に、TEOS膜20よりも厚い他のTEOS層52を堆積する。模範的な実施形態では、TEOS層52の厚さは、100nmである。このTEOS層52には、2つの機能がある。1つ目は、以下に詳述するように、TEOS層52は、トランジスタの制御電極(ゲート)をパターン形成するためのハードマスクとして機能する。2つ目は、TEOS層52は、ゲート電極ヘッドドーピングが繰り返されることを防止する、つまり、注入マスクとして機能する。このように、ゲート電極とソース/ドレイン領域とを異なるようにドーピングできる。したがって、ゲート電極の仕事関数を自由に選択できる。

【0043】

次に、図8Aおよび図8Bに示すように、他のリソグラフィーを行うことにより、ゲート電極54をパターン形成する。このために、フォトレジスト層(図示せず)を、もう一度塗布し、露光し、現像する。その後、TEOS層52およびポリシリコン層50を、例えばエッチングによってパターン形成する。これにより、トランジスタの領域ではゲート電極54が生じ、キャパシタの領域では被覆電極56が生じる。

40

【0044】

ゲート電極54は、TEOS層領域52aによって覆われている。エッチングは、TEOS膜20の上まで行う。ポリシリコン層50をエッチングする間に、極度のオーバーエッチングを行う。これにより、積層30aの側壁の寄生ポリシリコンスペーサーが、全て除去される。エッチング後、これらの側壁は、酸化膜によってのみ覆われている。

50

【0045】

次に、図9Aおよび図9Bに示すように、窒化シリコン膜60を、例えばCVD法を用いて全領域に堆積する。この窒化シリコン膜60の厚さは、模範的な実施形態では、50nmである。次に、図10Aおよび図10Bに示すように、窒化シリコン膜60を異方性エッチングプロセスによってエッチバックする。これにより、トランジスタ部30aの側壁に位置するスペーサー60aが形成される。また、ゲート電極54とTEOS層領域52aとの側壁に位置するスペーサー60b・60cが形成される。さらに、被覆電極56とTEOS層領域52bとの側壁に位置するスペーサー60dが形成される。

【0046】

次に、図11Aおよび図11Bに示すように、TEOS膜20を、リソグラフィー法を用いずに（つまり、自己整合的に）、例えばRIE法（反応性イオンエッチング（reactive ion etching））を用いて、エッチングする。TEOS膜領域20aを、スペーサー60b・60c、および、ゲート電極54の下に形成する。また、TEOS膜領域20bを、スペーサー60dの下に形成する。エッチングを行っている間、TEOS層領域52aおよびTEOS層領域52bも、例えば25nmに薄膜化する。

【0047】

これにより、ゲート電極54の上に薄くなったTEOS層領域52cができる一方、被覆電極56の上に薄くなったTEOS層領域52dができる。さらに、エッチングの結果、TEOS膜領域20aによって覆われていない窒化シリコン層18の領域が露出する。スペーサー60a～60dは、TEOS層52のエッチングの影響を受けないので、薄くなったTEOS層領域52cおよびTEOS層領域52dをいくらか越えて突出している。

【0048】

次に、図12Aおよび図12Bに示すように、窒化物層18を自己整合的にパターン形成し、この窒化シリコン層18の露出領域を除去する。窒化物層領域18aは、TEOS膜領域20aの下に残っている。また、窒化物層領域18bは、TEOS膜領域20bの下に残っている。この窒化シリコン層のエッチングは、例えばRIE法（反応性イオンエッチング）によって行う。スペーサー60a～60dも、このプロセスにおいて短くなる。

【0049】

窒化シリコン層18のエッチング後に、ゲート電極54がスペーサー60bおよび60cによって側壁でなおも取り囲まれるように、層厚およびエッチングを規定する。さらに上から、ゲート電極54を非常に厚いTEOS層によってマスクする。TEOS層52cの厚さは、例えば25nmである。窒化シリコン層18をエッチングした後、ソース/ドレイン領域が露出する。

【0050】

スペーサー60bおよび60cは、このとき、TEOS層領域52cの上面が終端となっている。スペーサー60dは、TEOS層領域52dの上面が終端となっている。次に、図13Aおよび図13Bに示すように、選択的エピタキシーを行う。つまり、単結晶エピタキシャル層を、薄膜半導体16の露出したソース/ドレイン領域の上のみ成長させる。すなわち、単結晶シリコンの上に、エピタキシャル領域62およびエピタキシャル領域64を形成する。

【0051】

エピタキシャル領域62およびエピタキシャル領域64は、TEOS膜領域20aおよびTEOS膜領域20bの高さの約半分の高さまで広がっている。これらのエピタキシャル領域62およびエピタキシャル領域64は、「せり上げ（*angehobene*）」（*elevated*）ソース/ドレイン領域とも呼ばれている。これらのエピタキシャル領域62およびエピタキシャル領域64のエピタキシャル層の厚さは、本来の薄膜半導体16の厚さと、以下で説明するケイ化反応（*siliciding*）とに応じて変化する。

【0052】

10

20

30

40

50

このケイ化反応は、存在しているシリコンを消費して行われる。その結果、この反応に応じた大量のシリコンが得られる。これにより、ドレイン/ソース領域において、チャンネル接続が引き離されること（Abreissen）」を防止できる。エピタキシーを実施した後、図14Aおよび図14Bに示すように、イオン注入（例えば、 n^{++} などの多量のn型ドーピング）を行う（注入の矢印80参照）。これにより、高ドーピングされたソース/ドレイン領域70・72を形成する。CMOSプロセス（相補型金属酸化膜半導体）によって相補型トランジスタを備えた領域を分離するためだけに、マスクが必要である。

【0053】

注入の結果、エピタキシャル領域62・64と、それらの下に位置する薄膜半導体16の領域とは、低インピーダンスで、 n^{++} にドーピングされる。さらに、ソース/ドレイン領域72とキャパシタの下部電極領域34との間が接続される。ソース領域70とドレイン領域72との間に位置するチャンネル領域82は、ドーピングされない。

【0054】

TEOS層領域52cおよびTEOS層領域52dは、注入の間、注入マスクとして機能する。したがって、ゲート電極54と被覆電極56とのドーピングは、注入が行われている間、変化しない。HDD注入（high density drain）後、図15Aおよび図15Bに示すように、TEOS層52の残部（つまり、特にTEOS層領域52cおよびTEOS層領域52d）を、エッチングによって取り除く。

【0055】

次に、サリサイド法（self-aligned silicide）を行う。このために、例えば、全面にニッケル層を堆積する。例えば500の温度で、ケイ化ニッケルを、ケイ化物領域90～96に見られるように、エピタキシャル領域62・64の上、ゲート電極54の上、および、被覆電極56の上に生じさせる。

【0056】

ニッケルの代わりに、融点が摂氏1200度よりも高い金属（特に、高融点金属（Refraktaermetall））を使用してもよい。これにより、例えば、ケイ化チタンまたはケイ化コバルトを形成できる。続いて、図16Aおよび図16Bに示すように、例えば二酸化シリコンからなる、不活性化層（Passivierungsschicht）100を塗布する。不活性化層100にコンタクトホールをエッチングし、そこに例えばタングステンを充填する。こうして、接続部102・104・106・108・110が形成される。これらの接続部はそれぞれ、この順序でケイ化物領域90・94・96・92に達する。また、他の模範的な実施形態において、ケイ化物領域92に達する2つの接続部108・110の代わりに、単一の接続部を備えてもよい。

【0057】

さらに、接続部102～110を、1つまたは複数の金属薄膜層の配線（Leiterbahnen）にも接続してもよい。ここでは、従来のCMOSプロセス（「バックエンド（Back End）」とも呼ばれる）を実施する。図17は、FinFET122とキャパシタ124とを含んだメモリーセル120を示す平面図である。キャパシタ124は、図1A～図17のトランジスタ122よりも小さく示されている。

【0058】

キャパシタ124の有効面積は、

$$A = L \cdot B + H \cdot (2 \cdot L + B)$$

である。ここで、Aは有効面積であり、Bはキャパシタの幅であり、Lはキャパシタの長さであり、Hは、図16Aに示したように、下部電極領域34の高さである。

【0059】

例えばマイクロプロセッサ記憶階層の第2および第3アクセスレベル（つまり、第2および第3レベルキャッシュ）において、中型SRAMメモリーユニットを高速混載DRAMと取りかえることにより、このような混載DRAMの容量の好ましい使用面積が得られる。例えば、今までは、SRAMメモリーセルの面積は、 $134F^2$ （Fは、最小面積を示す）であった。誘電定数 r が25である誘電体（例えば、五酸化タンタル）を用いる

10

20

30

40

50

と、次の計算にしたがって、1つのメモリーセルに対して20フェムトファラッドの通常の混載DRAM容量C_{MEM}を実現できる。酸化物の容量は、

$$C_{OX} = \epsilon_0 / t_{phys} = 110 \text{ fF} / \mu\text{m}^2$$

であり、 t_{phys} は、模範的な実施形態では酸化物の厚さ(2ナノメートル)である。これにより、

$$A_{MEM} = C_{MEM} / C_{OX} = 0.18 \mu\text{m}^2$$

の蓄積容量の所要面積A_{MEM}が得られる。

【0060】

最小面積Fについては、50ナノメートルがこの容量72F²に相当する。この面積は、例えば、基本面積がL・B=8F・6Fである平行六面体の下部電極領域34を用いて形成される。ここで、高さHは1Fに相当する。つまり、平面SOIプロセスに関して、33パーセントの面積が低減されたということである。このようにして得た面積(Flaechengewinn)は、高さHが高くなると増加する。

10

【0061】

FinFET容量構造(FinFET-Kapazitaetsanordnung)の全面積は、アクセストランジスタを含めて68F²である。FinFET122は、ゲートに接続すること(Gatekontakt)によって実現される。したがって、混載DRAMメモリーセルの面積は、SRAMセルの面積(134F²)よりも小さい。

【0062】

本発明では、FET面の中に(つまり、SOI基板のいわゆる上部シリコンに)キャパシタ(Kapazitaet)が集積されている。ここでは、完全に空乏化した平面的な(planaren)SOIトランジスタを備えたSOI-CMOS技術ではなく、側壁の2つの制御チャネルのゆえに制御特性がよい、FinFETを使用する。

20

【0063】

SOIキャパシタ(Kapazitaet)を形成するには、トランジスタの極めて高品質のゲート誘電体をキャパシタの誘電体として使用するとき、さらに1つのプロセス工程を必要とするだけである。酸化物の有効層厚が1ナノメートルであり、ゲートシリコンと上部シリコンとを空乏化するために0.8ナノメートルに補正する際、量子力学的効果のゆえに、面積に対する容量が、

$$C_{OX} = 3.9 \epsilon_0 / t_{fox} = 19 \text{ fF} / \mu\text{m}^2、$$

30

から分かる。ここで、 t_{fox} は、1.8ナノメートルであり、電氣的に有効な酸化物の層厚を示している。 ϵ_0 は、真空状態(Vakuum)での誘電率を示している。金属ゲートを用いた場合、面積に対する容量が

$$C_{OX} = 3.9 \epsilon_0 / t_{fox} = 24 \text{ fF} / \mu\text{m}^2、$$

に増加した結果、ゲートが空乏化するので、電氣的に有効な酸化物の層厚は約0.4ナノメートルに減少する。

【0064】

本発明の容量は、集積回路構造に電圧を印加する際に、いわゆるスパイクを減衰させ、かつ、クロストークを減衰させるためのいわゆるバイパス容量としても用いられる。これらの容量は、特に、発振器、または、アナログデジタル変換器のアナログ容量としても非常に適している。これらの容量は、さらに、いわゆるミクスドシグナル回路、つまり、メモリーセルの中に、アナログ容量と蓄積容量とを有する回路、にも用いられる。

40

【0065】

他の模範的な実施形態では、各高圧DRAM誘電体(ϵ_r は、100よりも大きい)を、ゲート酸化物の代わりに使用する。この誘電体は、例えば、チタン酸バリウムストロンチウム(barium strontium titanate)(BST)、または、エピタキシャルチタン酸バリウムストロンチウムを含んだ誘電体である。したがって、所要面積が約22F²に低減される。SOI積層上の高圧誘電体の領域を規定するために、第2補助マスクを使用する。

【0066】

50

従来の技術思想に対する更なる利点は、純粋論理ブロック (reinen Logikbloecken) と混載 D R A M ブロックとの間の平面的な接合 (planarer Uebergang) である。さらに、ビア (経路) が深くなりすぎないこと、および、接触を回避することも利点である。

【 0 0 6 7 】

F i n F E T トランジスタの漏れ電流が少なく、全容量に対する有効容量の割合を上げるように寄生容量が減少した結果、C M E M が 1 0 フェムトファラッドである混載 D R A M の容量がさらに低減する。

【 0 0 6 8 】

L D D ドーピング (lightly doped drain) は、図 1 A ~ 図 1 7 を参照しながら説明した模範的な実施形態では実施されていなかった。一方、他の模範的な実施形態では、H D D ドーピングに加えて、L D D ドーピングも実施する。 10

【 0 0 6 9 】

他の模範的な実施形態では、トランジスタとキャパシタとを、互いに空間的に離して配置し、それぞれを専用の接続部に接続する。特に、単一のトランジスタを備えた D R A M メモリーセル (dynamic random access memory) では、接続部 1 0 4 は必要ではない。次に、スペーサー 6 0 c ・ 6 0 d は、端子領域 7 0 へのドーピング中、および、選択的にケイ化反応中、マスクとして機能するように、互いに接触できる。次に、下部電極領域 3 4 からのドーピング原子の拡散により、スペーサー 6 0 c ・ 6 0 d の下に端子領域が生じる。

【 0 0 7 0 】

図 1 8 は、図 1 A ~ 図 1 6 A を参照しながら説明した方法工程を用いて製造された 3 つのトランジスタ M 1 ~ M 2 およびキャパシタ C s を備えた、D R A M メモリーセル 2 0 0 (Dynamic Random Access Memory) を示す回路図である。例えば、図 1 7 に示したトランジスタ 1 2 2 は、第 1 例ではトランジスタ M 1 である。次に、キャパシタ 1 2 4 はキャパシタ C s である。第 1 例では、薄膜半導体 1 6 の下部電極領域 3 4 に隣接している他の端子面 (Anschlussflaeche)、または、接続部 1 0 4 と、トランジスタ M 2 のゲートとが、電氣的に接続される。 20

【 0 0 7 1 】

それに代わるものとして、第 2 例では、トランジスタ 1 2 2 がトランジスタ M 2 に相当し、キャパシタ 1 2 4 がここでもキャパシタ C s に相当するように、設計が選択されている。第 2 例では、被覆電極 5 6 は、トランジスタ M 1 の 1 端子領域とトランジスタ M 2 のゲートとに電氣的に接続されている。 30

【 0 0 7 2 】

メモリーセル 2 0 0 の回路は、書き込み用部分回路 (Teilschaltung zum Lesen) と読み出し用部分回路とを含んでおり、キャパシタ C s の電荷は読み出しプロセスの間は変化しない。この結果、読み出し動作後にこの電荷をリフレッシュする必要もない。書き込み用部分回路は、書き込みトランジスタ M 1 とキャパシタ C s とを含んでいる。トランジスタ M 1 のゲート端子は、書き込みワード線 W W L に接続されている。トランジスタ M 1 のソース端子は、書き込みビット線 B L 1 に接続されている。上記第 1 例に基づいた電気特性が非常によい回路構造の場合、トランジスタ M 1 のドレイン端子は、キャパシタ 1 2 4 の下部電極 3 4 によって形成されるストレージノード X に接続されている。 40

【 0 0 7 3 】

キャパシタ C s の被覆電極 5 6 は、グラウンド電位 V S S に接続されている。第 2 例に基づいた代替案では、トランジスタ M 1 のドレイン端子は、キャパシタ 1 2 4 の被覆電極 5 6 によって形成されたストレージノード X に接続されている。キャパシタ C s の下部電極 3 4 は、グラウンド電位 V S S に接続されている。読み出し用部分回路は、トランジスタ M 2 ・ M 3 を含んでいる。トランジスタ M 3 のゲート端子は、読み出しワード線 R W L に接続されている。トランジスタ M 3 のドレイン端子は、読み出し動作の開始前に例えば作動電位 (Betriebspotential) V D D を帯電した (aufgeladen) 読み出しビット線 B L 2 に接続されている。トランジスタ M 3 のソース端子は、トランジスタ M 2 のドレイン端 50

子に接続されている。トランジスタM2のゲート端子は、ストレージノードXに接続されている。トランジスタM2のソース端子は、グラウンド電位VSSに接続されている。

【0074】

トランジスタM2は増幅器として機能するので、ストレージノードXにおいて電荷損失が生じて、信頼できる読み出しを行うことができる。ストレージノードXに正電荷が存在すると、トランジスタM2のスイッチはON状態になり、予備充電された読み出しビット線BL2は、読み出し動作の間に放電する。トランジスタM2のゲートソースの容量(Kapazitaet)がキャパシタCsに並列に接続されている(liegt)ので、有効蓄積容量(effektiv wirksame Speicherkapazitaet)Ceffが以下のように増す。

【0075】

$$C_{eff} = C_s + C_{GS}(M2)$$

ここで、CsはキャパシタCsの容量であり、CGSはトランジスタM2のゲートソース容量である。ゲート酸化物およびキャパシタ誘電体が同じ誘電体層の中に形成されており、この層がどの点をとっても同じ厚さである場合、蓄積キャパシタCsと例えばトランジスタM2との面積あたりの容量は、上記製造方法によれば同じ大きさとなる。

【0076】

メモリーセル200の所要面積は、有効蓄積容量Ceffの所要量によって決まる。漏れ電流の低減およびトランジスタ利得の上昇によって読み出し電流が増すことにより、蓄積容量Csの大きさを低減できる。キャパシタCsに必要な面積およびその電気特性は、多数のメモリーセル200を備えたメモリーユニットを安価に製造するための主な基準である。多数のメモリーセル200を備えたメモリーユニットは、さらに、プロセッサ記憶階層中のSRAMの代わりとして適している。

他の模範的な実施形態では、FinFETトランジスタの代わりに、複数のFinFET(Multi-FinFET)トランジスタを使用する。このトランジスタは、単一の金属板の代わりに、ドレイン端子領域とソース端子領域との間に互いに平行に配置された多数の金属板を含んでいる。

【図面の簡単な説明】

【0077】

【図1A】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図1B】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図2A】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図2B】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図3A】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図3B】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図4A】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図4B】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図5A】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図5B】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図6A】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図6B】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図7A】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図7B】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図8A】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図8B】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図9A】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図9B】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図10A】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図10B】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図11A】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

【図11B】集積DRAMメモリーセルを製造する際の製造段階を示す図である。

10

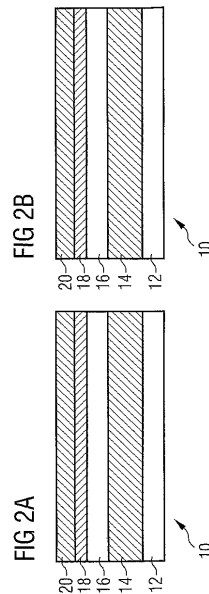
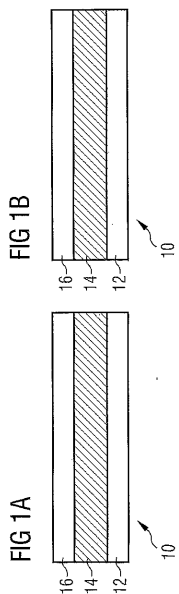
20

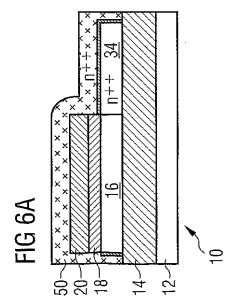
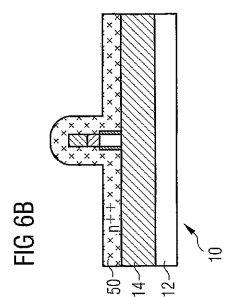
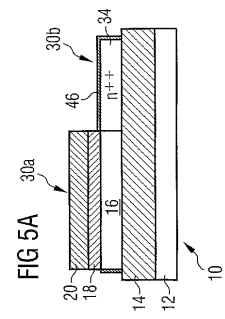
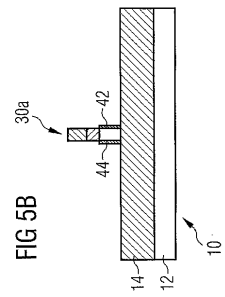
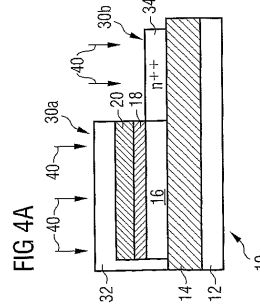
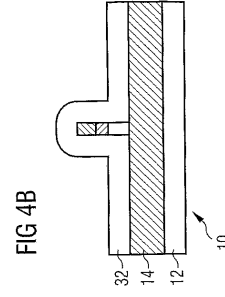
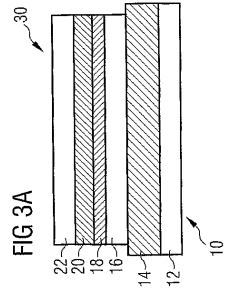
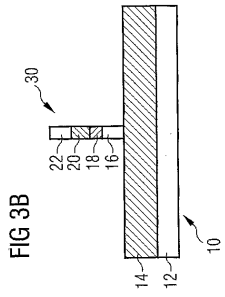
30

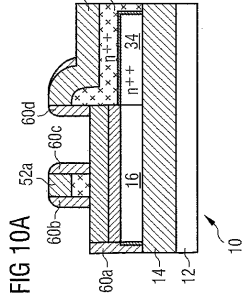
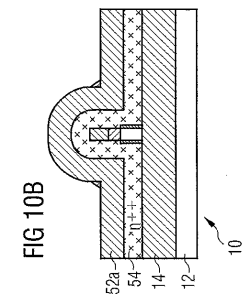
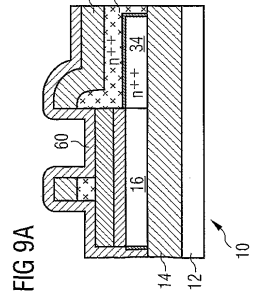
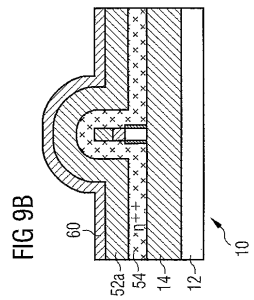
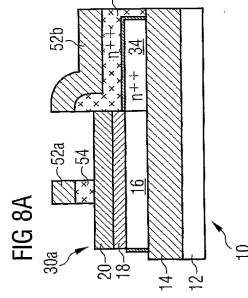
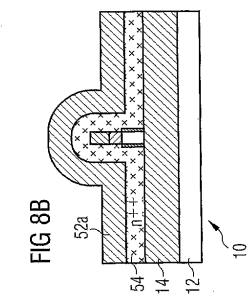
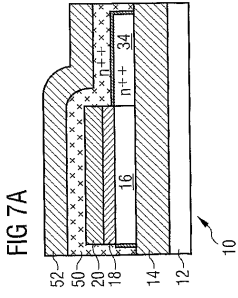
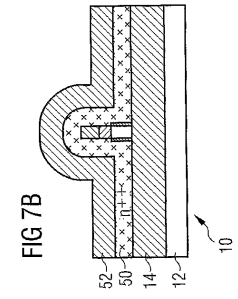
40

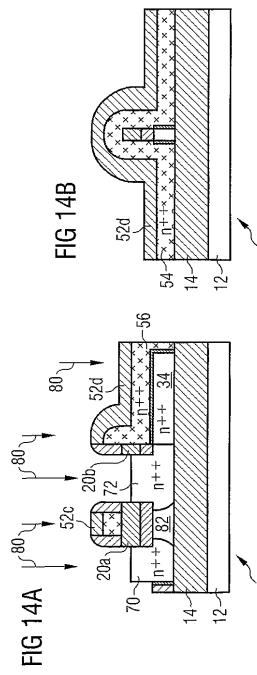
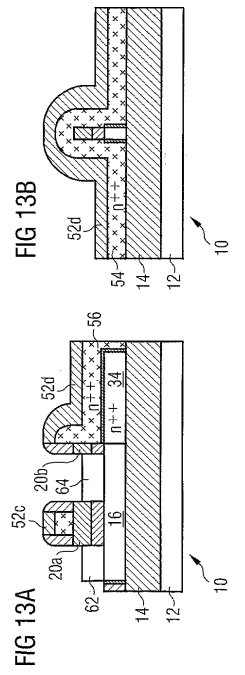
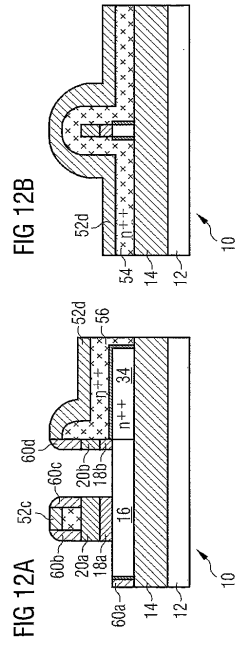
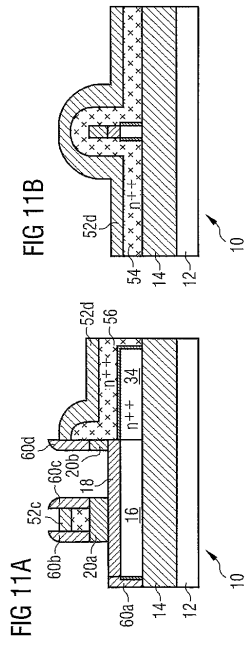
50

- 【図12A】集積DRAMメモリーセルを製造する際の製造段階を示す図である。
- 【図12B】集積DRAMメモリーセルを製造する際の製造段階を示す図である。
- 【図13A】集積DRAMメモリーセルを製造する際の製造段階を示す図である。
- 【図13B】集積DRAMメモリーセルを製造する際の製造段階を示す図である。
- 【図14A】集積DRAMメモリーセルを製造する際の製造段階を示す図である。
- 【図14B】集積DRAMメモリーセルを製造する際の製造段階を示す図である。
- 【図15A】集積DRAMメモリーセルを製造する際の製造段階を示す図である。
- 【図15B】集積DRAMメモリーセルを製造する際の製造段階を示す図である。
- 【図16A】集積DRAMメモリーセルを製造する際の製造段階を示す図である。
- 【図16B】集積DRAMメモリーセルを製造する際の製造段階を示す図である。
- 【図17】メモリーセルを示す平面図である。
- 【図18】3つのトランジスタを備えたDRAMメモリーセルを示す平面図である。









【手続補正書】

【提出日】平成16年12月15日(2004.12.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電氣的に絶縁性の絶縁領域と、キャパシタ(124)を形成する少なくとも1つの一連の領域とを含み、上記キャパシタが、絶縁領域近傍の電極領域(34)と、誘電体領域(46)と、上記絶縁領域から離れた電極領域(56)とをこの順番に備えている、集積回路構造(120)であって、

上記絶縁領域が、平面に配置された絶縁層(14)の一部であり、

上記集積回路構造(120)の、キャパシタ(124)と少なくとも1つの活性素子(122)とが、絶縁層(14)に対して同じ側に位置しており、

上記絶縁領域近傍の電極領域(34)と上記活性素子(122)の活性領域(82)とが、絶縁層(14)が配置された平面と平行な平面に配置されており、

上記絶縁領域近傍の電極領域(34)が、多数の金属板を含んだ単結晶領域であるか、または、

それに代わるものとして、少なくとも1つの電界効果トランジスタ(122)が配置されており、そのチャンネル領域が活性領域であり、前記電界効果トランジスタ(122)は、少なくとも1つの金属板を含み、複数の制御電極(54)が前記金属板(30a)の両側に配置されており、制御電極絶縁領域(42、44)の厚さよりも厚い絶縁領域(18、20)によってチャンネル領域から絶縁されている接続領域が、制御電極(54)に電氣的に接続しており、

上記制御電極(54)が、絶縁領域から離れた電極領域(56)と同じ材料を含んでいることを特徴とする、集積回路構造(120)。

【請求項2】

上記絶縁領域近傍の電極領域(34)が、単結晶領域、好ましくはドーブされた半導体領域であり、および/または、

上記絶縁領域近傍の電極領域(34)および/または活性領域(82)の厚さが、100nm、または、50nmよりも薄く、および/または、

上記活性領域(82)が、単結晶領域、好ましくは、ドーブされているかドーブされていない半導体領域であり、および/または、

上記絶縁層(14)の一方の界面(an einer Seite)には、キャリア基板(12)、好ましくは、半導体材料(特にシリコンまたは単結晶シリコン)を含んでいるか上記半導体材料からなるキャリア基板が隣接しており、および/または、

上記絶縁層(14)の他方の界面には、絶縁領域近傍の電極領域(34)が隣接しており、および/または、

上記界面が、完全に互いに平行な2つの平面であることが好ましく、および/または、

上記絶縁層(14)が、電氣的に絶縁性の材料(好ましくは酸化物、特に好ましくは二酸化シリコン)を含んでいるか、または、この電氣的に絶縁性の材料からなり、および/または、

上記活性素子(122)が、トランジスタ、好ましくは電界効果トランジスタ、特に好ましくはFinFETであることを特徴とする、請求項1に記載の回路構造(120)

【請求項3】

上記誘電体領域(46)が、二酸化シリコンを含んでいるか、または、二酸化シリコン

からなり、および/または、

上記誘電体領域(46)の誘電率が4、10、または、50よりも大きい材料からなり、および/または、

上記電極領域(56)が、

シリコン(好ましくは多結晶シリコン)を含んだ絶縁領域、または、シリコン(好ましくは多結晶シリコン)からなる絶縁領域から離れており、および/または、金属を含んでいるか、または、金属からなる絶縁領域から離れており、低インピーダンスの材料(好ましくは窒化チタン、窒化タンタル、ルビジウム、または、高ドーパされたシリコンゲルマニウム)を含んだ絶縁領域から離れており、および/または、金属半導体化合物を含んだ領域(特に、ケイ化物領域(96))に隣接した絶縁領域から離れていることを特徴とする、請求項1または2に記載の回路構造(120)。

【請求項4】

上記誘電体領域(46)と絶縁領域から離れた電極領域(56)とが、絶縁領域近傍の電極領域(34)の、2、3、4、または、5つの側面に、または、5つよりも多い側面に、配置されており、および/または、

上記絶縁領域近傍の電極領域(34)が、多数の金属板を含んでおり、この金属板の高さが、好ましくは金属板の幅よりも大きい、または、金属板の幅の少なくとも2倍であることを特徴とする、請求項1~3のいずれか1項に記載の回路構造(120)。

【請求項5】

少なくとも1つの電界効果トランジスタ(122)のチャンネル領域(82)が、好ましくはドーパされていない、活性領域であり、および/または、

上記電界効果トランジスタ(122)の制御電極(54)が、絶縁領域から離れた電極領域(56)と同じ材料、および/または、この電極領域(56)と同じドーパント濃度の材料を含んでおり、および/または、

上記電界効果トランジスタ(122)の制御電極絶縁領域(42、44)が、誘電体領域(46)の材料と同じ材料を含んでおり、および/または、この制御電極絶縁領域(42、44)の材料が、誘電体領域(46)の材料と同じ厚さであり、および/または、

上記電界効果トランジスタ(122)の制御電極絶縁領域(42、44)が、上記誘電体領域(46)とは異なる材料を含んでおり、および/または、前記誘電体領域(46)とは異なる厚さの材料を含んでいることを特徴とする、請求項1~4のいずれか1項に記載の回路構造(120)。

【請求項6】

上記電界効果トランジスタ(122)は、少なくとも1つの金属板を含んでおり、および/または、

複数の制御電極(54)(好ましくは2つか3つの制御電極)が、金属板(30a)の互いに対向した両側に配置されており、および/または、

少なくとも1つの制御電極(54)が、金属半導体化合物を含んだ領域(特にケイ化物領域(92))に隣接しており、および/または、

好ましくは、制御電極絶縁領域(42、44)の厚さよりも厚い絶縁領域(18、20)によってチャンネル領域から絶縁されている接続領域が、制御電極(54)に電氣的に接続しており、および/または、

上記接続領域が、絶縁領域から離れた電極領域(56)と同じ材料を有しており、および/または、前記電極領域(56)と同じドーピングレベルであることを特徴とする、請求項5に記載の回路構造(120)。

【請求項7】

上記電界効果トランジスタ(122)の、1つの端子領域または両方の端子領域(70、72)が、絶縁層(14)に隣接しており、および/または、

少なくとも1つの端子領域(70、72)が、金属半導体化合物を含んだ領域(好ましくはケイ化物領域(90、94))に隣接しており、および/または、

上記端子領域(70、72)の厚さが、活性領域(82)の厚さよりも厚いことを特徴

とする、請求項 5 または 6 に記載の回路構造 (2 0) 。

【請求項 8】

スペーサー (6 0 b 、 6 0 c) が、制御電極 (5 4) の両側に配置されており、電極層とは異なる材料 (好ましくは窒化シリコン) を含んでいることが好ましく、または、電極層とは異なる材料 (好ましくは窒化シリコン) からなることが好ましく、および / または、

スペーサー (6 0 d) が、絶縁領域から離れた電極領域 (5 6) の少なくとも 1 側面に配置されており、電極層 (5 0) とは異なる材料 (好ましくは窒化シリコン) を含んでいるか、または、前記異なる材料 (好ましくは窒化シリコン) からなり、および / または、
上記電界効果トランジスタ (1 2 2) の制御電極 (5 4) に配置されたスペーサー (6 0 c) と、絶縁領域から離れた電極領域 (5 6) に配置されたスペーサー (6 0 d) とが、互いに接触していることを特徴とする、請求項 5 ~ 7 のいずれか 1 項に記載の回路構造 (2 0) 。

【請求項 9】

上記絶縁領域近傍に位置する、電界効果トランジスタ (1 2 2) の端子領域 (7 2) と、キャパシタ (1 2 4) の電極領域 (3 4) とが、互いに隣接しており、電氣的に界面で導電接続されており、および / または、

上記電極領域 (3 4) に隣接している端子領域 (7 2) が、金属半導体化合物を含んだ領域に隣接しておらず、および / または、

上記他の端子領域 (7 0) が、金属半導体化合物を含んだ領域に隣接していることを特徴とする、請求項 5 ~ 8 のいずれか 1 項に記載の回路構造 (1 2 0) 。

【請求項 10】

上記端子領域 (7 2) に隣接している絶縁領域近傍の電極領域 (3 4) の 1 側面が、上記側面に対して垂直な絶縁領域近傍の電極領域 (3 4) のもう一方の側面よりも長い (少なくとも 2 倍、または、5 倍である) ことが好ましく、

上記トランジスタ (1 2 2) の幅が、最小面積 (F) の倍数であり、好ましくは 3 倍または 5 倍よりも大きく、または、

上記端子領域 (7 2) に隣接している絶縁領域近傍の電極領域 (3 4) の 1 側面に対して平行な絶縁領域近傍の電極領域 (3 4) のもう一方の 1 側面は、端子領域 (7 2) に隣接している 1 側面よりも長く、好ましくは少なくとも 2 倍、または、5 倍長く、

上記トランジスタ (1 2 2) の幅は、最小面積 (F) の 3 倍、好ましくは 2 倍よりも小さいことを特徴とする、請求項 9 に記載の回路構造 (1 2 0) 。

【請求項 11】

上記回路構造が、少なくとも 1 つのプロセッサ (好ましくはマイクロプロセッサ) を含み、および / または、

上記キャパシタ (1 2 4) および活性素子 (1 2 2) が、特にダイナミック R A M メモリーユニットの中の、メモリーセル (1 2 0) を構成しており、および / または、

メモリーセルが、キャパシタ (1 2 2) および単一のトランジスタ (1 2 2)、または、キャパシタ (C s) および複数のトランジスタ (M 1 ~ M 3) (好ましくは 3 つのトランジスタ (M 1 ~ M 3)) を含んでいることを特徴とする、請求項 1 ~ 10 のいずれか 1 項に記載の回路構造 (1 2 0) 。

【請求項 12】

キャパシタ (1 2 4) を備えた集積回路構造 (1 2 0)、特に請求項 1 ~ 11 のいずれか 1 項に記載の回路構造 (1 2 0) の、製造方法であって、

電氣的に絶縁性の材料からなる絶縁層 (1 4) と、半導体層 (1 6) とを含んだ基板を配置する工程と、

キャパシタの少なくとも 1 つの電極領域 (3 4) と、トランジスタ (1 2 2) の少なくとも 1 つの活性領域 (8 2) とを形成するために、半導体層 (1 6) をパターン形成する工程と、

上記半導体層 (1 6) のパターン形成後、少なくとも 1 つの誘電体層 (4 2 、 4 4 、 4

6) を形成する工程と、

上記誘電体層(42、44、46)の形成後、電極層(50)を形成する工程と、

上記絶縁領域から離れたキャパシタ(124)の電極(56)を電極層(50)に形成する工程とを、いかなる限定を加えることなく、この順序で行い、

上記トランジスタ(122)の制御電極(54)の形成が、絶縁領域から離れた電極領域(56)の形成と同時に行われ、

上記絶縁領域近傍の電極領域(34)が、多数の金属板を含んでいるか、またはそれに代わるものとして、

上記トランジスタが電界効果トランジスタ(122)であり、そのチャンネル領域が活性領域であり、

上記電界効果トランジスタ(122)が、少なくとも1つの金属板を含み、

複数の制御電極(54)が金属板(30a)の両側に配置されており、

接続領域が、制御電極(54)に電気的に接続しており、

上記制御電極(54)が、制御電極絶縁領域(42、44)の厚さよりも厚い絶縁領域(18、20)によってチャンネル領域から絶縁されている、という特徴を有していることを特徴とする、方法。

【請求項13】

パターン形成する前の半導体層(16)に少なくとも1つの絶縁層(18、20)(、好ましくは窒化シリコン層(18)および/または第1の厚さを有する酸化物層(20))を供給する工程、および/または、

上記絶縁領域近傍の電極(34)を、好ましくは誘電体層(42、44、46)を製造する前にドーブする工程、および/または、

上記誘電体層(42、44、46)を、トランジスタ(122)の活性領域(82)に位置する誘電体層と同時に形成する工程、および/または、

上記トランジスタ(122)の制御電極(54)を、絶縁領域から離れた電極領域(56)の形成と同時に形成する工程から成ることを特徴とする、請求項12に記載の方法。

【請求項14】

上記電極層(50)の形成後に補助層(52)(好ましくは、酸化物層(18、20)よりも厚い補助層)を形成する工程、および/または、

上記絶縁領域から離れた電極領域(56)、および/または、補助層(52)をハードマスクとして用いたトランジスタの制御電極(54)を、パターン形成する工程から成ることを特徴とする、請求項12または13に記載の方法。

【請求項15】

上記トランジスタ(142)の制御電極(54)のパターン形成後に、他の補助層(60)(好ましくは窒化シリコン層)を供給する工程、および/または、

上記他の補助層(60)に異方性エッチングを施す工程から成ることを特徴とする、請求項12～14のいずれか1項に記載の方法。

【請求項16】

上記絶縁層(18、20)を再びパターン形成する工程、好ましくは、補助層(52)の厚さを薄くする、および/または、前記補助層(52)を完全には除去しない工程、および/または、

上記絶縁層(20)のパターン形成後に、他の補助層(60)に異方性エッチングを施す工程から成ることを特徴とする、請求項12～15のいずれか1項に記載の方法。

【請求項17】

上記絶縁領域から離れた電極領域(56)の形成後、および/または、トランジスタ(122)の制御電極(54)のパターン形成後、半導体材料(16)からなる露出領域に選択的エピタキシーを行う工程、および/または、

上記絶縁領域から離れた電極領域(56)の形成後、および/または、制御電極(54)のパターン形成後、および、好ましくはエピタキシー後、トランジスタ(122)の端子領域(70、72)をドーブする工程から成ることを特徴とする、請求項12～16の

いずれか 1 項に記載の方法。

【請求項 18】

好ましくは、絶縁層（18、20）のパターン形成後、および/または、選択的エピタキシー実施後、補助層（52）を除去する工程、および/または、

上記電極層（54）および/または露出した半導体領域（16）の上に、金属半導体化合物を選択的に形成（特に選択的ケイ化物形成）する工程から成ることを特徴とする、請求項 12 ~ 17 のいずれか 1 項に記載の方法。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 03/03355

A. CLASSIFICATION OF SUBJECT MATTER		
IPC 7 H01L21/02 H01L27/12 H01L21/8242 H01L27/108		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2001/014047 A1 (HIDAKA HIDETO ET AL) 16 August 2001 (2001-08-16) paragraph '0386! - paragraph '0390!; figures 80,81	1-18
X	US 2002/125536 A1 (IWASA SHOICHI ET AL) 12 September 2002 (2002-09-12) paragraph '0126! - paragraph '0138!; figures 7-9	1-18
A	PATENT ABSTRACTS OF JAPAN vol. 015, no. 417 (E-1125), 23 October 1991 (1991-10-23) -& JP 03 173175 A (HITACHI LTD), 26 July 1991 (1991-07-26) abstract	1-18
----- -/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family
Date of the actual completion of the International search	Date of mailing of the International search report	
30 July 2004	09/08/2004	
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016	Authorized officer Sinemus, M	

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 03/03355

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 413 802 B1 (SUBRAMANIAN VIVEK ET AL) 2 July 2002 (2002-07-02) paragraph '0024!; figures	1-18
A	US 6 207 985 B1 (WALKER DARRYL) 27 March 2001 (2001-03-27) column 9, line 66 - column 10, line 8; figures	1-18

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 03/03355

Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
US 2001014047	A1	16-08-2001	JP 8125034 A	17-05-1996
			US 6288949 B1	11-09-2001
			US 6091647 A	18-07-2000
			US 5825696 A	20-10-1998
			US 2002101754 A1	01-08-2002
			US 2003206472 A1	06-11-2003
US 2002125536	A1	12-09-2002	JP 11068069 A	09-03-1999
			US 6288431 B1	11-09-2001
JP 03173175	A	26-07-1991	NONE	
US 6413802	B1	02-07-2002	NONE	
US 6207985	B1	27-03-2001	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE 03/03355

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPK 7 H01L21/02 H01L27/12 H01L21/8242 H01L27/108		
Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RESEARCHIERTE GEBIETE		
Recherchiertes Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) IPK 7 H01L		
Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, PAJ		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2001/014047 A1 (HIDAKA HIDETO ET AL) 16. August 2001 (2001-08-16) Absatz '0386! - Absatz '0390!; Abbildungen 80,81	1-18
X	US 2002/125536 A1 (IWASA SHOICHI ET AL) 12. September 2002 (2002-09-12) Absatz '0126! - Absatz '0138!; Abbildungen 7-9	1-18
A	PATENT ABSTRACTS OF JAPAN Bd. 015, Nr. 417 (E-1125), 23. Oktober 1991 (1991-10-23) -& JP 03 173175 A (HITACHI LTD), 26. Juli 1991 (1991-07-26) Zusammenfassung	1-18
	----- -/--	
<input checked="" type="checkbox"/>	Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen	<input checked="" type="checkbox"/>
	Siehe Anhang Patentfamilie	
<p>° Besondere Kategorien von angegebenen Veröffentlichungen :</p> <p>*A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist</p> <p>*E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist</p> <p>*L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)</p> <p>*O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht</p> <p>*P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist</p> <p>*T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist</p> <p>*X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden</p> <p>*Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist</p> <p>*Z* Veröffentlichung, die Mitglied derselben Patentfamilie ist</p>		
Datum des Abschlusses der internationalen Recherche		Absenddatum des internationalen Recherchenberichts
30. Juli 2004		09/08/2004
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3010		Bevollmächtigter Bediensteter Sinemus, M

INTERNATIONALER RECHERCHENBERICHT

 Internationales Aktenzeichen
 PCT/DE 03/03355

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 413 802 B1 (SUBRAMANIAN VIVEK ET AL) 2. Juli 2002 (2002-07-02) Absatz '0024!; Abbildungen -----	1-18
A	US 6 207 985 B1 (WALKER DARRYL) 27. März 2001 (2001-03-27) Spalte 9, Zeile 66 - Spalte 10, Zeile 8; Abbildungen -----	1-18

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/DE 03/03355

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2001014047 A1	16-08-2001	JP 8125034 A	17-05-1996
		US 6288949 B1	11-09-2001
		US 6091647 A	18-07-2000
		US 5825696 A	20-10-1998
		US 2002101754 A1	01-08-2002
		US 2003206472 A1	06-11-2003
US 2002125536 A1	12-09-2002	JP 11068069 A	09-03-1999
		US 6288431 B1	11-09-2001
JP 03173175 A	26-07-1991	KEINE	
US 6413802 B1	02-07-2002	KEINE	
US 6207985 B1	27-03-2001	KEINE	

フロントページの続き

(72)発明者 パシャ, クリスティアン

ドイツ連邦共和国 8 1 7 3 9 ミュンヘン アーゼンヴェーク 1 2

(72)発明者 レースナー, ヴォルフガング

ドイツ連邦共和国 8 5 5 2 1 オットブルン スデーテンシュトラッセ 2 3

(72)発明者 シュルツ, トーマス

アメリカ合衆国 テキサス州 7 8 7 4 1 オースティン # 1 3 1 0 サンリッジ ドライブ
2 9 0 0

F ターム(参考) 5F083 AD02 AD21 AD69 HA02 JA35 PR03 PR12 PR25 PR36

5F110 AA04 AA16 BB03 BB04 BB06 CC02 DD05 DD13 EE05 EE09

EE14 EE32 EE41 EE42 FF02 FF05 FF23 GG02 GG12 GG22

GG25 GG28 HJ13 HK05 HK09 HK21 HK32 HK34 HK40 HL02

HL04 HL11 HM02 HM15 HM17 NN02 NN23 NN36 NN72 QQ08

QQ11