

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-82055
(P2018-82055A)

(43) 公開日 平成30年5月24日(2018.5.24)

(51) Int.Cl.	F I	テーマコード(参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 J	4 M 1 0 4
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 5 2 F	
HO 1 L 29/417 (2006.01)	HO 1 L 29/78 6 5 2 S	

審査請求 未請求 請求項の数 7 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2016-223536 (P2016-223536)
(22) 出願日 平成28年11月16日(2016.11.16)

(71) 出願人 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号
(74) 代理人 100104190
弁理士 酒井 昭徳
(72) 発明者 木下 明将
茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内
Fターム(参考) 4M104 AA03 AA04 BB01 BB02 BB05
BB14 CC01 DD08 DD37 DD79
FF02 FF04 GG09 GG18 HH14

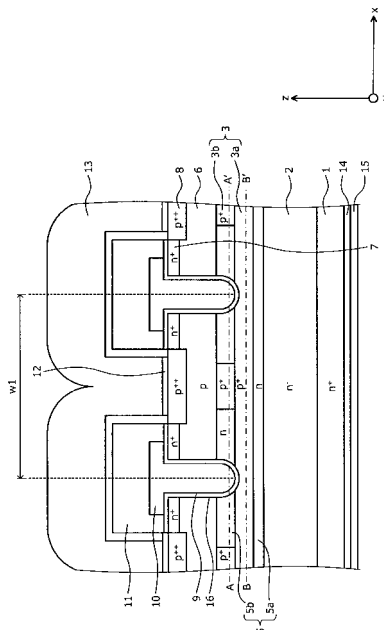
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 トレンチとトレンチの間のセルピッチを縮小することを可能とする。

【解決手段】 第1導電型のワイドバンドギャップ半導体基板1と、第1導電型のワイドバンドギャップ半導体基板1のおもて面に設けられた第1導電型のワイドバンドギャップ半導体層2と、第1導電型のワイドバンドギャップ半導体層2の表面層に選択的に設けられた第2導電型のベース領域3と、ストライプ状の平面パターンを有するトレンチ16と、を備える半導体装置において、ベース領域3はトレンチ16と平行な方向に周期的に設けられ、トレンチ16の下部で、ベース領域3の一部は、トレンチ16と平行な方向に延在し、ベース領域3同士が接続される。

【選択図】 図1B



【特許請求の範囲】

【請求項 1】

シリコンよりもバンドギャップが広い半導体からなる第 1 導電型のワイドバンドギャップ半導体基板と、

前記ワイドバンドギャップ半導体基板のおもて面に設けられた、シリコンよりもバンドギャップが広い半導体からなる、前記ワイドバンドギャップ半導体基板より低不純物濃度の第 1 導電型のワイドバンドギャップ半導体層と、

前記第 1 導電型のワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に選択的に設けられた第 2 導電型のベース領域と、

前記第 1 導電型のワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板に対して反対側の表面に設けられた、第 2 導電型のワイドバンドギャップ半導体層と、

前記第 2 導電型のワイドバンドギャップ半導体層の内部に選択的に設けられた第 1 導電型のソース領域と、

前記ソース領域および前記第 2 導電型のワイドバンドギャップ半導体層を貫通して前記第 1 導電型のワイドバンドギャップ半導体層に達するトレンチと、

前記トレンチ内部にゲート絶縁膜を介して設けられたゲート電極と、

前記第 2 導電型のワイドバンドギャップ半導体層および前記ソース領域に接触するソース電極と、

前記ワイドバンドギャップ半導体基板の裏面に設けられたドレイン電極と、

を備え、

前記トレンチはストライプ状の平面パターンを有し、

前記ベース領域は前記トレンチと平行な方向のみに周期的に設けられ、

前記ベース領域の一部は、前記トレンチの下部で、前記トレンチと平行な方向に延在し、前記ベース領域同士が接続されていることを特徴とする半導体装置。

【請求項 2】

前記ベース領域の一部は、前記トレンチの深さと反対の方向に延在し、前記第 2 導電型のワイドバンドギャップ半導体層と接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記トレンチの下部の前記ベース領域の幅は前記トレンチの幅よりも広いことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 導電型のワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面に、前記第 1 導電型のワイドバンドギャップ半導体層の不純物濃度より濃い領域が形成されていることを特徴とする請求項 1 ~ 3 のいずれか一つに記載の半導体装置。

【請求項 5】

前記第 1 導電型のワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面に形成された不純物濃度より濃い領域の底面の少なくとも一部が、第 2 導電型の前記ベース領域の底面より前記ワイドバンドギャップ半導体基板側に突出していることを特徴とする請求項 1 ~ 4 のいずれか一つに記載の半導体装置。

【請求項 6】

前記第 1 導電型のワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面に形成された不純物濃度より濃い領域の少なくとも一部にさらに濃い領域が形成されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 7】

シリコンよりもバンドギャップが広い半導体からなる第 1 導電型のワイドバンドギャップ半導体基板のおもて面に、前記ワイドバンドギャップ半導体基板より低不純物濃度の第 1 導電型のワイドバンドギャップ半導体層を形成する工程と、

前記第 1 導電型のワイドバンドギャップ半導体層の表面層に、第 2 導電型のベース領域

10

20

30

40

50

を選択的に形成する工程と、

前記第1導電型のワイドバンドギャップ半導体層の表面層に、第1導電型の領域を形成する工程と、

前記第1導電型のワイドバンドギャップ半導体層の表面に、第2導電型のワイドバンドギャップ半導体層を形成する工程と、

前記第2導電型のワイドバンドギャップ半導体層の内部に第1導電型のソース領域を選択的に形成する工程と、

前記ソース領域および前記第2導電型のワイドバンドギャップ半導体層を貫通して前記第1導電型のワイドバンドギャップ半導体層に達する、ストライプ状の平面パターンを有するトレンチを形成する工程と、

10

前記トレンチの内部にゲート絶縁膜を介してゲート電極を形成する工程と、

前記第2導電型のワイドバンドギャップ半導体層および前記ソース領域に接するソース電極を形成する工程と、

前記ワイドバンドギャップ半導体基板の裏面にドレイン電極を形成する工程と、

を含み、

前記ベース領域を選択的に形成する工程は、前記ベース領域を前記トレンチと平行な方向のみに周期的に形成し、前記トレンチの下部で、前記ベース領域同士を接続する領域を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

この発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

従来、パワー半導体素子においては、素子のオン抵抗の低減を図るため、トレンチ構造を有する縦型MOSFET(Metal Oxidized Semiconductor Field Effect Transistor:絶縁ゲート型電解効果トランジスタ)が作製(製造)されている。縦型MOSFETでは、チャネルが基板表面に対して平行に形成されるプレーナー構造よりも基板表面に対して垂直に形成されるトレンチ構造の方が単位面積当たりのセル密度を増やすことができるため、単位面積当たりの電流密度を増やすことができ、コスト面から有利である。

30

【0003】

しかしながら、縦型MOSFETにトレンチ構造を形成するとチャネルを垂直方向に形成するためにトレンチ内壁全域をゲート絶縁膜で覆う構造となり、ゲート絶縁膜のトレンチ底部の部分がドレイン電極に近づくため、ゲート絶縁膜のトレンチ底部の部分に高電界が印加されやすい。特に、ワイドバンドギャップ半導体(シリコンよりもバンドギャップが広い半導体、例えば、炭化珪素(SiC))では超高耐圧素子を作製するため、トレンチ底部のゲート絶縁膜への悪影響は、信頼性を大きく低下させる。

【0004】

このような問題を解消する方法として、ストライプ状の平面パターンを有するトレンチ構造の縦型MOSFETにおいて、トレンチとトレンチの間、トレンチと平行にストライプ状に p^+ 型ベース領域が設けられる技術が提案されている(例えば、下記特許文献1参照)。

40

【0005】

図9は、従来の縦型MOSFETの構成を示す断面図である。 n^+ 型炭化珪素基板1のおもて面に n^- 型炭化珪素エピタキシャル層2が堆積される。 n^- 型炭化珪素エピタキシャル層2の n^+ 型炭化珪素基板1側に対して反対側の表面側は、 n 型領域5が設けられている。また、 n^- 型炭化珪素エピタキシャル層2の n^+ 型炭化珪素基板1側に対して反対側の表面層には、 p^+ 型ベース領域3が選択的に設けられている。

【0006】

50

また、従来の縦型MOSFETには、さらにp型ベース層6、n⁺型ソース領域7、p⁺型コンタクト領域8、ゲート絶縁膜9、ゲート電極10、ドレイン電極14およびトレンチ16が設けられている。ここで、w2は、トレンチの中心とトレンチの中心の間の幅であり、半導体装置のセルピッチを示す。従来の縦型MOSFETの構成では、例えば、w2は、4μm程度である。

【0007】

図9の構成の縦型MOSFETにおいて、p⁺型ベース領域3とn型領域5とのpn接合がトレンチ16よりも深い位置にあるため、p⁺型ベース領域3とn型領域5との境界に電界が集中し、トレンチ16の底部の電界集中を緩和することが可能となる。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2009-260253号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、従来技術の縦型MOSFETでは、トレンチ16とトレンチ16の間のp⁺型ベース領域3がトレンチ16と平行にストライプ形状に設けられる。このため、ドリフト層となるn型領域5も、トレンチ16と平行にストライプ形状に設けられる。一方、ストライプ形状は、エッチングの加工精度により、1μmより幅が小さいパターンを作成することが困難である。従来技術の縦型MOSFETでは、トレンチ16と平行なp⁺型ベース領域3およびn型領域5のストライプ形状がトレンチ16とトレンチ16の間に設けられるため、ストライプ形状の加工精度や、n型領域5の設計上の制約の問題で所定の幅が必要となり、トレンチ16とトレンチ16の間のセルピッチw2の幅は少なくとも4μmが必要となる。このため、セルピッチw2の幅を4μmより小さくすることは困難である。

【0010】

この発明は、上述した従来技術による問題点を解消するため、トレンチとトレンチの間のセルピッチを縮小することを可能とする半導体装置および半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。シリコンよりもバンドギャップが広い半導体からなる第1導電型のワイドバンドギャップ半導体基板のおもて面に、シリコンよりもバンドギャップが広い半導体からなる、前記ワイドバンドギャップ半導体基板より低不純物濃度の第1導電型のワイドバンドギャップ半導体層が設けられている。また、前記第1導電型のワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に、第2導電型のベース領域が選択的に設けられている。また、前記第1導電型のワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板に対して反対側の表面に、シリコンよりもバンドギャップが広い半導体からなる第2導電型のワイドバンドギャップ半導体層が設けられている。また、前記第2導電型のワイドバンドギャップ半導体層の内部に第1導電型のソース領域が、選択的に設けられている。また、前記ソース領域および前記第2導電型のワイドバンドギャップ半導体層を貫通して前記第1導電型のワイドバンドギャップ半導体層に達するトレンチが設けられている。また、前記トレンチ内部にゲート絶縁膜を介して、ゲート電極が設けられている。また、前記第2導電型のワイドバンドギャップ半導体層および前記ソース領域に接触するソース電極が設けられている。また、前記ワイドバンドギャップ半導体基板の裏面に、ドレイン電極が設けられている。また、前記トレンチはストライプ状の平面パターンを有し、前記ベース領域は前記トレンチと平行な方向のみに周期的に設けられ、前記トレンチの下部で、前記ベース領域の一部は、前記ト

10

20

30

40

50

レンチと平行な方向に延在し、前記ベース領域同士が接続される。

【0012】

また、この発明にかかる半導体装置は、上述した発明において、前記ベース領域の一部は、前記トレンチの深さと反対の方向に延在し、前記第2導電型のワイドバンドギャップ半導体層と接続されていることを特徴とする。

【0013】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、次の特徴を有する。まず、シリコンよりもバンドギャップが広い半導体からなる第1導電型のワイドバンドギャップ半導体基板のおもて面に、前記ワイドバンドギャップ半導体基板より低不純物濃度の第1導電型のワイドバンドギャップ半導体層を形成する工程を行う。次に、前記第1導電型のワイドバンドギャップ半導体層の表面層に、第2導電型のベース領域を選択的に形成する工程を行う。次に、前記第1導電型のワイドバンドギャップ半導体層の表面層に、第1導電型の領域を形成する工程を行う。次に、前記第1導電型のワイドバンドギャップ半導体層の表面に、シリコンよりもバンドギャップが広い半導体からなる第2導電型のワイドバンドギャップ半導体層を形成する工程を行う。次に、前記第2導電型のワイドバンドギャップ半導体層の内部に第1導電型のソース領域を選択的に形成する工程と、前記ソース領域および前記第2導電型のワイドバンドギャップ半導体層を貫通して前記第1導電型のワイドバンドギャップ半導体層に達する、ストライプ状の平面パターンを有するトレンチを形成する工程を行う。次に、前記トレンチの内部にゲート絶縁膜を介してゲート電極を形成する工程を行う。次に、前記第2導電型のワイドバンドギャップ半導体層および前記ソース領域に接するソース電極を形成する工程を行う。次に、前記ワイドバンドギャップ半導体基板の裏面にドレイン電極を形成する工程を行う。前記ベース領域を選択的に形成する工程は、前記ベース領域を前記トレンチと平行な方向のみに周期的に形成し、前記トレンチの下部で、前記ベース領域同士を接続する領域を形成する。

【0014】

上述した発明によれば、 p^+ 型ベース領域がトレンチと平行な方向のみに周期的に設けられるため、トレンチとトレンチの間に、トレンチと平行な最低 $1\mu\text{m}$ の幅が必要な p^+ 型ベース領域および n^+ 型領域のストライプ形状が存在しなくなる。これにより、トレンチとトレンチの間に、ストライプ形状の加工精度や n^+ 型領域の設計面の問題がなくなり、セルピッチの幅が縮小可能になる。さらに、トレンチ下に p^+ 型ベース領域を形成することによりゲート絶縁膜へ印加される電界が緩和される。このため、セルピッチの幅を $4\mu\text{m}$ より小さくし、チップサイズを縮小することができ、信頼性を上げることができる。

【発明の効果】

【0015】

本発明にかかる半導体装置および半導体装置の製造方法によれば、トレンチとトレンチの間のセルピッチを縮小することを可能にし、信頼性を向上できるという効果を奏する。

【図面の簡単な説明】

【0016】

【図1A】実施の形態にかかる炭化珪素半導体装置の図2AのG-G'または図2Bの切断線H-H'における断面構造である。

【図1B】実施の形態にかかる炭化珪素半導体装置の図2AのE-E'または図2Bの切断線F-F'における断面構造である。

【図2A】実施の形態にかかる炭化珪素半導体装置の図1AのC-C'または図1Bの切断線A-A'における平面レイアウトの一例を示す平面図である。

【図2B】実施の形態にかかる炭化珪素半導体装置の図1AのD-D'または図1Bの切断線B-B'における平面レイアウトの一例を示す平面図である。

【図3】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である(その1)。

【図4A】実施の形態にかかる炭化珪素半導体装置の図1Aに対応する製造途中の状態を

模式的に示す断面図である。

【図 4 B】実施の形態にかかる炭化珪素半導体装置の図 1 B に対応する製造途中の状態を模式的に示す断面図である。

【図 5 A】実施の形態にかかる炭化珪素半導体装置の図 1 A に対応する製造途中の状態を模式的に示す断面図である（その 2）。

【図 5 B】実施の形態にかかる炭化珪素半導体装置の図 1 B に対応する製造途中の状態を模式的に示す断面図である（その 2）。

【図 6】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その 2）。

【図 7】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その 3）。

【図 8】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その 4）。

【図 9】従来の縦型 MOSFET の構成を示す断面図である。

【発明を実施するための形態】

【0017】

以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す + および - は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。+ および - を含めた n や p の表記が同じ場合は近い濃度であることを示し濃度が同等とは限らない。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、本明細書では、ミラー指数の表記において、“-”はその直後の指数につくバーを意味しており、指数の前に“-”を付けることで負の指数をあらわしている。

【0018】

（実施の形態）

本発明にかかる半導体装置は、ワイドバンドギャップ半導体を用いて構成される。実施の形態においては、ワイドバンドギャップ半導体として例えば炭化珪素 (SiC) を用いて作製された炭化珪素半導体装置について、MOSFET を例に説明する。図 1 A および図 1 B は、実施の形態にかかる炭化珪素半導体装置の構成を示す断面図である。図 1 A は、図 2 B の切断線 H - H' または図 2 A の G - G' における断面構造であり、図 1 B は、図 2 B の切断線 F - F' または図 2 A の E - E' における断面構造である。

【0019】

図 1 A および図 1 B に示すように、実施の形態にかかる炭化珪素半導体装置は、 n^+ 型炭化珪素基板（第 1 導電型のワイドバンドギャップ半導体基板）1 の第 1 主面（おもて面）、例えば (0001) 面 (Si 面) に、 n^- 型炭化珪素エピタキシャル層（第 1 導電型の第 1 ワイドバンドギャップ半導体層）2 が堆積されている。

【0020】

n^+ 型炭化珪素基板 1 は、炭化珪素単結晶基板である。 n^- 型炭化珪素エピタキシャル層 2 は、 n^+ 型炭化珪素基板 1 よりも低い不純物濃度で、例えば低濃度 n 型ドリフト層である。 n^- 型炭化珪素エピタキシャル層 2 の、 n^+ 型炭化珪素基板 1 側に対して反対側の表面には、 n 型領域（第 1 導電型の領域）5 が設けられている。 n 型領域 5 は、 n^+ 型炭化珪素基板 1 よりも低く n^- 型炭化珪素エピタキシャル層 2 よりも高い不純物濃度の高濃度 n 型ドリフト層である。 n 型領域 5 は、後述するトレンチ 16 の底部よりも、後述するドレイン側に深い位置にある第 1 n 型領域 5 a およびトレンチ 16 の底部よりもソース側に近い位置にある第 2 n 型領域 5 b から構成される。また、第 1 n 型領域 5 a はソース電極 12 の下部のあたりのみ濃度の濃い領域を構成してもよい。この第 1 n 型領域 5 a の一部の濃度を濃くする構造によりトレンチ下のアバランシェを回避し信頼性を上げることができる。

10

20

30

40

50

【0021】

n^- 型炭化珪素エピタキシャル層2の、 n^+ 型炭化珪素基板1側に対して反対側の表面側には、 p 型ベース層(第2導電型のワイドバンドギャップ半導体層)6が設けられている。 p 型ベース層6は、後述する p 型ベース領域3に接する。以下、 n^+ 型炭化珪素基板1と n^- 型炭化珪素エピタキシャル層2と p 型ベース層6とを併せて炭化珪素半導体基体とする。

【0022】

n^+ 型炭化珪素基板1の第2主面(裏面、すなわち炭化珪素半導体基体の裏面)には、ドレイン電極14が設けられている。ドレイン電極14の表面には、ドレイン電極パッド15が設けられている。

10

【0023】

炭化珪素半導体基体の第1主面側(p 型ベース層6側)には、トレンチ構造が形成されている。具体的には、トレンチ16は、 p 型ベース層6の n^+ 型炭化珪素基板1側に対して反対側(炭化珪素半導体基体の第1主面側)の表面から p 型ベース層6を貫通して第2 n 型領域5bに達する。トレンチ16の内壁に沿って、トレンチ16の底部および側壁にゲート絶縁膜9が形成されており、トレンチ16内のゲート絶縁膜9の内側にゲート電極10が形成されている。ゲート絶縁膜9によりゲート電極10が、 n^- 型炭化珪素エピタキシャル層2および p 型ベース層6と絶縁されている。ゲート電極10の一部は、トレンチ16の上方(ソース電極パッド13が設けられている側)からソース電極パッド13側に突出していてもよい。

20

【0024】

n^- 型炭化珪素エピタキシャル層2の n^+ 型炭化珪素基板1側に対して反対側(炭化珪素半導体基体の第1主面側)の表面には、 p^+ 型ベース領域(第2導電型のベース領域)3が選択的に設けられている。 p^+ 型ベース領域3は、トレンチ16の底部よりもドレイン側に深い位置にまで達している。 p^+ 型ベース領域3の下端部(ドレイン側端部)は、トレンチ16の底部よりもドレイン側に位置する。 p^+ 型ベース領域3は、トレンチ16の底部よりもドレイン側に深い位置にある第1 p^+ 型ベース領域3aおよびトレンチ16の底部よりもソース側に近い位置にある第2 p^+ 型ベース領域3bから構成される。

【0025】

第1 p^+ 型ベース領域3aを設けることで、トレンチ16の底部と深さ方向(z 軸の正の方向)に近い位置に、第1 p^+ 型ベース領域3aと n 型領域5との pn 接合を形成することができる。このように、第1 p^+ 型ベース領域3aと n 型領域5との pn 接合を形成することで、トレンチ16の底部のゲート絶縁膜9に高電界が印加されることを防止することができる。このため、ワイドバンドギャップ半導体を半導体材料として用いた場合においても高耐電圧化が可能となる。また、トレンチ幅よりも幅の広い第1 p^+ 型ベース領域3aを設けることで、トレンチ16の底部の電界が集中するコーナー部の電界を緩和させることができるため、さらに耐電圧を高くすることができる。

30

【0026】

図2Aおよび図2Bは、実施の形態にかかる炭化珪素半導体装置の平面レイアウトの一例を示す平面図である。図2Aは、図1Bの切断線A-A'または図1AのC-C'における平面レイアウトの一例を示す平面図であり、図2Bは、図1Bの切断線B-B'または図1AのD-D'における平面レイアウトの一例を示す平面図である。

40

【0027】

図2Aに示すように、トレンチ16の底部に近い位置では、第1 p^+ 型ベース領域3aの一部がトレンチ16の深さと反対の方向(z 軸の負の方向)に延在した第2 p^+ 型ベース領域3bが、 p 型ベース層6と接続される。このように、ベース領域3が p 型ベース層6と接続されるため、第1 p^+ 型ベース領域3aと n^- 型炭化珪素エピタキシャル層2の接合部分でアバランシェ降伏が起こったときに発生するホールをソース電極12に退避させることができ、ゲート絶縁膜9への負担が軽減されるため、信頼性が向上する。

【0028】

50

また、第1 p⁺型ベース領域3 aの一部(例えば、図2 Bの符号2 3が指示する点線で囲まれた部分)は、例えば、トレンチ1 6と平行な方向に設けられた、トレンチ1 6の下部にあたらない部分である。これにより、図1 Aは、図2 AのG - G'断面であるため、図1 A、図2 Aとも、トレンチ1 6とトレンチ1 6との間に、第2 p⁺型ベース領域3 bが存在しない。また、図1 Bは、図2 AのE - E'断面であるため、図1 Bで、第2 p⁺型ベース領域3 bは、図2 Aで、トレンチ1 6とトレンチ1 6との間の第2 p⁺型ベース領域3 bである。

【0029】

また、図2 Bに示すように、トレンチ1 6の底部より深い位置では、第1 p⁺型ベース領域3 aは、ストライプ状のトレンチ1 6と平行な方向(x軸の方向)に周期的に設けられる。また、第1 p⁺型ベース領域3 aの一部は、トレンチ1 6の下部にあたる部分2 0で、トレンチ1 6と垂直な方向に延在し、第1 p⁺型ベース領域3 a同士が接続される。これにより、図1 Aは、図2 BのH - H'断面であるため、図1 Aで、第1 n型領域5 aの上に位置する第1 p⁺型ベース領域3 aは、図2 Aで、トレンチ1 6と平行な方向に延在した部分2 2である。また、図1 Bは、図2 BのF - F'断面であるため、図1 Bで、第1 n型領域5 aの上(z軸の正の方向)に位置する第1 p⁺型ベース領域3 aは、図2 Bで、トレンチ1 6と平行な方向に周期的に設けられた部分2 1である。

【0030】

図1 Aおよび図1 Bに戻り、p型ベース層6の内部には、炭化珪素半導体基体の第1主面側にn⁺型ソース領域(第1導電型のソース領域)7およびp⁺⁺型コンタクト領域8が選択的に設けられている。また、n⁺型ソース領域7およびp⁺⁺型コンタクト領域8は互いに接する。

【0031】

層間絶縁膜1 1は、炭化珪素半導体基体の第1主面側の全面に、トレンチに埋め込まれたゲート電極1 0を覆うように設けられている。ソース電極1 2は、層間絶縁膜1 1に開口されたコンタクトホールを介して、n⁺型ソース領域7およびp⁺⁺型コンタクト領域8に接する。ソース電極1 2は、層間絶縁膜1 1によって、ゲート電極1 0と電氣的に絶縁されている。ソース電極1 2上には、ソース電極パッド1 3が設けられている。

【0032】

図1 Aおよび図1 Bでは、2つのセル(トレンチ1 6、ゲート絶縁膜9、ゲート電極1 0、層間絶縁膜1 1およびソース電極1 2からなる構造)のみを図示しているが、さらに多くのセルのMOSゲート(金属-酸化膜-半導体からなる絶縁ゲート)構造が並列に配置されていてもよい。ここで、w 1は、トレンチの中心とトレンチの中心の間の幅であり、半導体装置のセルピッチである。

【0033】

(実施の形態にかかる炭化珪素半導体装置の製造方法)

次に、実施の形態にかかる炭化珪素半導体装置の製造方法について説明する。図3~図8は、実施の形態にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である。図4 Aは、実施の形態にかかる炭化珪素半導体装置の図1 Aに対応する製造途中の状態を模式的に示す断面図である。図4 Bは、実施の形態にかかる炭化珪素半導体装置の図1 Bに対応する製造途中の状態を模式的に示す断面図である。また、図5 Aは、実施の形態にかかる炭化珪素半導体装置の図1 Aに対応する製造途中の状態を模式的に示す断面図である。図5 Bは、実施の形態にかかる炭化珪素半導体装置の図1 Bに対応する製造途中の状態を模式的に示す断面図である。

【0034】

まず、n型の炭化珪素でできたn⁺型炭化珪素基板1を用意する。そして、このn⁺型炭化珪素基板1の第1主面上に、n型の不純物、例えば窒素原子(N)をドーピングしながら炭化珪素でできたn⁻型炭化珪素エピタキシャル層(第1導電型のワイドバンドギャップ半導体層)2を、例えば10 μm程度の厚さまでエピタキシャル成長させる。ここまでの状態が図3に示されている。

10

20

30

40

50

【0035】

次に、 n^- 型炭化珪素エピタキシャル層2の表面上に、イオン注入法によって n 型の不純物、例えば窒素原子をイオン注入する。それによって、 n^- 型炭化珪素エピタキシャル層2の表面層に、例えば深さ0.7 μm 程度の第1 n 型領域(第1導電型の領域)5aが形成される。第1 n 型領域5aを形成するためのイオン注入時のドーズ量を、例えば不純物濃度が $1 \times 10^{17} / \text{cm}^3$ 程度となるように設定してもよい。

【0036】

次に、第1 n 型領域5aの表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によって p 型の不純物、例えばアルミニウム原子(A1)をイオン注入する。それによって、 n^- 型炭化珪素エピタキシャル層2の表面層の第1 n 型領域5aの表面領域に、例えば深さ0.5 μm 程度の第1 p^+ 型ベース領域3aが形成される。ここで、図4Bに記載された第1 p^+ 型ベース領域3aは、トレンチ16と平行な方向に周期的に設けられた部分である。また、図4Aに記載された第1 p^+ 型ベース領域3aは、トレンチ16と平行な方向に延在した部分である。ここまでの状態が図4A、図4Bに示されている。また、図2Bは、ここまでの状態の平面図に対応する。

10

【0037】

次に、第1 p^+ 型ベース領域3aを形成するためのイオン注入時に用いたマスクを除去する。そして、第1 n 型領域5aおよび第1 p^+ 型ベース領域3aの表面上に、 n 型の不純物、例えば窒素原子をドーピングしながら炭化珪素でできた第2 n 型領域5bを、例えば0.5 μm 程度の厚さまでエピタキシャル成長させる。

20

【0038】

次に、第2 n 型領域5bの表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えば酸化膜で形成する。そして、この酸化膜をマスクとして、イオン注入法によって、 p 型の不純物、例えばアルミニウム原子をイオン注入する。それによって、 n^- 型炭化珪素エピタキシャル層2の表面層の、第2 n 型領域5bの一部に、第2 p^+ 型ベース領域3bが形成される。第2 p^+ 型ベース領域3bを形成するためのイオン注入時のドーズ量を、例えば不純物濃度が $5 \times 10^{18} / \text{cm}^3$ 程度となるように設定してもよい。ここまでの状態が図5A、図5Bに示されている。また、図2Aは、ここまでの状態の平面図に対応する。

30

【0039】

次に、 n^- 型炭化珪素エピタキシャル層2の表面(すなわち第2 p^+ 型ベース領域3bおよび第2 n 型領域5bの表面)上に、 p 型の不純物、例えばアルミニウム原子をドーピングしながら p 型ベース層(第2導電型のワイドバンドギャップ半導体層)6を、例えば1.3 μm 程度の厚さまでエピタキシャル成長させる。 p 型ベース層6を形成するためのエピタキシャル成長の条件を、例えば不純物濃度が p^+ 型ベース領域3の不純物濃度よりも低い $2 \times 10^{17} / \text{cm}^3$ 程度となるように設定してもよい。ここまでの工程により、 n^+ 型炭化珪素基板1上に n^- 型炭化珪素エピタキシャル層2および p 型ベース層6を積層してなる炭化珪素半導体基体が形成される。

40

【0040】

次に、 p 型ベース層6の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によって n 型の不純物、例えばリン(P)をイオン注入する。それによって、 p 型ベース層6の表面層の一部に n^+ 型ソース領域(第1導電型のソース領域)7が形成される。 n^+ 型ソース領域7を形成するためのイオン注入時のドーズ量を、例えば p^+ 型ベース領域3よりも不純物濃度が高くなるように設定してもよい。

【0041】

次に、 n^+ 型ソース領域7を形成するためのイオン注入時に用いたマスクを除去する。そして、 p 型ベース層6の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成し、この酸化膜をマスクとして p 型ベース層

50

6の表面上にp型の不純物、例えばアルミニウムをイオン注入する。それによって、p型ベース層6の表面領域の一部にp⁺⁺型コンタクト領域8が形成される。p⁺⁺型コンタクト領域8を形成するためのイオン注入時のドーズ量を、例えばp型ベース層6よりも不純物濃度が高くなるように設定してもよい。続いて、p⁺⁺型コンタクト領域8を形成するためのイオン注入時に用いたマスクを除去する。n⁺型ソース領域7を形成するためのイオン注入と、p⁺⁺型コンタクト領域8を形成するためのイオン注入と、の順序を入れ替えてもよい。ここまでの状態が図6に示されている。なお、図6～図8では、図1Aおよび図1Bに共通する第2p⁺型ベース領域3bおよび第2n型領域5bの表面より上(図1におけるz軸の正の方向)の領域の形成であるため、図1Bに対応する製造途中の状態を模式的に示す断面図のみを表示する。

10

【0042】

次に、熱処理(アニール)を行って、例えば第1p⁺型ベース領域3a、第2p⁺型ベース領域3b、n⁺型ソース領域7、p⁺⁺型コンタクト領域8を活性化させる。熱処理の温度は、例えば1700程度であってもよい。熱処理の時間は、例えば2分程度であってもよい。なお、上述したように1回の熱処理によって各イオン注入領域をまとめて活性化させてもよいし、イオン注入を行うたびに熱処理を行って活性化させてもよい。

【0043】

次に、p型ベース層6の表面(すなわちn⁺型ソース領域7およびp⁺⁺型コンタクト領域8の表面)上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成する。そして、この酸化膜をマスクとしてドライエッチング等によってn⁺型ソース領域7およびp型ベース層6を貫通してn型領域5に達するトレンチ16を形成する。トレンチ16の底部は、第1p⁺型ベース領域3aに達する。続いて、トレンチ16を形成するために用いたマスクを除去する。ここまでの状態が図7に示されている。

20

【0044】

次に、n⁺型ソース領域7およびp⁺⁺型コンタクト領域8の表面と、トレンチ16の底部および側壁と、に沿ってゲート絶縁膜9を形成する。このゲート絶縁膜9は、酸素雰囲気中において1000程度の温度の熱処理によって熱酸化によって形成してもよい。また、このゲート絶縁膜9は高温酸化(High Temperature Oxide: HTO)等のような化学反応によって堆積する方法で形成してもよい。

30

【0045】

次に、ゲート絶縁膜9上に、例えばリン原子がドーピングされた多結晶シリコン層を形成する。この多結晶シリコン層はトレンチ16内を埋めるように形成する。この多結晶シリコン層をパターニングして、トレンチ16内部に残すことによって、ゲート電極10が形成される。ゲート電極10の一部は、トレンチ16の上方(ソース電極パッド13が設けられている側)からソース電極パッド13側に突出していてもよい。

【0046】

次に、ゲート絶縁膜9およびゲート電極10を覆うように、例えばリンガラスを1μm程度の厚さで成膜し、層間絶縁膜11を形成する。層間絶縁膜11およびゲート絶縁膜9をパターニングして選択的に除去することによって、コンタクトホールを形成し、n⁺型ソース領域7およびp⁺⁺型コンタクト領域8を露出させる。その後、熱処理(リフロー)を行って層間絶縁膜11を平坦化する。ここまでの状態が図8に示されている。

40

【0047】

次いで、コンタクトホール内および層間絶縁膜11の上にソース電極12となる導電性の膜を形成する。この導電性の膜を選択的に除去して、例えばコンタクトホール内のみソース電極12を残す。

【0048】

次いで、n⁺型炭化珪素基板1の第2主面上に、例えばニッケル(Ni)膜でできたドレイン電極14を形成する。その後、例えば970程度の温度で熱処理を行って、n⁺型炭化珪素基板1とドレイン電極14とをオーミック接合する。

50

【0049】

次に、例えばスパッタ法によって、ソース電極12および層間絶縁膜11を覆うように、例えばアルミニウム膜を、厚さが例えば5 μ m程度になるように、設ける。その後、アルミニウム膜を選択的に除去して、素子全体の活性部を覆うように残すことによって、ソース電極パッド13を形成する。ここで、活性部とは、素子構造が形成されオン状態のときに電流が流れる部分である。

【0050】

次に、ドレイン電極14の表面に、例えばチタン(Ti)、ニッケル(Ni)および金(Au)を順に積層することによって、ドレイン電極パッド15を形成する。以上のようにして、図1B、1Bに示す半導体装置が完成する。

10

【0051】

以上、説明したように、実施の形態によれば、p⁺型ベース領域がトレンチと平行な方向のみに周期的に設けられるため、トレンチとトレンチの間に、トレンチと平行な最低1 μ mの幅が必要なp⁺型ベース領域およびn⁺型領域のストライプ形状が、存在しなくなる。これにより、トレンチとトレンチの間に、ストライプ形状の加工精度やn⁺型領域の設計面の問題がなくなり、セルピッチの幅が縮小可能になる。このため、セルピッチの幅を4 μ mより小さくし、チップサイズを縮小することができる。

【0052】

また、半導体装置のセルピッチを縮小することができるため、同じチップサイズで単位面積当たりのセル密度を増やすことができ、従来と同じ面積でオン抵抗の低い半導体装置を製造できる。

20

【0053】

また、トレンチと平行な方向にp⁺型ベース領域を周期的に設けられることで、n⁺型領域の面積に対するp⁺型ベース領域の面積の比率を減少させることができる。このため、従来と同じセルピッチの幅である場合、オン抵抗を下げることができ、半導体装置の耐圧を向上させることができる。

【0054】

また、トレンチの底部に近い位置では、第1p⁺型ベース領域の一部がトレンチの深さと反対の方向(z軸の負の方向)に延在した第2p⁺型ベース領域が、p型ベース層と接続される。このように、ベース領域3がp型ベース層6と接続されるため、第1p⁺型ベース領域3aとn⁻型炭化珪素エピタキシャル層2の接合部分でアバランシェ降伏が起こったときに発生するホールをn⁺型ソース領域7に退避させることができ、ゲート絶縁膜9への負担が軽減されるため、信頼性が向上する。

30

【0055】

以上において本発明では、炭化珪素でできた炭化珪素基板の第1主面を(0001)面とし当該(0001)面上にMOSゲート構造を構成した場合を例に説明したが、これに限らず、ワイドバンドギャップ半導体の種類(例えば窒化ガリウム(GaN)など)、基板主面の面方位などを種々変更可能である。また、本発明では、各実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

40

【産業上の利用可能性】

【0056】

以上のように、本発明にかかる半導体装置および半導体装置の製造方法は、電力変換装置や種々の産業用機械などの電源装置などに使用される高耐圧半導体装置に有用である。

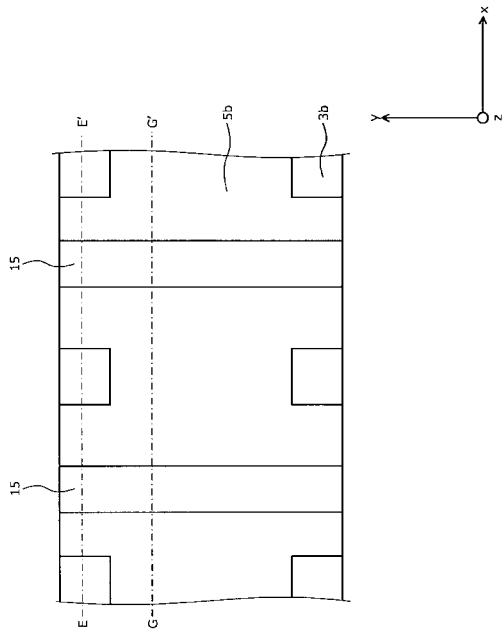
【符号の説明】

【0057】

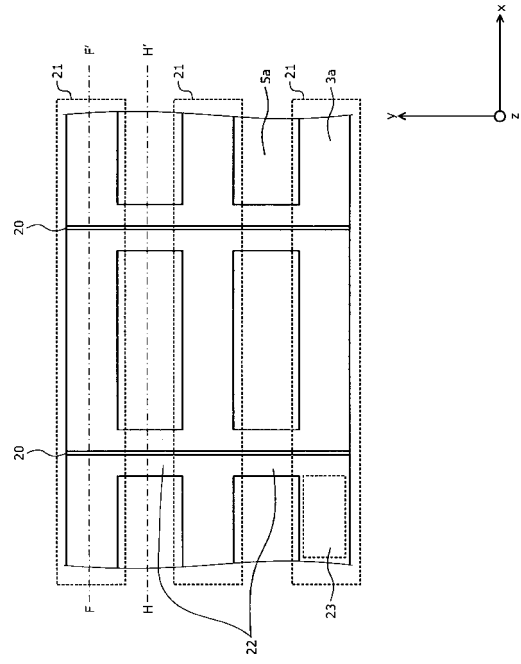
- 1 n⁺型炭化珪素基板
- 2 n⁻型炭化珪素エピタキシャル層
- 3 p⁺型ベース領域
- 3a 第1p⁺型ベース領域

50

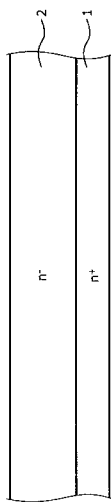
【 図 2 A 】



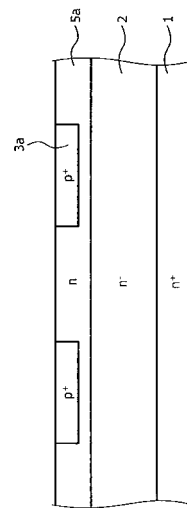
【 図 2 B 】



【 図 3 】



【 図 4 A 】



【手続補正書】

【提出日】平成29年11月2日(2017.11.2)

【手続補正1】

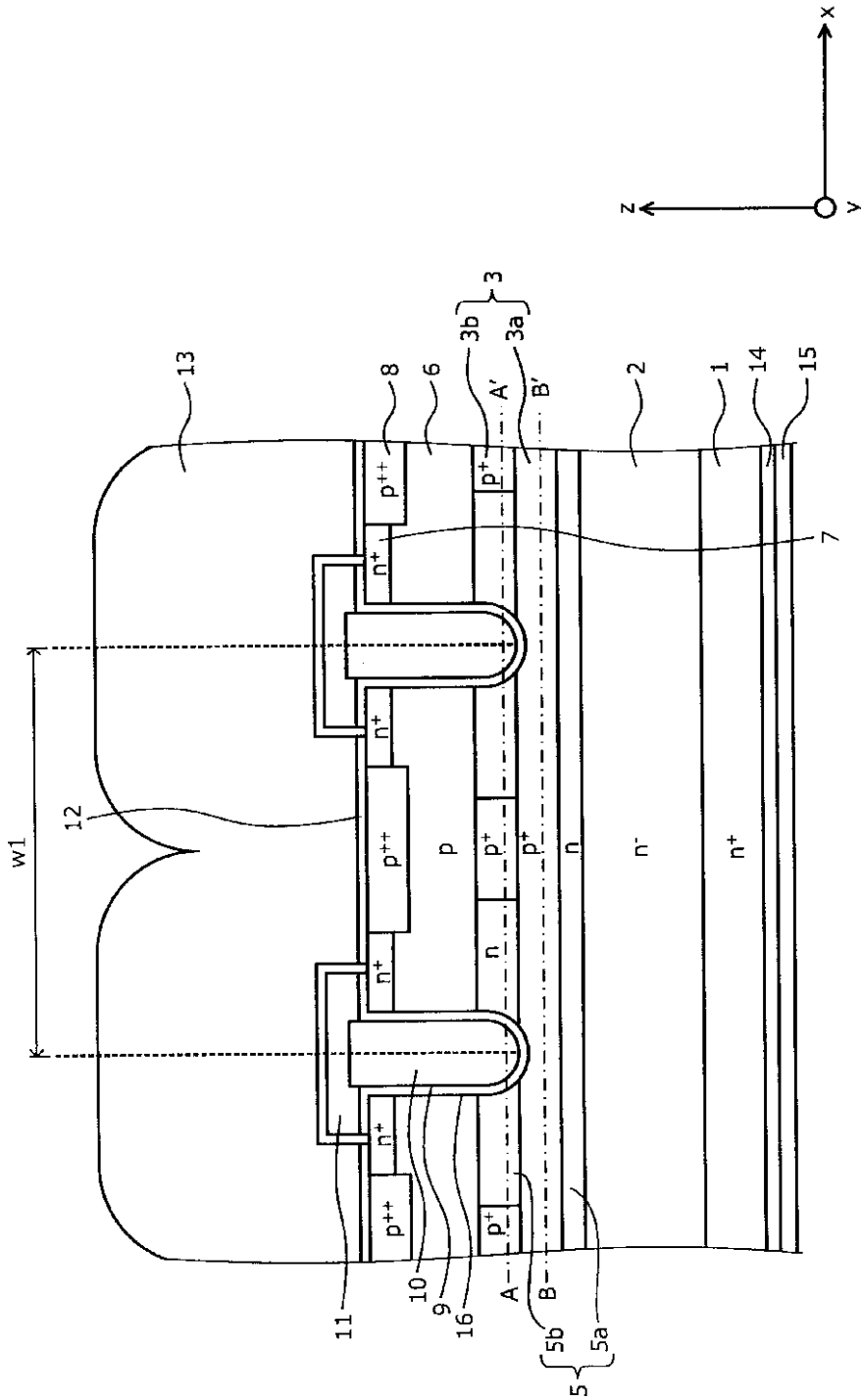
【補正対象書類名】図面

【補正対象項目名】図1A

【補正方法】変更

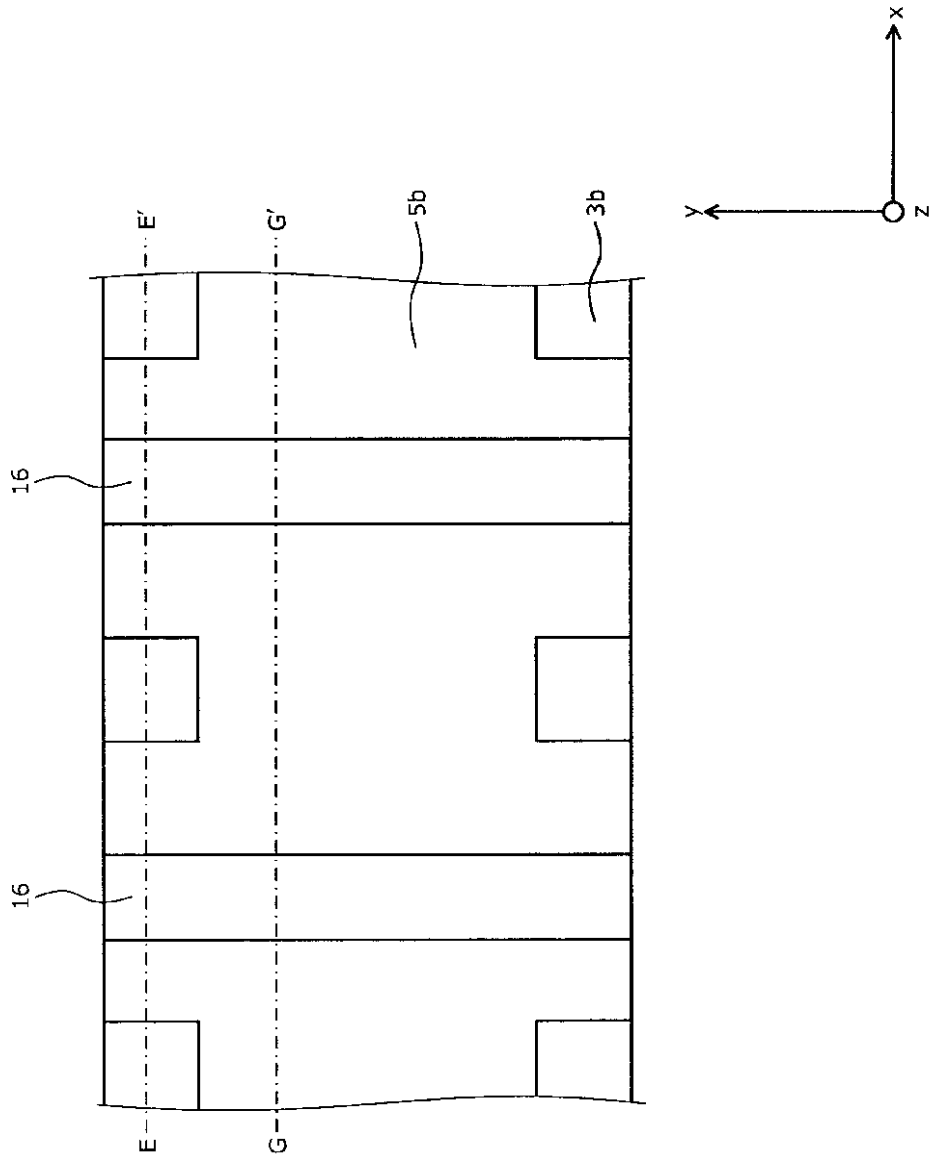
【補正の内容】

【図 1 B】



【手続補正 3】
【補正対象書類名】図面
【補正対象項目名】図 2 A
【補正方法】変更
【補正の内容】

【 図 2 A 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L	29/78	6 5 2 D
H 0 1 L	29/78	6 5 8 A
H 0 1 L	21/28	3 0 1 B
H 0 1 L	29/50	M