



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 7/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년02월02일 10-0678458 2007년01월29일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0112215 2004년12월24일 2004년12월24일	(65) 공개번호 (43) 공개일자	10-2006-0073804 2006년06월29일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 정인철
 경기 수원시 영통구 영통동 황골마을2단지 벽산아파트 224-1802

(74) 대리인 박상수

(56) 선행기술조사문헌

JP2000091894 A	JP2004236164 A
KR1019970019054 A	KR1020050060582 A
US6327195 B	

* 심사관에 의하여 인용된 문헌

심사관 : 윤난영

전체 청구항 수 : 총 32 항

(54) 레벨 쉬프트 회로 및 이의 동작 방법

(57) 요약

본 발명은 레벨 쉬프트 레벨 쉬프트 회로 및 방법을 공개한다. 이 레벨 쉬프트 회로는 입력 신호를 복수개의 단에 걸쳐 딜레이하여, 복수개의 딜레이 신호들을 발생하는 딜레이부와, 상기 입력 신호와 상기 입력 신호에 대해 동일한 위상을 가지는 제 1 딜레이 신호에 응답하여 레벨 쉬프트된 제 1 레벨의 신호를 발생하고, 상기 입력 신호에 대해 상이한 위상을 가지는 제 2 딜레이 신호에 응답하여 제 2 레벨의 신호를 발생하는 신호 폭 조정 및 레벨 쉬프트부를 구비하는 것을 특징으로 한다. 따라서 본 발명의 레벨 쉬프트 회로는 독립적인 레벨 쉬프트 회로를 통해 복수개의 딜레이 신호들을 조합함을 통해 입력신호 폭을 조정하고, 조정된 폭을 가지는 입력신호를 승압하여 준다. 즉, 본 발명의 레벨 쉬프트 회로는 입력신호 조정 동작과, 레벨 쉬프트 동작을 융합된 형태로 수행하고 두 동작을 위해 필요한 로직 게이트의 단수를 줄여 보다 빠른 응답성을 제공한다.

대표도

도 4

특허청구의 범위

청구항 1.

입력 신호를 복수개의 단에 걸쳐 딜레이하여, 복수개의 딜레이 신호들을 발생하는 딜레이부; 및

상기 입력 신호와 상기 입력 신호에 대해 동일한 위상을 가지는 제 1 딜레이 신호에 응답하여 레벨 쉬프트된 제 1 레벨의 신호를 발생하고, 상기 입력 신호에 대해 상이한 위상을 가지는 제 2 딜레이 신호에 응답하여 제 2 레벨의 신호를 발생하는 신호 폭 조정 및 레벨 쉬프트부를 구비하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 2.

제 1 항에 있어서, 상기 딜레이부는

직렬 연결되는 짝수개의 인버터들을 구비하고, 짝수단에 연결된 인버터를 통해 상기 제 1 딜레이 신호를 발생하고, 홀수단에 연결된 인버터를 통해 상기 제 2 딜레이 신호를 발생하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 3.

제 2 항에 있어서, 상기 제 2 딜레이 신호는

상기 제 1 딜레이 신호의 딜레이 시간보다 짧은 딜레이 시간을 가지는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 4.

제 1 항에 있어서, 상기 레벨 쉬프트 회로는

상기 제 1 레벨은 승압전압이고, 상기 제 2 레벨은 접지전압인 것을 특징으로 레벨 쉬프트 회로.

청구항 5.

제 4 항에 있어서, 상기 신호 폭 조정 및 레벨 쉬프트부는

제어노드와 상기 접지전압 사이에 직렬 연결되어 상기 입력신호와 상기 제 1 딜레이 신호에 각각 응답하는 제 1 및 제 2 엔모스 트랜지스터;

출력노드와 상기 접지전압 사이에 직렬 연결되어 상기 제 2 딜레이 신호에 응답하는 제 3 엔모스 트랜지스터;

상기 승압전압과 상기 제어노드 사이에 직렬 연결되고 상기 출력노드의 전압레벨에 응답하여, 상기 승압전압을 상기 제어노드에 인가하는 제 1 피모스 트랜지스터; 및

상기 승압전압과 상기 출력노드 사이에 직렬 연결되고 상기 출력노드의 전압레벨에 응답하여, 상기 승압전압을 상기 출력노드에 인가하는 제 2 피모스 트랜지스터를 구비하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 6.

제 2 항에 있어서, 상기 딜레이부는

상기 마지막단의 인버터에 직렬 연결되는 제 1 인버터를 더 구비하고, 상기 제 1 인버터를 통해 상기 입력 신호에 대해 상이한 위상을 가지는 제 3 딜레이 신호를 발생하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 7.

제 6 항에 있어서, 상기 제 3 딜레이 신호는

상기 제 1 딜레이 신호의 딜레이 시간보다 긴 딜레이 시간을 가지는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 8.

제 6 항에 있어서, 상기 신호 폭 조정 및 레벨 쉬프트부는

상기 제 3 엔모스 트랜지스터에 병렬되며, 상기 제 3 딜레이 신호에 응답하는 제 4 엔모스 트랜지스터를 더 구비하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 9.

입력 신호를 복수개의 단에 걸쳐 딜레이하여, 복수개의 딜레이 신호들을 발생하는 딜레이부; 및

상기 입력 신호에 응답하여 레벨 쉬프트된 제 1 레벨의 신호를 발생하고, 상기 입력 신호에 대해 상이한 위상을 가지는 제 1 및 제 2 딜레이 신호에 응답하여 제 2 레벨의 신호를 발생하는 신호 폭 조정 및 레벨 쉬프트부를 구비하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 10.

제 9 항에 있어서, 상기 딜레이부는

직렬 연결되는 홀수개의 인버터들을 구비하고, 홀수단에 연결된 제 1 및 제 2 인버터들을 통해 상기 제 1 및 제 2 딜레이 신호를 발생하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 11.

제 9 항에 있어서, 상기 제 1 딜레이 신호는

상기 제 2 딜레이 신호의 딜레이 시간보다 짧은 딜레이 시간을 가지는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 12.

제 9 항에 있어서, 상기 레벨 쉬프트 회로는

상기 제 1 레벨은 승압전압이고, 상기 제 2 레벨은 접지전압인 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 13.

제 9 항에 있어서, 상기 신호 폭 조정 및 레벨 쉬프트부는

제어노드와 상기 접지전압 사이에 직렬 연결되어 상기 입력신호에 응답하는 제 1 엔모스 트랜지스터;

출력노드와 상기 접지전압 사이에 직렬 연결되며, 상기 제 1 및 제 2 딜레이 신호에 각각 응답하는 제 2 및 제 3 엔모스 트랜지스터;

상기 승압전압과 상기 제어노드 사이에 직렬 연결되고 상기 출력노드의 전압레벨에 응답하여, 상기 승압전압을 상기 제어노드에 인가하는 제 1 피모스 트랜지스터; 및

상기 승압전압과 상기 출력노드 사이에 직렬 연결되고 상기 출력노드의 전압레벨에 응답하여, 상기 승압전압을 상기 출력노드에 인가하는 제 2 피모스 트랜지스터를 구비하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 14.

제 9 항에 있어서, 상기 딜레이부는

상기 마지막단의 인버터에 직렬 연결되는 제 3 인버터를 더 구비하고, 상기 제 3 인버터를 통해 상기 입력 신호에 대해 동일한 위상을 가지는 제 3 딜레이 신호를 발생하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 15.

제 14 항에 있어서, 상기 제 3 딜레이 신호는

상기 제 2 딜레이 신호의 딜레이 시간보다 긴 딜레이 시간을 가지는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 16.

제 14 항에 있어서, 상기 신호 폭 조정 및 레벨 쉬프트부는

상기 제 1 엔모스 트랜지스터에 병렬되며, 상기 제 3 딜레이 신호에 응답하는 제 4 엔모스 트랜지스터를 더 구비하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 17.

입력 신호를 복수개의 단에 걸쳐 딜레이하여, 복수개의 딜레이 신호들을 발생하는 딜레이부; 및

상기 입력 신호와 상기 입력 신호에 대해 상이한 위상을 가지는 제 1 딜레이 신호에 응답하여 제 1 레벨의 신호를 발생하고, 상기 입력 신호에 대해 상이한 위상을 가지는 제 2 딜레이 신호와 상기 입력 신호에 대해 동일한 위상을 가지는 제 3 딜레이 신호에 응답하여 제 2 레벨의 신호를 발생하는 신호 폭 조정 및 레벨 쉬프트부를 구비하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 18.

제 17 항에 있어서, 상기 딜레이부는

직렬 연결되는 짝수개의 인버터들을 구비하고, 홀수단에 연결된 인버터들을 통해 상기 제 1 및 제 2 딜레이 신호를 발생하고, 짝수단에 연결된 인버터를 통해 상기 제 3 딜레이 신호를 발생하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 19.

제 18 항에 있어서, 상기 제 3 딜레이 신호는

상기 제 1 딜레이 신호의 딜레이 시간보다 짧고, 제 2 딜레이 신호의 딜레이 시간 보다 긴 딜레이 시간을 가지는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 20.

제 17 항에 있어서, 상기 레벨 쉬프트 회로는

상기 제 1 레벨은 승압전압이고, 상기 제 2 레벨은 접지전압인 것을 특징으로 레벨 쉬프트 회로.

청구항 21.

제 20 항에 있어서, 상기 신호 폭 조정 및 레벨 쉬프트부는

제어노드와 상기 접지전압 사이에 직렬 연결되어 상기 입력신호와 상기 1 딜레이 신호에 각각 응답하는 제 1 및 제 2 엔모스 트랜지스터;

출력노드와 상기 접지전압 사이에 병렬 연결되어 상기 제 2 및 제 3 딜레이 신호에 각각 응답하는 제 3 및 제 4 엔모스 트랜지스터;

상기 승압전압과 상기 제어노드 사이에 직렬 연결되고 상기 출력노드의 전압레벨에 응답하여, 상기 승압전압을 상기 제어노드에 인가하는 제 1 피모스 트랜지스터; 및

상기 승압전압과 상기 출력노드 사이에 직렬 연결되고 상기 출력노드의 전압레벨에 응답하여, 상기 승압전압을 상기 출력노드에 인가하는 제 2 피모스 트랜지스터를 구비하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 22.

제 17 항에 있어서, 상기 레벨 쉬프트 회로는

상기 제 1 레벨은 접지전압이고, 상기 제 2 레벨은 승압전압인 것을 특징으로 레벨 쉬프트 회로.

청구항 23.

제 22 항에 있어서, 상기 신호 폭 조정 및 레벨 쉬프트부는

상기 제어노드와 상기 접지전압 사이에 병렬 연결되어 상기 입력신호와 상기 제 1 딜레이 신호에 각각 응답하는 제 5 및 제 6 엔모스 트랜지스터;

상기 출력노드와 상기 접지전압 사이에 직렬 연결되어 상기 제 2 및 제 3 딜레이 신호에 각각 응답하는 제 7 및 제 8 엔모스 트랜지스터;

상기 승압전압과 상기 제어노드 사이에 직렬 연결되고 상기 출력노드의 전압레벨에 응답하여, 상기 승압전압을 상기 제어노드에 인가하는 제 3 피모스 트랜지스터; 및

상기 승압전압과 상기 출력노드 사이에 직렬 연결되고 상기 출력노드의 전압레벨에 응답하여, 상기 승압전압을 상기 출력노드에 인가하는 제 4 피모스 트랜지스터를 구비하는 것을 특징으로 하는 레벨 쉬프트 회로.

청구항 24.

입력신호로부터 복수개의 딜레이 신호들을 발생하는 딜레이 단계;

상기 입력 신호와 상기 복수개의 딜레이 신호들의 상태에 따라 출력 신호의 상태를 천이하여 상기 출력 신호의 폭을 조정하는 신호 폭 조정 단계; 및

상기 출력 신호가 제 1 상태이면 레벨 쉬프트된 제 1 레벨을 가지도록 하고, 제 2 상태이면 제 2 레벨을 가지도록 한 뒤 출력하는 레벨 쉬프트 단계를 구비하는 것을 특징으로 하는 레벨 쉬프트 회로의 동작 방법.

청구항 25.

제 24 항에 있어서, 상기 레벨 쉬프트 회로의 방법은

상기 제 1 레벨은 승압전압으로, 상기 제 2 레벨은 접지전압으로 각각 설정하는 것을 특징으로 하는 레벨 쉬프트 회로의 동작 방법.

청구항 26.

제 25 항에 있어서, 상기 신호 폭 조정 단계는

상기 입력 신호와 상기 입력 신호에 대해 동일한 위상을 가지는 제 1 딜레이 신호에 응답하여 제 1 상태의 출력 신호를 발생하는 단계; 및

상기 입력 신호에 대해 상이한 위상을 가지는 제 2 딜레이 신호에 응답하여 제 1 상태의 출력 신호를 제 2 상태의 출력 신호로 천이하는 단계를 구비하는 것을 특징으로 하는 레벨 쉬프트 회로의 동작 방법.

청구항 27.

제 26 항에 있어서, 상기 제 2 딜레이 신호는

상기 제 1 딜레이 신호의 딜레이 시간보다 짧은 딜레이 시간을 가지는 것을 특징으로 하는 레벨 쉬프트 회로의 동작 방법.

청구항 28.

제 25 항에 있어서, 상기 신호 폭 조정 단계는

상기 입력 신호에 응답하여 제 1 상태의 출력 신호를 발생하는 단계; 및

상기 입력 신호에 대해 상이한 위상을 가지는 제 1 및 제 2 딜레이 신호에 응답하여 제 1 상태의 출력 신호를 제 2 상태의 출력 신호로 천이하는 단계를 구비하는 것을 특징으로 하는 레벨 쉬프트 회로의 동작 방법.

청구항 29.

제 28 항에 있어서, 상기 제 2 딜레이 신호는

상기 제 1 딜레이 신호의 딜레이 시간보다 긴 딜레이 시간을 가지는 것을 특징으로 하는 레벨 쉬프트 회로의 동작 방법.

청구항 30.

제 25 항에 있어서, 상기 신호 폭 조정 단계는

상기 입력 신호와 상기 입력 신호에 대해 상이한 위상을 가지는 제 1 딜레이 신호에 응답하여 제 1 상태의 출력 신호를 발생하는 단계; 및

상기 입력 신호에 대해 상이한 위상을 가지는 제 2 딜레이 신호와, 상기 입력 신호에 대해 동일한 위상을 가지는 제 3 딜레이 신호에 응답하여 제 1 상태의 출력 신호를 제 2 상태의 출력 신호로 천이하는 단계를 구비하는 것을 특징으로 하는 레벨 쉬프트 회로의 동작 방법.

청구항 31.

제 30항에 있어서, 상기 제 3 딜레이 신호는

상기 제 1 딜레이 신호의 딜레이 시간보다 짧고, 상기 제 2 딜레이 신호의 딜레이 시간보다 긴 딜레이 시간을 가지는 것을 특징으로 하는 레벨 쉬프트 회로의 동작 방법.

청구항 32.

제 25항에 있어서, 상기 신호 폭 조정 단계는

상기 입력 신호와 상기 입력 신호에 대해 상이한 위상을 가지는 제 1 딜레이 신호에 응답하여 제 2 상태의 출력 신호를 발생하는 단계; 및

상기 입력 신호에 대해 상이한 위상을 가지는 제 2 딜레이 신호와, 상기 입력 신호에 대해 동일한 위상을 가지는 제 3 딜레이 신호에 응답하여 제 2 상태에서 제 1 상태로 천이된 신호를 발생하는 단계를 구비하는 것을 특징으로 하는 레벨 쉬프트 회로의 동작 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 레벨 쉬프트 회로에 관한 것으로, 특히 응답성을 증대할 수 있도록 하는 레벨 쉬프트 회로 및 이의 동작 방법에 관한 것이다.

일반적으로 레벨 쉬프트 회로는 반도체 집적 회로에서 입력된 전압레벨 보다 승압된 출력 전압을 발생시키는데 사용되는 회로이다. 특히 반도체 메모리에서는 워드라인 드라이버나 블록 선택 회로 등에서 많이 사용된다.

반도체 메모리의 셀 트랜지스터는 누설 전류를 줄이기 위하여 다른 노멀 트랜지스터보다 상대적으로 큰 임계전압(V_{TH})을 갖도록 설계한다. 이 셀 트랜지스터가 온되면 셀 커패시터에 저장되어 전하가 비트라인에 실리거나(리드 동작), 반대로 비트라인으로부터 셀 커패시터로 전달된다(라이트 동작).

이때 셀 트랜지스터의 큰 임계전압에 의해 비트라인의 전압레벨이 충분히 상승하지 못하여 센스 앰프가 이를 검출하지 못할 수도 있다. 이 문제를 해결하기 위하여 워드라인의 활성화 전압레벨을 승압전압(VCC) 보다 높은 내부 승압전압(VPP)을 사용하여 워드라인을 구동한다

그러나 승압전압(VPP)은 승압전압(VPP)에 의해 공급되는 전하를 축적하여 발생시키므로, 전원 전압(VCC)처럼 많은 량의 전력을 공급하는 것이 어렵다. 그러므로 저소비 전력을 구현하기 위해서는 승압전압(VPP)을 가능한 적게 사용하였었다.

이에 승압전압(VPP)의 소비를 억제하기 위해 필요한 동안에만 승압전압(VPP)이 출력되도록 하는 레벨 쉬프터가 제안되었다.

그리고 레벨 쉬프트 회로의 입력단에 제어 회로를 연결하고, 제어 회로를 통해 레벨 쉬프트 회로에 입력되는 신호들의 신호 폭을 자유롭게 조정하여 주었다.

예를 들어, 현재 사용되는 제어 회로로는 입력신호의 라이징 에지를 딜레이한 신호, 입력신호의 폴링 에지를 딜레이한 신호, 입력신호의 라이징 에지에 동기되어 인에이블되는 신호, 및 입력신호의 폴링 에지에 동기되어 인에이블되는 신호를 생성하는 회로들이 있다.

이하의 도 1은 종래의 기술에 따른 입력신호의 라이징 에지를 딜레이하는 제어 회로와 레벨 쉬프트 회로의 상세회로도로서 도시한 도면이다.

도면에 도시된 바와 같이, 제어 회로(1)는 직렬 연결된 짝수개의 인버터들(INV1~INV4), 입력신호(IN)와 인버터들(INV1~INV4)을 통해 딜레이된 입력신호(IN)를 낸드 조합하는 낸드 게이트(NAND), 및 낸드 게이트(NAND)의 출력을 반전하는 인버터(INV5)를 구비하고, 레벨 쉬프트 회로(2)는 인버터(INV5)의 출력신호를 반전하는 인버터(INV6), 제어노드(NA)와 접지전압(VSS) 사이에 직렬 연결되어 인버터(INV5)의 출력신호에 응답하는 제 1 엔모스 트랜지스터(NMOS1), 출력노드(NB)와 접지전압(VSS) 사이에 직렬 연결되어 인버터(INV6)의 출력신호에 응답하는 제 2 엔모스 트랜지스터(NMOS2), 승압전압(VPP)과 제어노드(NA) 사이에 직렬 연결되어 출력노드(NB)의 전압레벨에 응답하는 제 1 피모스 트랜지스터(PMOS1), 및 승압전압(VPP)과 출력노드(NB) 사이에 직렬 연결되어 제어노드(NA)의 전압레벨에 응답하는 제 2 피모스 트랜지스터(PMOS2)를 구비한다.

도 1의 회로의 동작을 도 2의 신호 파형도를 참조하여 살펴보면 다음과 같다.

먼저, 준비상태의 입력신호(IN)는 로우레벨이고, 제어노드(NA)의 전압레벨은 승압전압(VPP)이고, 출력노드(NB)의 전압레벨은 접지전압(VSS)이다.

라이징 에지 시간(T_R 시간)이 되어, 입력신호(IN)가 로우레벨에서 하이레벨로 천이되면, 인버터들(INV1~INV4)은 T₄ 시간에 하이레벨의 신호를, 낸드 게이트(NAND)는 T₅ 시간에 로우레벨의 신호를, 인버터(INV5)는 T₆ 시간에 하이레벨의 신호를, 인버터(INV6)는 T₇ 시간에 로우레벨의 신호를 각각 발생한다.

이에 T₆ 시간이 되면, 제 1 엔모스 트랜지스터(NMOS1)는 온되고, 전류는 제 1 엔모스 트랜지스터(NMOS1)를 통해 흐르고, 제어노드(NA)의 전압레벨은 낮아진다. 이러한 상태에서 T₇ 시간이 되면, 제어노드(NA)의 전압레벨은 접지전압(VSS)이 되고, 제 2 피모스 트랜지스터(PMOS2)는 제어노드(NA)의 전압레벨에 의해 온되고, 제 2 엔모스 트랜지스터(NMOS2)는 오프되어, 출력노드(NB)의 전압레벨은 높아지다가 T₈ 시간이 되면 승압전압(VPP)이 된다.

이 상태는 계속 유지되다가 T₁₃ 시간이 경과하여, 인버터(INV5)가 로우레벨의 신호를, 인버터(INV6)가 하이레벨의 신호를 발생하면 변화되기 시작한다.

즉, T13 시간이 되면, 제 1 엔모스 트랜지스터(NMOS1)는 오프되고, 제 2 엔모스 트랜지스터(NMOS2)는 온되어, 전류는 제 2 엔모스 트랜지스터(NMOS2)를 통해 흐르고, 출력노드(NB)의 전압레벨은 낮아지고, T14 시간이 되면 출력노드(NB)의 전압레벨은 다시 접지전압(VSS)이 된다.

이와 같이 도 1 회로는 제어 회로는 입력신호의 라이징 에지를 인버터들(INV1~INV4)의 딜레이 성분에서 상응하는 딜레이 시간(D2) 만큼 딜레이한다.

그러나 상기의 신호 파형도에서 나타난 바와 같이, 종래의 기술에 따른 제어 회로와 레벨 쉬프트 회로는 입력신호를 4단의 논리 게이트 즉, 낸드 게이트(NAND), 인버터(INV5), 엔모스 트랜지스터(NMOS1), 및 피모스 트랜지스터(PMOS2)의 딜레이 성분에서 상응하는 딜레이 시간(D1) 만큼 더 딜레이시킨 후 출력한다.

즉, 종래의 기술에 따른 회로에 인가된 입력신호는 제어 회로의 인버터들 이외에 4단의 논리 게이트를 더 거친 후 출력되어, 입력신호의 딜레이 시간이 불필요하게 증가되고, 이는 회로의 응답성을 저하시키는 원인이 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 입력신호의 폭 변환과 레벨 쉬프트 동작을 동시에 수행할 수 있도록 하고 두 동작을 위해 필요한 로직 게이트의 단수를 줄여, 응답성을 증대시키는 레벨 쉬프트 회로 및 이의 동작 방법을 제공하는 것이다.

상기의 목적을 달성하기 위한 본 발명의 제 1 형태에 따른 레벨 쉬프트 회로는 입력 신호를 복수개의 단에 걸쳐 딜레이하여, 복수개의 딜레이 신호들을 발생하는 딜레이부와, 상기 입력 신호와 상기 입력 신호에 대해 동일한 위상을 가지는 제 1 딜레이 신호에 응답하여 레벨 쉬프트된 제 1 레벨의 신호를 발생하고, 상기 입력 신호에 대해 상이한 위상을 가지는 제 2 딜레이 신호에 응답하여 제 2 레벨의 신호를 발생하는 신호 폭 조정 및 레벨 쉬프트부를 구비하는 것을 특징으로 한다.

상기의 목적을 달성하기 위한 본 발명의 제 2 형태에 따른 레벨 쉬프트 회로는 입력 신호를 복수개의 단에 걸쳐 딜레이하여, 복수개의 딜레이 신호들을 발생하는 딜레이부와, 상기 입력 신호에 응답하여 레벨 쉬프트된 제 1 레벨의 신호를 발생하고, 상기 입력 신호에 대해 상이한 위상을 가지는 제 1 및 제 2 딜레이 신호에 응답하여 제 2 레벨의 신호를 발생하는 신호 폭 조정 및 레벨 쉬프트부를 구비하는 것을 특징으로 한다.

상기의 목적을 달성하기 위한 본 발명의 제 3 형태에 따른 레벨 쉬프트 회로는 입력 신호를 복수개의 단에 걸쳐 딜레이하여, 복수개의 딜레이 신호들을 발생하는 딜레이부와, 상기 입력 신호와 상기 입력 신호에 대해 상이한 위상을 가지는 제 1 딜레이 신호에 응답하여 제 1 레벨의 신호를 발생하고, 상기 입력 신호에 대해 상이한 위상을 가지는 제 2 딜레이 신호와 상기 입력 신호에 대해 동일한 위상을 가지는 제 3 딜레이 신호에 응답하여 제 2 레벨의 신호를 발생하는 신호 폭 조정 및 레벨 쉬프트부를 구비하는 것을 특징으로 한다.

상기의 목적을 달성하기 위한 본 발명의 레벨 쉬프트 회로의 동작 방법은 입력신호로부터 복수개의 딜레이 신호들을 발생하는 딜레이 단계와, 상기 입력 신호와 상기 복수개의 딜레이 신호들의 상태에 따라 출력 신호의 상태를 천이하여 상기 출력 신호의 폭을 조정하는 신호 폭 조정 단계와, 상기 출력 신호가 제 1 상태이면 레벨 쉬프트된 제 1 레벨을 가지도록 하고, 제 2 상태이면 제 2 레벨을 가지도록 한 뒤 출력하는 레벨 쉬프트 단계를 구비하는 것을 특징으로 한다.

발명의 구성

이하, 첨부한 도면을 참고로 하여 본 발명의 레벨 쉬프트 회로 및 이의 동작 방법을 설명하면 다음과 같다.

도 3은 본 발명의 기술에 따른 레벨 쉬프트 회로의 내부 블록도를 도시한 도면이다.

도면을 참조하면, 본 발명의 레벨 쉬프트 회로는 딜레이부(10)와, 신호 폭 조정 및 레벨 쉬프트부(20)를 구비한다.

딜레이부(10)는 입력신호를 복수개의 단에 걸쳐 딜레이하여 다양한 딜레이 시간 및 위상을 가지는 복수개의 딜레이 신호들을 발생한다.

신호 폭 조정 및 레벨 쉬프트부(20)는 복수개의 딜레이 신호들을 조합하여, 입력신호의 폭을 조정하고, 입력신호가 하이레벨인 경우에는 승압전압(VPP)을 가지도록 하고, 입력신호가 로우레벨인 경우에는 접지전압(VSS)을 가지도록 한다.

예를 들어, 신호 폭 조정 및 레벨 쉬프트부(20)는 복수개의 딜레이 신호들을 조합하여 입력신호의 라이징 에지를 딜레이한 신호, 입력신호의 폴링 에지를 딜레이한 신호, 입력신호의 라이징 에지에 동기되어 인에이블되는 신호, 및 입력신호의 폴링 에지에 동기되어 인에이블되는 신호를 생성할 수 있다.

이하에서는 입력신호의 라이징 에지를 딜레이한 신호, 입력신호의 폴링 에지를 딜레이한 신호, 입력신호의 라이징 에지에 동기되어 인에이블되는 신호, 및 입력신호의 폴링 에지에 동기되어 인에이블되는 신호를 각각 발생하기 위한 레벨 쉬프트 회로들을 상세히 설명하기로 한다.

도 4는 도 3의 제 1 실시예에 따른 입력신호의 라이징 에지를 딜레이하는 신호를 생성하는 레벨 쉬프트 회로의 상세회로도이다.

도면에 도시된 바와 같이, 딜레이부(110)는 입력 신호(IN)를 짝수개의 단에 걸쳐 딜레이하여, 짝수개의 딜레이 신호들을 발생하고, 신호 폭 조정 및 레벨 쉬프트부(120)는 입력신호(IN)와 입력 신호(IN)에 대해 동일한 위상을 가지는 마지막단(INV14)의 딜레이 신호에 응답하여, 로우레벨에서 하이레벨로 천이되는 신호를 발생하고, 입력 신호(IN)에 대해 상이한 위상을 가지는 홀수단(INV11)의 딜레이 신호에 응답하여 하이레벨에서 로우레벨로 천이되는 신호를 발생한다.

계속하여 도면을 참조하면, 딜레이부(110)는 직렬 연결되는 짝수개의 인버터들(INV11~INV14)을 구비하고, 신호 폭 조정 및 레벨 쉬프트부(120)는 제어노드(NA)와 접지전압(VSS) 사이에 직렬 연결되어 입력신호(IN)와 제 4 인버터(INV14)의 출력신호에 각각 응답하는 제 1 및 제 2 엔모스 트랜지스터(NMOS11, NMOS12)와, 출력노드(NB)와 접지전압(VSS) 사이에 직렬 연결되어 제 1 인버터(INV11)의 출력신호에 응답하는 제 3 엔모스 트랜지스터(NMOS13)와, 승압전압(VPP)과 제어노드(NA) 사이에 직렬 연결되어 출력노드(NB)의 전압레벨에 응답하는 제 1 피모스 트랜지스터(PMOS11)와, 승압전압(VPP)과 출력노드(NB) 사이에 직렬 연결되어 제어노드(NA)의 전압레벨에 응답하는 제 2 피모스 트랜지스터(PMOS12)를 구비하는 신호 폭 조정 및 레벨 쉬프트부(120)를 구비한다.

도 5는 도 4의 레벨 쉬프트 회로의 동작에 따른 신호 파형도로, 도 5를 참조하여 도 4에 나타난 회로의 동작을 설명하면 다음과 같다.

이때 입력신호(IN)는 TR 시간에서 TF 시간동안 인에이블된다고 가정한다. 즉, 입력신호(IN)는 TR 시간에 하이레벨에서 로우레벨로 천이되고, TF 시간에 로우레벨에서 하이레벨로 천이된다.

이에 제 1 인버터(INV11)는 T1 시간에 하이레벨에서 로우레벨로 천이되고, T11 시간에 로우레벨에서 하이레벨로 천이되는 신호를, 제 2 인버터(INV12)는 T2 시간에 로우레벨에서 하이레벨로 천이되고, T12 시간에 하이레벨에서 로우레벨로 천이되는 신호를, 제 3 인버터(INV13)는 T3 시간에 하이레벨에서 로우레벨로 천이되고, T13 시간에 로우레벨에서 하이레벨로 천이되는 신호를, 제 4 인버터(INV14)는 T4 시간에 로우레벨에서 하이레벨로 천이되고, T11 시간에 하이레벨에서 로우레벨로 천이되는 신호를 각각 발생한다.

먼저, 준비 상태에서의 레벨 쉬프트 회로는 다음과 같은 신호 출력 상태를 가진다.

준비 상태에서, 제 1 및 제 2 엔모스 트랜지스터(NMOS11, NMOS12)는 오프되고, 제 3 엔모스 트랜지스터(NMOS13)는 온되고, 전류가 온된 제 3 엔모스 트랜지스터(NMOS13)를 통해 흘러 출력노드(NB)의 전압레벨은 낮아져 접지전압(VSS)이 된다. 이에 제 1 피모스 트랜지스터(PMOS11)는 접지전압(VSS)에 의해 온되고, 제 1 피모스 트랜지스터(PMOS11)를 전류가 흐르고, 제어노드(NA)의 전압레벨은 높아져 승압전압(VPP)의 전압레벨이 된다.

즉, 준비 상태에서 레벨 쉬프트 회로의 출력노드(NB)는 접지전압(VSS)의 전압레벨을, 제어노드(NA)는 승압전압(VPP)의 전압레벨을 각각 가진다.

이와 같은 준비 상태를 가지는 레벨 쉬프트 회로는 시간의 경과에 따라 다음과 같이 동작된다.

TR 시간이 되면, 제 1 엔모스 트랜지스터(NMOS11)는 온되고, 제 2 엔모스 트랜지스터(NMOS12)는 오프되고, 제 3 엔모스 트랜지스터(NMOS13)는 온되어, 전류는 제 3 엔모스 트랜지스터(NMOS13)를 통해서 흐른다. 즉, 레벨 쉬프트 회로는 준비 상태에서와 동일하게 동작하여, 출력노드(NB)는 접지전압(VSS)의 전압레벨을, 제어노드(NA)는 승압전압(VPP)의 전압레벨을 각각 가진다.

이러한 상태는 계속 유지되다가 T4 시간이 경과하여, 제 4 인버터(INV14)가 하이레벨의 신호를 발생하면 변화되기 시작한다.

즉, T4 시간이 되면, 제 1 및 제 2 엔모스 트랜지스터(NMOS11, NMOS12)는 온되고, 제 3 엔모스 트랜지스터(NMOS13)는 오프되고, 전류가 제 1 및 제 2 엔모스 트랜지스터(NMOS11, NMOS12)를 통해 흘러, 제어노드(NA)의 전압레벨은 점차로 낮아진다.

T5 시간이 되면, 제어노드(NA)의 전압레벨은 접지전압(VSS)과 동일해지고, 제 2 피모스 트랜지스터(PMOS12)는 제어노드(NA)의 접지전압(VSS)에 의해 온된다. 이에 온된 제 2 피모스 트랜지스터(PMOS12)를 통해 전류가 흘러, 출력노드(NB)의 전압레벨은 점차로 높아진다.

T6 시간이 되면, 출력노드(NB)의 전압레벨은 승압전압(VPP)과 동일해지고, 레벨 쉬프트 회로는 출력노드(NB)를 통해 승압전압(VPP)을 가지는 출력 신호(OUT)를 발생한다.

이러한 상태는 TF 시간까지 유지되며, TF 시간이 되면 제 1, 제 2, 제 3 엔모스 트랜지스터(NMOS11, NMOS12, NMOS13)는 오프되어, 제 1 및 제 2 엔모스 트랜지스터(NMOS11, NMOS12)를 통해 흐르던 전류는 더 이상 흐르지 않게 된다. 즉, 출력노드(NB)의 전압레벨은 고정된다.

이러한 상태에서 T11 시간이 되어, 제 1 인버터(INV11)가 하이레벨의 신호를 발생하면, 제 3 엔모스 트랜지스터(NMOS13)는 다시 온되고 전류가 제 3 엔모스 트랜지스터(NMOS13)를 통해 다시 흘러, 출력노드(NB)의 전압레벨은 낮아지게 된다.

T12 시간이 되면, 출력노드(NB)의 전압레벨은 다시 접지전압(VSS)과 동일해지고, 레벨 쉬프트 회로는 출력노드(NB)를 통해 다시 접지전압(VSS)을 가지는 출력 신호(OUT)를 발생한다.

이와 같이 도 4의 레벨 쉬프트 회로는 제 1 인버터(INV11)의 출력 신호와 제 4 인버터(INV14)의 출력 신호를 조합하여 입력신호의 라이징 에지를 딜레이부(110)의 인버터들(INV11~INV14)의 딜레이 성분에 상응하는 딜레이 시간(D2) 만큼 딜레이한다.

그리고 입력신호 폭 조정과 레벨 쉬프트 동작을 융합된 형태로 수행하고 두 동작을 위해 필요한 로직 게이트(예를 들어, 제 1 엔모스 트랜지스터(NMOS11)와 제 2 피모스 트랜지스터(PMOS12))의 단수를 줄여, 로직 게이트에 의한 입력신호의 딜레이 시간(D1)을 감소시킨다. 이에 도 4의 레벨 쉬프트 회로는 보다 빠른 응답성을 제공한다.

그러나 도 4의 레벨 쉬프트 회로의 경우, T2 시간과 T5 시간의 구간(F)에서 제 2 피모스 트랜지스터(PMOS12)와 제 3 엔모스 트랜지스터(NMOS13)가 모두 오프되는 구간을 가지는데, 이때 출력노드(NB)를 통해 아무런 전류가 흐르지 않게 되어, 출력노드(NB)가 플루팅 될 수 있다.

이에 본 발명은 도 6의 레벨 쉬프트 회로를 이용하여 도 4의 T2 시간과 T5 시간의 구간과 같이 출력노드(NB)가 플루팅되는 구간(F)이 발생하는 것을 사전에 방지한다.

도 6의 레벨 쉬프트 회로는 도 4의 제 4인버터(INV14)에 직렬 연결되는 제 5 인버터(INV21)와, 제 3 엔모스 트랜지스터(NMOS13)와 병렬 연결되는 제 4 인버터(INV14)의 출력신호에 응답하는 제 4 엔모스 트랜지스터(NMOS21)를 더 구비한다.

도 4와 동일한 구성 및 동작을 수행하는 도 6의 구성 요소에 대해서는 도 4와 동일한 번호를 부여하고, 상세한 설명은 생략하기로 한다.

이하 도 7의 신호 파형도를 참조하여 도 6에 나타난 회로의 동작을 설명하면 다음과 같다.

T2 시간이 되면, 입력신호(IN)는 하이레벨을, 제 1 인버터(INV11)는 로우레벨의 신호를, 제 2 인버터(INV12)는 로우레벨의 신호를, 제 3 인버터(INV13)는 하이레벨의 신호를, 제 4 인버터(INV14)는 로우레벨의 신호를, 제 5 인버터(INV21)는 로우레벨의 신호를 각각 발생한다.

그러면 제 2 피모스 트랜지스터(POMS12)는 오프된 상태에서, 제 3 엔모스 트랜지스터(NMOS13)는 오프되거나 제 4 엔모스 트랜지스터(NMOS21)는 온되어, 제 4 엔모스 트랜지스터(NMOS21)를 통해 전류가 흐르게 된다.

이에 출력노드(NB)에는 제 4 엔모스 트랜지스터(NMOS21)를 통해 흐르는 전류가 인가되어, 출력노드(NB)는 플루팅 되지 않는다.

T3 시간 및 T4 시간에서도 T2 시간에서와 동일하게 동작하고, T5 시간이 되어, 제 4 인버터(INV14)가 하이레벨의 신호를 발생하면 출력노드(NB)의 전압레벨이 변화되기 시작한다.

즉, T5 시간이 되면, 제 1 엔모스 트랜지스터(NMOS11)는 온되고, 제 3 엔모스 트랜지스터(NMOS13)는 오프되고, 제 4 엔모스 트랜지스터(NMOS21)는 온되어, 전류는 제 4 엔모스 트랜지스터(NMOS21)와 제 1 엔모스 트랜지스터(NMOS11)를 통해 각각 흐르게 된다.

이에 출력노드(NB)는 제 4 엔모스 트랜지스터(NMOS21)를 통해 흐르는 전류에 의해 플루팅 되지 않되, 제어노드(NA)의 전압레벨은 낮아지게 된다.

T6 시간이 되면, 제 4 엔모스 트랜지스터(NMOS21)는 오프된다. 그러나 제어노드(NA)의 전압레벨은 접지전압(VSS)이 되고 제 2 피모스 트랜지스터(PMOS12)는 제어노드(NA)의 접지전압(VSS)에 의해 온되어, 제 2 피모스 트랜지스터(PMOS12)를 통해 전류가 흐르게 된다.

이에 출력노드(NB)에 제 2 피모스 트랜지스터(PMOS12)를 통해 흐르는 전류가 인가되어, 출력노드(NB)의 플루팅 가능성은 없어지게 된다.

이와 같이 도 6의 회로는 제 2 피모스 트랜지스터(PMOS12)와 제 3 엔모스 트랜지스터(NMOS13)가 모두 오프되더라도 제 4 엔모스 트랜지스터(NMOS21)가 온되도록 하여, 출력노드(NB)가 플루팅되는 것을 사전에 방지한다.

도 8은 도 3의 제 3 실시예에 따른 입력신호의 폴링 에지를 딜레이하는 레벨 쉬프트 회로의 상세회로도이다.

도면에 도시된 바와 같이, 딜레이부(310)는 입력 신호(IN)를 홀수개의 단에 걸쳐 딜레이하여, 홀수개의 딜레이 신호들을 발생하고, 신호 폭 조정 및 레벨 쉬프트부(320)는 입력신호(IN)에 응답하여, 로우레벨에서 하이레벨로 천이되는 신호를 발생하고, 입력 신호(IN)에 대해 상이한 위상을 가지는 적어도 두개 이상의 홀수단(INV31, INV35)의 딜레이 신호들에 응답하여 하이레벨에서 로우레벨로 천이되는 신호를 발생한다.

계속하여 도면을 참조하면, 딜레이부(310)는 홀수개의 인버터들(INV31~INV35)을 구비하고, 신호 폭 조정 및 레벨 쉬프트부(320)는 제어노드(NA)와 접지전압(VSS) 사이에 직렬 연결되어 입력신호(IN)에 응답하는 제 1 엔모스 트랜지스터(NMOS31), 출력노드(NB)와 접지전압(VSS) 사이에 직렬 연결되어 제 1 및 제 5 인버터(INV31, INV35)의 출력신호에 각각 응답하는 제 2 및 제 3 엔모스 트랜지스터(NMOS32, NMOS33), 승압전압(VPP)과 제어노드(NA) 사이에 직렬 연결되어 출력노드(NB)의 전압레벨에 응답하는 제 1 피모스 트랜지스터(PMOS31), 및 승압전압(VPP)과 출력노드(NB) 사이에 직렬 연결되어 제어노드(NA)의 전압레벨에 응답하는 제 2 피모스 트랜지스터(PMOS32)를 구비한다.

이하 도 9의 신호 파형도를 참조하여 레벨 쉬프트 회로의 동작을 설명하면 다음과 같다.

이때 입력신호(IN)는 TR 시간에서 TF 시간동안 인에이블된다고 가정한다. 즉, 입력신호(IN)는 TR 시간에 하이레벨에서 로우레벨로 천이되고, TF 시간에 로우레벨에서 하이레벨로 천이된다.

이에 제 1 인버터(INV31)는 T1 시간에 하이레벨에서 로우레벨로 천이되고, T11 시간에 로우레벨에서 하이레벨로 천이되는 신호를, 제 2 인버터(INV32)는 T2 시간에 로우레벨에서 하이레벨로 천이되고, T12 시간에 하이레벨에서 로우레벨로 천이되는 신호를, 제 3인버터(INV33)는 T3 시간에 하이레벨에서 로우레벨로 천이되고, T13 시간에 로우레벨에서 하이레벨로 천이되는 신호를, 제 4 인버터(INV34)는 T4 시간에 로우레벨에서 하이레벨로 천이되고, T14 시간에 하이레벨에서 로우레벨로 천이되는 신호를, 제 5인버터(INV35)는 T5 시간에 하이레벨에서 로우레벨로 천이되고, T15 시간에 로우레벨에서 하이레벨로 천이되는 신호를 각각 발생한다.

먼저, 준비 상태에서의 레벨 쉬프트 회로는 다음과 같은 신호 출력 상태를 가진다.

준비 상태에서, 제 1 및 제 2 엔모스 트랜지스터(NMOS31, NMOS32)는 오프되고, 제 3 엔모스 트랜지스터(NMOS33)는 온되고, 온된 제 3 엔모스 트랜지스터(NMOS33)를 통해 전류가 흐르고, 출력노드(NB)의 전압레벨은 낮아져 접지전압(VSS)이 된다. 그리고 제 1 피모스 트랜지스터(PMOS31)는 접지전압(VSS)에 의해 온되고, 제어노드(NA)의 전압레벨은 온된 제 1 피모스 트랜지스터(PMOS31)에 의해 높아져 승압전압(VPP)의 전압레벨이 된다.

즉, 준비 상태에서 레벨 쉬프트 회로의 출력노드(NB)는 접지전압(VSS)의 전압레벨을, 제어노드(NA)는 승압전압(VPP)의 전압레벨을 각각 가진다.

이러한 준비 상태를 가지는 레벨 쉬프트 회로는 시간의 경과에 따라 다음과 같이 동작된다.

TR 시간이 되면, 제 1 엔모스 트랜지스터(NMOS31)가 온되고, 제 2 및 제 3 엔모스 트랜지스터(NMOS32, NMOS33)가 온되고, 전류는 제 1 엔모스 트랜지스터(NMOS31)와 제 2 및 제 3 엔모스 트랜지스터(NMOS32, NMOS33)를 통해 각각 흐르고, 제어노드(NA)의 전압레벨은 점차로 낮아진다.

T1 시간이 되면, 제어노드(NA)는 접지전압(VSS)이 되고, 제 2 엔모스 트랜지스터(NMOS32)가 오프되어, 제 2, 제 3 엔모스 트랜지스터(NMOS32, NMOS33)를 통해 흐르던 전류는 더 이상 흐르지 않게 된다. 즉, 제어노드(NA)의 전압레벨은 고정된다.

이러한 상태에서, 제 1 엔모스 트랜지스터(NMOS31)는 출력노드(NB)의 전압레벨에 의해 온되고 제 1 엔모스 트랜지스터(NMOS31)를 통해 전류가 흐르기 시작하여, 제어노드(NA)의 전압레벨이 점차로 높아진다.

T2 시간이 되면, 출력노드(NB)의 전압레벨은 승압전압(VPP)이 되고, 레벨 쉬프트 회로는 출력노드(NB)를 통해 승압전압(VPP)을 가지는 출력 신호(OUT)를 발생한다.

이러한 상태는 계속 유지되다가 T15 시간이 되어 제 5 인버터(INV35)가 하이레벨의 신호를 발생하면 변화되기 시작한다.

T15 시간이 되면, 제 1 엔모스 트랜지스터(NMOS31)는 오프되고, 제 2 및 제 3 엔모스 트랜지스터(NMOS32, NMOS33)는 온되고, 온된 제 3 엔모스 트랜지스터(NMOS33)를 통해 전류가 흐르고, 출력노드(NB)의 전압레벨은 점차로 낮아진다.

T16 시간이 되면, 출력노드(NB)의 전압레벨은 접지전압(VSS)이 되고, 레벨 쉬프트 회로는 출력노드(NB)를 통해 다시 접지전압(VSS)을 가지는 출력 신호(OUT)를 발생한다.

이와 같이 도 8의 레벨 쉬프트 회로는 입력신호(IN), 제 1 인버터(INV31)의 출력 신호, 및 제 5 인버터(INV35)의 출력 신호를 조합하여 입력신호(IN)의 폴링 에지를 딜레이부(310)내의 인버터들(INV32~INV35)의 딜레이 성분(예를 들어, 제 5 인버터(INV35)의 딜레이 성분)에 상응하는 딜레이 시간(D2) 만큼 딜레이한다.

그리고 입력신호 폭 조정과 레벨 쉬프트 동작을 융합된 형태로 수행하고 두 동작을 위해 필요한 로직 게이트(예를 들어, 제 1 엔모스 트랜지스터(NMOS11)와 제 2 피모스 트랜지스터(PMOS12))의 단수를 줄여, 로직 게이트에 의한 입력신호의 딜레이 시간(D1)을 감소시킨다. 이에 도 8의 레벨 쉬프트 회로도 도 4의 회로와 동일하게 보다 빠른 응답성을 제공한다.

이상의 도 8의 레벨 쉬프트 회로의 경우, TF 시간과 T15 시간의 구간에서 제 1 피모스 트랜지스터(PMOS31)와 제 1 엔모스 트랜지스터(NMOS31)가 모두 오프되어, 제어노드(NA)가 플루팅 될 수 있다.

이에 본 발명은 도 10의 레벨 쉬프트 회로를 이용하여 도 8의 TF 시간과 T16 시간(F)에서 제어노드(NA)가 플루팅되는 것을 사전에 방지한다.

도 10의 레벨 쉬프트 회로는 도 8의 제 5인버터(INV35)에 직렬 연결되는 제 6 인버터(INV41)와, 제 1 엔모스 트랜지스터(NMOS31)와 병렬 연결되는 제 4 인버터(INV41)의 출력신호에 응답하는 제 4 엔모스 트랜지스터(NMOS41)를 더 구비한다.

도 8과 동일한 구성 및 동작을 수행하는 도 10의 구성 요소에 대해서는 도 8과 동일한 번호를 부여하고, 상세한 설명은 생략하기로 한다.

이하 도 11의 신호파형도를 참조하여 도 5에 나타난 회로의 동작을 설명하면 다음과 같다.

TF 시간이 되면, 제 1 피모스 트랜지스터(POMS31)는 오프된 상태에서, 제 1 엔모스 트랜지스터(NMOS31)는 오프되나, 제 4 엔모스 트랜지스터(NMOS41)는 온되어, 제 4 엔모스 트랜지스터(NMOS41)를 통해 전류가 흐르게 된다.

이에 제어노드(NA)에는 제 4 엔모스 트랜지스터(NMOS41)를 통해 흐르는 전류가 인가되어, 제어노드(NA)는 플루팅 되지 않는다.

T11 내지 T14 시간에서도 TF 시간과 동일하게 동작하고, T15 시간이 되어, 제 5 인버터(INV35)가 하이레벨의 신호를 발생하면 출력노드(NB)의 전압레벨이 변화되기 시작한다.

즉, T15 시간이 되면, 제 1 엔모스 트랜지스터(NMOS31)는 오프되고, 제 2 내지 제 4 엔모스 트랜지스터(NMOS32~NMOS41)는 온되고, 전류는 제 4 엔모스 트랜지스터(NMOS41)와 제 2 및 제 3 엔모스 트랜지스터(NMOS32, NMOS33)를 통해 각각 흐르게 된다.

그러면, 제어노드(NA)는 제 4 엔모스 트랜지스터(NMOS41)를 통해 흐르는 전류에 의해 플루팅 되지 않되, 출력노드(NB)의 전압레벨은 낮아지게 된다.

T16 시간이 되면, 출력노드(NB)의 전압레벨은 접지전압(VSS)이 되고, 제 1 피모스 트랜지스터(PMOS31)는 출력노드(NB)의 접지전압(VSS)에 의해 온되어, 제 1 피모스 트랜지스터(PMOS31)를 통해 전류가 흐르게 된다. 이에 출력노드(NB)에는 제 1 피모스 트랜지스터(PMOS31)를 통해 흐르는 전류가 인가되어, 제어노드(NA)의 플루팅 가능성은 없어지게 된다.

도 12는 도 3의 제 5 실시예에 따른 입력신호의 라이징 에지에 동기되어 인에이블되는 신호를 발생하는 레벨 쉬프트 회로의 상세회로도이다.

도면에 도시된 바와 같이, 딜레이부(510)는 입력 신호(IN)를 홀수개의 단에 걸쳐 딜레이하여, 홀수개의 딜레이 신호들을 발생하고, 신호 폭 조정 및 레벨 쉬프트부(520)는 입력신호(IN)와 입력 신호(IN)에 대해 상이한 위상을 가지는 홀수단(INV55)의 딜레이 신호에 응답하여, 로우레벨에서 하이레벨로 천이되는 신호를 발생하고, 입력 신호(IN)에 대해 상이한 위상을 가지는 홀수단(INV51)의 딜레이 신호와, 입력 신호(IN)에 대해 동일한 위상을 가지는 짝수단(INV54)의 딜레이 신호에 응답하여 하이레벨에서 로우레벨로 천이되는 신호를 발생한다.

계속하여 도면을 참조하면, 딜레이부(510)는 직렬 연결되는 홀수개의 인버터들(INV51~INV55)을 구비하고, 신호 폭 조정 및 레벨 쉬프트부(520)는 제어노드(NA)와 접지전압(VSS) 사이에 직렬 연결되어 입력신호(IN)와 제 5 인버터(INV55)의 출력신호에 각각 응답하는 제 1 및 제 2 엔모스 트랜지스터(NMOS51, NMOS52)와, 출력노드(NB)와 접지전압(VSS) 사이에 병렬 연결되어 제 1 및 제 4 인버터(INV51, INV54)의 출력신호에 각각 응답하는 제 3 및 제 4 엔모스 트랜지스터(NMOS53, NMOS54)와, 승압전압(VPP)과 제어노드(NA) 사이에 직렬 연결되어 출력노드(NB)의 전압레벨에 응답하는 제 1 피모스 트랜지스터(PMOS51)와, 승압전압(VPP)과 출력노드(NB) 사이에 직렬 연결되어 제어노드(NA)의 전압레벨에 응답하는 제 2 피모스 트랜지스터(PMOS52)를 구비한다.

이하 도 13의 신호 파형도를 참조하여 도 12에 나타난 회로의 동작을 설명하면 다음과 같다.

이때 입력신호(IN)는 TR 시간에서 TF 시간동안 인에이블된다고 가정한다. 즉, 입력신호(IN)는 TR 시간에 하이레벨에서 로우레벨로 천이되고, TF 시간에 로우레벨에서 하이레벨로 천이된다.

이에 제 1 인버터(INV51)는 T1 시간에 하이레벨에서 로우레벨로 천이되고, T11 시간에 로우레벨에서 하이레벨로 천이되는 신호를, 제 2 인버터(INV52)는 T2 시간에 로우레벨에서 하이레벨로 천이되고, T12 시간에 하이레벨에서 로우레벨로 천이되는 신호를, 제 3인버터(INV53)는 T3 시간에 하이레벨에서 로우레벨로 천이되고, T13 시간에 로우레벨에서 하이레벨로 천이되는 신호를, 제 4 인버터(INV54)는 T4 시간에 로우레벨에서 하이레벨로 천이되고, T11 시간에 하이레벨에서 로우레벨로 천이되는 신호를, 제 5인버터(INV55)는 T5 시간에 하이레벨에서 로우레벨로 천이되고, T15 시간에 로우레벨에서 하이레벨로 천이되는 신호를 각각 발생한다.

먼저, 준비 상태에서의 레벨 쉬프트 회로는 다음과 같은 신호 출력 상태를 가진다.

준비 상태에서 제 1 및 제 4 엔모스 트랜지스터(NMOS51, NMOS54)는 오프되고, 제 2 및 제 3 엔모스 트랜지스터(NMOS52, NMOS53)는 온되어, 전류는 온된 제 3 엔모스 트랜지스터(NMOS53)를 통해 흐른다. 그러면 출력노드(NB)의 전압레벨은 낮아져서 접지전압(VSS)이 되고, 제 1 피모스 트랜지스터(PMOS51)는 출력노드(NB)의 접지전압(VSS)에 의해 온되고, 제어노드(NA)의 전압레벨은 높아져서 승압전압(VPP)이 된다.

즉, 준비 상태에서의 레벨 쉬프트 회로의 출력노드(NB)는 접지전압(VSS)의 전압레벨을, 제어노드(NA)는 승압전압(VPP)의 전압레벨을 각각 가진다.

이러한 준비 상태를 가지는 레벨 쉬프트 회로는 시간의 경과에 따라 다음과 같이 동작된다.

TR 시간이 되면, 제 1 엔모스 트랜지스터(NMOS51)와 제 2 엔모스 트랜지스터(NMOS52)는 온되고, 온된 제 1 및 제 2 엔모스 트랜지스터(NMOS51, NMOS52)를 통해 전류가 흘러, 제어노드(NA)의 전압레벨은 낮아지게 된다.

T1 시간이 되면, 제어노드(NA)는 접지전압(VSS)이 되고, 제 2 피모스 트랜지스터(PMOS52)는 제어노드(NA)의 접지전압(VSS)에 의해 온되고, 제 2 피모스 트랜지스터(PMOS52)를 통해 전류가 흐르게 되어, 출력노드(NB)의 전압레벨은 점차로 높아진다.

T2 시간이 되면, 출력노드(NB)의 전압레벨은 승압전압(VPP)이 되고, 레벨 쉬프트 회로는 출력노드(NB)를 통해 승압전압(VPP)을 가지는 출력 신호(OUT)를 발생한다.

이러한 상태는 계속 유지되다가 T5 시간이 되어, 제 5 인버터(INV55)가 로우레벨의 신호를 발생하면 변화되기 시작한다.

즉, T5 시간이 되면, 제 4 엔모스 트랜지스터(NMOS54)가 온되고, 제 4 엔모스 트랜지스터(NMOS54)를 통해 전류가 흘러 출력노드(NB)의 전압레벨은 낮아지게 된다.

T6 시간이 되면, 출력노드(NB)의 전압레벨은 다시 접지전압(VSS)이 되고, 레벨 쉬프트 회로는 출력노드(NB)를 통해 다시 접지전압(VSS)을 가지는 출력 신호(OUT)를 발생한다.

이와 같이 도 12의 레벨 쉬프트 회로는 입력신호(IN)와 제 1 인버터(INV51)의 출력 신호와 제 4 인버터(INV54)의 출력 신호와 제 5 인버터(INV55)의 출력 신호를 조합하여, 라이징 에지에 동기되고 딜레이부(510)내의 소정 개수의 인버터들(INV52~INV54)의 딜레이 성분에서 상응하는 딜레이 시간(D2)동안 인에이블되는 신호를 발생한다.

그리고 입력신호 폭 조정과 레벨 쉬프트 동작을 융합된 형태로 수행하여, 두 동작을 위해 필요한 로직 게이트(예를 들어, 제 1 및 제 2 엔모스 트랜지스터(NMOS51, NMOS52)와 제 2 피모스 트랜지스터(PMOS52))의 단수를 줄여, 로직 게이트에 의한 입력신호의 딜레이 시간(D1)을 감소시킨다. 이에 도 12의 레벨 쉬프트 회로도 도 4에서와 동일하게 보다 빠른 응답성을 제공한다.

도 14는 도 3의 제 6 실시예에 따른 입력신호의 폴링 에지에 동기되어 인에이블되는 신호를 발생하는 레벨 쉬프트 회로의 상세회로도이다.

도면에 도시된 바와 같이, 딜레이부(610)는 입력 신호(IN)를 홀수개의 단에 걸쳐 딜레이하여, 홀수개의 딜레이 신호들을 발생하고, 신호 폭 조정 및 레벨 쉬프트부(620)는 입력신호(IN)와 입력 신호(IN)에 대해 상이한 위상을 가지는 홀수단(INV65)의 딜레이 신호에 응답하여, 하이레벨에서 로우레벨로 천이되는 신호를 발생하고, 입력 신호(IN)에 대해 상이한 위상을 가지는 홀수단(INV61)의 딜레이 신호와, 입력 신호(IN)에 대해 동일한 위상을 가지는 짝수단(INV64)의 딜레이 신호에 응답하여 로우레벨에서 하이레벨로 천이되는 신호를 발생한다.

계속하여 도면을 참조하면, 딜레이부(610)는 직렬 연결되는 홀수개의 인버터들(INV61~INV65)을 구비하고, 신호 폭 조정 및 레벨 쉬프트부(620)는 제어노드(NA)와 접지전압(VSS) 사이에 병렬 연결되어 입력신호(IN)와 제 5 인버터(INV65)의 출력신호에 응답하는 제 1 및 제 2 엔모스 트랜지스터(NMOS61, NMOS62)와, 출력노드(NB)와 접지전압(VSS) 사이에 직렬 연결되어 제 1 및 제 4 인버터(INV61, INV64)의 출력신호에 각각 응답하는 제 3 및 제 4 엔모스 트랜지스터(NMOS63, NMOS64)와, 승압전압(VPP)과 제어노드(NA) 사이에 직렬 연결되어 출력노드(NB)의 전압레벨에 응답하는 제 1 피모스 트랜지스터(PMOS61)와, 승압전압(VPP)과 출력노드(NB) 사이에 직렬 연결되어 제어노드(NA)의 전압레벨에 응답하는 제 2 피모스 트랜지스터(PMOS62)로 구성된다.

이하 도 15의 신호 파형도를 참조하여 레벨 쉬프트 회로의 동작을 설명하면 다음과 같다.

이때 입력신호(IN)는 TR 시간에서 TF 시간동안 인에이블된다고 가정한다. 즉, 입력신호(IN)는 TR 시간에 하이레벨에서 로우레벨로 천이되고, TF 시간에 로우레벨에서 하이레벨로 천이된다.

이에 제 1 인버터(INV61)는 T1 시간에 하이레벨에서 로우레벨로 천이되고, T11 시간에 로우레벨에서 하이레벨로 천이되는 신호를, 제 2 인버터(INV62)는 T2 시간에 로우레벨에서 하이레벨로 천이되고, T12 시간에 하이레벨에서 로우레벨로 천이되는 신호를, 제 3 인버터(INV63)는 T3 시간에 하이레벨에서 로우레벨로 천이되고, T13 시간에 로우레벨에서 하이레벨로 천이되는 신호를, 제 4 인버터(INV64)는 T4 시간에 로우레벨에서 하이레벨로 천이되고, T11 시간에 하이레벨에서 로우레벨로 천이되는 신호를, 제 5 인버터(INV65)는 T5 시간에 하이레벨에서 로우레벨로 천이되고, T15 시간에 로우레벨에서 하이레벨로 천이되는 신호를 각각 발생한다.

먼저, 준비 상태에서의 레벨 쉬프트 회로는 다음과 같은 신호 출력 상태를 가진다.

준비 상태에서, 제 1 및 제 4 엔모스 트랜지스터(NMOS61, NMOS64)는 오프되고, 제 2 및 제 3 엔모스 트랜지스터(NMOS62, NMOS63)는 온되고, 온된 제 2 엔모스 트랜지스터(NMOS62)를 통해 전류가 흐르고, 출력노드(NB)의 전압레벨은 낮아져서 접지전압(VSS)이 된다. 그리고 제 2 피모스 트랜지스터(PMOS62)는 접지전압(VSS)에 의해 온되고, 제어노드(NA)의 전압레벨은 높아져서 승압전압(VPP)과 동일해진다.

즉, 준비 상태에서 레벨 쉬프트 회로의 출력노드(NB)는 접지전압(VSS)의 전압레벨을, 제어노드(NA)는 승압전압(VPP)의 전압레벨을 각각 가진다.

이와 같은 준비 상태를 가지는 레벨 쉬프트 회로는 시간의 경과에 따라 다음과 같이 동작된다.

TR 시간이 되면, 제 1, 제 2, 및 제 3 엔모스 트랜지스터(NMOS61~NMOS63)는 모두 온되고, 제 4 엔모스 트랜지스터(NMOS64)는 오프되고, 온된 제 1 및 제 2 엔모스 트랜지스터(NMOS61, NMOS62)를 통해서 전류가 각각 흐르게 된다. 그러면 레벨 쉬프트 회로는 준비 상태에서와 동일하게 동작하여 출력노드(NB)는 접지전압(VSS)의 전압레벨을, 제어노드(NA)는 승압전압(VPP)의 전압레벨을 각각 가진다.

이러한 상태는 계속 유지되다가 T11 시간이 되어, 제 1 인버터(INV61)가 하이레벨의 신호를 발생하면 변화되기 시작한다.

T11 시간이 되면, 제 1 및 제 2 엔모스 트랜지스터(NMOS61, NMOS62)는 오프되고, 제 3 및 제 4 엔모스 트랜지스터(NMOS63, NMOS64)는 온되고, 온된 제 3 및 제 4 엔모스 트랜지스터(NMOS63, NMOS64)를 통해 전류가 흐르게 되어, 출력노드(NB)의 전압레벨은 점차로 낮아진다.

T12 시간이 되면, 출력노드(NB)의 전압레벨은 접지전압(VSS)이 되고, 레벨 쉬프트 회로는 출력노드(NB)를 통해 접지전압(VSS)을 가지는 출력 신호(OUT)를 발생한다. 이러한 상태에서 제 1 피모스 트랜지스터(PMOS61)는 출력노드(NB)의 접지전압(VSS)에 의해 온되고, 제 1 피모스 트랜지스터(PMOS61)를 통해 전류가 흐르게 되어, 제어노드(NA)의 전압레벨은 점차로 높아진다.

이에 T13 시간이 되면, 제어노드(NA)의 전압레벨은 승압전압(VPP)이 되고, T14 시간이 되면, 제 3 엔모스 트랜지스터(NMOS63)는 온되고, 제 4 엔모스 트랜지스터(NMOS64)는 오프되어, 출력노드(NB)를 통해 전류가 흐르지 않게 된다. 즉, T14 시간이 되면, 출력노드(NB)의 전압레벨은 고정된다.

이러한 상태에서 T15 시간이 되어, 제 5 인버터(INV65)가 하이레벨의 신호를 발생하면, 제 2 엔모스 트랜지스터(NMOS62)는 온되고, 제 2 엔모스 트랜지스터(NMOS62)를 통해 전류가 흘러, 제어노드(NA)의 전압레벨은 점차로 낮아진다.

T16 시간이 되면, 제어노드(NA)의 전압레벨은 다시 접지전압(VSS)이 되고, 제 2 피모스 트랜지스터(PMOS62)는 제어노드(NA)의 접지전압(VSS)에 의해 온되고, 출력노드(NB)의 전압레벨은 제 2 피모스 트랜지스터(PMOS62)를 통해서 흐르는 전류로 인해 다시 높아진다.

T17 시간이 되면, 출력노드(NB)의 전압레벨은 다시 승압전압(VPP)이 되고, 레벨 쉬프트 회로는 출력노드(NB)를 통해 다시 승압전압(VPP)을 가지는 출력 신호(OUT)를 발생한다.

이와 같이 도 14의 레벨 쉬프트 회로는 입력신호(IN)와 제 1 인버터(INV61)의 출력 신호와 제 4 인버터(INV64)의 출력 신호와 제 5 인버터(INV65)의 출력 신호를 조합하여, 폴링 에지에 동기되어 인에이블되는 신호를 발생한다.

그리고 입력신호 폭 조정과 레벨 쉬프트 동작을 융합된 형태로 수행하여, 두 동작을 위해 필요한 로직 게이트(예를 들어, 제 1 엔모스 트랜지스터(NMOS61)와 제 2 피모스 트랜지스터(PMOS62))의 단수를 로직 게이트에 의한 입력신호의 딜레이 시간(D1)을 감소시킨다. 이에 도 14의 레벨 쉬프트 회로도 도 4에서와 동일하게 보다 빠른 응답성을 제공한다.

상기에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

본 발명의 레벨 쉬프트 회로 및 이의 동작 방법은 하나의 레벨 쉬프트 회로를 통해 복수개의 딜레이 신호들을 조합함을 통해 입력신호 폭을 조정하고, 조정된 폭을 가지는 입력신호를 승압하여 준다. 즉, 본 발명의 레벨 쉬프트 회로는 입력신호 조정 동작과, 레벨 쉬프트 동작을 융합된 형태로 수행하고 두 동작을 위해 필요한 로직 게이트의 단수를 줄여 보다 빠른 응답성을 제공하여 준다.

도면의 간단한 설명

도 1은 종래의 기술에 따른 입력신호의 라이징 에지를 딜레이하는 제어 회로와 레벨 쉬프트 회로의 상세회로도.

도 2는 도 1의 회로의 동작에 따른 신호 파형도.

도 3은 본 발명의 기술에 따른 레벨 쉬프트 회로의 내부 블록도.

도 4는 도 3의 제 1 실시예에 따른 입력신호의 라이징 에지를 딜레이하는 신호를 생성하는 레벨 쉬프트 회로의 상세회로도.

도 5는 도 4의 회로의 동작에 따른 신호 파형도.

도 6은 도 3의 제 2 실시예에 따른 입력신호의 라이징 에지를 딜레이하는 신호를 생성하는 레벨 쉬프트 회로의 상세회로도.

도 7은 도 6의 회로의 동작에 따른 신호 파형도.

도 8은 도 3의 제 3 실시예에 따른 입력신호의 폴링 에지를 딜레이하는 레벨 쉬프트 회로의 상세회로도.

도 9는 도 8의 회로의 동작에 따른 신호 파형도.

도 10은 도 3의 제 4 실시예에 따른 입력신호의 폴링 에지를 딜레이하는 레벨 쉬프트 회로의 상세회로도.

도 11은 도 10의 회로의 동작에 따른 신호 파형도.

도 12는 도 3의 제 5 실시예에 따른 입력신호의 라이징 에지에 동기되어 인에이블되는 신호를 발생하는 레벨 쉬프트 회로의 상세회로도.

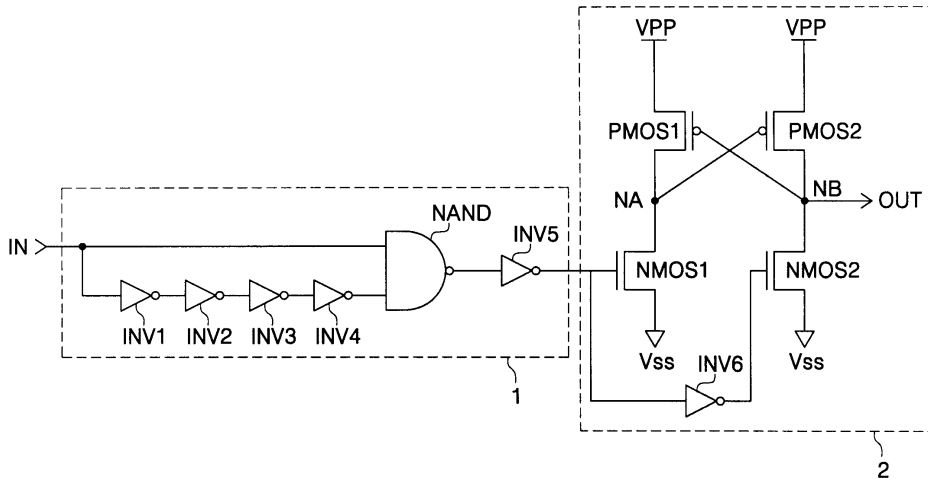
도 13은 도 12의 회로의 동작에 따른 신호 파형도.

도 14는 도 3의 제 6 실시예에 따른 입력신호의 폴링 에지에 동기되어 인에이블되는 신호를 발생하는 레벨 쉬프트 회로의 상세회로도.

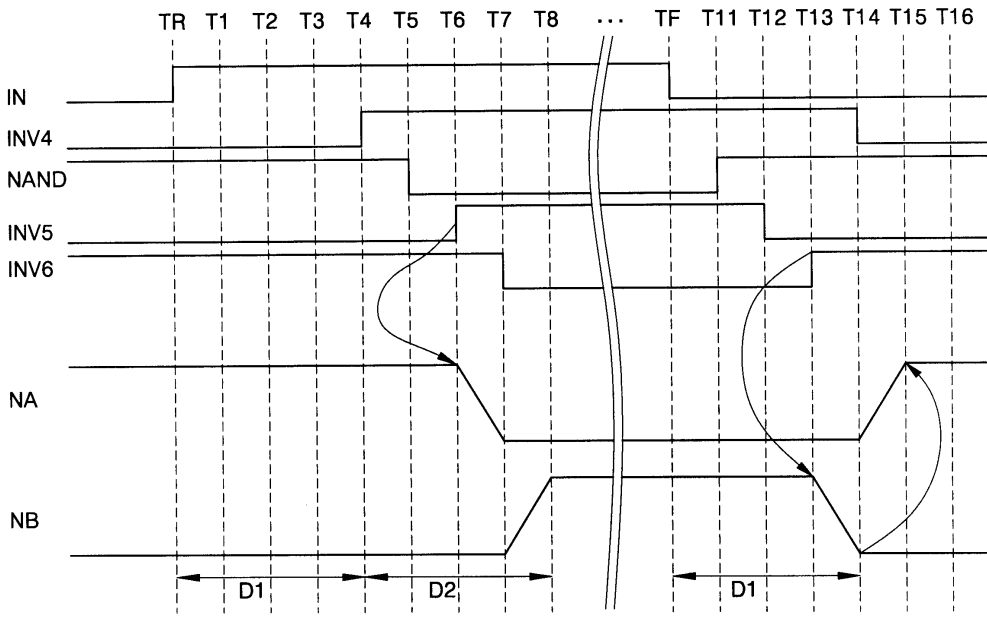
도 15는 도 14의 회로의 동작에 따른 신호 파형도.

도면

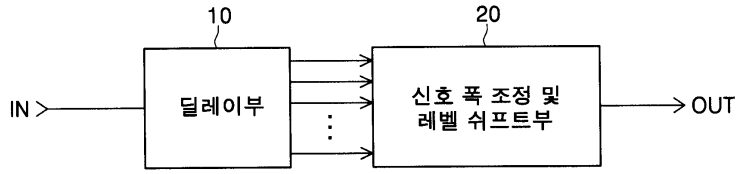
도면1



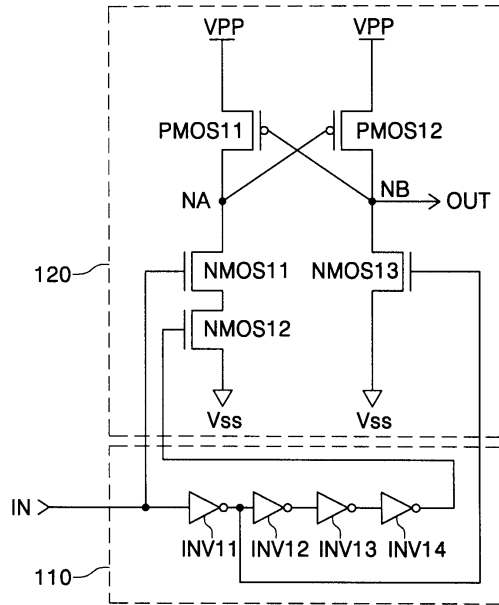
도면2



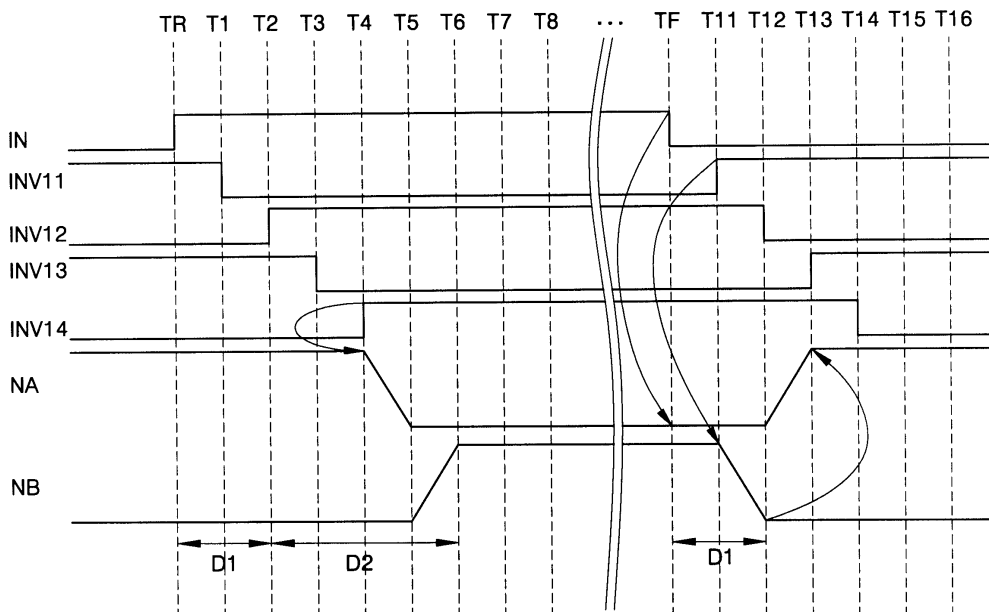
도면3



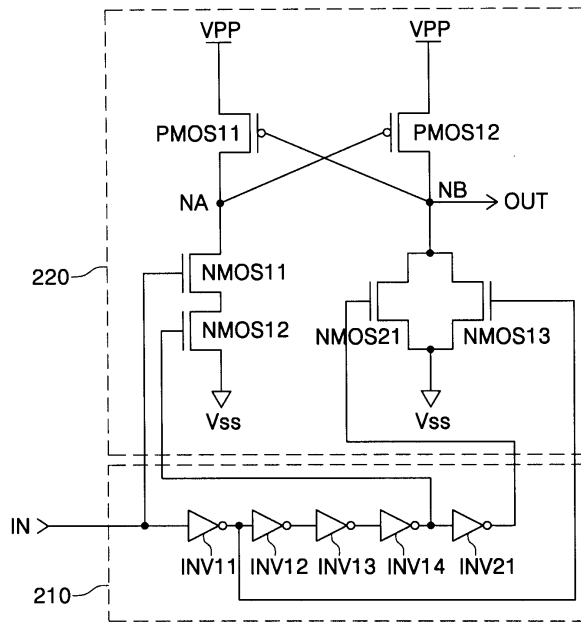
도면4



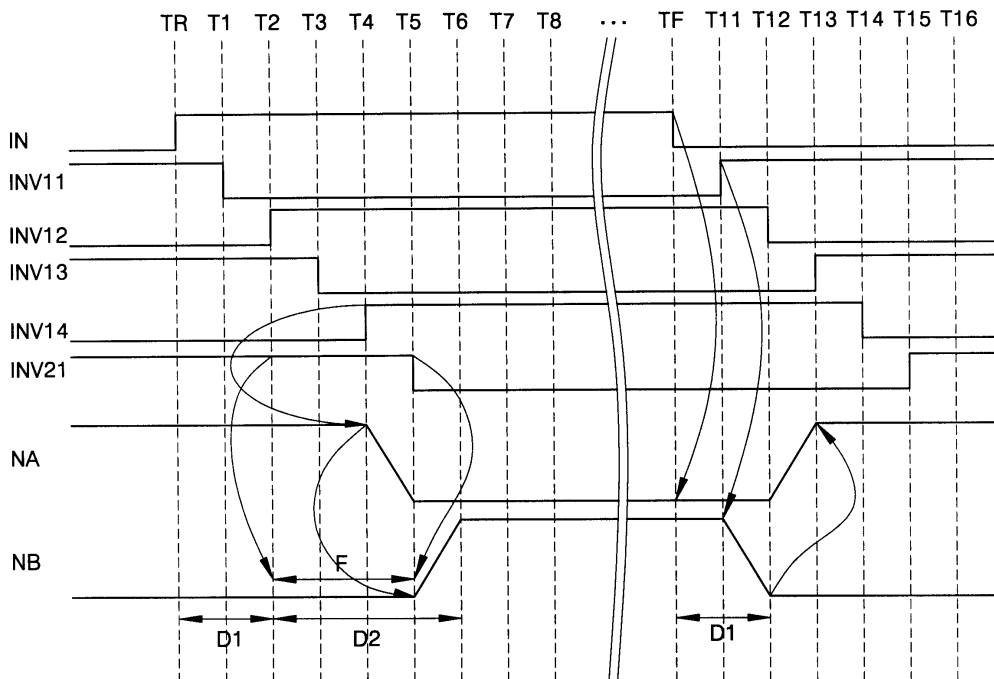
도면5



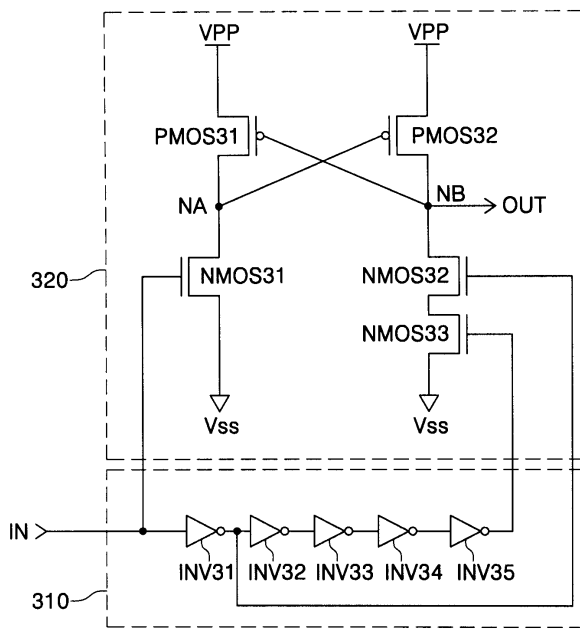
도면6



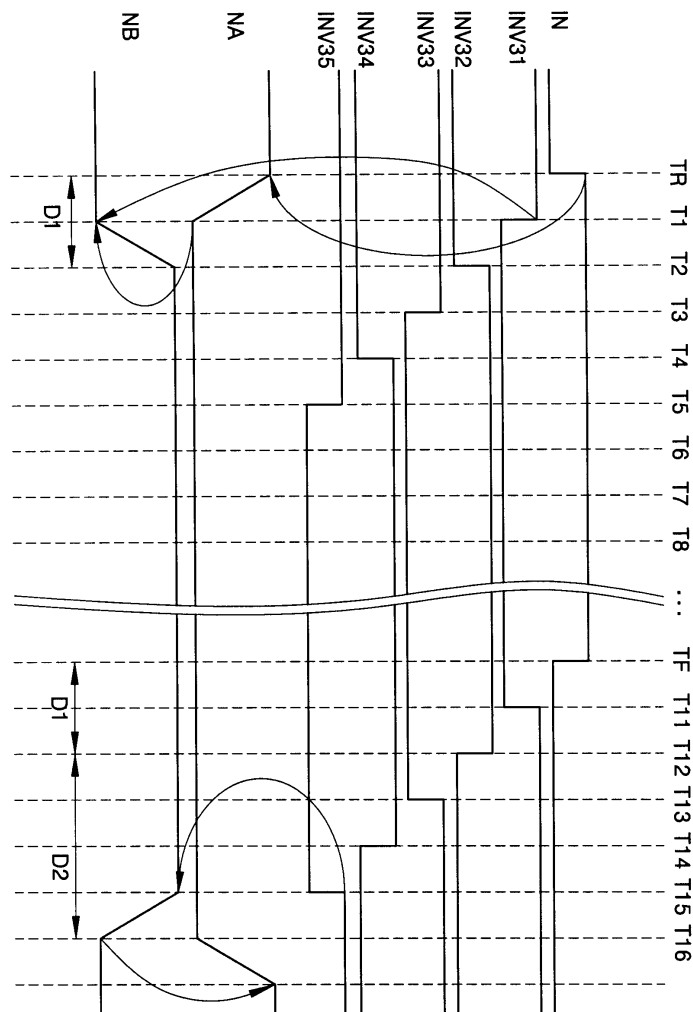
도면7



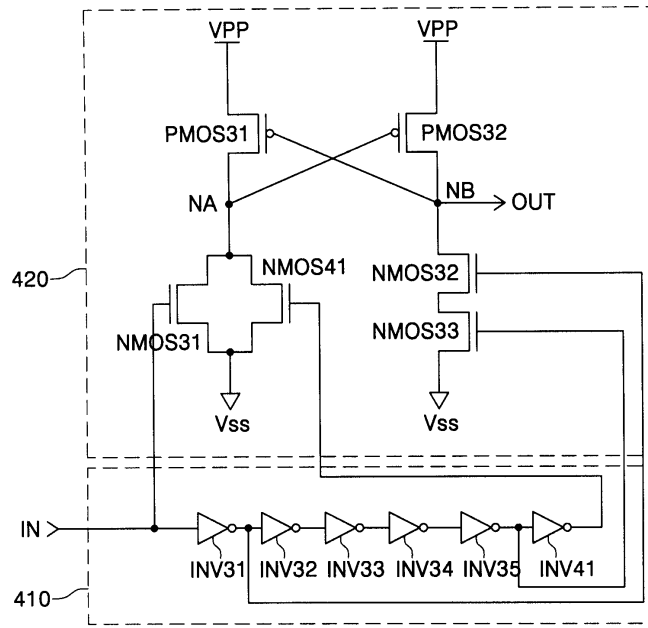
도면8



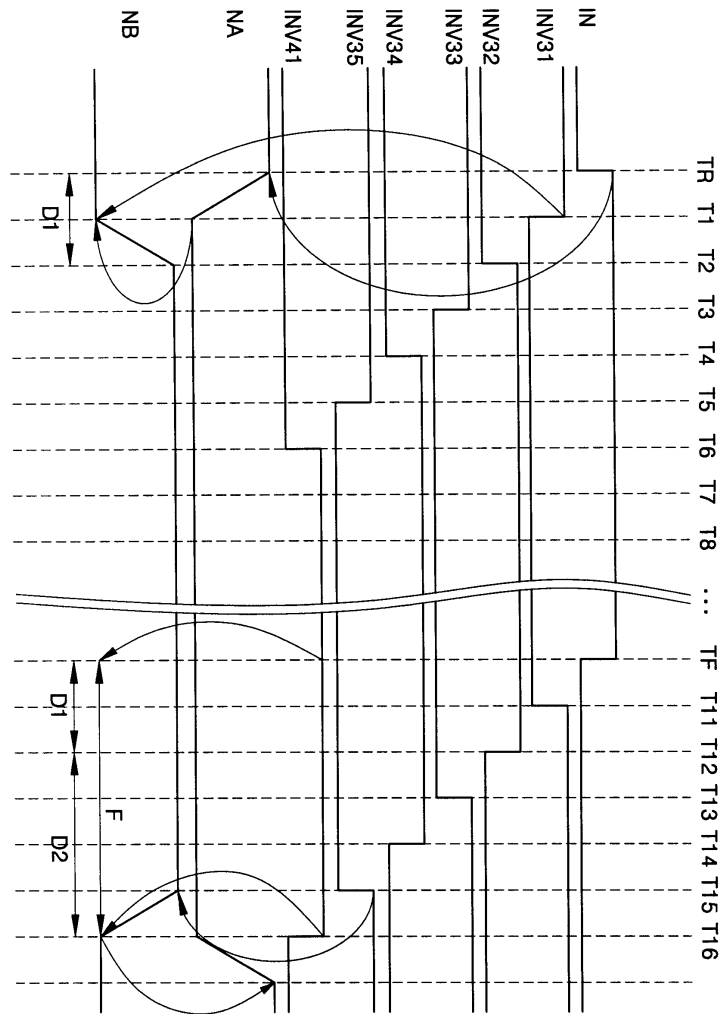
도면9



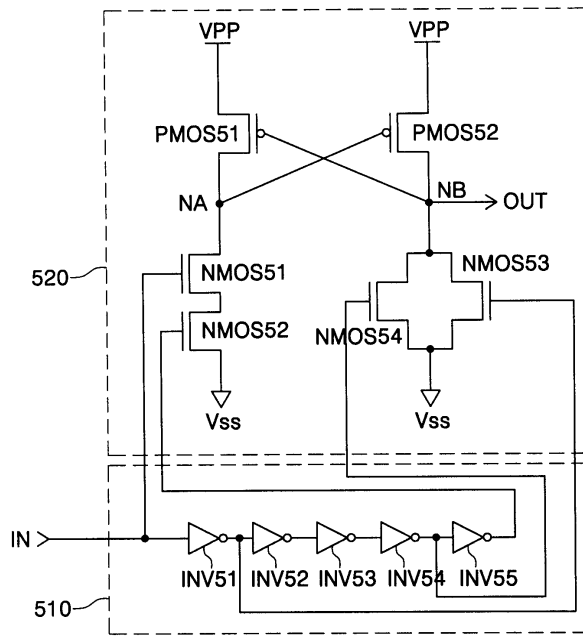
도면10



도면11



도면12



도면13

