

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-12447
(P2021-12447A)

(43) 公開日 令和3年2月4日(2021.2.4)

(51) Int.Cl.			F I			テーマコード (参考)		
G06F	9/48	(2006.01)	G06F	9/48	300Z	2C061		
H04N	1/00	(2006.01)	H04N	1/00	912	2H270		
G06F	13/38	(2006.01)	G06F	13/38	340A	5B077		
G03G	21/00	(2006.01)	G03G	21/00	502	5C062		
B41J	29/38	(2006.01)	B41J	29/38	Z			

審査請求 未請求 請求項の数 12 O L (全 20 頁)

(21) 出願番号 特願2019-124964 (P2019-124964)
(22) 出願日 令和1年7月4日 (2019.7.4)

(71) 出願人 000005496
富士ゼロックス株式会社
東京都港区赤坂九丁目7番3号
(74) 代理人 100104880
弁理士 古部 次郎
(74) 代理人 100125346
弁理士 尾形 文雄
(74) 代理人 100166981
弁理士 砂田 岳彦
(72) 発明者 平山 雄也
神奈川県横浜市西区みなとみらい六丁目1番 富士ゼロックス株式会社内
(72) 発明者 中港 努
神奈川県横浜市西区みなとみらい六丁目1番 富士ゼロックス株式会社内
最終頁に続く

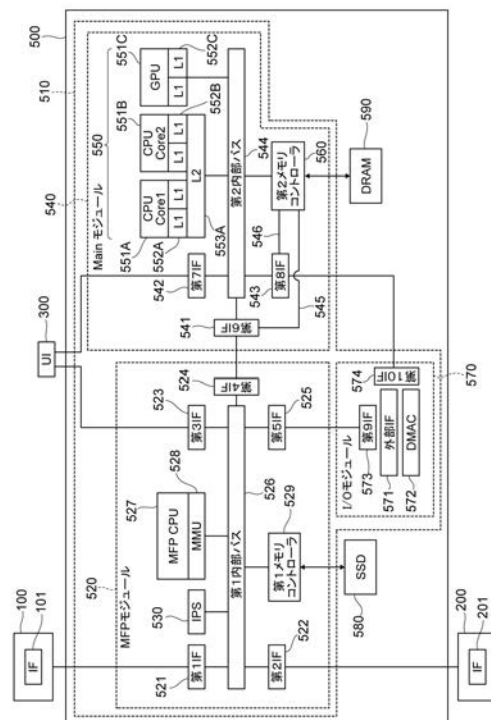
(54) 【発明の名称】 情報処理装置および半導体装置

(57) 【要約】

【課題】第2制御手段が第1処理の開始後且つ完了前に第1処理よりも第2処理を優先して実行する場合において、第2処理が完了するまで第1処理が再開されない場合に比べて、第1処理が中断してからの待ち時間を減らす。

【解決手段】機器から取得されるデータを処理し、機器の動作を制御する第1制御手段を有する第1集積回路と、第1制御手段よりもデータの処理速度が速い第2制御手段を有する第2集積回路と、を備え、第2制御手段は、第1処理の開始後且つ完了前に第1処理よりも第2処理を優先して実行する場合に、第1処理の対象のデータについて定められた条件に基づいて、第1制御手段に第1処理を再開させるか否かを決定することを特徴とする情報処理装置。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

機器から取得されるデータを処理し、当該機器の動作を制御する第 1 制御手段を有する第 1 集積回路と、

前記第 1 制御手段よりもデータの処理速度が速い第 2 制御手段を有する第 2 集積回路と、を備え、

前記第 2 制御手段は、第 1 処理の開始後且つ完了前に当該第 1 処理よりも第 2 処理を優先して実行する場合に、当該第 1 処理の対象のデータについて定められた条件に基づいて、前記第 1 制御手段に当該第 1 処理を再開させるか否かを決定することを特徴とする情報処理装置。

10

【請求項 2】

前記条件は、前記第 1 処理の対象の前記データに対して当該第 1 処理が実行されることの優先度について定められた条件であることを特徴とする請求項 1 記載の情報処理装置。

【請求項 3】

前記優先度は、前記第 1 処理の対象の一部のデータについて当該第 1 処理が実行されることと、当該第 1 処理の対象の前記データであって当該一部のデータに続く他の一部のデータについて当該第 1 処理が実行されることとの間の時間の制約に基づいて定められることを特徴とする請求項 2 記載の情報処理装置。

【請求項 4】

前記第 1 処理の対象の前記データは、パケット化された複数のデータであることを特徴とする請求項 1 記載の情報処理装置。

20

【請求項 5】

前記決定に関する決定情報と、データの内容に関する内容情報とを関連付けて保持する保持手段をさらに有し、

前記第 2 制御手段は、前記第 1 処理の対象の前記データに係る前記内容情報を取得し、取得した当該内容情報に関連付けられて前記保持手段に保持されている前記決定情報から、前記第 1 制御手段に当該第 1 処理を再開させるか否かを決定することを特徴とする請求項 1 記載の情報処理装置。

【請求項 6】

データを格納する格納手段と、

30

前記第 1 処理の対象の前記データを、パケット化されたデータごとに前記第 2 集積回路に送信する送信手段と、をさらに備え、

前記第 2 集積回路は、

前記送信手段から送信されたデータの前記格納手段への格納を制御する格納制御手段と

、前記第 2 制御手段と、前記格納制御手段とを接続する第 1 通信路と、をさらに有し、

前記第 1 制御手段は、前記第 1 処理を実行する場合、前記格納手段に格納されている当該第 1 処理の対象の前記データを取得し、取得した当該データに対して当該第 1 処理を実行し、

前記第 2 制御手段は、前記格納手段に格納されているデータを、前記第 1 通信路を介して取得し、取得した当該データに対して前記第 2 処理を実行し、

40

前記第 2 制御手段が前記第 2 処理を実行しているときにおいて、前記送信手段から前記格納制御手段へ送信されるデータが通る通信路、および、前記格納手段から前記第 1 制御手段へ送信されるデータが通る通信路は、何れも、前記第 1 通信路とは異なる通信路であることを特徴とする請求項 1 記載の情報処理装置。

【請求項 7】

機器と接続可能な第 1 接続手段と、前記送信手段とを有する第 3 集積回路をさらに備え、

前記送信手段は、前記第 1 接続手段に前記機器が接続された場合において、前記第 2 制御手段による前記第 2 処理が実行されている場合、当該機器から送信されるデータの処理

50

の要求を、前記第 1 制御手段に送信することを特徴とする請求項 6 記載の情報処理装置。

【請求項 8】

前記第 2 集積回路は、前記第 1 集積回路と接続可能な第 2 接続手段をさらに有し、

前記第 2 制御手段は、前記第 1 制御手段に前記第 1 処理を再開させる場合、当該第 1 処理が完了した分のデータに関する情報を当該第 1 制御手段に送信することを特徴とする請求項 1 記載の情報処理装置。

【請求項 9】

前記第 2 制御手段は、前記第 1 制御手段に前記第 1 処理を再開させた場合において、前記第 2 処理が完了しても当該第 1 処理が完了していない場合、当該第 1 制御手段に実行された当該第 1 処理を引き継いで再開することを特徴とする請求項 1 記載の情報処理装置。

10

【請求項 10】

機器から取得されるデータを処理し、当該機器の動作を制御する第 1 制御手段を有する第 1 集積回路と、

前記第 1 制御手段よりもデータの処理速度が速い第 2 制御手段を有する第 2 集積回路と、を備え、

前記第 2 制御手段は、第 1 処理の開始後且つ完了前に当該第 1 処理よりも第 2 処理を優先して実行する場合に、当該第 1 処理の対象のデータについて定められた条件に基づいて、前記第 1 制御手段に当該第 1 処理を再開させるか否かを決定することを特徴とする半導体装置。

【請求項 11】

20

前記条件は、前記第 1 処理の対象の前記データについて当該第 1 処理が実行されることの優先度について定められた条件であることを特徴とする請求項 10 記載の半導体装置。

【請求項 12】

前記優先度は、前記第 1 処理の対象の一部のデータについて当該第 1 処理が実行されることと、当該第 1 処理の対象の前記データであって当該一部のデータに続く他の一部のデータについて当該第 1 処理が実行されることとの間の時間の制約に基づいて定められることを特徴とする請求項 11 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、情報処理装置および半導体装置に関する。

【背景技術】

【0002】

情報処理装置には、データを処理し機器の動作を制御する第 1 制御手段を有する第 1 集積回路と、第 1 制御手段よりもデータの処理速度が速い第 2 制御手段を有する第 2 集積回路とが設けられることがある。第 1 制御手段および第 2 制御手段は、例えば、処理ごとに使い分けられる。

ここで、例えば、第 2 制御手段は、第 1 処理の開始後且つ完了前に、第 2 処理の実行を指示されると、第 1 処理を中断し、第 1 処理よりも第 2 処理を優先して実行することがある。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2018 - 148455 号公報

【特許文献 2】特許第 4756599 号

【発明の概要】

【発明が解決しようとする課題】

【0004】

第 2 制御手段が第 1 処理の開始後且つ完了前に第 1 処理よりも第 2 処理を優先して実行する場合に、第 1 処理の対象のデータに関わらず、第 2 処理が完了するまで第 1 処理が再

50

開されないと、第1処理が中断してから再開されるまで待ち時間が発生することがある。

本発明は、第2制御手段が第1処理の開始後且つ完了前に第1処理よりも第2処理を優先して実行する場合において、第2処理が完了するまで第1処理が再開されない場合に比べて、第1処理が中断してからの待ち時間を減らすことを目的とする。

【課題を解決するための手段】

【0005】

請求項1に記載の発明は、機器から取得されるデータを処理し、当該機器の動作を制御する第1制御手段を有する第1集積回路と、前記第1制御手段よりもデータの処理速度が速い第2制御手段を有する第2集積回路と、を備え、前記第2制御手段は、第1処理の開始後且つ完了前に当該第1処理よりも第2処理を優先して実行する場合に、当該第1処理の対象のデータについて定められた条件に基づいて、前記第1制御手段に当該第1処理を再開させるか否かを決定することを特徴とする情報処理装置である。

10

請求項2に記載の発明は、前記条件は、前記第1処理の対象の前記データに対して当該第1処理が実行されることの優先度について定められた条件であることを特徴とする請求項1記載の情報処理装置である。

請求項3に記載の発明は、前記優先度は、前記第1処理の対象の一部のデータについて当該第1処理が実行されることと、当該第1処理の対象の前記データであって当該一部のデータに続く他の一部のデータについて当該第1処理が実行されることとの間の時間の制約に基づいて定められることを特徴とする請求項2記載の情報処理装置である。

請求項4に記載の発明は、前記第1処理の対象の前記データは、パケット化された複数のデータであることを特徴とする請求項1記載の情報処理装置である。

20

請求項5に記載の発明は、前記決定に関する決定情報と、データの内容に関する内容情報とを関連付けて保持する保持手段をさらに有し、前記第2制御手段は、前記第1処理の対象の前記データに係る前記内容情報を取得し、取得した当該内容情報に関連付けられて前記保持手段に保持されている前記決定情報から、前記第1制御手段に当該第1処理を再開させるか否かを決定することを特徴とする請求項1記載の情報処理装置である。

請求項6に記載の発明は、データを格納する格納手段と、前記第1処理の対象の前記データを、パケット化されたデータごとに前記第2集積回路に送信する送信手段と、をさらに備え、前記第2集積回路は、前記送信手段から送信されたデータの前記格納手段への格納を制御する格納制御手段と、前記第2制御手段と、前記格納制御手段とを接続する第1通信路と、をさらに有し、前記第1制御手段は、前記第1処理を実行する場合、前記格納手段に格納されている当該第1処理の対象の前記データを取得し、取得した当該データに対して当該第1処理を実行し、前記第2制御手段は、前記格納手段に格納されているデータを、前記第1通信路を介して取得し、取得した当該データに対して前記第2処理を実行し、前記第2制御手段が前記第2処理を実行しているときにおいて、前記送信手段から前記格納制御手段へ送信されるデータが通る通信路、および、前記格納手段から前記第1制御手段へ送信されるデータが通る通信路は、何れも、前記第1通信路とは異なる通信路であることを特徴とする請求項1記載の情報処理装置である。

30

請求項7に記載の発明は、機器と接続可能な第1接続手段と、前記送信手段とを有する第3集積回路をさらに備え、前記送信手段は、前記第1接続手段に前記機器が接続された場合において、前記第2制御手段による前記第2処理が実行されている場合、当該機器から送信されるデータの処理の要求を、前記第1制御手段に送信することを特徴とする請求項6記載の情報処理装置である。

40

請求項8に記載の発明は、前記第2集積回路は、前記第1集積回路と接続可能な第2接続手段をさらに有し、前記第2制御手段は、前記第1制御手段に前記第1処理を再開させる場合、当該第1処理が完了した分のデータに関する情報を当該第1制御手段に送信することを特徴とする請求項1記載の情報処理装置である。

請求項9に記載の発明は、前記第2制御手段は、前記第1制御手段に前記第1処理を再開させた場合において、前記第2処理が完了しても当該第1処理が完了していない場合、当該第1制御手段に実行された当該第1処理を引き継いで再開することを特徴とする請求

50

項 1 記載の情報処理装置である。

請求項 10 に記載の発明は、機器から取得されるデータを処理し、当該機器の動作を制御する第 1 制御手段を有する第 1 集積回路と、前記第 1 制御手段よりもデータの処理速度が速い第 2 制御手段を有する第 2 集積回路と、を備え、前記第 2 制御手段は、第 1 処理の開始後且つ完了前に当該第 1 処理よりも第 2 処理を優先して実行する場合に、当該第 1 処理の対象のデータについて定められた条件に基づいて、前記第 1 制御手段に当該第 1 処理を再開させるか否かを決定することを特徴とする半導体装置である。

請求項 11 に記載の発明は、前記条件は、前記第 1 処理の対象の前記データについて当該第 1 処理が実行されることの優先度について定められた条件であることを特徴とする請求項 10 記載の半導体装置である。

10

請求項 12 に記載の発明は、前記優先度は、前記第 1 処理の対象の一部のデータについて当該第 1 処理が実行されることと、当該第 1 処理の対象の前記データであって当該一部のデータに続く他の一部のデータについて当該第 1 処理が実行されることとの間の時間の制約に基づいて定められることを特徴とする請求項 11 記載の半導体装置である。

【発明の効果】

【0006】

請求項 1 の発明によれば、第 2 制御手段が第 1 処理の開始後且つ完了前に第 1 処理よりも第 2 処理を優先して実行する場合において、第 2 処理が完了するまで第 1 処理が再開されない場合に比べて、第 1 処理が中断してからの待ち時間を減らすことができる。

請求項 2 の発明によれば、第 2 処理が完了するまで第 1 処理が再開されない場合に比べて、第 1 処理が中断してからの待ち時間を、第 1 処理が実行されることの優先度に応じて減らすことができる。

20

請求項 3 の発明によれば、第 2 処理が完了するまで第 1 処理が再開されない場合に比べて、一部のデータについて第 1 処理が実行されることと、他の一部のデータについて第 1 処理が実行されることとの間の時間の制約に応じて、第 1 処理が中断してからの待ち時間を減らすことができる。

請求項 4 の発明によれば、パケット化された複数のデータのうちの、第 2 制御手段による第 1 処理が完了した一部のデータに対して、第 1 制御手段が再び第 1 処理を行う必要がなくなる。

請求項 5 の発明によれば、第 2 制御手段が、第 1 処理の対象のデータに係る内容情報を取得した場合において、この内容情報に関連付けられて保持手段に保持されている決定情報に基づく決定とは異なる決定をすることがなくなる。

30

請求項 6 の発明によれば、送信手段から格納制御手段へ送信されるデータが通る通信路、および格納手段から第 1 制御手段へ送信されるデータが通る通信路の少なくとも一方が第 1 通信路である場合に比べて、第 2 制御手段による第 2 処理の実行が妨げられることを抑制できる。

請求項 7 の発明によれば、第 2 制御手段による第 2 処理が実行されているか否かに関わらず、機器から送信されるデータの処理の要求が第 2 制御手段に送信される場合に比べて、第 2 制御手段による第 2 処理の実行が妨げられることを抑制できる。

請求項 8 の発明によれば、第 1 制御手段が、第 1 処理が完了していない分のデータから第 1 処理を再開できるようになる。

40

請求項 9 の発明によれば、第 2 処理の完了後も第 1 制御手段が第 1 処理を継続する場合に比べて、第 1 処理が実行される時間を減らすことができる。

請求項 10 の発明によれば、第 2 制御手段が第 1 処理の開始後且つ完了前に第 1 処理よりも第 2 処理を優先して実行する場合において、第 2 処理が完了するまで第 1 処理が再開されない場合に比べて、第 1 処理が中断してからの待ち時間を減らすことができる。

請求項 11 の発明によれば、第 2 処理が完了するまで第 1 処理が再開されない場合に比べて、第 1 処理が中断してからの待ち時間を、第 1 処理が実行されることの優先度に応じて減らすことができる。

請求項 12 の発明によれば、第 2 処理が完了するまで第 1 処理が再開されない場合に比

50

べて、一部のデータについて第 1 処理が実行されることと、他の一部のデータについて第 1 処理が実行されることとの間の時間の制約に応じて、第 1 処理が中断してからの待ち時間を減らすことができる。

【図面の簡単な説明】

【0007】

【図 1】本実施形態に係る画像形成装置の外観図である。

【図 2】本実施形態に係る画像形成装置の内部構造を示す図である。

【図 3】画像形成装置を構成する制御装置等の機能モジュール間の接続構成の例を説明する図である。

【図 4】画像読取装置、画像記録装置および制御装置の内部構成の一例を説明する図である。

10

【図 5】引き継ぎ管理テーブルの構成例を示した図である。

【図 6】Main CPU が I/O データ処理を行っているときに UI 描画処理の要求を受けた場合に実行される処理動作を説明する図である。

【図 7】引き戻し処理の流れを示したフローチャートである。

【発明を実施するための形態】

【0008】

以下、添付図面を参照して、本発明の実施形態について詳細に説明する。

ここでは、画像形成装置を例に説明する。本実施形態で説明する画像形成装置は、用紙に画像を形成する装置であり、コピー機能、スキャナ機能、ファックス送受信機能、印刷機能を備えている。

20

もっとも、これら全ての機能を有する画像形成装置である必要はなく、いずれか 1 つの機能に特化した装置、例えば複写機、スキャナ（3次元スキャナを含む。）、ファックス送受信機、プリンタ（3次元プリンタを含む。）でもよい。

【0009】

< 画像形成装置の概略構成 >

図 1 は、本実施形態に係る画像形成装置 1 の外観図である。図 2 は、本実施形態に係る画像形成装置 1 の内部構造を示す図である。

画像形成装置 1 は、原稿の画像を読み取る画像読取装置 100 と、用紙上に画像を記録する画像記録装置 200 と、を備えている。

30

また、画像形成装置 1 は、ユーザによる操作の受付やユーザに対する各種の情報の提示に使用するユーザインタフェース（UI）300 を備えている。

さらに、画像形成装置 1 は、画像形成装置 1 の全体動作を制御する制御装置 500 を備えている。

ここでの画像形成装置 1 は情報処理装置の一例である。なお、制御装置 500 は情報処理装置の一例でもある。

【0010】

画像読取装置 100 は、画像記録装置 200 の上に取り付けられている。画像読取装置 100 は、原稿の画像を光学的に読み取る。

画像記録装置 200 は、画像の形成に使用するエンジンや用紙の搬送に使用する機構で構成され、その内部には制御装置 500 が配置されている。

40

ユーザインタフェース 300 は、その操作面が画像形成装置 1 を操作するユーザと対面するように、画像読取装置 100 の手前側に配置されている。

【0011】

このうち、画像読取装置 100 は、原稿の画像を読み取る画像読取部 110 と、この画像読取部 110 に原稿を搬送する原稿搬送部 120 と、を備えている。原稿搬送部 120 は、画像読取装置 100 の上部に配置され、画像読取部 110 は、画像読取装置 100 の下部に配置されている。

原稿搬送部 120 は、原稿を収容する原稿収容部 121 と、原稿収容部 121 から引き出された原稿が排出される原稿排出部 122 とを有し、不図示の搬送機構を使用して原稿

50

収容部 1 2 1 から原稿排出部 1 2 2 に原稿を搬送する。

原稿搬送部 1 2 0 は、原稿自動送り装置 (A D F : Auto Document Feeder) と呼ばれる。

なお、原稿に対して読取光学系を相対的に移動させ、原稿の画像を読み取ることもできる。

【 0 0 1 2 】

画像記録装置 2 0 0 は、用紙トレイから引き出された用紙 P に画像を形成する画像形成部 2 0 と、画像形成部 2 0 に対して用紙 P を供給する用紙供給部 6 0 と、画像形成部 2 0 にて画像が形成された用紙 P を排出する用紙排出部 7 0 と、画像形成部 2 0 から出力される用紙 P の表裏を反転させ、画像形成部 2 0 に向けて再度搬送する反転搬送部 8 0 と、を備えている。

10

これらの構成はいずれも既知であるので、詳細な説明は省略する。なお、画像形成部 2 0 には、用紙 P の搬送経路に沿ってブラック (K)、シアン (C)、マゼンタ (M)、イエロー (Y) の各色に対応する記録ユニットが配置されている。色の種類及び色の組み合わせは一例である。

【 0 0 1 3 】

ユーザインタフェース 3 0 0 は、ユーザからの指示を受け付ける受付装置とユーザに対して情報を提供する出力装置とで構成され、具体的には操作受付部と表示部とを有している。

ここで、操作受付部は、ハードウェアキーに対する操作を検知する機能とソフトウェアキーに対する操作を検知する機能などを提供する。一方、表示部は、情報を提供する画面やソフトウェアキー等を表示する。

20

【 0 0 1 4 】

< 機能モジュール間の接続構成 >

図 3 は、画像形成装置 1 を構成する制御装置 5 0 0 等の機能モジュール間の接続構成の例を説明する図である。

画像読取装置 1 0 0、画像記録装置 2 0 0、ユーザインタフェース 3 0 0 は、制御装置 5 0 0 に対して接続されている。画像読取装置 1 0 0、画像記録装置 2 0 0、ユーザインタフェース 3 0 0、制御装置 5 0 0 には、いずれも機能モジュール化された半導体チップが内蔵されている。

30

【 0 0 1 5 】

本実施形態では、複数の M o c h i (Modular Chip) チップが集約された半導体基板 (Substrate) を使用する。M o c h i チップとは、必要とされる機能だけを選択的に集約した半導体チップである。因みに、M o c h i は商標である。

M o c h i チップ間の相互接続方式には、パラレル接続方式とシリアル接続方式があるが、本実施形態では、シリアル接続方式を採用する。すなわち、本実施形態では、M o c h i チップ間のデータをシリアル伝送方式により転送する。

【 0 0 1 6 】

< 制御装置の内部構成 >

図 4 は、画像読取装置 1 0 0、画像記録装置 2 0 0 および制御装置 5 0 0 の内部構成の一例を説明する図である。

40

画像読取装置 1 0 0 には、M o c h i インタフェースモジュール 1 0 1 が設けられている。M o c h i インタフェースモジュール 1 0 1 は、制御装置 5 0 0 に対して原稿の画像データを転送する。

画像記録装置 2 0 0 には、M o c h i インタフェースモジュール 2 0 1 が設けられている。M o c h i インタフェースモジュール 2 0 1 は、制御装置 5 0 0 から転送された画像データを受信する。

【 0 0 1 7 】

制御装置 5 0 0 は、画像読取装置 1 0 0、画像記録装置 2 0 0、およびユーザインタフェース 3 0 0 と外部バスで接続されている。本実施形態の制御装置 5 0 0 は、複数の M o

50

c h iチップが集積化されたM o c h iチップユニット5 1 0と、S S D (Solid State Drive) 5 8 0と、D R A M (Dynamic Random Access Memory) 5 9 0とを有する。ここで、M o c h iチップユニット5 1 0は、半導体装置の一例として捉えられる。

【0018】

M o c h iチップユニット5 1 0は、第1集積回路の一例としてのM F P (MultiFunction Peripheral) モジュールチップ5 2 0と、第2集積回路の一例としてのM a i n C P Uモジュールチップ5 4 0と、第3集積回路の一例としてのI / O (Input/Output) モジュールチップ5 7 0とを有する。

【0019】

M F Pモジュールチップ5 2 0は、画像読取装置1 0 0や画像記録装置2 0 0の動作を制御する機能を持たされている。画像読取装置1 0 0、画像記録装置2 0 0、ユーザインタフェース3 0 0、およびM F Pモジュールチップ5 2 0により、画像形成装置1による複写機、スキャナ、ファックス送受信機、プリンタ等の機能が満たされる。すなわち、制御装置5 0 0にM F Pモジュールチップ5 2 0が設けられている場合には、M a i n C P Uモジュールチップ5 4 0が設けられていなくても、画像形成装置1としての機能が満たされる。

10

【0020】

M F Pモジュールチップ5 2 0は、M F P C P U 5 2 7と、第1M o c h iインタフェースモジュール5 2 1と、第2M o c h iインタフェースモジュール5 2 2と、第3M o c h iインタフェースモジュール5 2 3と、第4M o c h iインタフェースモジュール5 2 4と、第5M o c h iインタフェースモジュール5 2 5とを有する。また、M F Pモジュールチップ5 2 0は、第1内部バス5 2 6と、メモリ管理ユニット (Memory Management Unit) 5 2 8と、第1メモリコントローラ5 2 9と、侵入防止システム (Intrusion Prevention System) 5 3 0とを有する。

20

【0021】

第1制御手段の一例としてのM F P C P U 5 2 7は、画像形成装置1の動作を制御する。M F P C P U 5 2 7は、画像データの読み込みの指示を受けると、画像読取装置1 0 0から転送された画像データを読み込んでS S D 5 8 0に格納させる。また、M F P C P U 5 2 7は、画像の形成の指示を受けると、画像記録装置2 0 0へ画像データを転送させ、用紙に対する画像の形成を行わせる。

30

【0022】

また、M F P C P U 5 2 7は、データの処理を行う。データの処理としては、例えば、データの種類を特定する処理が挙げられる。データの種類を特定する処理としては、例えば、データが画像データかまたは指示に関するデータであるかを特定する処理等が挙げられる。

M F P C P U 5 2 7としては、例えば、動作周波数が0 . 6 6 M H zであるものが用いられる。

【0023】

第1M o c h iインタフェースモジュール5 2 1は、画像読取装置1 0 0から転送されたデータを受信する。

40

第2M o c h iインタフェースモジュール5 2 2は、画像記録装置2 0 0へデータを転送する。

第3M o c h iインタフェースモジュール5 2 3は、ユーザインタフェース3 0 0へデータを転送する。第3M o c h iインタフェースモジュール5 2 3から転送されたデータは、ユーザインタフェース3 0 0の表示部に表示される。なお、M a i n C P Uモジュールチップ5 4 0から転送されたデータがユーザインタフェース3 0 0の表示部に表示されている間は、第3M o c h iインタフェースモジュール5 2 3からユーザインタフェース3 0 0へのデータの転送は行われない。

【0024】

第4M o c h iインタフェースモジュール5 2 4は、M a i n C P Uモジュールチップ

50

540に対してデータの送受信を行う。

第5 M o c h i インタフェースモジュール525は、I/Oモジュールチップ570から転送されたデータを受信する。

【0025】

第1内部バス526は、予め定められたサイズ(例えば64バイト)のケットデータを転送する。第1内部バス526は、第1 M o c h i インタフェースモジュール521と、第2 M o c h i インタフェースモジュール522と、第3 M o c h i インタフェースモジュール523と、第4 M o c h i インタフェースモジュール524と、第5 M o c h i インタフェースモジュール525と、メモリ管理ユニット528と、第1メモリコントローラ529と、侵入防止システム530とを相互に接続し、ケットデータの受け渡しに用いられる。

10

なお、本実施形態では、M o c h i チップユニット510内のデータの転送は、ケットデータごとに行われる。

【0026】

メモリ管理ユニット528は、M F P C P U 5 2 7 に格納されるデータに対応するアドレス情報を管理する。

第1メモリコントローラ529は、S S D 5 8 0 へのデータの格納、S S D 5 8 0 からのデータの取り出し、S S D 5 8 0 のリフレッシュなどを制御する回路である。第1メモリコントローラ529は、第1内部バス526に接続されており、第1内部バス526に接続された他のデバイスとの間でケットデータを受け渡しする。

20

侵入防止システム530は、第1内部バス526を通るデータを監視し、M F P モジュールチップ520内への不正なアクセスを未然に防ぐ。

【0027】

M a i n C P U モジュールチップ540は、M a i n C P U 5 5 0 と、第6 M o c h i インタフェースモジュール541と、第7 M o c h i インタフェースモジュール542と、第8 M o c h i インタフェースモジュール543と、第2内部バス544と、第1データバス545と、第2データバス546と、第2メモリコントローラ560とを有する。

【0028】

M a i n C P U 5 5 0 は、データの処理を行う。この処理は、M F P C P U 5 2 7 により行われるデータの処理と同様の処理である。M a i n C P U 5 5 0 は、例えば、I/Oモジュールチップ570から転送されたデータの処理を行う。I/Oモジュールチップ570から転送されたデータの処理を、以下では、I/Oデータ処理と称する。

30

M a i n C P U 5 5 0 は、M F P C P U 5 2 7 よりもデータの処理速度が速い。M a i n C P U 5 5 0 としては、例えば、動作周波数が1.6 G H z のものが用いられる。

【0029】

また、M a i n C P U 5 5 0 は、デコンポーズ処理を行う。デコンポーズ処理とは、画像データを、用紙出力形式の画像データに変換する処理である。用紙出力形式の画像データとしては、例えば、ビットマップデータが挙げられる。

また、M a i n C P U 5 5 0 は、U I 描画処理を行う。U I 描画処理とは、ユーザインタフェース300の操作受付部にて受け付けられた操作に応じた画像をユーザインタフェース300の表示部に表示させる処理である。

40

なお、本実施形態では、デコンポーズ処理やU I 描画処理は、M F P C P U 5 2 7 を用いて行われずに、M a i n C P U 5 5 0 を用いて行われる。

【0030】

また、本実施形態のM a i n C P U 5 5 0 は、I/Oデータ処理等、デコンポーズ処理やU I 描画処理とは異なる他の処理を行っているときに、デコンポーズ処理やU I 描画処理の要求を受けると、他の処理よりもデコンポーズ処理やU I 描画処理を優先して行う。

また、M a i n C P U 5 5 0 は、I/Oデータ処理を行っているときにデコンポーズ処理やU I 描画処理の要求を受けた場合に、行っていたI/Oデータ処理を、M F P C P U 5 2 7 に引き継ぐ。より具体的には、M a i n C P U 5 5 0 は、I/Oデータ処理の対象

50

のデータに基づいて、このI/Oデータ処理をMFPCPU527に引き継ぐか否かを決定する。そして、I/Oデータ処理をMFPCPU527に引き継ぐ場合、MFPCPU527に対してI/Oデータ処理の引き継ぎを行い、MainCPU550により行われていない分のI/Oデータ処理をMFPCPU527に行わせる。

【0031】

また、MainCPU550は、デコンポーズ処理やUI描画処理を行う際に、デコンポーズ処理やUI描画処理を行うことをI/Oモジュールチップ570のDMAC572（後述）に通知する。そして、デコンポーズ処理やUI描画処理が完了すると、これらの処理が完了したことをDMAC572に通知する。

【0032】

MainCPU550は、画像形成装置1全体の動作を制御する第1のCPU（Central Processing Unit）コア551Aと、画像読取装置100の動作を制御する第2のCPUコア551Bと、画像を処理するGPU（Graphics Processing Unit）コア551Cとで構成される。すなわち、MainCPU550はマルチコア構成である。

第1のCPUコア551A、第2のCPUコア551Bは、何れも第2制御手段の一例である。広義には、MainCPU550も第2制御手段の一例である。

【0033】

本実施形態では、第1のCPUコア551A、第2のCPUコア551Bは、一次キャッシュメモリ552A、552Bと、二次キャッシュメモリ553Aとを有している。

一方、GPUコア551Cは、一次キャッシュメモリ552Cを有している。

【0034】

第2接続手段の一例としての第6Mochiインタフェースモジュール541は、第4Mochiインタフェースモジュール524および第2メモリコントローラ560に対してデータの送受信を行う。

第7Mochiインタフェースモジュール542は、第2内部バス544から転送されたデータを受信し、受信したデータを、ユーザインタフェース300へ転送する。第7Mochiインタフェースモジュール542から転送されたデータは、ユーザインタフェース300の表示部に表示される。

第8Mochiインタフェースモジュール543は、I/Oモジュールチップ570から転送されたデータを受信し、受信したデータを、第2内部バス544または第2メモリコントローラ560へ転送する。

【0035】

第1通信路の一例としての第2内部バス544は、パケットデータの受け渡しに用いられる。第2内部バス544は、MainCPU550と、第6Mochiインタフェースモジュール541と、第7Mochiインタフェースモジュール542と、第8Mochiインタフェースモジュール543と、第2メモリコントローラ560とを相互に接続する。

第1データバス545は、第6Mochiインタフェースモジュール541と第2メモリコントローラ560とを直接接続する通信路である。

第2データバス546は、第8Mochiインタフェースモジュール543と第2メモリコントローラ560とを直接接続する通信路である。

【0036】

格納制御手段の一例としての第2メモリコントローラ560は、DRAM590へのデータの格納、DRAM590からのデータの取り出し、DRAM590のリフレッシュなどを制御する回路である。第2メモリコントローラ560は、第2内部バス544、第1データバス545、および第2データバス546に接続されており、第2内部バス544、第1データバス545、および第2データバス546に接続された他のデバイスとの間でパケットデータを受け渡しする。

【0037】

I/Oモジュールチップ570は、画像形成装置1に接続される外部機器からのデータ

10

20

30

40

50

の受信に用いられる。

I/Oモジュールチップ570は、外部機器インタフェース部571と、DMAC(Direct Memory Access Controller)572と、第9Mochiインタフェースモジュール573と、第10Mochiインタフェースモジュール574と、を有する。

【0038】

第1接続手段の一例としての外部機器インタフェース部571は、外部機器に接続する。外部機器としては、例えば、PC(Personal Computer)等の端末装置、USBメモリ、サーバ装置等の通信先などが挙げられる。外部機器インタフェース部571は、接続した外部機器からデータを取得する。

【0039】

送信手段の一例としてのDMAC572は、外部機器から外部機器インタフェース部571に転送されたデータをDRAM590に転送させ、転送させたデータをDRAM590に格納させる。この転送は、MainCPU550を介さないDMA(Direct Memory Access)転送である。

【0040】

また、DMAC572は、MainCPU550がデコンポーズ処理やUI描画処理を行う際に、フラグを立てる。より具体的には、DMAC572は、MainCPU550がデコンポーズ処理やUI描画処理を行うことの通知をMainCPU550から受けると、DMAC572に設けられているフラグレジスタをオンにする。また、デコンポーズ処理やUI描画処理が完了したことの通知をMainCPU550から受けると、フラグレジスタをオフにする。

また、DMAC572は、外部機器から外部機器インタフェース部571に転送されたデータをDRAM590に格納させると、このデータの処理の割り込み要求を行う。DMAC572は、DMAC572に設けられているフラグレジスタを参照する。そして、フラグレジスタがオフになっている場合には、MainCPU550に対して割り込み要求を行う。一方、フラグレジスタがオンになっている場合には、MFPCPU527に対して割り込み要求を行う。

【0041】

第9Mochiインタフェースモジュール573は、外部機器インタフェース部571から転送されたデータを受信し、受信したデータを、第5Mochiインタフェースモジュール525へ転送する。

第10Mochiインタフェースモジュール574は、外部機器インタフェース部571から転送されたデータを受信し、受信したデータを、第8Mochiインタフェースモジュール543へ転送する。

【0042】

SSD580は、例えば、不揮発性の半導体メモリである。なお、SSD580の代わりに、例えば、eMMC(embedded Multi Media Card)が用いられてもよい。

格納手段の一例としてのDRAM590は、例えば、揮発性の半導体メモリである。

【0043】

<引き継ぎ管理テーブルの説明>

次に、引き継ぎ管理テーブルについて説明する。

図5は、引き継ぎ管理テーブルの構成例を示した図である。引き継ぎ管理テーブルは、MainCPU550がI/Oデータ処理をMFPCPU527に引き継ぐか否かを管理するためのテーブルである。引き継ぎ管理テーブルは、MainCPU550の一次キャッシュメモリ552Aに格納されている。

【0044】

図5に示された引き継ぎ管理テーブルでは、「要求」に、MainCPU550がI/Oデータ処理を行っているときに要求される処理の内容が示されている。ここで、「UI描画」は、UI描画処理を意味する。また、「デコンポーズ」は、デコンポーズ処理を意味する。また、「その他」は、UI描画処理およびデコンポーズ処理の何れにも該当しな

10

20

30

40

50

い他の処理を意味する。また、「NOP」は、何もしない(No Operation)ことを意味する。

【0045】

また、引き継ぎ管理テーブルでは、「ヘッダ情報」に、I/Oデータ処理の対象のデータに含まれるヘッダ情報が示されている。「UI描画」および「デコンポーズ」に関連付けて示されている「A」、「B」、「C」は、何れも、ヘッダ情報を意味する。また、「UI描画」および「デコンポーズ」に関連付けて示されている「A～C以外」は、「A」、「B」、「C」の何れにも該当しないヘッダ情報を意味する。

【0046】

「A」、「B」および「C」の何れかのヘッダ情報が含まれるデータは、「A～C以外」のヘッダ情報が含まれるデータに比べて、I/Oデータ処理が実行されることの優先度が高い。より具体的に説明すると、まず、I/Oデータ処理の対象のデータが連続する複数のパケットデータである場合を前提とする。この場合において、「A」、「B」および「C」の何れかが含まれるデータに対するI/Oデータ処理は、「A～C以外」が含まれるデータに対するI/Oデータ処理よりも、複数のパケットデータについて処理のリアルタイム性が求められる。リアルタイム性とは、一のパケットデータについてI/Oデータ処理が実行されることと、この一のパケットデータに連続する他の一のパケットデータについてI/Oデータ処理が実行されることとの間の時間の制約が設けられる性質である。

「A」、「B」および「C」の各々は、例えば、QoS(Quality of Service)が求められる処理の対象のデータに含まれるヘッダ情報である。また、「A～C以外」は、例えば、QoSが求められない処理の対象のデータに含まれるヘッダ情報である。QoSとは、ネットワーク上で提供するサービスの品質である。サービスの品質には、処理のリアルタイム性についての品質が含まれる。

【0047】

また、「引き継ぎ」には、MainCPU550がI/Oデータ処理をMFPCPU527に引き継ぐか否かの情報が示されている。ここで、「する」は、MainCPU550がI/Oデータ処理をMFPCPU527に引き継ぐことを意味する。また、「しない」は、MainCPU550がI/Oデータ処理をMFPCPU527に引き継がないことを意味する。

図示の例では、「UI描画」および「デコンポーズ」の「A、B、C」には、「引き継ぎ」として「する」が関連付けられている。また、「UI描画」および「デコンポーズ」の「A～C」には、「引き継ぎ」として「しない」が関連付けられている。すなわち、I/Oデータ処理が実行されることの優先度に応じて、MainCPU550がI/Oデータ処理をMFPCPU527に引き継ぐか否かが定められている。また、「その他」および「NOP」には、「ヘッダ情報」に関わらず、「引き継ぎ」として「しない」が関連付けられている。

【0048】

MainCPU550は、I/Oデータ処理を行っているときに、このI/Oデータ処理とは異なる他の処理の要求を受けると、引き継ぎ管理テーブルを参照する。そして、「要求」および「ヘッダ情報」に基づいて、「引き継ぎ」を行うか否かを決定する。

【0049】

本実施形態では、上述の通り、MainCPU550が、I/Oデータ処理を行っているときに、デコンポーズ処理やUI描画処理の要求を受けると、I/Oデータ処理よりもデコンポーズ処理やUI描画処理を優先して行う。この場合において、MainCPU550は、リアルタイム性が求められるI/Oデータ処理については、MFPCPU527に引き継ぐようにしている。

【0050】

すなわち、本実施形態では、MainCPU550は、第1処理の開始後且つ完了前に第1処理よりも第2処理を優先して実行する場合に、第1処理の対象のデータについて定められた条件に基づいて、MFPCPU527に第1処理を再開させるか否かを決定する

10

20

30

40

50

。特に、本実施形態では、第1処理の対象のデータについて定められた条件は、このデータについて第1処理が実行されることの優先度について定められた条件である。さらに、この優先度は、第1処理の対象の一部のデータについて第1処理が実行されることと、第1処理の対象のデータであって一部のデータに続く他の一部のデータについて第1処理が実行されることとの間の時間の制約に基づいて定められる。また、第1処理の対象のデータは、パケット化された複数のデータである。

ここで、第1処理としては、例えば、I/Oデータ処理等が挙げられる。また、第2処理としては、例えば、デコンポーズ処理やUI描画処理等が挙げられる。

【0051】

なお、MainCPU550は、I/Oデータ処理を行っているときに、「その他」や「NOP」の処理の要求を受けた場合、I/Oデータ処理の対象のデータに関わらず、I/Oデータ処理の引き継ぎを行わない。この場合、MainCPU550は、「その他」や「NOP」を完了させた後、I/Oデータ処理を再開する。

10

【0052】

また、図5の引き継ぎ管理テーブルに示した「ヘッダ情報」は一例に過ぎず、図5に示した「ヘッダ情報」とは異なる「ヘッダ情報」が、「要求」と「引き継ぎ」とに関連付けられて示されてもよい。

また、一次キャッシュメモリ552Aは、MFPCPU527にI/Oデータ処理を再開させるか否かの決定に関する決定情報と、データの内容に関する内容情報とを関連付けて保持する保持手段として捉えられる。ここで、決定情報としては、例えば、引き継ぎ管理テーブルの「引き継ぎ」に示された情報が挙げられる。また、内容情報としては、例えば、引き継ぎ管理テーブルの「ヘッダ情報」に示された情報が挙げられる。

20

【0053】

< I/Oデータ処理中にUI描画処理の要求を受けた場合の処理動作 >

図6は、MainCPU550がI/Oデータ処理を行っているときにUI描画処理の要求を受けた場合に実行される処理動作を説明する図である。なお、以下では、MainCPU550が行っていたI/Oデータ処理の対象のデータに含まれるヘッダ情報が「A」（図5参照）であるものとする。

【0054】

まず、I/Oモジュールチップ570の外部機器インタフェース部571に外部機器が接続され、外部機器から外部機器インタフェース部571にデータが転送される。I/Oモジュールチップ570のDMAC572は、外部機器インタフェース部571に転送されたデータを、DRAM590に格納させる（ステップ1）。このデータは、第10Mochiインタフェースモジュール574、第8Mochiインタフェースモジュール543、および第2内部バス544を介して、第2メモリコントローラ560に転送される。そして、転送されたデータは、第2メモリコントローラ560によりDRAM590に格納される。また、外部機器から転送されるデータは、複数のパケットデータからなる画像データである。すなわち、本実施形態では、外部機器から、画像データがパケットデータごとに転送される。

30

【0055】

DMAC572は、MainCPU550に対して、DRAM590に格納させたパケットデータの処理の割り込み要求、すなわちI/Oデータ処理の割り込み要求を行う（ステップ2）。

40

MainCPU550は、I/Oデータ処理の割り込み要求を受けると、DRAM590に格納されているI/Oデータ処理の対象のパケットデータを取り出す。そして、取り出したパケットデータの処理、すなわち、I/Oデータ処理を行う（ステップ3）。このI/Oデータ処理の対象のパケットデータは、外部機器から転送される画像データ、すなわち複数のパケットデータのうちの、最初のパケットデータである。

この後、MainCPU550は、I/Oデータ処理が行われていない残りのパケットデータに対して順番に、パケットデータを取り出し、および、取り出したパケットデータ

50

に対する I/O データ処理を行う。

【0056】

MainCPU550 は、UI 描画処理の要求を受ける (ステップ 4)。

MainCPU550 は、引き継ぎ管理テーブル (図 5 参照) を参照し、I/O データ処理の対象のパケットデータについて I/O データ処理が実行されることの優先度に基づき、MFPCPU527 に引き継ぐか否かを決定する。この例では、MainCPU550 が I/O データ処理を行っているときに受けた処理の「要求」は「UI 描画」であり (図 5 参照)、I/O データ処理を対象のパケットデータには、上述の通り「A」が含まれる。そのため、MainCPU550 は、I/O データ処理を MFPCPU527 に引き継ぐことを決定する (ステップ 5)。

10

【0057】

MainCPU550 は、DMAC572 に対して、割り込み要求の中断を指示する (ステップ 6)。

なお、ステップ 1 ~ ステップ 6 は、MainCPU550 が I/O データ処理を MFPCPU527 に引き継ぐか否かに関わらず行われる処理である。また、MainCPU550 が I/O データ処理を MFPCPU527 に引き継がない場合、MainCPU550 は、ステップ 5 の処理が完了すると、I/O データ処理を中断し、UI 描画処理を行う。そして、MainCPU550 は、UI 描画処理が完了すると、中断していた I/O データ処理を再開する。

【0058】

一方、MainCPU550 が I/O データ処理を MFPCPU527 に引き継ぐ場合、ステップ 5 が完了すると、MainCPU550 は、I/O データ処理の実行中であつた対象のパケットデータを、DRAM590 に格納させる (ステップ 7)。すなわち、MainCPU550 は、I/O データ処理を行うために DRAM590 から取り出していたパケットデータを、DRAM590 に戻す。このパケットデータは、第 2 内部バス 544 を介して、第 2 メモリコントローラ 560 に転送される。そして、転送されたパケットデータは、第 2 メモリコントローラ 560 により DRAM590 に格納される。

20

【0059】

MainCPU550 は、MFPCPU527 に対して、I/O データ処理の引き継ぎの要求を行う (ステップ 8)。この引き継ぎの要求において、MainCPU550 は、I/O データ処理が完了したパケットデータに対応する DRAM590 のアドレス情報を、MFPCPU527 に送信する。

30

MainCPU550 は、UI 描画処理を行うことを DMAC572 に通知し、DMAC572 にフラグを立てさせる (ステップ 9)。すなわち、MainCPU550 は、UI 描画処理を行うことを DMAC572 に通知し、DMAC572 に設けられているフラグレジスタをオンにさせる。

MainCPU550 は、UI 描画処理を行う (ステップ 10)。

【0060】

ここで、フラグレジスタがオンになっているときに、外部機器インタフェース部 571 に新たに外部機器が接続され、接続された外部機器からデータが転送される場合がある。この場合、DMAC572 は、新たに接続された外部機器から外部機器インタフェース部 571 に転送されたデータを、第 10 Mochi インタフェースモジュール 574、第 8 Mochi インタフェースモジュール 543 および第 2 データバス 546 を介して第 2 メモリコントローラ 560 へ転送する。すなわち、転送されたデータは、第 2 内部バス 544 を通らない。また、転送されたデータは、第 2 メモリコントローラ 560 によって DRAM590 に格納される。また、DMAC572 は、新たに接続された外部機器から外部機器インタフェース部 571 に転送されたデータを、第 9 Mochi インタフェースモジュール 573、第 5 Mochi インタフェースモジュール 525、第 1 内部バス 526、第 4 Mochi インタフェースモジュール 524、第 6 Mochi インタフェースモジュール 541、第 1 データバス 545 を介して、第 2 メモリコントローラ 560 に転送して

40

50

もよい。この場合においても、転送されたデータは、第2メモリコントローラ560によってDRAM590に格納される。

また、DMAC572は、フラグレジスタがオンであることに基づき、新たに接続された外部機器から転送されるデータの処理の割り込み要求を、MFPCPU527に対して行う。

【0061】

MFPCPU527は、I/Oデータ処理の引き継ぎの要求をMainCPU550から受けると、DRAM590に格納されているパケットデータを取得する(ステップ11)。このパケットデータは、I/Oデータ処理の対象の複数のパケットデータのうちの、I/Oデータ処理が行われていないパケットデータである。すなわち、MFPCPU527は、I/Oデータ処理の引き継ぎ要求において、MainCPU550から、I/Oデータ処理が完了したパケットデータがDRAM590の何れの領域に格納されているかを示すアドレス情報を取得する。そして、I/Oデータ処理が完了したパケットデータに続くI/Oデータ処理が未完了のパケットデータを、DRAM590から取得する。また、このパケットデータは、第2メモリコントローラ560によりDRAM590から取り出されると、第1データバス545、第6Mochiインタフェースモジュール541、第4Mochiインタフェースモジュール524、および第1内部バス526を介して、MFPCPU527に転送される。すなわち、DRAM590からMFPCPU527に転送されるパケットデータは、第2内部バス544を通らない。

10

【0062】

MFPCPU527は、取得したパケットデータについて、I/Oデータ処理を行う(ステップ12)。すなわち、MFPCPU527は、MainCPU550が行っていたI/Oデータ処理を再開する。

20

MFPCPU527は、I/Oデータ処理が完了したパケットデータを、DRAM590に格納させる(ステップ13)。このパケットデータは、第1内部バス526、第4Mochiインタフェースモジュール524、第6Mochiインタフェースモジュール541、および第1データバス545を介して、第2メモリコントローラ560に転送される。そして、転送されたパケットデータは、第2メモリコントローラ560によって、DRAM590に格納される。

【0063】

この後、I/Oデータ処理が行われていない残りのパケットデータに対して順番に、ステップ11~ステップ13までの処理が行われる。

30

MFPCPU527は、I/Oデータ処理が行われていなかった全てのパケットデータについてI/Oデータ処理を行うと、I/Oデータ処理が完了したことを示す完了通知を、MainCPU550に対して行う(ステップ14)。

なお、図6に示す例では、MainCPU550がI/Oデータ処理を行っているときにUI描画処理の要求を受けた場合に実行される処理動作について説明した。ここで、MainCPU550がI/Oデータ処理を行っているときに要求を受けた処理がデコンポーズ処理である場合であっても、上述した処理と同様の処理が行われる。

【0064】

以上の通り、本実施形態では、MainCPU550は、I/Oデータ処理の対象のデータに係るヘッダ情報を取得し、取得したヘッダ情報に関連付けられて一次キャッシュメモリ552Aの引き継ぎ管理テーブルに保持されている「引き継ぎ」の情報から、MFPCPU527にI/Oデータ処理を再開させるか否かを決定する。

40

【0065】

また、本実施形態では、MainCPU550は、DRAM590に格納されているデータを、第2内部バス544を介して取得し、取得したデータに対してUI描画処理やデコンポーズ処理を実施する。そして、MainCPU550がUI描画処理やデコンポーズ処理を実行しているときにおいて、DMAC572から第2メモリコントローラ560に送信されるデータが通る通信路、および、DRAM590からMFPCPU527へ送

50

信されるデータが通る通信路は、何れも、第2内部バス544とは異なる通信路である。

【0066】

また、本実施形態では、DMAC572は、外部機器インタフェース部571に機器が接続されている場合において、MainCPU550によるUI描画処理やデコンポーズ処理が実行されている場合、機器から送信されるデータの処理の要求を、MFPCPU527に送信する。

【0067】

また、本実施形態では、MainCPU550は、MFPCPU527にI/Oデータ処理を再開させる場合、I/Oデータ処理が完了した分のデータに関する情報をMFPCPU527に送信する。

10

【0068】

<引き戻し処理>

次に、引き戻し処理の流れについて説明する。引き戻し処理とは、MainCPU550がI/Oデータ処理をMFPCPU527に引き継いだ場合において、MainCPU550が再びこのI/Oデータ処理を行う処理である。この引き戻し処理は、例えば、MainCPU550が、I/Oデータ処理をMFPCPU527に引き継ぎ、デコンポーズ処理やUI描画処理を開始すると行われる。

図7は、引き戻し処理の流れを示したフローチャートである。

【0069】

MainCPU550は、I/Oデータ処理が完了したことを示す完了通知をMFPCPU527から取得したか否かを判断する(S101)。完了通知を取得した場合(S101にてYES)、引き戻し処理は終了する。

20

一方、MainCPU550が完了通知を取得していない場合(S101にてNO)、MainCPU550は、UI描画処理やデコンポーズ処理等、I/Oデータ処理よりも優先して行っていた処理が完了したか否かを判定する(S102)。否定結果が得られた場合(S102にてNO)、ステップ101の処理が再び行われる。

【0070】

I/Oデータ処理よりも優先して行っていた処理が完了した場合(S102にてYES)、MainCPU550は、MFPCPU527がI/Oデータ処理を完了したか否かを判定する(S103)。より具体的には、MainCPU550は、MFPCPU527の通信状況を確認することにより、MFPCPU527がI/Oデータ処理を完了したか否かを判定する。

30

MFPCPU527がI/Oデータ処理を完了した場合(S103にてYES)、引き戻し処理は終了する。

【0071】

一方、MFPCPU527がI/Oデータ処理を完了していない場合(S103にてNO)、MainCPU550は、MFPCPU527に対して引き戻し通知を行う(S104)。引き戻し通知は、I/Oデータ処理を行う主体をMFPCPU527からMainCPU550に戻すことの通知である。

40

【0072】

MFPCPU527は、引き戻し通知を受けると、DMAC572に対して、割り込み要求の中断を指示する。また、MFPCPU527は、I/Oデータ処理の実行中であった対象のケットデータを、DRAM590に格納させる。さらに、MFPCPU527は、I/Oデータ処理が完了したケットデータに対応するDRAM590のアドレス情報を、MainCPU550に送信する。

MainCPU550は、I/Oデータ処理が行われていないケットデータをDRAM590から取得し、取得したケットデータについて、I/Oデータ処理を行う(S105)。

【0073】

以上の通り、本実施形態では、MainCPU550は、MFPCPU527にI/O

50

データ処理を再開させた場合において、UI描画処理やデコンポーズ処理が完了してもI/Oデータ処理が完了していない場合、MFPCPU527に実行されたI/Oデータ処理を引き継いで再開する。

【0074】

以上、本発明の実施形態について説明したが、本発明の技術的範囲は上記の実施形態に記載の範囲には限定されない。上記の実施形態に、種々の変更又は改良を加えたものも、本発明の技術的範囲に含まれることは、特許請求の範囲の記載から明らかである。

【0075】

例えば、本実施形態に示す画像形成装置1(図1参照)では、画像読取装置100と画像記録装置200(制御装置500を含む)が一体化されているが、画像読取装置100と画像記録装置200(図1参照)はそれぞれ独立した筐体に格納されていてもよい。

また、本実施形態における画像形成装置1では、オフィスなどで使用される装置構成を想定しているが、商業用(プロダクション用)の画像形成装置でもよい。

【0076】

本実施形態では、Mochiチップユニット510に、MFPモジュールチップ520、MainCPUモジュールチップ540およびI/Oモジュールチップ570が設けられている構成としたが、さらに他の集積回路がMochiチップユニット510に設けられてもよい。

【0077】

本実施形態では、MainCPU550内のキャッシュメモリの階層構造が1階層の場合(GPUコア551C)と2階層の場合(第1のCPUコア551A、第2のCPUコア551B)について説明したが、いずれの場合もキャッシュメモリの階層構造は例示の場合に限らない。例えばキャッシュメモリの階層構造は3階層以上でもよい。

【0078】

本実施形態では、個々の機能モジュールで動作しない機能ブロックを含まない半導体チップ、換言すると動作に必要な機能ブロックだけを選択的に組み合わせたMochiチップで構成する場合について説明したが、他の構成の半導体チップでもよい。例えば1つの半導体基板上にシステムとしての動作に必要な機能ブロックの一式を配置した半導体チップを用いてもよい。

また、機能モジュール間の接続は、Mochiインタフェースモジュール以外の接続方式を採用してもよい。

【0079】

本実施形態では、MFPモジュールチップ520におけるデータの通信路としての共用の通信路が第1内部バス526のみであるが、共用の通信路として第1内部バス526とは別に他の通信路が設けられてもよい。また、MainCPUモジュールチップ540におけるデータの通信路としての共用の通信路が第2内部バス544のみであるが、共用の通信路として第2内部バス544とは別に他の通信路が設けられてもよい。

【符号の説明】

【0080】

1...画像形成装置、510...Mochiチップユニット、520...MFPモジュールチップ、527...MFPCPU、540...MainCPUモジュールチップ、544...第2内部バス、545...第1データバス、546...第2データバス、550...MainCPU、560...第2メモリコントローラ、570...I/Oモジュールチップ、571...外部機器インタフェース部、572...DMAC、590...DRAM

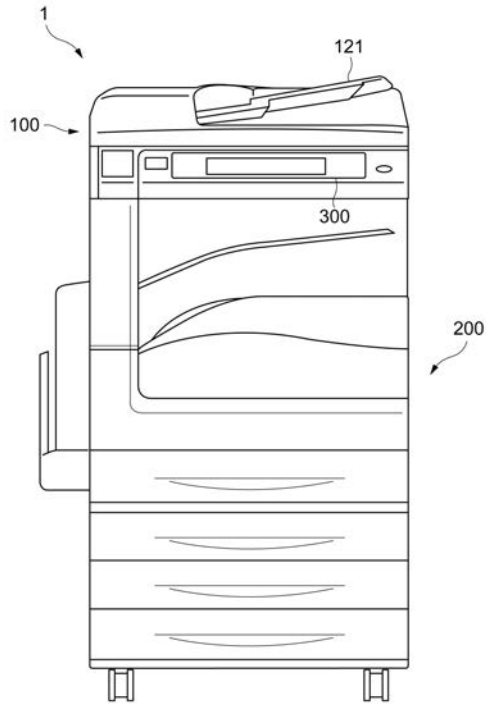
10

20

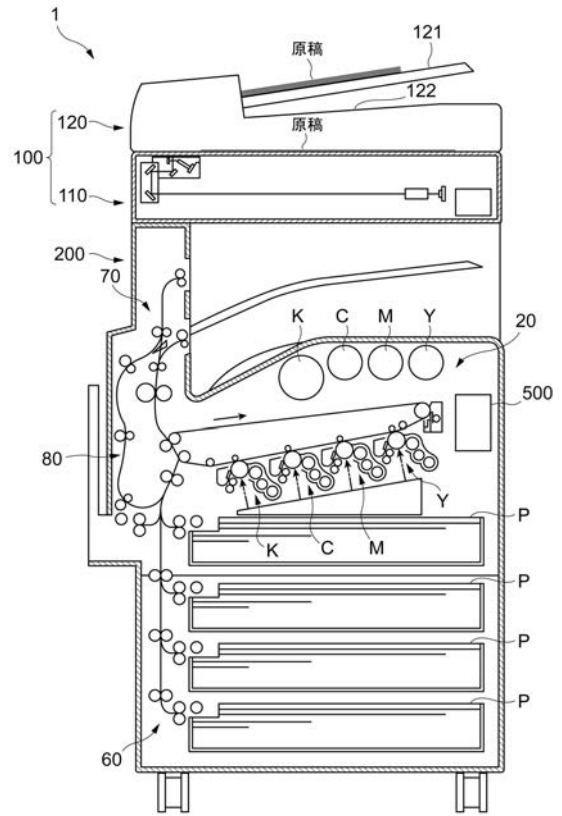
30

40

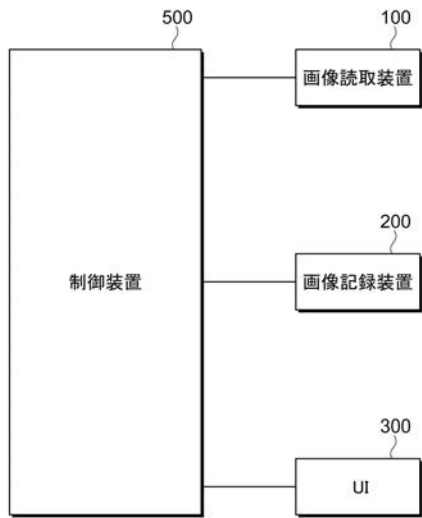
【図1】



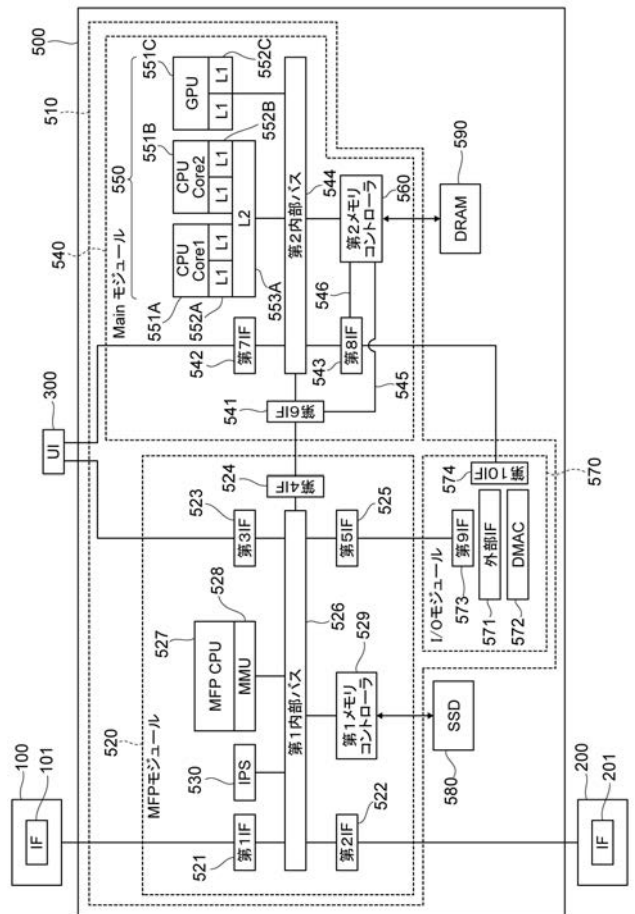
【図2】



【図3】



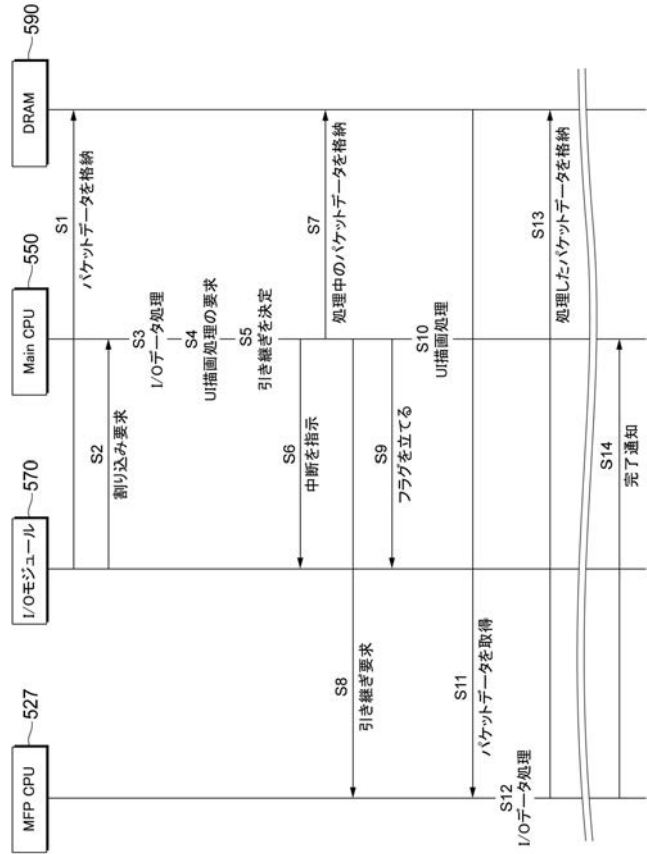
【図4】



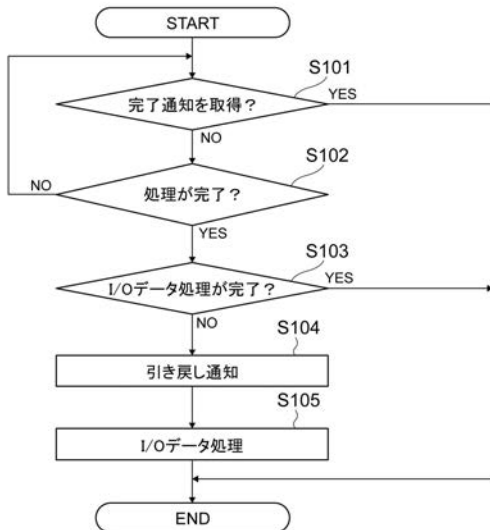
【 図 5 】

要求	ヘッダ情報	引き継ぎ
UI描画	A、B、C	する
	A～C以外	しない
デコンポーズ	A、B、C	する
	A～C以外	しない
その他		しない
NOP		しない

【 図 6 】



【 図 7 】



フロントページの続き

(72)発明者 黒石 健児

神奈川県横浜市西区みなとみらい六丁目1番 富士ゼロックス株式会社内

Fターム(参考) 2C061 AP07 AR01 HJ10

2H270 LB10 MC78 MF02 MF03 MF19 MF21 ZC03 ZC04 ZC06

5B077 NN01

5C062 AA05 AB38 AB41 AB42 AB53 AC22 AC48 BA04