

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02015/190421

発行日 平成29年4月20日 (2017. 4. 20)

(43) 国際公開日 平成27年12月17日 (2015. 12. 17)

| (51) Int.Cl. | F I | テーマコード (参考) |
|-----------------------------|------------|-------------|
| HO2M 3/155 (2006.01) | HO2M 3/155 | U 5H430 |
| GO5F 1/56 (2006.01) | HO2M 3/155 | C 5H730 |
| | GO5F 1/56 | 320C |

審査請求 有 予備審査請求 未請求 (全 29 頁)

| | |
|---|---|
| 出願番号 特願2016-527786 (P2016-527786) | (71) 出願人 509186579 日立オートモティブシステムズ株式会社 茨城県ひたちなか市高場2520番地 |
| (21) 国際出願番号 PCT/JP2015/066431 | |
| (22) 国際出願日 平成27年6月8日 (2015. 6. 8) | |
| (31) 優先権主張番号 特願2014-119249 (P2014-119249) | (74) 代理人 110000350 ポレール特許業務法人 |
| (32) 優先日 平成26年6月10日 (2014. 6. 10) | |
| (33) 優先権主張国 日本国 (JP) | (72) 発明者 栗本 裕史 日本国茨城県ひたちなか市高場2520番地 日立オートモティブシステムズ株式会社 社内 |
| | (72) 発明者 渡部 光彦 日本国茨城県ひたちなか市高場2520番地 日立オートモティブシステムズ株式会社 社内 |

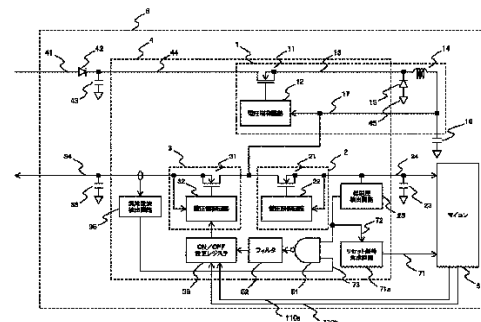
最終頁に続く

(54) 【発明の名称】 電子制御装置

(57) 【要約】

電子制御装置が動作を保証するバッテリー電圧範囲内において、第3の電源の出力に異常が発生した場合においてもマイクロコントローラへのリセットを発生させない電源システムを提供すること、且つ、その電源システムを低コストで実現することを課題とする。

所定の電圧を出力する第1の電源回路と、第1の電源回路の下流に配置され、所定の電圧を出力する第2の電源回路と、第1の電源回路の下流に配置され、所定の電圧を出力する第3の電源回路と、を備えた電子制御装置であって、第1から第3の電源回路の状況に応じて第3の電源回路の回路動作状態を切り替え可能な手段を有することを特徴とする電子制御装置である。また、第3の電源回路の状態から生成される状態検知信号のみにより、第3の電源回路の回路動作状態を切り替え可能な手段を有することを特徴とする電子制御装置である。



5 Microcontroller
12, 22, 32 Voltage control circuit
25 Low voltage detection circuit
35 Abnormal current detection circuit
36 On/off setting resistor
52 Filter
71a Reset signal generation circuit

【特許請求の範囲】**【請求項 1】**

所定の電圧を出力する第 1 の電源回路と、
第 1 の電源回路の下流に配置され、所定の電圧を出力する第 2 の電源回路と、
第 1 の電源回路の下流に配置され、所定の電圧を出力する第 3 の電源回路と、
を備えた電子制御装置であって、
第 1 から第 3 の電源回路の状況に応じて第 3 の電源回路の回路動作状態を切り替え可能な手段を有することを特徴とする電子制御装置。

【請求項 2】

請求項 1 に記載の電子制御装置において、
第 3 の電源回路の状態に基づいて状態検知信号を生成する手段を備え、
前記状態検知信号に応じて第 3 の電源回路の回路動作状態を切り替えることを特徴とする電子制御装置。

10

【請求項 3】

請求項 1 に記載の電子制御装置において、
前記第 3 の電源回路状態検知手段は、第 3 の電源回路の出力電流を監視し、
前記第 3 の電源出力電流に基づいて、第 3 の電源回路の異常電流検知信号を生成する電子制御装置。

【請求項 4】

請求項 1 に記載の電子制御装置において、
前記第 3 の電源回路状態検知手段は、第 3 の電源回路の温度を監視し、
前記第 3 の電源回路温度に基づいて、第 3 の電源回路の過温度検知信号を生成する電子制御装置。

20

【請求項 5】

請求項 1 に記載の電子制御装置において、
第 1 から第 3 の電源回路の入力電圧または出力電圧の少なくとも 1 つに対して電圧検知信号を生成する手段を備え、
前記状態検知信号と、
前記電圧検知信号に応じて第 3 の電源回路の回路動作状態を切り替えることを特徴とする電子制御装置。

30

【請求項 6】

請求項 1 に記載の電子制御装置において、
前記電圧検知手段は、第 1 または第 2 の電源出力電圧の少なくとも 1 つを監視し、
前記第 1 または第 2 の電源出力電圧に基づいて、第 1 または第 2 の電源出力低電圧検知信号を生成する電子制御装置。

【請求項 7】

請求項 1 に記載の電子制御装置において、
前記電圧検知手段は、第 1 の電源入力電圧を監視し、
前記第 1 の電源入力電圧に基づいて、第 1 の電源入力低電圧検知信号を生成する電子制御装置。

40

【請求項 8】

請求項 1 に記載の電子制御装置において、
第 1 から第 3 の電源回路の動作開始後の入力電圧または出力電圧状態に応じて、第 3 の電源回路の回路起動状態を切り替える手段を有することを特徴とする電子制御装置。

【請求項 9】

請求項 1 に記載の電子制御装置において、
第 3 の電源回路は外部から回路動作状態を切り替える手段を備えていることを特徴とする電子制御装置。

【請求項 10】

請求項 1 に記載の電子制御装置において、

50

前記電子制御装置は各種演算を実行するマイクロコントローラと、
第2の電源出力電圧を監視し、第2の電源出力電圧が所定の電圧を下回った場合、前記
マイクロコントローラに対して初期化信号を出力する手段と、
を備える電子制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、外部からの入力電源電圧を所定の電圧に調整し、給電対象に対して適切な電圧及び電流を供給する電源制御装置を有する電子制御装置に関するものである。

【背景技術】

【0002】

エンジンやトランスミッションを電子制御する電子制御装置（ECU：Electronic Control Unit）は、車載バッテリー電圧を外部からの入力電圧として用い、このバッテリー電圧を所定の電圧に調整し、様々な給電対象に対して適切な電圧及び電流を供給する電源制御装置を搭載している。給電対象には、ECU内部に搭載されるマイクロコントローラや各種IC（Integrated Circuit）、ECU外部に接続されている各種センサ、等がある。給電対象へ供給する電圧は、通常、車載バッテリー電圧よりも低いため、電源制御装置では、車載バッテリー電圧を給電対象の入力電圧として適した電圧に降圧する。

【0003】

近年、燃費向上策として、車両停車時にエンジンのアイドルングを停止するアイドルングストップシステムを搭載する車両が増加している。アイドルングストップ状態からエンジンを再始動する際にスタータを駆動する必要があるが、このスタータ駆動はバッテリーから電力を供給するため、一時的なバッテリー電圧低下が生じる。そのため、ECUは今までも頻りにバッテリー低電圧時の動作が要求されるため、バッテリー低電圧時の確実な動作保証が必要となる。電源制御装置としてはバッテリー低電圧時においても、給電対象に対して適切な電圧及び電流の供給を維持することが求められる。

【0004】

従来から、この種の電源制御装置として、電力変換効率と出力電圧リップルを考慮し、降圧スイッチングレギュレータと、シリーズレギュレータで構成されているものがある（例えば、特許文献1参照）。一般的に降圧スイッチングレギュレータはシリーズレギュレータと比較して高効率な電力変換を可能とするが、出力電圧リップルはシリーズレギュレータと比較して大きく、これは、例えば、AD（Analog Digital）変換回路の基準電圧に用いる場合に問題となり得る。そのため、降圧スイッチングレギュレータによってバッテリー電圧を所定の電圧に中間電圧として高効率に変換し、この中間電圧をシリーズレギュレータで給電対象に適した電圧となるように降圧することで、電源制御装置としての電力変換効率と出力電圧リップルを両立させている。

【0005】

図17は、従来例である電子制御装置を示す構成図である。

【0006】

電源制御装置4は第1の電源1、第2の電源2及び第3の電源3から構成される。

【0007】

電源制御装置4への入力電圧としてバッテリー電圧41が入力され、バッテリー電圧41は逆接防止ダイオード42を介して第1の電源1へ入力される。

【0008】

第1の電源1は、降圧スイッチングレギュレータであり、第1の電源入力電圧44を第1の電源出力電圧17に降圧する。第1の電源1は、スイッチング素子11、還流ダイオード15、インダクタ14、第1の電圧制御回路12で構成される。第1の電圧制御回路12がオンを指示するとき、スイッチング素子11は第1の電源入力電圧44をインダクタ14側へ通電させ、第1の電源1の後段へ電流を供給する。一方、第1の電圧制御回路

10

20

30

40

50

12がオフを指示するとき、スイッチング素子11は第1の電源入力電圧44をインダクタ14側へ通電させず、還流ダイオード15を介してインダクタ14に蓄えられたエネルギーが放電されることによって第1の電源1の後段へ電流を供給する。このようにして、スイッチング出力電圧13は、第1の電圧制御回路12がオンを指示するときは第1の電源入力電圧44、オフを指示するときは基準電位45となる。第1の電圧制御回路12は第1の電源出力電圧17を監視し、第1の電源出力電圧17が所定の電圧となるようにスイッチング素子11をPWM(Pulse Width Modulation)制御する。

【0009】

第2の電源2は、マイクロコントローラ5を供給対象とするシリーズレギュレータである。第2の電源2は、第2の電源用出力トランジスタ21、第2の電圧制御回路22で構成される。第2の電圧制御回路22は第2の電源出力電圧24を監視し、第1の電源出力電圧17を入力電圧として第2の電源出力電圧24が所定の電圧となるように第2の電源用出力トランジスタ21を制御する。

10

【0010】

第3の電源3は、マイクロコントローラ5以外、例えば電子制御装置外部のセンサ等を供給対象とするシリーズレギュレータである。第3の電源3は、第3の電源用出力トランジスタ31、第3の電圧制御回路32で構成される。第3の電圧制御回路32は第3の電源出力電圧34を監視し、第1の電源出力電圧17を入力電圧として第3の電源出力電圧34が所定の電圧となるように第3の電源用出力トランジスタ31を制御する。ここで第3の電源出力電圧34は、第2の電源出力電圧24と同電圧に制御されるものとして説明を続ける。

20

【0011】

また、電源制御装置4は第3の電源3に対して電圧生成機能制御レジスタ36を備えている。電圧生成機能制御レジスタ36にシリアル通信等を介して第3の電源出力オン制御信号110aを送信すると、電圧生成機能制御レジスタ36はハイとなり、第3の電源3がオンし、第3の電圧制御回路32は第3の電源出力電圧34を監視し、第3の電源出力電圧34が所定の電圧となるように第3の電源用出力トランジスタ31を制御する。一方、電圧生成機能制御レジスタ36にシリアル通信等を介して第3の電源出力オフ制御信号110bを送信すると、電圧生成機能制御レジスタ36はローとなり、第3の電源3がオフし、第3の電源用出力トランジスタ31がオフ状態となって電源としての電力供給を停止する。

30

【0012】

マイクロコントローラ5は電源電圧に対して一般に保証動作範囲を持ち、この保証動作範囲外の電源電圧を供給している場合にマイクロコントローラ5の動作は保証されない。そのため、マイクロコントローラ5の電源電圧が保証動作範囲外にあるときにはマイクロコントローラ5に対してリセット信号71を出力し、マイクロコントローラ5の予期しない動作を防ぐ必要がある。このリセット信号71を電源制御装置4で生成するために、電源制御装置4は第2の電源出力電圧24に対して第2の電源出力低電圧検出回路25を備えており、第2の電源出力低電圧検出回路25は第2の電源出力電圧24の低電圧を検出して第2の電源出力低電圧検出力信号72を出力し、第2の電源出力電圧24の低電圧状態が所定期間継続するとリセット信号生成回路71aによってリセット信号71が生成され、このリセット信号71をマイクロコントローラ5に出力する。

40

【0013】

第1の電源1、第2の電源2、第3の電源3は回路構成上、それぞれ供給可能な電流値、いわゆる電流容量が設定されている。仮に電流容量以上の電流が電源出力から引き抜かれた場合、所定電圧に降圧する電圧制御が不可能となり、目標の電圧値よりも低い電圧値となる。特に、第3の電源3はECU外部センサを供給対象としているため、第3の電源出力電圧34の信号線は地絡する可能性があり、この場合、第3の電源出力電流は電流容量以上となり、前述した現象に繋がる。

50

【 0 0 1 4 】

前述の通り、第 2 の電源 2 及び第 3 の電源 3 は第 1 の電源 1 の後段に接続されるレギュレータである。そのため、第 1 の電源出力電流は第 2 の電源出力電流と第 3 の電源出力電流の総和となる。

【 0 0 1 5 】

ここで、バッテリー電圧 4 1 が低く、第 1 の電源入力電圧 4 4 が第 1 の電源 1 の降圧制御電圧値以下となるようなバッテリー低電圧時における各電源の動作を述べる。

【 0 0 1 6 】

第 1 の電源 1 は、降圧スイッチングレギュレータの特性上、入力電圧不足により、第 1 の電源出力電圧 1 7 を所定の電圧値に制御することは不可能となる。第 1 の電源出力電圧 1 7 は第 1 の電源 1 の降圧制御電圧値以下であるため、第 1 の電源出力電圧 1 7 を上昇させようとしてスイッチング素子 1 1 をフルオン制御する。このとき、第 1 の電源出力電圧 1 7 は、スイッチング素子 1 1 のオン抵抗値、インダクタ 1 4 の直列抵抗値及び第 1 の電源出力電流値から決まる降圧量を第 1 の電源入力電圧 4 4 から差し引いた電圧となる。

10

【 0 0 1 7 】

第 2 の電源 2 は、通常時よりも低い第 1 の電源出力電圧 1 7 を入力電圧として第 2 の電源出力電圧 2 4 が所定の電圧となるように制御する。シリーズレギュレータは、出力トランジスタの特性に起因して、入出力間に必要な最小電位差（ドロップアウト電圧）が設定されている。このため、第 2 の電源出力電圧 2 4 は、第 1 の電源出力電圧 1 7 と第 2 の電源 2 の制御電圧値との差がドロップアウト電圧以上ある場合は目標電圧値に制御されるが、第 1 の電源出力電圧 1 7 と第 2 の電源 2 の制御電圧値との差がドロップアウト電圧未満の場合は、入力電圧不足となり、第 1 の電源出力電圧 1 7 からドロップアウト電圧を差し引いた電圧となる。

20

【 0 0 1 8 】

第 3 の電源 3 は、第 2 の電源 2 と同様の挙動を示し、第 3 の電源出力電圧 3 4 は、第 1 の電源出力電圧 1 7 と第 3 の電源 3 の制御電圧値との差がドロップアウト電圧以上ある場合は目標電圧値に制御されるが、第 1 の電源出力電圧 1 7 と第 3 の電源 3 の制御電圧値との差がドロップアウト電圧未満の場合は、入力電圧不足となり、第 1 の電源出力電圧 1 7 からドロップアウト電圧を差し引いた電圧となる。

30

【 0 0 1 9 】

電子制御装置のバッテリー電圧に対する保証動作範囲が前述のバッテリー低電圧時を含む場合、設計時に前述の内容と給電対象の消費電流を考慮して、第 1 の電源 1 のスイッチング素子 1 1 のオン抵抗値及びインダクタ 1 4 の直列抵抗値、第 2 の電源 2 のドロップアウト電圧、第 3 の電源 3 のドロップアウト電圧を設定する必要がある。ここで、第 1 の電源 1 のスイッチング素子 1 1 のオン抵抗値、第 2 の電源 2 のドロップアウト電圧、第 3 の電源 3 のドロップアウト電圧は、各電源に使用している出力トランジスタの面積に大きく依存する。具体的には、第 1 の電源 1 のスイッチング素子 1 1 のオン抵抗値を低減させるためには、スイッチング素子 1 1 に使用している出力トランジスタの面積を増加させる必要がある。また、第 2 の電源 2 及び第 3 の電源 3 のドロップアウト電圧を低減させるためには、第 2 の電源 2 及び第 3 の電源 3 の出力トランジスタの面積を増加させる必要がある。

40

【 0 0 2 0 】

前述の通り、第 3 の電源 3 は電子制御装置外部のセンサを供給対象としているため、第 3 の電源出力電圧 3 4 の信号線は地絡する可能性がある。このような異常が発生した場合、第 3 の電源出力電流は給電対象の消費電流よりも大きくなり、最大で第 3 の電源 3 の電流容量まで増加する。第 3 の電源出力電流の増加分は、第 1 の電源出力電流の増加分となる。

【 0 0 2 1 】

図 1 8 を用いて、第 3 の電源出力電圧 3 4 の地絡異常がバッテリー低電圧時に発生する場合を述べる。

【 0 0 2 2 】

50

第3の電源出力電圧34に地絡異常が発生すると、第3の電源出力電流68の増加に伴って第1の電源出力電流66が増加する。バッテリー低電圧時、第1の電源1はスイッチング素子11をフルオン制御しているため、第1の電源出力電流66の増加に伴って第1の電源出力電圧17が低下すると、第2の電源2の入力電圧不足となり、第2の電源出力電圧24を第2の電源に対する制御電圧61に制御できなくなる。第2の電源出力電圧24は第1の電源出力電圧17からドロップアウト電圧を差し引いた電圧に安定するまでの間は第2の電源出力容量23に蓄電されている電荷が第2の電源2の供給対象であるマイクロコントローラ5の消費電流を供給する。

【0023】

このようにして、第2の電源出力電圧24が低下し、第2の電源出力低電圧検出閾値64を下回ると第2の電源出力低電圧検出出力信号72が生成され、リセット信号生成フィルタ時間75後にマイクロコントローラ5に対してリセット信号71を出力する。従って、第3の電源出力電圧34の地絡異常がバッテリー低電圧時に発生する場合、バッテリー電圧が電子制御装置の保証動作範囲内にあるにも関わらず電源制御装置4がマイクロコントローラ5の動作を停止させてしまうため、電子制御装置は正常に機能することができなくなる問題が発生する。

10

【0024】

上記の問題を回避するために、第3の電源出力電圧34の地絡異常がバッテリー低電圧時に発生する場合を考慮し、電源制御装置が第2の電源出力電圧24を目標電圧値に制御可能なように、第1の電源1のスイッチング素子11のオン抵抗値及び第2の電源2のドロップアウト電圧を低減させる方法がある。しかしながら、これらの方法は、前述の通り電源制御装置に使用している出力トランジスタの面積を増加させることになり、これは電源制御装置のコストアップに繋がる。第3の電源出力電圧34の地絡異常が発生しない状態を考えると、特性的に過剰な仕様となるため、機能とコストの最適化をする上で障害となる。

20

【0025】

また、図19及び図20を用いて、第3の電源出力電圧34の地絡異常中にバッテリー電圧41が断線する場合の問題点を述べる。

【0026】

図19は第3の電源出力電圧34に地絡異常が発生していないときにバッテリー電圧41が断線した場合のタイミングチャートである。

30

【0027】

バッテリー電圧41が断線すると、電源制御装置入力容量43が電源制御装置の電池としての役割を担い、電源制御装置は動作するが、電源制御装置入力容量43に蓄電されている電荷は電源制御装置の動作に伴って減少するため、第1の電源入力電圧44は徐々に低下する。第1の電源入力電圧44が低下するにつれて、第2の電源出力電圧24も低下し、第2の電源出力低電圧検出閾値64を下回ると第2の電源出力低電圧検出出力信号72が生成され、リセット信号生成フィルタ時間75後にマイクロコントローラ5に対してリセット信号71を出力する。

【0028】

40

第3の電源出力電圧34に地絡異常が発生していない場合、第2の電源出力電圧24はマイクロコントローラ保証動作電圧範囲下限62より高い電圧にあるときにリセット信号71が出力されており、マイクロコントローラ5の動作はマイクロコントローラ5の電源電圧に対する保証動作範囲内での動作に制限されているため、マイクロコントローラ5は設計通りに動作する。

【0029】

図20は第3の電源出力電圧34に地絡異常が発生しているときにバッテリー電圧41が断線した場合のタイミングチャートである。

【0030】

第3の電源出力電圧34に地絡異常が発生すると、第3の電源出力電流68の増加に伴

50

って第1の電源出力電流66が増加する。この第1の電源出力電流66の増加に伴い、バッテリー電圧41断線後の第1の電源入力電圧44の低下速度は第3の電源出力電圧34に地絡異常が発生していない場合と比較して速くなり、第2の電源出力電圧24の低下速度も速くなる。このため、第2の電源出力電圧24がマイクロコントローラ保証動作電圧範囲下限62より低い電圧にあるときにリセット信号71が出力される可能性がある。即ち、マイクロコントローラ5の動作がマイクロコントローラ5の電源電圧に対する保証動作範囲内での動作に制限されておらず、マイクロコントローラ5は予期しない動作をする恐れがある。

【先行技術文献】

【特許文献】

10

【0031】

【特許文献1】特開2012-244658号公報

【発明の概要】

【発明が解決しようとする課題】

【0032】

解決しようとする課題は、電子制御装置が動作を保証するバッテリー電圧範囲内において、第3の電源の出力に異常が発生した場合においてもマイクロコントローラへのリセットを発生させない電源システムを提供すること、且つ、その電源システムを低コストで実現することである。

【課題を解決するための手段】

20

【0033】

上記課題を解決するために、本発明に係る電子制御装置は、所定の電圧を出力する第1の電源回路と、第1の電源回路の下流に配置され、所定の電圧を出力する第2の電源回路と、第1の電源回路の下流に配置され、所定の電圧を出力する第3の電源回路と、を備えた電子制御装置であって、第1から第3の電源回路の状況に応じて第3の電源回路の回路動作状態を切り替え可能な手段を有することを特徴とする電子制御装置である。

【0034】

また、第3の電源回路の状態から生成される状態検知信号のみにより、第3の電源回路の回路動作状態を切り替え可能な手段を有することを特徴とする電子制御装置である。

【発明の効果】

30

【0035】

本発明を適用した電子制御装置は、電子制御装置が動作を保証するバッテリー電圧範囲内において、電子制御装置外部のセンサ電源に地絡異常が発生した場合においても、マイクロコントローラに対して適切な電圧及び電流の供給を維持し、且つリセット信号を出力しないため、電子制御装置は正常に機能することが可能となる。

【0036】

また、電子制御装置外部のセンサ電源に地絡異常が発生しているときにバッテリー電圧が断線した場合においても、マイクロコントローラの電源電圧に対する保証動作範囲内でリセット信号を出力させるため、マイクロコントローラの予期しない動作を防ぐことが可能となる。

40

【0037】

更に、これらの低コストで実現することが可能となる。

【図面の簡単な説明】

【0038】

【図1】第1の実施例を説明する電源制御装置の構成図である。

【図2】第1の実施例の効果の説明するタイミングチャートである。

【図3】第1の実施例の効果の説明するタイミングチャートである。

【図4】第2の実施例を説明する電源制御装置の構成図である。

【図5】第2の実施例の効果の説明するタイミングチャートである。

【図6】第3の実施例を説明する電源制御装置の構成図である。

50

【図 7】第 3 の実施例の効果を説明するタイミングチャートである。

【図 8】第 4 の実施例を説明する電源制御装置の構成図である。

【図 9】第 4 の実施例の効果を説明するタイミングチャートである。

【図 10】第 5 の実施例を説明する電源制御装置の構成図である。

【図 11】第 5 の実施例の効果を説明するタイミングチャートである。

【図 12】第 6 の実施例を説明する電源制御装置の構成図である。

【図 13】第 6 の実施例の効果を説明するタイミングチャートである。

【図 14】第 7 の実施例を説明する電源制御装置の構成図である。

【図 15】第 7 の実施例の効果を説明するタイミングチャートである。

【図 16】第 8 の実施例を説明する電源制御装置の構成図である。

10

【図 17】従来例を説明する電源制御装置の構成図である。

【図 18】従来例を説明するタイミングチャートである。

【図 19】従来例を説明するタイミングチャートである。

【図 20】従来例を説明するタイミングチャートである。

【発明を実施するための形態】

【0039】

以下、実施例を図面を用いて説明する。

【実施例 1】

【0040】

図 1 は、第 1 の実施例である電子制御装置を示す構成図である。

20

【0041】

第 1 の実施例を説明するにあたり、背景技術で述べた従来例との差異に関して説明し、同一箇所については説明を省略する。

【0042】

第 3 の電源異常電流検出回路 35 は、第 3 の電源出力電流が所定の電流値を超えた際に、第 3 の電源出力電流が異常であると判定し、第 3 の電源出力異常電流検出出力信号 73 を出力する。

【0043】

第 2 の電源出力低電圧検出出力信号 72 は、第 2 の電源出力低電圧検出回路 25 が第 2 の電源出力電圧 24 を低電圧であると判定した際に出力される信号である。

30

【0044】

NAND 回路 51 は、第 3 の電源出力異常電流検出出力信号 73 と第 2 の電源出力低電圧検出出力信号 72 を入力信号として否定論理積信号を出力する回路である。NAND 回路 51 の出力信号は所定のフィルタ時間を有したフィルタ回路 52 を介して電圧生成機能制御レジスタ 36 に送信される。

【0045】

実施例 1 では、図 1 のような構成とすることにより、電圧生成機能制御レジスタ 36 がハイであるとき、即ち第 3 の電源 3 がオンしているときに NAND 回路 51 からフィルタ回路 52 を介して電圧生成機能制御レジスタ 36 にロー信号が送信された場合、電圧生成機能制御レジスタ 36 を強制的にローにすることによって第 3 の電源 3 をオフにすることを特徴とする。

40

【0046】

図 2 は、第 1 の実施例において、第 3 の電源出力電圧 34 の地絡異常がバッテリー低電圧時に発生した場合の効果を説明するタイミングチャートである。

【0047】

第 3 の電源出力電圧 34 に地絡異常が発生すると、第 3 の電源出力電流 68 が増加し、第 3 の電源出力異常電流検出閾値 65 を超えると、第 3 の電源出力異常電流検出出力信号 73 が出力される。また、第 3 の電源出力電流 68 の増加に伴って第 1 の電源出力電流 66 が増加する。バッテリー低電圧時、第 1 の電源 1 はスイッチング素子 11 をフルオン制御しているため、第 1 の電源出力電流 66 の増加に伴って第 1 の電源出力電圧 17 が低下す

50

ると、第2の電源2の入力電圧不足となり、第2の電源出力電圧24を第2の電源に対する制御電圧61に制御できなくなる。第2の電源出力電圧24は第1の電源出力電圧17からドロップアウト電圧を差し引いた電圧に安定するまでの間、第2の電源出力容量23に蓄電されている電荷が第2の電源2の供給対象であるマイクロコントローラの消費電流を供給するため徐々に低下する。

【0048】

第2の電源出力電圧24が低下し、第2の電源出力低電圧検出閾値64を下回ると第2の電源出力低電圧検出出力信号72が生成され、第3の電源出力異常電流検出出力信号73と第2の電源出力低電圧検出出力信号72が同時に出力されてからNAND出力信号フィルタ時間74後に第3の電源3をオフにする。ここで、NAND出力信号フィルタ時間74はリセット信号生成フィルタ時間75よりも短く設定されている。

10

【0049】

上記のように第3の電源3を制御し、第3の電源出力電流68を停止させ、第1の電源出力電流66を低減させる。これにより、第2の電源2の入力電圧である第1の電源出力電圧17がバッテリー低電圧時の正常範囲内まで上昇し、第2の電源2の入力電圧不足が解消されるため、第2の電源出力電圧24が所定の電圧となるように制御することが可能となる。

【0050】

従って、電子制御装置が動作を保証するバッテリー電圧範囲内において、第3の電源出力電圧34に地絡異常が発生した場合においても、本発明を適用した電子制御装置では、電源制御装置がマイクロコントローラに対して適切な電圧及び電流の供給を維持し、且つリセット信号を出力しないため、電子制御装置は正常に機能することが可能となる。

20

【0051】

図3は、第1の実施例において、第3の電源出力電圧34に地絡異常が発生しているときにバッテリー電圧41が断線した場合の効果の説明するタイミングチャートである。

【0052】

第3の電源出力電圧34に地絡異常が発生すると、第3の電源出力電流68が増加し、第3の電源出力異常電流検出閾値65を超えると、第3の電源出力異常電流検出出力信号73が出力される。また、第3の電源出力電流68の増加に伴って第1の電源出力電流66が増加する。この第1の電源出力電流66の増加に伴い、バッテリー電圧41断線後の第1の電源入力電圧44の低下速度は第3の電源出力電圧34に地絡異常が発生していない場合と比較して速くなり、第2の電源出力電圧24の低下速度も速くなる。

30

【0053】

第2の電源出力電圧24が低下し、第2の電源出力低電圧検出閾値64を下回ると第2の電源出力低電圧検出出力信号72が生成され、第3の電源出力異常電流検出出力信号73と第2の電源出力低電圧検出出力信号72が同時に出力されてからNAND出力信号フィルタ時間74後に第3の電源3をオフにする。

【0054】

上記のように第3の電源3を制御し、第3の電源出力電流68を停止させ、第1の電源出力電流66を低減させることにより、第2の電源2の入力電圧である第1の電源出力電圧17を上昇させることが可能となると共に、第1の電源入力電圧44の低下速度を第3の電源出力電圧34に地絡異常が発生していない場合よりも遅くすることが可能となるため、第2の電源出力電圧24はマイクロコントローラ保証動作電圧範囲下限62より高い電圧にあるときにリセット信号71を出力することが可能となる。

40

【0055】

従って、第3の電源出力電圧34に地絡異常が発生しているときにバッテリー電圧41が断線した場合においても、本発明を適用した電子制御装置では、電源制御装置がマイクロコントローラの電源電圧に対する保証動作範囲内でリセット信号を出力させるため、マイクロコントローラの予期しない動作を防ぐことが可能となる。

【0056】

50

また、上記に示した効果を、第3の電源出力電圧34に地絡異常を考慮して各電源の出力トランジスタ面積を増加させることなく実現することが可能、即ち低コストで実現することが可能となる。

【実施例2】

【0057】

図4は、第2の実施例である電子制御装置を示す構成図である。

【0058】

第2の実施例を説明するにあたり、第1の実施例との差異に関して説明し、同一箇所については説明を省略する。

【0059】

第2の実施例では、第1の実施例と比較して、第1の電源出力電圧17に第1の電源出力低電圧検出回路18が接続され、第1の電源入力低電圧検出出力信号76を出力するような構成となっている。それ以外は、第1の実施例と同様である。

【0060】

次に、第2の実施例の動作を、図5のタイミングチャートを用いて説明する。

【0061】

図5は第1の電源入力電圧44が低電圧時、第3の電源出力電圧34が地絡した場合の状態を説明している。第1の電源入力電圧44が低電圧となっている際、第3の電源出力地絡タイミング91において第3の電源出力電圧34が地絡すると、図5に示すように第3の電源出力電流68が増加する（短絡電流が流れる）。そして第3の電源出力異常電流検出閾値65に到達すると、これを検知して第3の電源出力異常電流検出出力信号73を出力する。

【0062】

一方、第3の電源出力電圧34の地絡によって第3の電源出力電流68が増加すると、第1の実施例と同様に第1の電源出力電圧17も低下する。そして、第1の電源出力低電圧検出回路18に設けられた第1の電源出力低電圧検出閾値69に到達すると、第1の電源出力低電圧検出タイミング95において第1の電源入力低電圧検出出力信号76が出力される。

【0063】

これにより第1実施例と同様に、第3の電源出力異常電流検出出力信号73と第1の電源入力低電圧検出出力信号76が同時に出力され、NAND出力信号フィルタ時間74後、第3の電源オフタイミング93において第3の電源3がオフとなり、第3の電源出力電流68を停止させ、第1の電源出力電流66を低減させる。よって、図5に示すように短絡電流による第1の電源出力電圧17の降下、及び第2の電源出力電圧24の降下が無くなる為、第2の電源2は第2の電源出力電圧24が所定の電圧となるように制御することが可能となる。これにより、リセット信号71はハイ状態を維持する事が可能となる。

【0064】

従って、電子制御装置が動作を保証するバッテリー電圧範囲内において、第3の電源出力電圧34に地絡異常が発生した場合においても、本発明を適用した電子制御装置では、電源制御装置がマイクロコントローラに対して適切な電圧及び電流の供給を維持し、且つリセット信号を出力しないため、電子制御装置は正常に機能することが可能となる。

【実施例3】

【0065】

図6は、第3の実施例である電子制御装置を示す構成図である。

【0066】

第3の実施例を説明するにあたり、第1から第2の実施例との差異に関して説明し、同一箇所については説明を省略する。

【0067】

第3の実施例では、第1から第2の実施例と比較して、第1の電源入力電圧44に第1の電源入力低電圧検出回路46が接続され、第1の電源入力低電圧検出出力信号77を出

10

20

30

40

50

力するような構成となっている。それ以外は、第 1 から第 2 の実施例と同様である。

【 0 0 6 8 】

次に、第 3 の実施例の動作を、図 7 のタイミングチャートを用いて説明する。

【 0 0 6 9 】

図 7 は第 1 の電源入力電圧 4 4 が低電圧時に、第 3 の電源出力電圧 3 4 が地絡した場合の状態を説明している。第 1 の電源入力電圧 4 4 が低電圧となった際、第 1 の電源入力低電圧検出タイミング 9 6 において第 1 の電源入力電圧 4 4 の低下が検知され、第 1 の電源入力低電圧検出出力信号 7 7 が出力される。

【 0 0 7 0 】

一方、この時に第 3 の電源出力地絡タイミング 9 1 において第 3 の電源出力電圧 3 4 が地絡すると、図 7 に示すように第 3 の電源出力電流 6 8 が増加する（短絡電流が流れる）。そして第 3 の電源出力異常電流検出閾値 6 5 に到達すると、これを検知して第 3 の電源出力異常電流検出出力信号 7 3 を出力する。

【 0 0 7 1 】

これにより第 1、第 2 実施例と同様に、第 3 の電源出力異常電流検出出力信号 7 3 と第 1 の電源入力低電圧検出出力信号 7 7 が同時に出力され、NAND 出力信号フィルタ時間 7 4 経過後、第 3 の電源オフタイミング 9 3 において第 3 の電源 3 がオフとなり、第 3 の電源出力電流 6 8 を停止させ、第 1 の電源出力電流 6 6 を低減させる。よって、図 7 に示すように短絡電流による第 1 の電源出力電圧 1 7 の降下、及び第 2 の電源出力電圧 2 4 の降下が無くなる為、第 2 の電源 2 は第 2 の電源出力電圧 2 4 が所定の電圧となるように制御することが可能となる。これにより、リセット信号 7 1 はハイ状態を維持する事が可能となる。

【 0 0 7 2 】

従って、電子制御装置が動作を保証するバッテリー電圧範囲内において、第 3 の電源出力電圧 3 4 に地絡異常が発生した場合においても、本発明を適用した電子制御装置では、電源制御装置がマイクロコントローラに対して適切な電圧及び電流の供給を維持し、且つリセット信号を出力しないため、電子制御装置は正常に機能することが可能となる。

【実施例 4】

【 0 0 7 3 】

図 8 は、第 4 の実施例である電子制御装置を示す構成図である。

【 0 0 7 4 】

第 4 の実施例を説明するにあたり、第 1 から第 3 の実施例との差異に関して説明し、同一箇所については説明を省略する。

【 0 0 7 5 】

第 4 の実施例では、第 1 から第 3 の実施例と比較して、第 3 の電源 3 の近傍に第 3 の電源過温度検出回路 3 7 が設けられ、第 3 の電源 3 の温度異常検知時に第 3 の電源過温度検出出力信号 8 1 を出力するような構成となっている。それ以外は、第 1 から第 3 の実施例と同様である。

【 0 0 7 6 】

次に、第 4 の実施例の動作を、図 9 のタイミングチャートを用いて説明する。

【 0 0 7 7 】

図 9 は第 1 の電源入力電圧 4 4 が低電圧時に、第 3 の電源出力電圧 3 4 が地絡した場合の状態を説明している。第 1 の電源入力電圧 4 4 が低電圧となった状態で、第 3 の電源出力地絡タイミング 9 1 において第 3 の電源出力電圧 3 4 が地絡すると、図 9 に示すように第 3 の電源出力電流 6 8 が増加する（短絡電流が流れる）。この時に流れる第 3 の電源出力電流 6 8、及び第 3 の電源用出力トランジスタ 3 1 の ON 抵抗値によって計算される発熱が生じる為、第 3 の電源過温度検出回路 3 7 によって検知される第 3 の電源温度 8 3 も、第 3 の電源出力電流 6 8 の上昇に応じて図 9 に示すように上昇する。そして第 3 の電源過温度検出閾値 8 2 に到達すると、これを検知して第 3 の電源過温度検出タイミング 9 7 において第 3 の電源過温度検出出力信号 8 1 を出力する。

【 0 0 7 8 】

一方、第3の電源出力電圧34の地絡によって流れる第3の電源出力電流68が増加すると、第1の電源出力電流66も増加するため、これにより第1から第3の実施例と同様に、第1の電源出力電圧17、第2の電源出力電圧24も低下する。そして第2の電源出力低電圧検出タイミング92において、第2の電源出力低電圧検出出力信号72が出力される。

【 0 0 7 9 】

第3の電源過温度検出出力信号81と第2の電源出力低電圧検出出力信号72が同時に出力され、NAND出力信号フィルタ時間74経過後、第3の電源オフタイミング93において第3の電源3がオフとなり、第3の電源出力電流68を停止させ、第1の電源出力電流66を低減させる。よって、図9に示すように短絡電流による第1の電源出力電圧17の降下、及び第2の電源出力電圧24の降下が無くなる為、第2の電源2は第2の電源出力電圧24が所定の電圧となるように制御することが可能となる。これにより、リセット信号71はハイ状態を維持する事が可能となる。

10

【 0 0 8 0 】

従って、電子制御装置が動作を保証するバッテリー電圧範囲内において、第3の電源出力電圧34に地絡異常が発生した場合においても、本発明を適用した電子制御装置では、電源制御装置がマイクロコントローラに対して適切な電圧及び電流の供給を維持し、且つリセット信号を出力しないため、電子制御装置は正常に機能することが可能となる。

【 0 0 8 1 】

また本実施例は第1の実施例と同様の構成で説明しているが、第2の実施例、もしくは第3の実施例と同様の構成においても成立する事は明白である。

20

【 実施例 5 】

【 0 0 8 2 】

図10は、第5の実施例である電子制御装置を示す構成図である。

【 0 0 8 3 】

第5の実施例を説明するにあたり、第1から第4の実施例との差異に関して説明し、同一箇所については説明を省略する。

【 0 0 8 4 】

第5の実施例においては、第3の電源異常電流検出回路35によって検出される第3の電源出力異常電流検出出力信号73が、インバータ回路53を介してフィルタ回路52に入力されるような構成となっている。また、第3の電源出力オン制御信号110aが電圧生成機能制御レジスタ36に入力されるような構成となっている。この電源出力オン制御信号はレジスタ設定信号であり、CPU等の外部制御装置から入力されるのが一般的である。

30

【 0 0 8 5 】

これ以外は、第1から第4の実施例と同様である。

【 0 0 8 6 】

次に第5の実施例の動作について、図11のタイミングチャートを用いて説明する。

【 0 0 8 7 】

図11は第1の電源入力電圧44が低電圧時、第3の電源出力電圧34が地絡した場合の状態を説明している。第1の電源入力電圧44が低電圧となっている際、第3の電源出力地絡タイミング91において第3の電源出力電圧34が地絡すると、図11に示すように第3の電源出力電流68が増加する（短絡電流が流れる）。そして第3の電源出力異常電流検出閾値65に到達すると、これを検知して第3の電源出力異常電流検出出力信号73を出力する。

40

【 0 0 8 8 】

これにより第1の実施例と同様に、第3の電源出力異常電流検出出力信号73が出力され、フィルタ回路52によるインバータ出力信号フィルタ時間78経過後、第3の電源オフタイミング93において第3の電源3がオフとなり、第3の電源出力電流68を停止さ

50

せ、第1の電源出力電流66を低減させる。よって、図11に示すように短絡電流による第1の電源出力電圧17の降下、及び第2の電源出力電圧24の降下が無くなる為、第2の電源2は第2の電源出力電圧24が所定の電圧となるように制御することが可能となる。これにより、リセット信号71はハイ状態を維持する事が可能となる。

【0089】

従って、電子制御装置が動作を保証するバッテリー電圧範囲内において、第3の電源出力電圧34に地絡異常が発生した場合においても、本発明を適用した電子制御装置では、電源制御装置がマイクロコントローラに対して適切な電圧及び電流の供給を維持し、且つリセット信号を出力しないため、電子制御装置は正常に機能することが可能となる。

【0090】

また、第5の実施例には次のようなメリットもある。

【0091】

第5の実施例では、第3の電源出力異常電流検出出力信号73を用いて第3の電源3のオフを行っている。そのため、電源をオフすると電流値がゼロとなるため、第3の電源出力異常電流検出出力信号73は正常状態に復帰する。すると、再び第3の電源3がオン制御となり、短絡電流が流れて再び第3の電源出力異常電流検出出力信号73が出力されて第3の電源3がオフされるような動作となるため、第3の電源3の短絡状態が解消されるまで、これを繰り返すことになる。

【0092】

第5に示す実施例では、第3の電源出力オン制御信号110aが電圧生成機能制御レジスタ36に入力されるような構成となっている。よって、一度、第3の電源出力異常電流検出出力信号73を用いて第3の電源3のオフが実施されると、その後第3の電源3をオンさせる場合は、図11の第3の電源オンタイミング99に示すように、第3の電源出力オン制御信号110aが入力される事によって、再度第3の電源3をオンする。これにより、上記に述べたような、第3の電源3の短絡状態が解消されるまで、オン状態とオフ状態を繰り返すような動作を回避する事が出来る。

【0093】

また、第5の実施例で説明した効果は、第1から第4の実施例で説明した構成においても成立する事は明白である。

【実施例6】

【0094】

図12は、第6の実施例である電子制御装置を示す構成図である。

【0095】

第6の実施例を説明するにあたり、第1から第5の実施例との差異に関して説明し、同一箇所については説明を省略する。

【0096】

第6の実施例では、第1から第5の実施例と比較して、第1の電源入力電圧44と第1の電源出力電圧17とを比較するための第1の電源入出力電圧差検出回路111が設けられ、第1の電源入出力電圧差検出信号112を出力するような構成となっている。またこの時、第1の電源1がフルオン状態であることを検知するために、スイッチング素子11の駆動信号も同時に第1の電源入出力電圧差検出回路111に入力されるような構成となっている。それ以外は、第1から第5の実施例と同様である。

【0097】

次に、第6の実施例の動作を、図13のタイミングチャートを用いて説明する。

【0098】

図13は第1の電源入力電圧44が低電圧時、第3の電源出力電圧34が地絡した場合の状態を説明している。第1の電源入力電圧44が低電圧となっている際、第3の電源出力地絡タイミング91において第3の電源出力電圧34が地絡すると、図13に示すように第3の電源出力電流68が増加する(短絡電流が流れる)。そして第3の電源出力異常電流検出閾値65に到達すると、これを検知して第3の電源出力異常電流検出出力信号7

10

20

30

40

50

3 を出力する。

【0099】

一方、第3の電源出力電圧34の地絡により第3の電源出力電流68が増加すると、第1の実施例と同様に第1の電源出力電圧17も低下する。これらは第1の電源入出力電圧差検出回路111にされ、第1の電源入出力電圧差検出回路111に設けられた第1の電源入出力電圧差検出閾値114に到達すると、第1の電源入出力電圧差検出タイミング100において第1の電源入出力電圧差検出信号112が出力される。なおこの電位差の検知は、スイッチング素子11の駆動信号を用いて、スイッチング素子11がフルオンの時のみに検知される。

【0100】

これにより第1の実施例と同様に、第3の電源出力異常電流検出出力信号73と第1の電源入出力電圧差検出信号112が同時に出力され、NAND出力信号フィルタ時間74後、第3の電源オフタイミング93において第3の電源3がオフとなり、第3の電源出力電流68を停止させ、第1の電源出力電流66を低減させる。よって、13に示すように短絡電流による第1の電源出力電圧17の降下、及び第2の電源出力電圧24の降下が無くなる為、第2の電源2は第2の電源出力電圧24が所定の電圧となるように制御することが可能となる。これにより、リセット信号71はハイ状態を維持する事が可能となる。

【0101】

従って、電子制御装置が動作を保証するバッテリー電圧範囲内において、第3の電源出力電圧34に地絡異常が発生した場合においても、本発明を適用した電子制御装置では、電源制御装置がマイクロコントローラに対して適切な電圧及び電流の供給を維持し、且つリセット信号を出力しないため、電子制御装置は正常に機能することが可能となる。

【実施例7】

【0102】

14は、第7の実施例である電子制御装置を示す構成図である。

【0103】

第7の実施例を説明するにあたり、第1から第6の実施例との差異に関して説明し、同一箇所については説明を省略する。

【0104】

第7の実施例では、第1から第6の実施例と比較して、第2の電源入力電圧である第1の電源出力電圧17と第2の電源出力電圧24とを比較するための第2の電源入出力電圧差検出回路115が設けられ、第2の電源入出力電圧差検出信号116を出力するような構成となっている。それ以外は、第1から第6の実施例と同様である。

【0105】

次に、第7の実施例の動作を、15のタイミングチャートを用いて説明する。

【0106】

15は第1の電源入力電圧44が低電圧時、第3の電源出力電圧34が地絡した場合の状態を説明している。第1の電源入力電圧44が低電圧となっている際、第3の電源出力地絡タイミング91において第3の電源出力電圧34が地絡すると、15に示すように第3の電源出力電流68が増加する（短絡電流が流れる）。そして第3の電源出力異常電流検出閾値65に到達すると、これを検知して第3の電源出力異常電流検出出力信号73を出力する。

【0107】

一方、第3の電源出力電圧34の地絡により第3の電源出力電流68が増加すると、第1の実施例と同様に第1の電源出力電圧17、第2の電源出力電圧24も低下する。これらは第2の電源入出力電圧差検出回路115にされ、第2の電源入出力電圧差検出回路115に設けられた第2の電源入出力電圧差検出閾値118に到達すると、第2の電源入出力電圧差検出タイミング101において第1の電源入出力電圧差検出信号116が出力される。

10

20

30

40

50

【0108】

これにより第1の実施例と同様に、第3の電源出力異常電流検出力信号73と第2の電源入出力電圧差検出信号116が同時に出力され、NAND出力信号フィルタ時間74後、第3の電源オフタイミング93において第3の電源3がオフとなり、第3の電源出力電流68を停止させ、第1の電源出力電流66を低減させる。よって、図15に示すように短絡電流による第1の電源出力電圧17の降下、及び第2の電源出力電圧24の降下が無くなる為、第2の電源2は第2の電源出力電圧24が所定の電圧となるように制御することが可能となる。これにより、リセット信号71はハイ状態を維持する事が可能となる。

【0109】

従って、電子制御装置が動作を保証するバッテリー電圧範囲内において、第3の電源出力電圧34に地絡異常が発生した場合においても、本発明を適用した電子制御装置では、電源制御装置がマイクロコントローラに対して適切な電圧及び電流の供給を維持し、且つリセット信号を出力しないため、電子制御装置は正常に機能することが可能となる。

【実施例8】

【0110】

図16は、第8の実施例である電子制御装置を示す構成図である。

【0111】

第8の実施例を説明するにあたり、第1から第7の実施例との差異に関して説明し、同一箇所については説明を省略する。

【0112】

第8の実施例においては、第1の電源入力低電圧検出回路46によって検出される第1の電源入力低電圧検出力信号77が、インバータ回路53を介してフィルタ回路52に入力されるような構成となっている。これ以外は、第1から第7の実施例と同様である。

【0113】

ここで、電源制御装置の起動時の動作に関して述べる。電源制御装置は図示しない電源制御装置許可信号が入力されることによって各電源の制御を開始する。電源制御装置の構成上、まず、第1の電源1が動作を開始し、第1の電源出力電圧17が所定の電圧に達すると第2の電源2及び第3の電源3が動作を開始する。つまり、第3の電源3に関して言及すると、電源制御装置の起動時、電圧生成機能制御レジスタ36は自動でハイに設定され、第3の電源3は動作を開始する。

【0114】

次に、電源制御装置の起動時に第1の電源入力電圧44が低電圧である場合を述べる。この場合に電圧生成機能制御レジスタ36が自動でハイに設定されると、第3の電源出力電流68が増加することによって第1の電源出力電圧17が低下し、第2の電源入力電圧不足となるため、第2の電源出力電圧24が第2の電源出力低電圧検出閾値64を上回ることができず、リセット信号71がハイ状態にならない可能性がある。特に、第3の電源出力電圧34が地絡した状態で電源制御装置が起動する場合、第3の電源出力電流68は給電対象の消費電流よりも大きくなるため、前述の可能性が高くなる。

【0115】

第8の実施例では、第1の電源入力低電圧検出力信号77がインバータ回路53及びフィルタ回路52を介して電圧生成機能制御レジスタ36に入力されるような構成となっている。このような構成とすることにより、電源制御装置の起動時に第1の電源入力電圧44が低電圧である場合、第1の電源入力低電圧検出回路46は第1の電源入力電圧44が低電圧であることを検知して第1の電源入力低電圧検出力信号77を出力し、電圧生成機能制御レジスタ36が自動でハイに設定されることを抑制する。

【0116】

これにより、電源制御装置の起動時に第1の電源入力電圧44が低電圧である場合においても、第1の電源出力電流66から第3の電源出力電流68の寄与を削減することによって、前述のリセット信号71がハイ状態にならない可能性を低減させることが可能とな

10

20

30

40

50

る。

【 0 1 1 7 】

また、第 8 の実施例で説明した効果は、第 1 から第 7 の実施例で説明した構成においても成立する事は明白である。

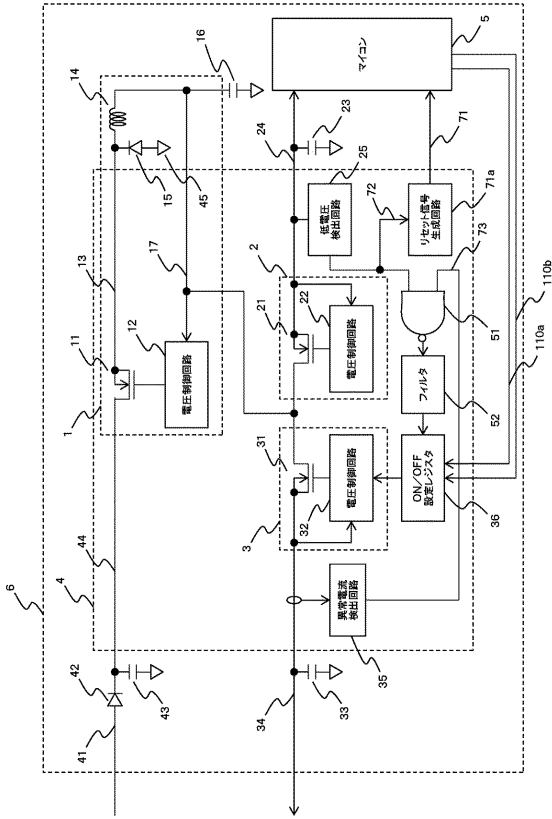
【 符号の説明 】

【 0 1 1 8 】

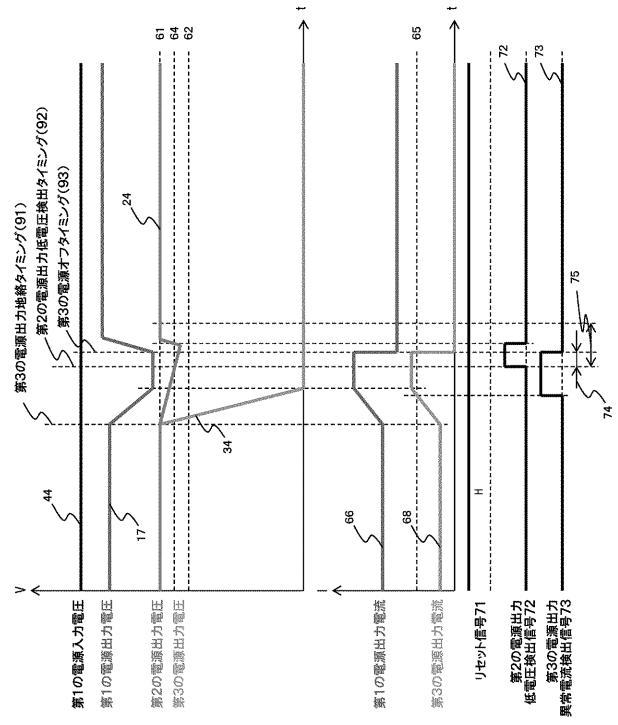
| | | |
|-----|--------------------------|----|
| 1 | 第 1 の電源 | |
| 2 | 第 2 の電源 | |
| 3 | 第 3 の電源 | |
| 4 | 電源制御装置 | 10 |
| 5 | マイクロコントローラ | |
| 6 | 電子制御装置 | |
| 1 1 | スイッチング素子 | |
| 1 2 | 第 1 の電圧制御回路 | |
| 1 3 | スイッチング出力電圧 | |
| 1 4 | インダクタ | |
| 1 5 | 還流ダイオード | |
| 1 6 | 第 1 の電源出力容量 | |
| 1 7 | 第 1 の電源出力電圧 | |
| 1 8 | 第 1 の電源出力低電圧検出回路 | 20 |
| 2 1 | 第 2 の電源用出力トランジスタ | |
| 2 2 | 第 2 の電圧制御回路 | |
| 2 3 | 第 2 の電源出力容量 | |
| 2 4 | 第 2 の電源出力電圧 | |
| 2 5 | 第 2 の電源出力低電圧検出回路 | |
| 3 1 | 第 3 の電源用出力トランジスタ | |
| 3 2 | 第 3 の電圧制御回路 | |
| 3 3 | 第 3 の電源出力容量 | |
| 3 4 | 第 3 の電源出力電圧 | |
| 3 5 | 第 3 の電源異常電流検出回路 | 30 |
| 3 6 | 電圧生成機能制御レジスタ | |
| 3 7 | 第 3 の電源過温度検出回路 | |
| 4 1 | バッテリー電圧 | |
| 4 2 | 逆接防止ダイオード | |
| 4 3 | 電源制御装置入力容量 | |
| 4 4 | 第 1 の電源入力電圧 | |
| 4 5 | 基準電位 | |
| 4 6 | 第 1 の電源入力低電圧検出回路 | |
| 5 1 | N A N D 回路 | |
| 5 2 | フィルタ回路 | 40 |
| 5 3 | インバータ回路 | |
| 6 1 | 第 2 の電源及び第 3 の電源に対する制御電圧 | |
| 6 2 | マイクロコントローラ保証動作電圧範囲下限 | |
| 6 3 | マイクロコントローラ保証動作電圧範囲上限 | |
| 6 4 | 第 2 の電源出力低電圧検出閾値 | |
| 6 5 | 第 3 の電源出力異常電流検出閾値 | |
| 6 6 | 第 1 の電源出力電流 | |
| 6 7 | 第 2 の電源出力電流 | |
| 6 8 | 第 3 の電源出力電流 | |
| 6 9 | 第 1 の電源出力低電圧検出閾値 | 50 |

| | | |
|---------|----------------------|----|
| 7 0 | 第 1 の電源入力低電圧検出閾値 | |
| 7 1 | リセット信号 | |
| 7 1 a | リセット信号生成回路 | |
| 7 2 | 第 2 の電源出力低電圧検出出力信号 | |
| 7 3 | 第 3 の電源出力異常電流検出出力信号 | |
| 7 4 | N A N D 出力信号フィルタ時間 | |
| 7 5 | リセット信号生成フィルタ時間 | |
| 7 6 | 第 1 の電源出力低電圧検出出力信号 | |
| 7 7 | 第 1 の電源入力低電圧検出出力信号 | |
| 7 8 | インバータ出力信号フィルタ時間 | 10 |
| 8 1 | 第 3 の電源過温度検出出力信号 | |
| 8 2 | 第 3 の電源過温度検出閾値 | |
| 8 3 | 第 3 の電源温度 | |
| 9 1 | 第 3 の電源出力地絡タイミング | |
| 9 2 | 第 2 の電源出力低電圧検出タイミング | |
| 9 3 | 第 3 の電源オフタイミング | |
| 9 4 | バッテリー電圧断線タイミング | |
| 9 5 | 第 1 の電源出力低電圧検出タイミング | |
| 9 6 | 第 1 の電源入力低電圧検出タイミング | |
| 9 7 | 第 3 の電源過温度検出タイミング | 20 |
| 9 8 | 第 3 の電源出力地絡解除タイミング | |
| 9 9 | 第 3 の電源オンタイミング | |
| 1 0 0 | 第 1 の電源入出力電圧差検出タイミング | |
| 1 0 1 | 第 2 の電源入出力電圧差検出タイミング | |
| 1 0 2 | リセット信号出力タイミング | |
| 1 1 0 a | 第 3 の電源出力オン制御信号 | |
| 1 1 0 b | 第 3 の電源出力オフ制御信号 | |
| 1 1 1 | 第 1 の電源入出力電圧差検出回路 | |
| 1 1 2 | 第 1 の電源入出力電圧差検出信号 | |
| 1 1 3 | 第 1 の電源入出力差電圧 | 30 |
| 1 1 4 | 第 1 の電源入出力電圧差検出閾値 | |
| 1 1 5 | 第 2 の電源入出力電圧差検出回路 | |
| 1 1 6 | 第 2 の電源入出力電圧差検出信号 | |
| 1 1 7 | 第 2 の電源入出力差電圧 | |
| 1 1 8 | 第 2 の電源入出力電圧差検出閾値 | |

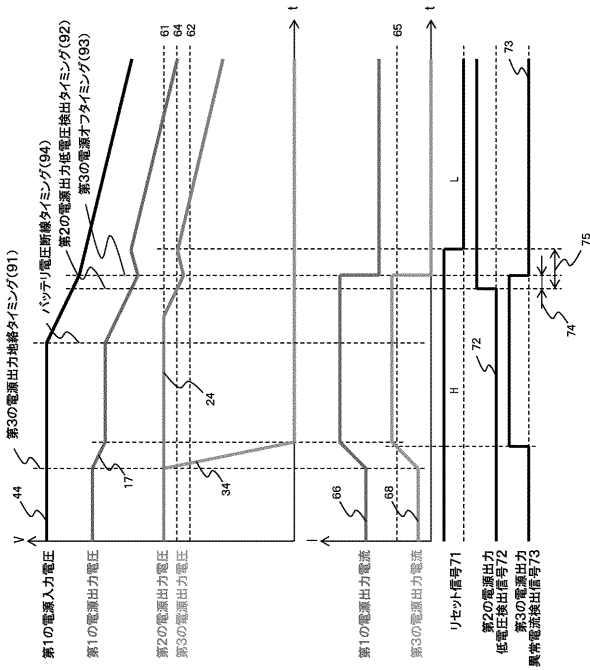
【図1】



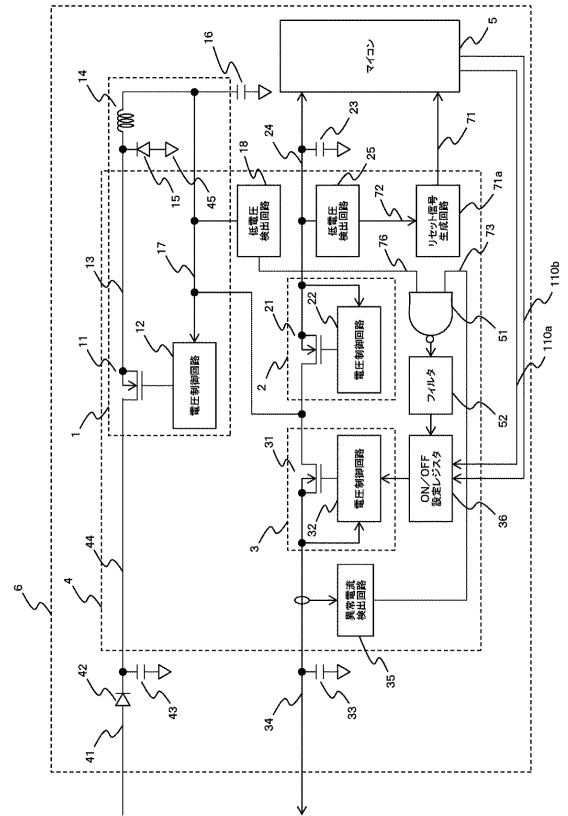
【図2】



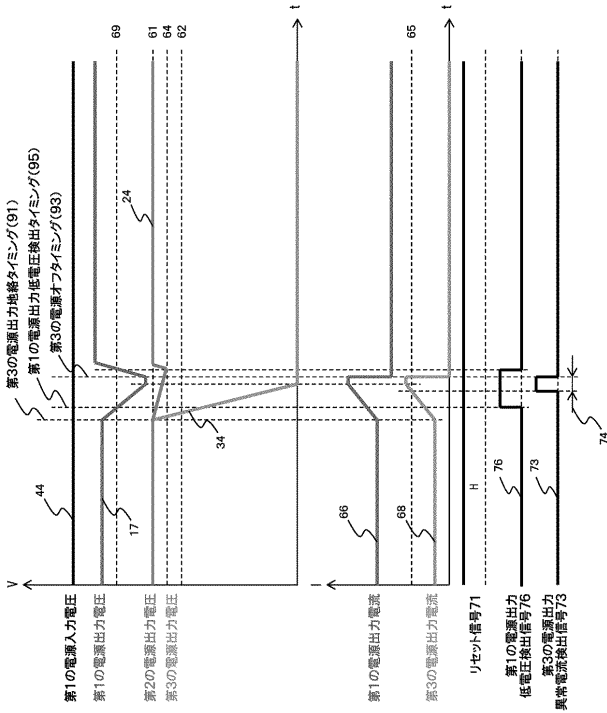
【図3】



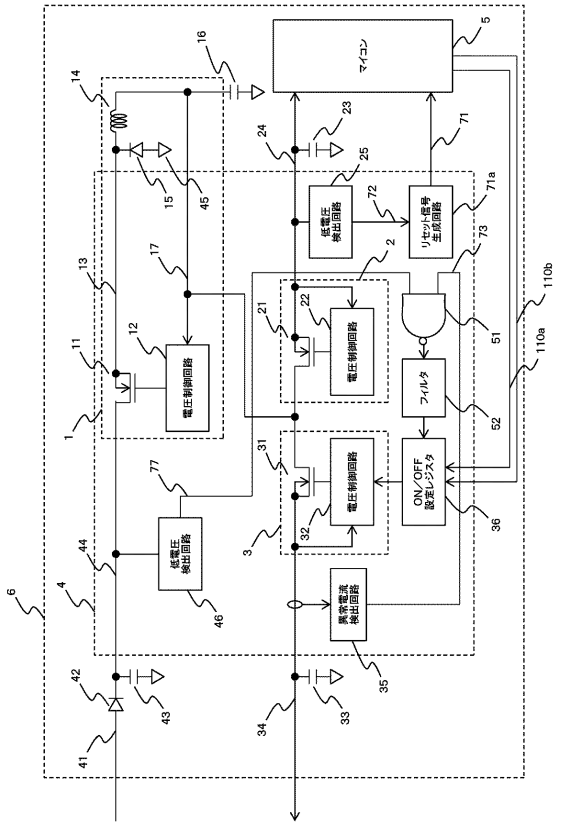
【図4】



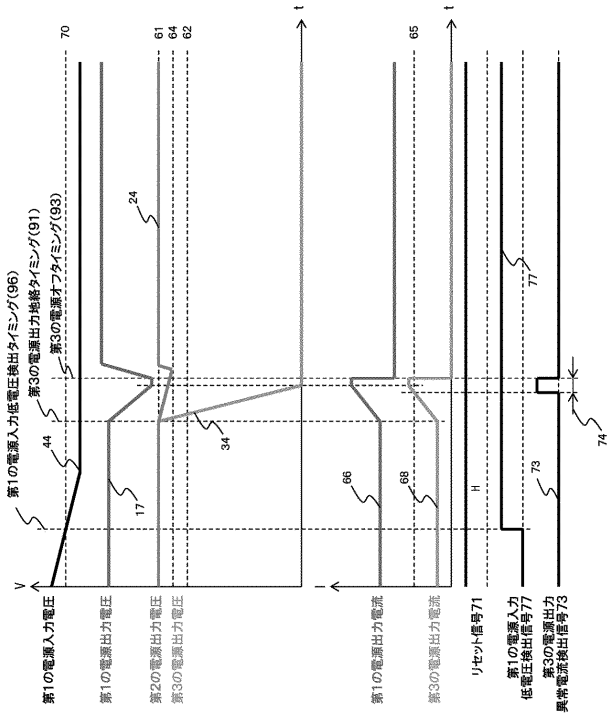
【 図 5 】



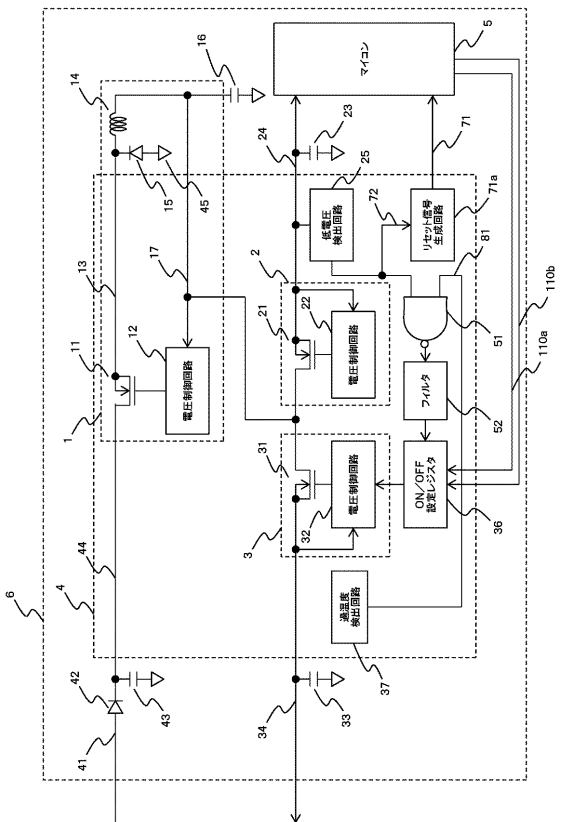
【 図 6 】



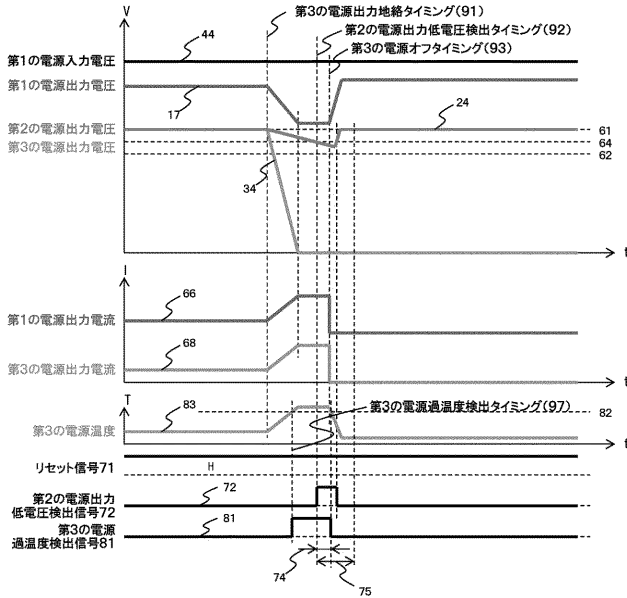
【 図 7 】



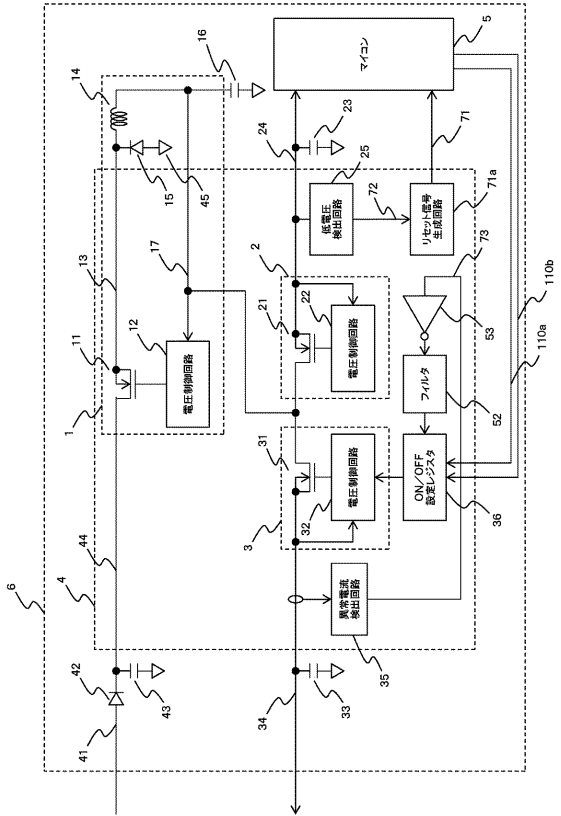
【 図 8 】



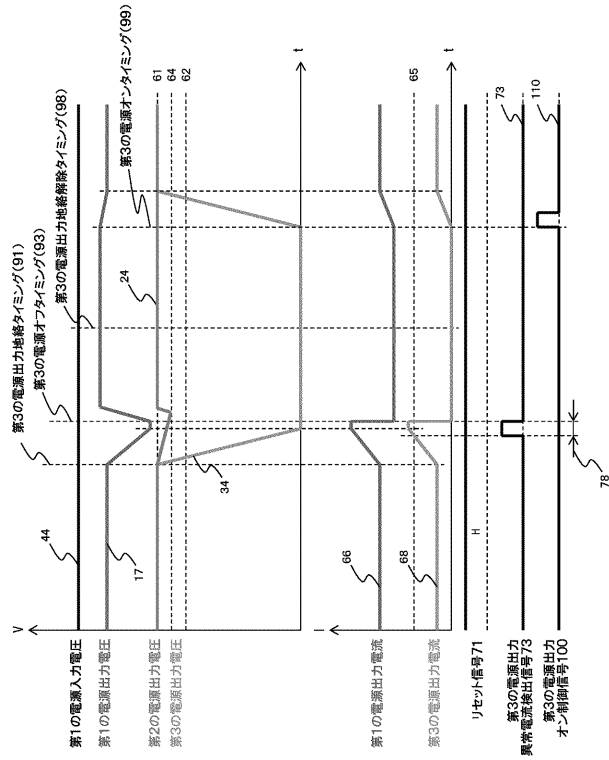
【図9】



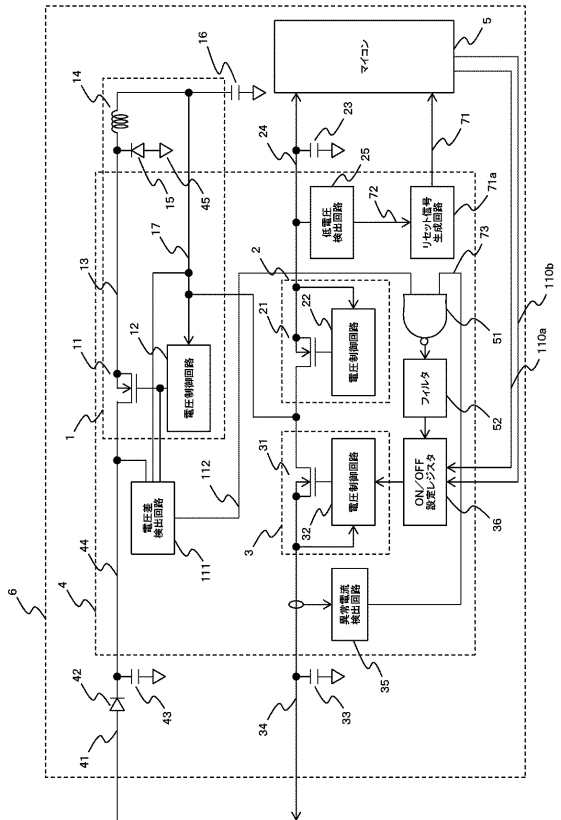
【図10】



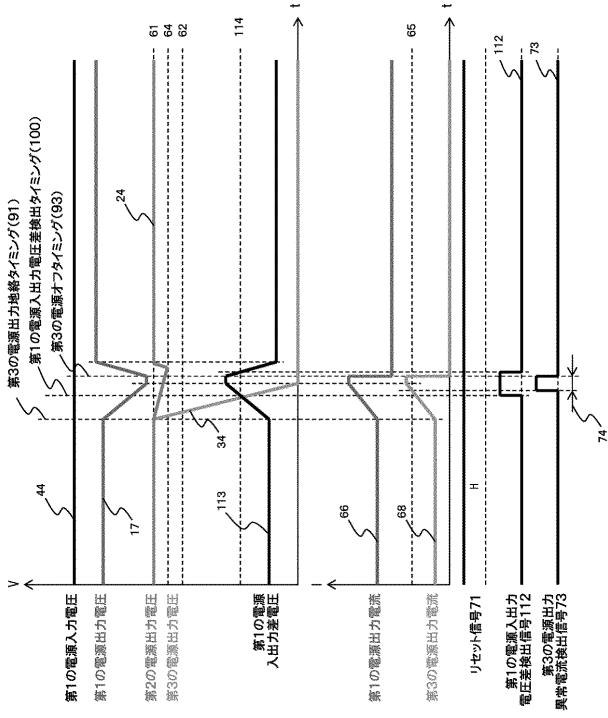
【図11】



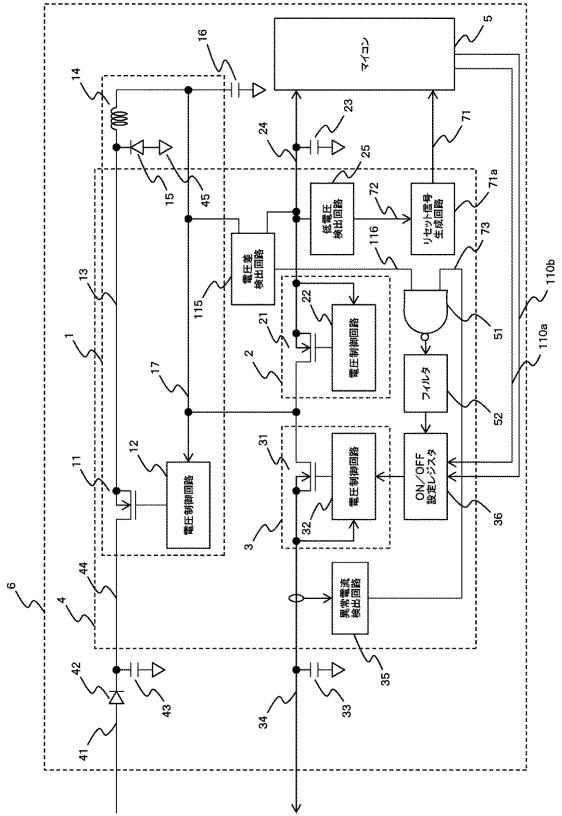
【図12】



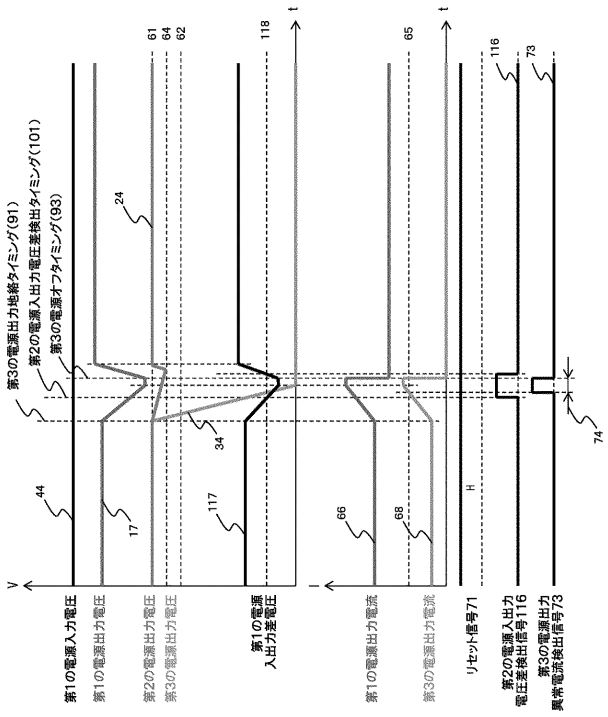
【図 1 3】



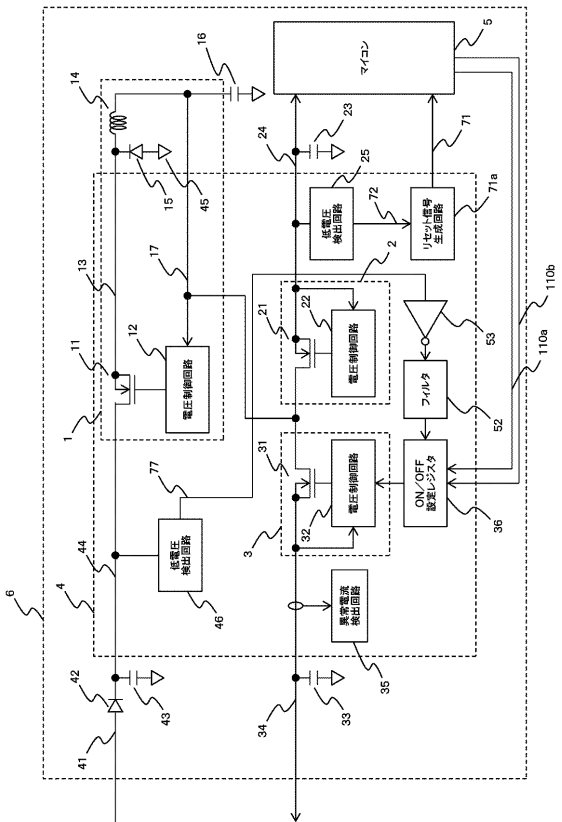
【図 1 4】



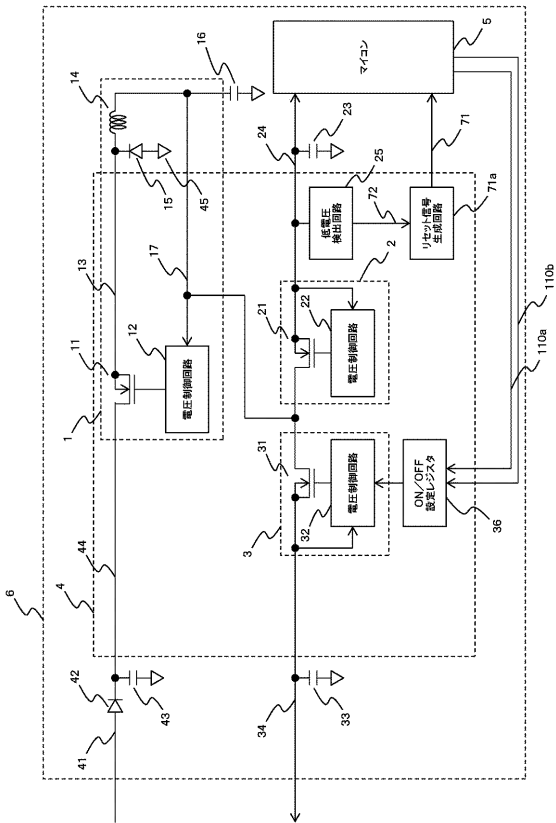
【図 1 5】



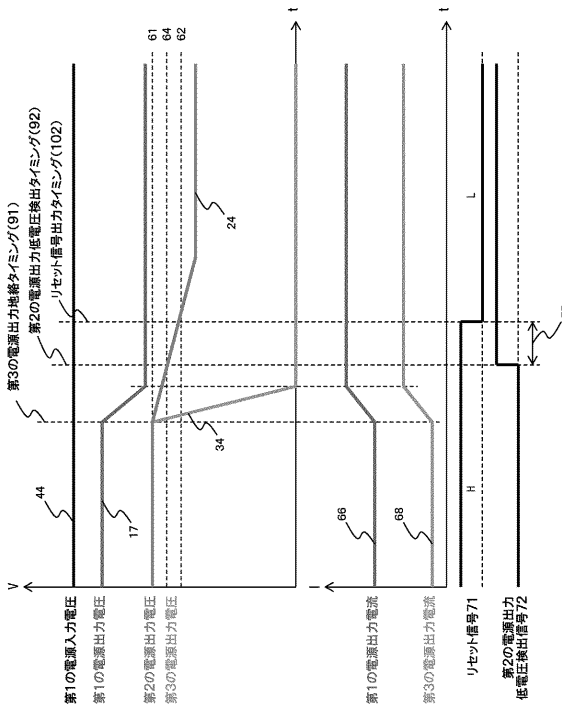
【図 1 6】



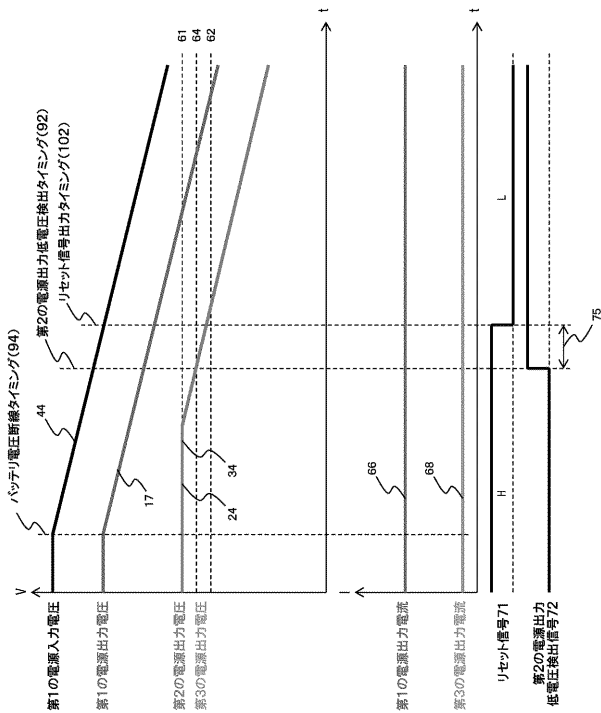
【図17】



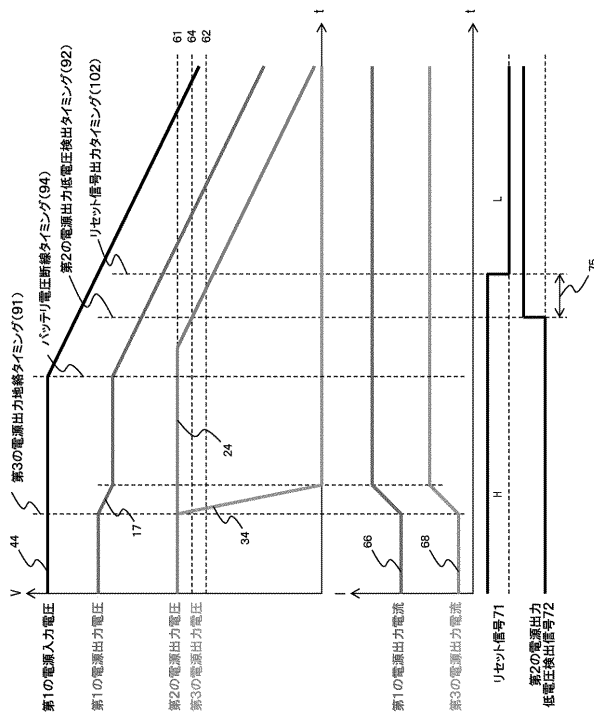
【図18】



【図19】



【図20】



【手続補正書】

【提出日】平成28年11月7日(2016.11.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

演算処理装置と、

所定の電圧を出力する第1の電源回路と、

前記第1の電源回路の下流に配置され、前記演算処理装置に所定の電圧を出力する第2の電源回路と、

前記第1の電源回路の下流に配置され、外部に所定の電圧を出力する第3の電源回路と、
を備えた電子制御装置であって、

前記第1の電源回路、前記第2の電源回路、または前記第3の電源回路の状況に応じて、前記第3の電源回路の回路動作状態を切り替えることを特徴とする電子制御装置。

【請求項2】

請求項1に記載の電子制御装置において、

前記第3の電源回路の状況に基づいて状態検知信号を生成する第3の電源回路状態検知手段を備え、

前記状態検知信号に応じて前記第3の電源回路の回路動作状態を切り替えることを特徴とする電子制御装置。

【請求項3】

請求項2に記載の電子制御装置において、

前記第3の電源回路状態検知手段は、前記第3の電源回路の電源出力電流を監視し、前記第3の電源回路の電源出力電流に基づいて、前記第3の電源回路の異常電流検知信号を生成する電子制御装置。

【請求項4】

請求項2に記載の電子制御装置において、

前記第3の電源回路状態検知手段は、前記第3の電源回路の回路温度を監視し、前記第3の電源回路の前記回路温度に基づいて、前記第3の電源回路の過温度検知信号を生成する電子制御装置。

【請求項5】

請求項1に記載の電子制御装置において、

前記第1の電源回路から前記第3の電源回路の入力電圧または出力電圧の少なくとも1つに対して電圧検知信号を生成する電圧検知手段を備え、

前記状態検知信号と、

前記電圧検知信号に応じて前記第3の電源回路の回路動作状態を切り替えることを特徴とする電子制御装置。

【請求項6】

請求項5に記載の電子制御装置において、

前記電圧検知手段は、前記第1の電源回路または前記第2の電源回路の電源出力電圧の少なくとも1つを監視し、

前記第1の電源回路または前記第2の電源回路の電源出力電圧に基づいて、第1または第2の電源出力低電圧検知信号を生成する電子制御装置。

【請求項7】

請求項5に記載の電子制御装置において、

前記電圧検知手段は、前記第1の電源回路の電源入力電圧を監視し、

前記第1の電源回路の電源入力電圧に基づいて、第1の電源入力低電圧検知信号を生成

する電子制御装置。

【請求項 8】

請求項 1 に記載の電子制御装置において、

前記第 1 の電源回路から前記第 3 の電源回路の動作開始後の入力電圧または出力電圧状態に応じて、前記第 3 の電源回路の回路起動状態を切り替える手段を有することを特徴とする電子制御装置。

【請求項 9】

請求項 1 に記載の電子制御装置において、

前記第 3 の電源回路は外部から回路動作状態を切り替える手段を備えていることを特徴とする電子制御装置。

【請求項 10】

請求項 1 に記載の電子制御装置において、

前記電子制御装置は各種演算を実行するマイクロコントローラと、

前記第 2 の電源出力電圧を監視し、前記第 2 の電源回路の電源出力電圧が所定の電圧を下回った場合、前記マイクロコントローラに対して初期化信号を出力する手段と、を備える電子制御装置。

【 国際調査報告 】

| INTERNATIONAL SEARCH REPORT | | International application No. PCT/JP2015/066431 |
|--|--|--|
| A. CLASSIFICATION OF SUBJECT MATTER H02M3/155(2006.01)i, B60R16/033(2006.01)i, G05F1/56(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H02M3/155, B60R16/033, G05F1/56 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015 Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X Y | JP 2009-177909 A (Denso Corp.), 06 August 2009 (06.08.2009), paragraphs [0074] to [0079]; fig. 4 & US 2009/0184700 A1 & EP 2083497 A2 | 1-2, 9 4-5, 7-8, 10 |
| X Y | JP 5-127765 A (Nippondenso Co., Ltd.), 25 May 1993 (25.05.1993), paragraphs [0015], [0023]; fig. 1 (Family: none) | 1-3, 6 4-5, 7-8, 10 |
| Y | JP 2008-46720 A (Fujitsu Ten Ltd.), 28 February 2008 (28.02.2008), paragraph [0003]; fig. 1 (Family: none) | 4 |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family | | |
| Date of the actual completion of the international search 25 August 2015 (25.08.15) | | Date of mailing of the international search report 01 September 2015 (01.09.15) |
| Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan | | Authorized officer Telephone No. |

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/066431

| C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT | | |
|---|---|-----------------------|
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| Y | JP 2013-156874 A (Fujitsu Ten Ltd.), 15 August 2013 (15.08.2013), claim 1; fig. 1 & CN 103226369 A | 5, 7-8 |
| Y | JP 2008-289254 A (Denso Corp.), 27 November 2008 (27.11.2008), paragraph [0083]; fig. 1 & US 2008/0284389 A1 & EP 2003532 A2 | 10 |

| 国際調査報告 | | 国際出願番号 PCT/J P 2 0 1 5 / 0 6 6 4 3 1 | |
|--|--|--|---------|
| A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H02M3/155(2006.01)i, B60R16/033(2006.01)i, G05F1/56(2006.01)i | | | |
| B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H02M3/155, B60R16/033, G05F1/56 | | | |
| 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年 | | | |
| 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) | | | |
| C. 関連すると認められる文献 | | | |
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 | |
| X Y | JP 2009-177909 A (株式会社デンソー) 2009.08.06, 段落[0074]-[0079]、図4 & US 2009/0184700 A1 & EP 2083497 A2 | 1-2, 9 4-5, 7-8, 10 | |
| X Y | JP 5-127765 A (日本電装株式会社) 1993.05.25, 段落[0015]、[0023]、図1 (ファミリーなし) | 1-3, 6 4-5, 7-8, 10 | |
| Y | JP 2008-46720 A (富士通テン株式会社) 2008.02.28, 段落[0003]、図1 (ファミリーなし) | 4 | |
| <input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。 | | | |
| * 引用文献のカテゴリー | | の日の後に公表された文献 | |
| 「A」特に関連のある文献ではなく、一般的技術水準を示すもの | | 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの | |
| 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの | | 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの | |
| 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) | | 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの | |
| 「O」口頭による開示、使用、展示等に言及する文献 | | 「&」同一パテントファミリー文献 | |
| 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 | | | |
| 国際調査を完了した日 25.08.2015 | | 国際調査報告の発送日 01.09.2015 | |
| 国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号 | | 特許庁審査官 (権限のある職員) 安食 泰秀 | 3V 3740 |
| | | 電話番号 03-3581-1101 内線 3357 | |

| 国際調査報告 | | 国際出願番号 PCT/J P 2 0 1 5 / 0 6 6 4 3 1 |
|-----------------------|---|--------------------------------------|
| C (続き) . 関連すると認められる文献 | | |
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| Y | JP 2013-156874 A (富士通テン株式会社) 2013.08.15, 請求項1、図1 & CN 103226369 A | 5, 7-8 |
| Y | JP 2008-289254 A (株式会社デンソー) 2008.11.27, 段落[0083]、図1 & US 2008/0284389 A1 & EP 2003532 A2 | 10 |

 フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

Fターム(参考) 5H430 BB01 BB09 BB11 CC06 EE04 FF01 FF07 FF13 LA04 LA07
 LA10 LA13 LA15 LA26 LB06
 5H730 AA20 AS01 AS05 BB13 BB86 BB88 DD04 EE22 EE57 EE59
 EE61 FD01 FD31 FF08 FF09 FG01 VV01 XX02 XX03 XX13
 XX15 XX19 XX22 XX23 XX24 XX33 XX35 XX38 XX42 XX50

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。