

**(19)대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

|   |                                     |  |
|---|-------------------------------------|--|
| (51) 。 Int. Cl.<br><i>H01L 29/786</i> (2006.01) | (45) 공고일자<br>(11) 등록번호<br>(24) 등록일자 | 2006년05월11일<br>10-0579179<br>2006년05월04일 |
|---|-------------------------------------|--|

|                        |                                |                        |                                |
|------------------------|--------------------------------|------------------------|--------------------------------|
| (21) 출원번호<br>(22) 출원일자 | 10-2004-0079277<br>2004년10월05일 | (65) 공개번호<br>(43) 공개일자 | 10-2005-0117467<br>2005년12월14일 |
|------------------------|--------------------------------|------------------------|--------------------------------|

|            |               |             |          |
|------------|---------------|-------------|----------|
| (30) 우선권주장 | 1020040042347 | 2004년06월09일 | 대한민국(KR) |
|------------|---------------|-------------|----------|

|           |                                   |
|-----------|-----------------------------------|
| (73) 특허권자 | 삼성에스디아이 주식회사<br>경기 수원시 영통구 신동 575 |
|-----------|-----------------------------------|

|          |                                      |
|----------|--------------------------------------|
| (72) 발명자 | 박병건<br>인천광역시 동구 화수동 영풍아파트 102동 1904호 |
|----------|--------------------------------------|

|  |  |
|--|--|
|  | 서진욱<br>경기 수원시 영통구 영통동 969-1 태영아파트 933-1603 |
|--|--|

|  |  |
|--|--|
|  | 양태훈<br>경기도 성남시 분당구 정자동 상록마을우성아파트 303-501 |
|--|--|

|  |                                  |
|--|----------------------------------|
|  | 이기용<br>경기 용인시 기흥읍 동성아파트 101-1406 |
|--|----------------------------------|

|          |     |
|----------|-----|
| (74) 대리인 | 박상수 |
|----------|-----|

|                   |                   |
|-------------------|-------------------|
| (56) 선행기술조사문헌     |                   |
| JP05347262 A      | KR1020020077278 A |
| KR1020030015617 A | KR1020040045236 A |
| * 심사관에 의하여 인용된 문헌 |                   |

**심사관 : 최광섭**

**(54) 박막트랜지스터 및 그 제조 방법**

**요약**

본 발명은 기판상에 비정질 실리콘층을 형성하고, 상기 비정질 실리콘층상에 두께에 따라 다른 농도를 갖는 금속 촉매를 포함하는 캡핑층을 형성한 후, 상기 캡핑층을 패터닝하여 캡핑층 패턴을 형성하고, 상기 비정질 실리콘층을 결정화함으로써, 상기 비정질 실리콘층과 캡핑층 패턴의 계면에 형성되는 시드의 밀도 및 위치를 제어하게 됨으로서, 결정립의 크기와 균일도를 향상시킬 뿐만 아니라, 한 번의 결정화 공정으로 원하는 크기 및 균일도를 갖는 다결정 실리콘을 원하는 위치에 선택적으로 형성하여 특성이 우수하고, 원하는 특성을 갖는 박막트랜지스터를 형성하는 박막트랜지스터 및 그 제조 방법에 관한 것이다.

본 발명의 박막트랜지스터 및 그 제조 방법은 기판; 상기 기판상에 형성되고, 금속 촉매가 소정의 분포로 포함되고 소정의 높이 및 너비를 갖는 캡핑층 패턴을 이용하여 상기 캡핑층 하부의 비정질 실리콘층을 다결정 실리콘층으로 결정화하여 결정립의 크기가 서로 다른 복수 개의 반도체층; 및 상기 반도체층상에 형성된 게이트 절연막, 게이트 전극, 층간절연막 및 소오스/드레인 전극을 포함하여 이루어진 박막트랜지스터 제조 방법에 기술적 특징이 있다.

따라서, 본 발명의 박막트랜지스터 및 그 제조 방법은 두께에 따라 농도 및 분포가 변화하는 금속 촉매를 포함하는 캡핑층 패턴을 이용하여 결정화 공정을 진행함으로써, 결정립의 크기와 균일도를 향상시킬 뿐만 아니라, 한 번의 결정화 공정으로 원하는 크기 및 균일도를 갖는 다결정 실리콘을 원하는 위치에 선택적으로 형성하여 특성이 우수하고, 원하는 특성을 갖는 박막트랜지스터를 형성할 수 있는 효과가 있다.

## 대표도

도 5

## 색인어

SGS 결정화법, 캡핑층, 금속 촉매

## 명세서

### 도면의 간단한 설명

도 1은 기판상에 버퍼층 및 비정질 실리콘층을 형성하는 공정의 단면도.

도 2a 내지 도 2d는 상기 비정질 실리콘층상에 금속 촉매를 포함하는 캡핑층을 형성하는 공정의 단면도.

도 3a 내지 도 3c는 상기 금속 촉매를 포함하는 캡핑층을 패터닝하여 다양한 형태의 캡핑층 패턴을 형성하는 공정의 단면도.

도 4는 상기 비정질 실리콘층 및 금속 촉매를 포함하는 캡핑층이 형성된 기판을 열처리하여 결정화하는 공정의 단면도.

도 5는 열처리 공정시 비정질 실리콘층의 결정화를 설명하기 위한 단면도 및 평면도.

도 6은 본 발명에 의해 형성된 다결정 실리콘층을 이용하여 박막트랜지스터를 제조한 후의 단면도.

<도면의 주요부분에 대한 부호의 설명>

101 : 절연 기판 102 : 버퍼층

103a : 비정질 실리콘층 105a, 105b, 105c, 105d : 캡핑층

106a, 106b, 106c, 106d : 금속 촉매 120a, 120b, 120c : 캡핑층 패턴

124 : 열처리 공정 201 : 반도체층

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터 및 그 제조 방법에 관한 것으로, 보다 자세하게는 기판상에 비정질 실리콘층을 형성하고, 상기 비정질 실리콘층상에 두께에 따라 다른 농도를 갖는 금속 촉매를 포함하는 캡핑층을 형성한 후, 상기 캡핑층을 패터닝하여

캐핑층 패턴을 형성하고, 상기 비정질 실리콘층을 결정화함으로써, 상기 비정질 실리콘층과 캐핑층 패턴의 계면에 형성되는 시드의 밀도 및 위치를 제어하게 됨으로서, 결정립의 크기와 균일도를 향상시킬 뿐만 아니라, 한 번의 결정화 공정으로 원하는 크기 및 균일도를 갖는 다결정 실리콘을 원하는 위치에 선택적으로 형성하여 특성이 우수하고, 원하는 특성을 갖는 박막트랜지스터를 형성하는 박막트랜지스터 및 그 제조 방법에 관한 것이다.

일반적으로, 다결정 실리콘층은 높은 전계 효과 이동도와 고속 동작 회로에 적용이 가능하며 CMOS 회로 구성이 가능하다는 장점이 있어 박막트랜지스터용 반도체층의 용도로서 많이 사용되고 있다. 이러한 다결정 실리콘층을 이용한 박막트랜지스터는 주로 능동 행렬 액정 디스플레이 장치(AMLCD)의 능동소자와 유기 전계 발광 소자(OLED) 등과 같은 평판 표시 장치의 스위칭 소자 및 구동 소자에 사용된다.

이때, 박막트랜지스터에 사용하는 다결정 실리콘층은 통상적으로 비정질 실리콘층을 증착한 후, 고온 열처리를 이용한 기술 또는 레이저 열처리 방법 등에 의하여 제조된다. 레이저 열처리 방법은 저온 공정이 가능하고 높은 전계효과 이동도를 구현할 수 있지만, 고가의 레이저 장비가 필요하므로 대체 기술이 많이 연구되고 있다.

현재, 금속을 이용하여 비정질 실리콘을 결정화 하는 방법은 고온에서 장시간 열처리하여 결정화하는 고상결정화(Solid Phase Crystallization)보다 낮은 온도에서 빠른 시간 내에 결정화시킬 수 있는 장점을 가지고 있기 때문에 많이 연구되고 있다. 금속을 이용한 결정화 방법은 금속 유도 결정화(Metal Induced Crystallization) 방법과 금속 유도 측면 결정화(Metal Induced Lateral Crystallization) 방법으로 구분된다. 그러나, 금속을 이용한 상기 방법의 경우에도 금속 오염으로 인하여 누설 전류가 증가하여 박막트랜지스터의 소자 특성이 저하되는 문제점이 있다.

한편, 금속양을 줄이고 양질의 다결정 실리콘층을 형성시키기 위해서, 이온주입기를 통해서 금속의 이온 농도를 조절하여 고온처리, 금속열처리 또는 레이저 조사로 양질의 다결정 실리콘층을 형성시키는 기술과 금속 유도 결정화 방법으로 다결정 실리콘층의 표면을 평탄하게 하기 위해 점성이 있는 유기막과 액상의 금속을 혼합하여 스핀 코팅 방법으로 박막을 증착한 다음 열처리 공정으로 결정화하는 방법이 개발되어 있다. 그러나, 상기 결정화 방법의 경우에도 다결정 실리콘층에서 가장 중요시 되는 그레인 크기의 대형화 및 균일도 측면에서 문제가 있다.

상기 문제를 해결하기 위하여 덮개층을 이용한 결정화 방법으로 다결정 실리콘층을 제조하는 방법(대한민국 공개특허 제 2003-0060403호)이 개발되었다. 상기 방법은, 기판 상에 금속 촉매층을 형성하고, 그 위에 캐핑층을 형성시킨 다음, 상기 캐핑층 상에 비정질 실리콘층을 형성하여 열처리 혹은 레이저를 이용해서 금속 촉매를 캐핑층을 통해서 비정질 실리콘층으로 확산시켜 시드를 형성시킨 후, 이를 이용하여 다결정 실리콘층을 얻어내는 방법이다. 상기 방법은 금속 촉매가 덮개층을 통하여 확산되기 때문에 필요 이상의 금속 오염을 막을 수 있다는 장점이 있다.

그러나, 상기의 결정화 방법은 금속 촉매의 균일한 농도 제어가 어렵고 결정화 위치 및 결정립의 크기를 제어하기 어렵다는 문제점이 있으며 특히, 금속 촉매층을 패터닝하는 과정에서 금속 촉매가 보호되지 않을 수 있어 균일한 금속 촉매층의 패턴이 어렵다는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래 기술의 제반 단점과 문제점을 해결하기 위한 것으로, 기판상에 비정질 실리콘층을 형성하고, 상기 비정질 실리콘층상에 두께에 따라 다른 농도를 갖는 금속 촉매를 포함하는 캐핑층을 형성한 후, 상기 캐핑층을 패터닝하여 캐핑층 패턴을 형성하고, 상기 비정질 실리콘층을 결정화함으로써, 상기 비정질 실리콘층과 캐핑층 패턴의 계면에 형성되는 시드의 밀도 및 위치를 제어하게 됨으로서, 결정립의 크기와 균일도를 향상시킬 뿐만 아니라, 한 번의 결정화 공정으로 원하는 크기 및 균일도를 갖는 다결정 실리콘을 원하는 위치에 선택적으로 형성하여 특성이 우수하고, 원하는 특성을 갖는 박막트랜지스터를 형성하는 박막트랜지스터 및 그 제조 방법을 제공함에 본 발명의 목적이 있다.

### 발명의 구성 및 작용

본 발명의 상기 목적은 기판; 상기 기판상에 형성되고, 금속 촉매가 소정의 분포로 포함되고 소정의 높이 및 너비를 갖는 캐핑층 패턴을 이용하여 상기 캐핑층 하부의 비정질 실리콘층을 다결정 실리콘층으로 결정화하여 결정립의 크기가 서로 다른 복수 개의 반도체층; 및 상기 반도체층상에 형성된 게이트 절연막, 게이트 전극, 층간절연막 및 소오스/드레인 전극으로 이루어진 박막트랜지스터에 의해 달성된다.

또한, 본 발명의 상기 목적은 기판을 준비하는 단계; 상기 기판상에 비정질 실리콘층을 형성하는 단계; 상기 비정질 실리콘층상에 금속 촉매를 포함하는 캡핑층을 형성하는 단계; 상기 캡핑층을 패터닝하는 단계; 및 상기 기판을 열처리하여 비정질 실리콘층을 다결정 실리콘층으로 결정화하는 단계로 이루어진 박막트랜지스터 제조 방법에 의해서도 달성된다.

또한, 본 발명의 상기 목적은 상기 결정화하는 단계 이후, 상기 캡핑층을 제거하는 단계; 상기 다결정 실리콘층을 패터닝하여 반도체층을 형성하는 단계; 및 상기 기판상에 게이트 절연막, 게이트 전극, 층간절연막 및 소오스/드레인 전극을 형성하는 단계를 더 포함함을 특징으로 하는 박막트랜지스터 제조 방법에 의해서도 달성된다.

또한, 본 발명의 상기 목적은 상기 비정질 실리콘층상에 금속 촉매를 포함하는 캡핑층을 형성하는 단계는 상기 비정질 실리콘층상에 제1캡핑층을 형성하는 단계; 상기 제1캡핑층상에 금속 촉매층을 형성하는 단계; 및 상기 금속 촉매층상에 제2캡핑층을 형성하는 단계임을 특징으로 하는 박막트랜지스터 제조 방법에 의해서도 달성된다.

또한, 본 발명의 상기 목적은 상기 비정질 실리콘층상에 금속 촉매를 포함하는 캡핑층을 형성하는 단계는 상기 비정질 실리콘층상에 캡핑층 형성 물질과 금속 촉매를 동시에 증착하여 금속 촉매를 포함하는 캡핑층을 형성하는 단계임을 특징으로 하는 박막트랜지스터 제조 방법에 의해서도 달성된다.

또한, 본 발명의 상기 목적은 상기 비정질 실리콘층상에 금속 촉매를 포함하는 캡핑층을 형성하는 단계는 상기 비정질 실리콘층상에 소정의 두께를 형성하는 동안에는 캡핑층 형성 물질만을 증착하여 금속 촉매가 존재하지 않는 캡핑층을 형성하고, 연속적으로 캡핑층 형성 물질과 금속 촉매를 동시에 증착하여 소정의 두께는 금속 촉매를 포함하는 캡핑층을 형성하는 단계임을 특징으로 하는 박막트랜지스터 제조 방법에 의해서도 달성된다.

또한, 본 발명의 상기 목적은 상기 비정질 실리콘층상에 금속 촉매를 포함하는 캡핑층을 형성하는 단계는 상기 비정질 실리콘층상에 캡핑층을 형성하는 단계; 및 상기 캡핑층 내부로 이온 주입 공정으로 금속 촉매를 주입하는 단계임을 특징으로 하는 박막트랜지스터 제조 방법에 의해서도 달성된다.

본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.

도 1은 기판상에 버퍼층 및 비정질 실리콘층을 형성하는 공정의 단면도이다. 도에서 보는 바와 같이 유리 또는 플라스틱과 같은 절연 기판(101)상에 실리콘 산화막 또는 실리콘 질화막과 같은 절연막을 이용하여 단층 또는 복층으로 버퍼층(102)을 형성한다. 이때 상기 버퍼층은 하부 기판에서 발생하는 수분 또는 불순물의 확산을 방지하거나, 결정화시 열의 전달의 속도를 조절함으로써, 상기 비정질 실리콘층의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.

이어서, 상기 버퍼층상에 비정질 실리콘층(103a)을 형성한다. 이때 상기 비정질 실리콘층은 화학적 기상 증착법(Cheical Vapor Deposition) 또는 물리적 기상 증착법(Physical Vapor Deposition)을 이용할 수 있다. 또한 상기 비정질 실리콘층을 형성할 때 또는 형성한 후에 탈수소처리하여 수소의 농도를 낮추는 공정을 진행할 수 있다.

도 2a 내지 도 2d는 상기 비정질 실리콘층상에 금속 촉매를 포함하는 캡핑층을 형성하는 공정의 단면도이다.

먼저, 도 2a는 상기 비정질 실리콘층상에 금속 촉매를 포함하는 캡핑층을 형성하는 공정의 일 실시 예의 단면도이다. 도에서 보는 바와 같이 비정질 실리콘층이 형성된 기판상에 화학적 기상 증착법 또는 물리적 기상 증착법을 이용하여 실리콘 산화막 또는 질화막으로 제1캡핑층(104a)을 형성한다.

이어서, 상기 제1캡핑층상에 금속 촉매를 화학적 기상 증착법 또는 물리적 기상 증착법을 이용하여  $10^{11}$  내지  $10^{15}$  atoms/cm<sup>2</sup>의 면밀도로 증착하여 금속 촉매층(105)을 형성한다. 이때, 상기 금속 촉매는 Ni, Pd, Ti, Ag, Au, Al, Sn, Sb, Cu, Co, Mo, Tr, Ru, Rh, Cd 또는 Pt 중 어느 하나 이상을 이용할 수 있는데, 바람직하게는 니켈(Ni)을 이용하여 금속 촉매층(106a)을 형성한다. 상기 니켈을 이용하여 금속 촉매층을 형성하는 것이 상기 니켈이 비정질 실리콘층을 다결정 실리콘층으로 결정화하는 것이 쉽기 때문에 바람직하다.

이어서, 상기 금속 촉매층상에 화학적 기상 증착법 또는 물리적 기상 증착법을 이용하여 실리콘 산화막 또는 질화막으로 제2캡핑층(104b)을 형성하여 금속 촉매가 포함된 캡핑층(105a)을 형성한다.

따라서, 도에 표기한 상기 캡핑층의 금속 촉매의 농도 그래프(107)에서 보는 바와 같이 상기 제1캡핑층과 제2캡핑층사이의 금속 촉매층에서 100%을 나타내고 있음을 볼 수 있다. 따라서, 상기 금속 촉매층의 면밀도 또는 증착 양을 조절하여 이후 비정질 실리콘층의 결정화를 유도하는 시드(seed)의 양, 위치 또는 밀도를 조절할 수 있다. 이때, 상기 금속 촉매의 농도 그래프의 x축은 캡핑층 내의 금속 촉매의 농도를 나타내고, y축은 비정질 실리콘층과 캡핑층의 계면으로 부터의 거리, 즉, 캡핑층의 두께를 나타내고 있다.

다음, 도 2b는 상기 비정질 실리콘층상에 금속 촉매를 포함하는 캡핑층을 형성하는 공정의 다른 일 실시 예의 단면도이다. 도에서 보는 바와 같이 화학적 기상 증착 장치 또는 물리적 기상 증착 장치를 이용하여 캡핑층을 형성하면서, 금속 촉매를 동시에 주입하여 상기 캡핑층 내에 금속 촉매가 균일하게 분포되도록 형성하여 균일하게 분포된 금속 촉매(106b)를 포함하는 캡핑층(105b)을 형성한다.

이때, 도에서 보는 바와 같이 상기 금속 촉매를 포함하는 캡핑층의 금속 촉매의 농도 그래프(108a)는 캡핑층 내에 균일하게 분포하고 있어, 캡핑층의 두께 전체에 걸쳐 일정한 밀도를 보이고 있다. 이러한 균일한 분포를 가지고 있는 경우, 금속 촉매를 주입하면서 캡핑층을 형성함으로써, 캡핑층 형성 속도는 일정하게 하고, 금속 촉매의 주입 양 또는 속도를 조절함으로써 금속 촉매의 밀도를 조절할 수 있고, 또한 금속 촉매의 주입 양 또는 속도는 일정하게 유지하면서 캡핑층의 형성 속도를 조절하여 캡핑층 내의 금속 촉매의 밀도를 조절할 수 있다.

또한, 상기 캡핑층 내의 금속 촉매의 밀도 또는 양을 나타내는 다른 금속 촉매 농도 그래프(108b, 108c)에서 보는 바와 같이 캡핑층의 두께에 따라 점진적으로 증가하도록 형성할 수도 있고, 기하급수적으로 증가하도록 형성할 수도 있다.

상기와 같이 캡핑층 내의 금속 촉매의 밀도 또는 양을 조절하여 이후 결정핵인 시드의 위치, 양 또는 밀도를 조절할 수 있다.

다음, 도 2c는 상기 비정질 실리콘층상에 금속 촉매를 포함하는 캡핑층을 형성하는 공정의 또 다른 일 실시 예의 단면도이다. 도에서 보는 바와 같이 화학적 기상 증착 장치 또는 물리적 기상 증착 장치를 이용하여 비정질 실리콘층상에 소정의 두께를 형성하는 동안에는 금속 촉매를 주입하지 않다가, 일정한 두께 이상을 형성한 후, 금속 촉매를 주입하기 시작하여 소정 두께 이상에만 금속 촉매(106c)를 포함하는 캡핑층(105c)을 형성한다.

이때, 도에 표기한 상기 금속 촉매를 포함하는 캡핑층의 금속 촉매의 농도 그래프(109a, 109b, 109c, 109d 및 109e)에서 보는 바와 같이 소정 두께 이후, 금속 촉매의 농도가 일정하도록 형성하거나, 점진적으로 증가하도록 형성하거나, 점진적으로 감소하도록 형성하거나, 기하급수적으로 증가하도록 형성하거나, 기하급수적으로 감소하도록 형성할 수 있다.

다음, 도 2d는 상기 비정질 실리콘층상에 금속 촉매를 포함하는 캡핑층을 형성하는 공정의 또 다른 일 실시 예의 단면도이다. 도에서 보는 바와 같이 화학적 기상 증착 장치 또는 물리적 기상 증착 장치를 이용하여 비정질 실리콘층상에 캡핑층(105d)을 형성한다.

이어서, 이온 주입 공정을 이용하여 상기 캡핑층 내의 소정 위치에 금속 촉매(106d)을 주입하여 캡핑층의 소정 두께 범위에서 금속 촉매가 존재하도록 한다.

이때, 도에 표기한 상기 금속 촉매를 포함하는 캡핑층의 금속 촉매의 농도 그래프(110a, 110b)에서 보는 바와 같이 한 번의 이온 주입으로 금속 촉매가 존재하는 영역을 하나의 영역만으로 형성하거나, 두 번 이상의 이온 주입으로 금속 촉매가 존재하는 영역을 둘 이상 영역으로 형성할 수 있다.

따라서, 도 2a 내지 도 2d에서 상술한 여러 가지 방법으로 금속 촉매를 포함하는 캡핑층을 형성할 수 있는데, 이는 상기 금속 촉매의 양, 밀도 또는 분포를 적절히 제어함으로써, 이후 상기 캡핑층을 패터닝하는 공정과 더불어 결정화에 필요한 시드의 생성 위치, 밀도 또는 분포를 제어할 수 있게 된다.

이때, 상기 금속 촉매를 포함하는 캡핑층의 두께는 5 내지 2000Å로 형성하는 것이 바람직하다.

도 3a 내지 도 3c는 상기 금속 촉매를 포함하는 캡핑층을 패터닝하여 다양한 형태의 캡핑층 패턴을 형성하는 공정의 단면도이다.

먼저, 도 3a는 패터닝 마스크의 패턴간의 간격을 제어하여 간격이 다르도록 형성된 캡핑층 패턴의 단면도이다. 도에서 보는 바와 같이 패턴 마스크 또는 포토레지스트 패턴을 이용하여 상기 캡핑층(105a, 105b, 105c 또는 105d)을 패터닝하여 캡핑층 패턴(120a)을 형성한다. 이때, 상기 캡핑층 패턴은 캡핑층 패턴간의 사이 간격(121)을 조절하여 형성한다.

상기와 같이 캡핑층 패턴간의 간격을 조절하여 형성하는 경우, 상기 캡핑층 패턴이 형성된 영역 하부의 비정질 실리콘층의 결정립의 크기 및 균일도는 캡핑층 패턴에 의해 형성된 시드에 의해 결정되어 지는 반면, 캡핑층 패턴이 존재하지 않는 영역 하부(이후, "무패턴 영역"이라 칭함)의 비정질 실리콘층의 결정립의 크기 및 균일도는 이웃하는 캡핑층 패턴의 결정립의 크기 및 균일도 뿐만 아니라, 이웃하는 캡핑층 패턴간의 거리에도 많은 영향을 받게 된다. 즉, 캡핑층 패턴 하부의 비정질 실리콘층은 캡핑층 패턴 내부에 존재하는 금속 촉매의 밀도 또는 분포에 의해서 형성된 시드에 의해 결정된 크기 및 균일도를 갖는 다결정 실리콘층을 형성하게 되지만, 무패턴 영역 하부의 비정질 실리콘층은 가장 가까운 캡핑층 패턴에 의해 형성된 다결정 실리콘층의 결정성이 측면 전파에 의해 결정성을 갖게됨으로서, 결정립의 크기 및 균일도가 캡핑층 패턴의 시드에 영향을 받을 뿐만 아니라 캡핑층 패턴간의 간격, 즉, 결정성의 전파의 거리에도 영향을 받게 된다. 따라서, 상기 패턴간의 거리를 제어하여 비정질 실리콘층의 결정화를 제어할 수 있다.

이때, 상기 캡핑층 패턴간의 간격은 3 내지 400 $\mu$ m으로 형성하는 것이 바람직한데, 이는 상기 캡핑층 패턴과 이웃하는 캡핑층 패턴의 사이에 형성된 다결정 실리콘층을 이용하여 반도체층을 형성하거나, 캐패시터의 전극 등으로 이용하기 때문이다. 즉, 캡핑층 패턴간의 간격이 좁으면(즉, 3 $\mu$ m 이하인 경우), 반도체층이나 캐패시터의 전극 등과 같은 소자를 형성하기가 어렵고, 너무 넓게 형성되면(즉, 400 $\mu$ m 이상인 경우) 비정질 실리콘층의 결정화가 어렵거나 너무 많은 공정 시간이 필요하다는 단점이 있다.

먼저, 도 3b는 여러 패터닝 방법을 이용하여 두께가 다르도록 형성된 캡핑층 패턴의 단면도이다. 도에서 보는 바와 같이 패턴 마스크 또는 포토레지스트 패턴을 이용하여 상기 캡핑층(105a, 105b, 105c 또는 105d)을 패터닝하여 캡핑층 패턴(120b)을 형성한다. 이때, 상기 캡핑층 패턴은 캡핑층의 두께(122)를 조절하여 형성한다.

이때, 상기 캡핑층 패턴의 두께는 금속 촉매의 양, 밀도 및 분포에 많은 영향을 미친다. 즉, 상기 도 2a 내지 도 2d에서 상술한 바와 같이 캡핑층의 두께에 따라 금속 촉매의 양 또는 밀도가 변화하게 되는데, 이에 따라, 캡핑층 패턴의 두께가 변화(즉, 패터닝되어 없어지게 되면)하게 되면 금속 촉매의 양이 더욱 변화가 커지게 된다. 결국, 결정화를 유도하는 시드가 캡핑층 내의 금속 촉매의 밀도 뿐만 아니라, 캡핑층 패턴의 두께에도 영향을 받게 됨으로 결정화를 더욱 정밀하게 제어할 수 있게 된다.

이때, 상기 캡핑층 패턴의 두께를 다르게 형성하는 방법은 하프톤 마스크를 이용하거나, 부분적으로 마스크를 형성하고, 전면 식각을 진행하여 캡핑층 패턴의 두께를 조절하는 방법 등이 있다.

이때, 상기 캡핑층 패턴의 두께는 도 2a 내지 도 2d에서 상술한 바와 같은 방법으로 형성된 캡핑층을 식각하여 완전히 없앨 수도 있고, 또한 전혀 식각하지 않고 형성된 캡핑층 그대로를 이용할 수 있다. 즉, 캡핑층 패턴의 두께는 캡핑층 패턴을 형성한 후, 상기 캡핑층 패턴 내에 존재하는 금속 촉매의 양 또는 밀도와 밀접한 관계가 있으므로 필요에 의해 다양하게 조절할 수 있다.

다음, 도 3c는 캡핑층 패턴간의 너비를 다르게 형성한 캡핑층 패턴의 단면도이다. 도에서 보는 바와 같이 마스크 또는 포토레지스트 패턴을 이용하여 캡핑층 패턴(120c) 자체의 너비(123)를 다르게 형성한다.

상기와 같이 캡핑층 패턴의 너비가 다르게 형성되면, 각 캡핑층 패턴 내에 포함된 금속 촉매의 밀도는 서로 유사하나, 금속 촉매의 양(금속 촉매의 양은 각각의 캡핑층 패턴의 밀도가 같다고 한다면 캡핑층 패턴의 부피에 비례하게 됨)은 서로 다르므로 캡핑층 패턴의 하부 영역에서 생성되는 시드의 갯수가 캡핑층 패턴의 너비에 따라 증가하게 된다.

또한, 상기 캡핑층 패턴의 너비가 소정의 크기 이하가 되면, 캡핑층 패턴 하부에는 단 하나의 시드만이 생성될 것이고, 이로 인해 캡핑층 패턴 하부의 비정질 실리콘층은 결정립이 단 하나인 단결정 영역이 될 것이다. 그리고, 이러한 단결정 영역과 인접한 비정질 실리콘층(무패턴 영역 하부의 비정질 실리콘층)도 상기 단결정 영역의 결정성이 전파되어 결정화됨으로서 기관 전체적으로는 결정성이 우수한 다결정 실리콘층을 얻을 수 있을 것이다.

이때, 상기 캡핑층 패턴의 너비는 1 내지 20 $\mu\text{m}$ 로 형성하는 것이 바람직하는데, 이는 상기 캡핑층 패턴의 너비에 따라 결정화에 영향을 미치는 금속 촉매의 양이 직접적으로 영향을 받기 때문이다. 또한, 캡핑층 패턴의 너비가 너무 커지게 되면, 결정화 공정 이후, 다결정 실리콘층 상에 잔류하는 금속 촉매의 양이 너무 많아져 다결정 실리콘층의 특성을 저하시키기 때문에 20 $\mu\text{m}$  이하로 형성하는 것이 바람직하다.

따라서, 상기 도 2a 내지 도 2d와 도 3a 내지 도 3c에서 상술한 두께에 따라 다른 밀도로 분포된 금속 촉매를 갖는 캡핑층 형성 방법과 상기 캡핑층을 여러 형태로 패터닝한 캡핑층 패턴 방법을 여러 가지 조합으로 조합하여 비정질 실리콘층상에 캡핑층 패턴을 형성하게 되면 원하는 영역에 원하는 결정립의 크기, 원하는 결정립 크기의 균일도를 갖는 다결정 실리콘층을 형성할 수 있다.

도 4는 상기 비정질 실리콘층 및 금속 촉매를 포함하는 캡핑층이 형성된 기판을 열처리하여 결정화하는 공정의 단면도이다. 도에서 보는 바와 같이 도 2a 내지 도 2d에서 상술한 바와 같은 방법으로 여러 형태의 밀도 및 분포를 갖는 금속 촉매를 포함하는 캡핑층을 형성하고, 도 3a 내지 도 3c에서 상술한 바와 같은 방법으로 캡핑층을 패터닝하여 여러 형태의 캡핑층 패턴(120)을 형성한 기판을 열처리(124)하여 상기 비정질 실리콘층(103a)을 다결정 실리콘층(103b)으로 결정화하는 공정을 진행한다.

이때, 상기 열처리 공정은 제1열처리 공정 및 제2열처리 공정으로 두 번의 공정에 걸쳐 진행될 수 있다. 제1열처리 공정은 200 내지 800 $^{\circ}\text{C}$ 의 온도 범위에서 열처리하여 상기 캡핑층 패턴 내에 포함되어 있는 금속 촉매를 확산 또는 침투시켜 비정질 실리콘층의 계면에 결정화를 유도하는 금속 실리사이드의 시드를 형성시킨다. 이어서, 상기 제2열처리 공정을 400 내지 1300 $^{\circ}\text{C}$ 의 온도 범위에서 실시하여 상기 시드에 의해 비정질 실리콘층을 다결정 실리콘층으로 결정화한다. 이때, 상기 다결정 실리콘층의 결정립의 크기는 5 $\mu\text{m}$  내지 400 $\mu\text{m}$ 를 갖게 된다.

이때, 상기 다결정 실리콘층의 결정립 크기 및 균일도는 상기 시드의 양 또는 밀도에 의해 결정되는데, 이는 상기 캡핑층 패턴의 크기(너비 및 간격)과 캡핑층 패턴 내의 금속 촉매의 분포, 밀도 및 양에 의해 결정된다. 따라서, 다결정 실리콘층의 결정립 크기 및 균일도를 제어하기 위해서는 캡핑층 패턴 내의 금속 촉매의 분포, 밀도 및 양을 상기 도 2a 내지 도 3c에서 상술한 바와 같은 방법으로 제어함으로써 이를 수 있다.

이때, 상기 다결정 실리콘층 상에 잔류하는 금속 촉매의 양은  $10^9$  내지  $10^{13}$  atoms/ $\text{cm}^2$ 인데, 이는 상기 캡핑층 패턴 내에 포함된 금속 촉매가 열처리 공정에 의해 비정질 실리콘층 표면으로 확산 또는 침투하여 시드를 형성하고, 상기 시드에 의해 결정화된 후, 상기 캡핑층을 제거한 후에도 잔류하는 양으로서 캡핑층 패턴 내에 포함된 금속 촉매의 양에 직접적인 관련이 있다.

도 5는 열처리 공정시 비정질 실리콘층의 결정화를 설명하기 위한 단면도 및 평면도이다. 도에서 보는 바와 같이 도 4의 제1열처리 공정에 의해 도 3a 내지 도 3c에서 상술한 캡핑층 패턴 내에 포함된 금속 촉매가 확산 또는 침투에 의해 시드(125a, 125b, 125c, 125d 및 125e)를 형성한다. 이때, 상기 시드는 캡핑층 패턴(126a, 126b, 126c, 126d 및 126e) 내에 포함된 금속 촉매에 의해 형성된다.

이어서, 제2열처리 공정에 의해 상기 시드에 의해 비정질 실리콘층이 다결정 실리콘층으로 결정화가 유도된다. 도 5에서 보는 바와 같이 상기 시드의 결정성이 비정질 실리콘층에 전파(127a, 127b, 127c, 127d 및 127e)되어 다결정 실리콘층을 형성하게 되는데, 도에서는 시드를 중심으로 평면적으로(사방으로) 결정이 성장하는 것으로 묘사되어 있으나, 실제로는 수직적으로(깊이 방향으로)도 결정이 성장한다.

이때, 도 5의 왼쪽에서 첫 번째에 위치한 캡핑층 패턴인 제1캡핑층 패턴(126a)은 다른 캡핑층 패턴들의 기준이 되는 패턴으로 도 2a 내지 도 2d 중 어느 하나 이상의 금속 촉매의 농도 분포를 갖는 캡핑층 패턴이다. 상기 제1캡핑층 패턴 하부에는 제1캡핑층 패턴 내에 포함되어 있던 금속 촉매에 의해 시드(125a)가 형성되고, 상기 시드의 결정성이 제2열처리 공정 동안 전파(127a)되어 결정립(128a)을 형성하게 되는데, 상기 결정립의 크기는 제1캡핑층 패턴의 하부 영역의 면적에 생성된 시드의 갯수(도에서는 4개가 형성되어 있는 것을 볼 수 있다)에 의해 결정됨으로, 제1캡핑층 패턴의 하부 영역의 면적과 시드의 갯수를 조절하여 제어할 수 있다. 즉, 면적은 넓히고, 형성되는 시드의 갯수를 일정하게 하면 결정립의 크기는 커지고, 면적은 고정하고, 시드의 갯수를 줄여도 결정립의 크기는 커지게 된다. 또한, 상기 제1캡핑층 패턴과 이웃하는 무패턴 영역, 즉, 캡핑층 패턴 간의 사이 영역으로 상기 제1캡핑층 패턴에 의해 형성된 결정성이 전파되게 되는데, 도의 제1무패턴 영역(129a)은 네개의 결정립(제1캡핑층 패턴의 양 옆의 결정립을 합친 갯수)에서 전파된 결정성에 의해 결정화되어 두개의 결정립을 형성하게 된다.

도 5의 왼쪽에서 두 번째에 위치한 캡핑층 패턴인 제2캡핑층 패턴(126b)은 도3c에서 상술한 바와 같이 캡핑층 패턴의 너비를 제어하여 형성한 패턴으로서, 그 너비를 하부 영역의 비정질 실리콘층상에 하나의 시드(125b)만이 형성되는 너비로 형성한 캡핑층 패턴이다. 상기 시드에 의해 결정성이 전파(127b)되어 제2캡핑층 패턴 하부 영역의 비정질 실리콘층은 하나의 결정립(128b)으로 성장하도록 한다. 따라서, 제2무패턴 영역에서도 결정립의 결정성이 전파되어 두개의 결정립만이 형성되어, 제2무패턴 영역의 내부에는 결정입계가 존재하지 않는 단결정과 같은 실리콘층을 얻을 수 있다.

이때, 상기 제1캡핑층 패턴과 제2캡핑층 패턴의 사이 영역에는 제1무패턴 영역과 제2무패턴 영역이 존재하게 된다. 따라서, 상기 제1캡핑층 패턴과 제2캡핑층 패턴 사이의 영역에는 양쪽의 결정성이 접촉하는 결정립계(130a)를 포함하여 적어도 하나 이상의 결정립계(예를 들어, 제1캡핑층 패턴과 제2캡핑층 패턴 하부 영역에 각각 하나의 결정립만이 존재한다고 가정하여도, 각각의 결정립에서 전파된 결정성이 접촉하는 영역에서는 적어도 하나의 결정립계가 형성되기 때문이다.)가 형성된다. 또한 다른 무패턴 영역이 접촉하는 영역에서도 결정립계(130b, 130c, 130d)가 각각 적어도 하나 이상 형성된다.

도 5의 왼쪽에서 세 번째에 위치한 캡핑층 패턴인 제3캡핑층 패턴(126c)은 도3b에서 상술한 바와 같이 캡핑층 패턴의 두께를 제어하여 형성한 패턴으로서, 그 두께를 제어하여 비정질 실리콘층상에 시드(125c)의 갯수를 제어할 수 있다. 이때, 제1캡핑층 패턴과 금속 촉매의 분포 및 밀도가 동일하고 하면 두께가 얇을 수록 결정립(128c)의 크기는 커지게 될 것이다.

도 5의 왼쪽에서 네 번째에 위치한 캡핑층 패턴인 제4캡핑층 패턴(126d)은 도3a에서 상술한 바와 같이 캡핑층 패턴들 간의 간격을 제어하여 형성하기 위한 패턴으로서, 제4캡핑층 패턴 자체는 다른 어떤 캡핑층 패턴과 동일하게 형성하여도 무방하나, 그 간격만은 다르게 형성한다. 이때, 제3캡핑층 패턴 하부에 형성된 다결정 실리콘층의 결정성이 전파하여 형성된 제3무패턴 영역 중 제4캡핑층 패턴과 인접한 영역과 제4캡핑층 패턴 하부에 형성된 다결정 실리콘층의 결정성이 전파하여 형성된 제4무패턴 영역 중 제3캡핑층 패턴과 인접한 영역이 다른 무패턴 영역 보다 넓게 형성됨으로 제4캡핑층 패턴에 의해 형성된 다결정 실리콘층의 결정성을 넓게 형성하고 싶을때는 패턴만을 넓게 형성함으로써 쉽게 형성할 수 있다.

도 5의 왼쪽에서 다섯 번째에 위치한 캡핑층 패턴인 제5캡핑층 패턴(126e)은 도3c에서 상술한 바와 같이 캡핑층 패턴의 너비를 제어하여 형성한 패턴으로서, 균일하게 분포된 시드(125e)에 의해 균일하게 형성된 결정립(128e)이 넓게 형성되도록 형성할 수 있다. 즉, 캡핑층 패턴 내의 금속 촉매를 조절하여 시드의 생성 밀도 및 양을 조절하고, 결정을 성장시킴으로서, 일정한 크기의 균일도를 갖는 다결정 실리콘층을 얻을 수 있게 된다.

도 6은 본 발명에 의해 형성된 다결정 실리콘층을 이용하여 박막트랜지스터를 제조한 후의 단면도이다. 도에서 보는 바와 같이 상기 캡핑층 패턴을 제거한 후, 소정 영역(캡핑층 패턴의 하부 영역 또는 캡핑층 패턴의 사이 영역)을 패터닝하여 다결정 실리콘층으로 형성된 반도체층(201)을 형성한다. 이때, 상기 반도체층은 도 2a 내지 도3c에서 상술한 바와 같이 다양한 분포 및 밀도를 갖는 금속 촉매를 포함하고, 다양한 크기, 너비 및 위치를 갖는 캡핑층 패턴을 형성한 후, 결정화함으로써 결정립의 크기 및 균일도가 제어된 다결정 실리콘층으로 형성된다.

이어서, 상기 기판상에 실리콘 산화막 또는 실리콘 질화막을 단층 또는 복층으로 화학적 기상 증착법 또는 물리적 기상 증착법을 이용하여 게이트 절연막(202)을 형성한다.

이어서, 상기 기판상에 게이트 전극 형성 물질을 증착한 후, 패터닝하여 게이트 전극(203)을 형성하고, 상기 기판상에 실리콘 산화막 또는 실리콘 질화막을 단층 또는 복층으로 증간절연막(204)을 형성한다.

이어서, 상기 증간절연막 및 게이트 절연막의 소정 영역을 식각하여 상기 반도체층의 소정 영역을 노출시킨 콘택홀을 형성하고, 상기 기판 전면에서 소오스/드레인 전극 형성 물질을 형성한 후, 패터닝하여 소오스/드레인 전극(205)을 형성하여 박막트랜지스터를 완성한다.

본 발명은 이상에서 살펴본 바와 같이 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시 예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

## 발명의 효과



따라서, 본 발명의 박막트랜지스터 제조 방법은 두께에 따라 농도 및 분포가 변화하는 금속 촉매를 포함하는 캡핑층 패턴을 이용하여 결정화 공정을 진행함으로써, 결정립의 크기와 균일도를 향상시킬 뿐만 아니라, 한 번의 결정화 공정으로 원하는 크기 및 균일도를 갖는 다결정 실리콘을 원하는 위치에 선택적으로 형성하여 특성이 우수하고, 원하는 특성을 갖는 박막트랜지스터를 형성할 수 있는 효과가 있다.

(57) 청구의 범위

**청구항 1.**

기관;

상기 기관상에 형성되고, 금속 촉매가 소정의 분포로 포함되고 소정의 높이 및 너비를 갖는 캡핑층 패턴을 이용하여 상기 캡핑층 하부의 비정질 실리콘층을 다결정 실리콘층으로 결정화하여 결정립의 크기가 서로 다른 복수 개의 반도체층; 및

상기 반도체층상에 형성된 게이트 절연막, 게이트 전극, 층간절연막 및 소오스/드레인 전극

을 포함하는 것을 특징으로 하는 박막트랜지스터.

**청구항 2.**

제 1 항에 있어서,

상기 결정립의 크기가 서로 다른 복수 개의 반도체층은 비정질 실리콘층과 캡핑층의 계면상에 형성된 시드의 밀도가 서로 다르므로 인해 형성됨을 특징으로 박막트랜지스터.

**청구항 3.**

제 2 항에 있어서,

상기 시드의 밀도는 캡핑층 패턴 내의 금속 촉매의 양의 차이에 의해 형성됨을 특징으로 하는 박막트랜지스터.

**청구항 4.**

제 3 항에 있어서,

상기 금속 촉매의 양의 차이는 캡핑층 패턴 내의 금속 촉매의 밀도와 캡핑층 패턴의 형상 및 위치에 의한 것임을 특징으로 하는 박막트랜지스터.

**청구항 5.**

제 1 항에 있어서,

상기 결정화법은 상기 비정질 실리콘층 및 상기 비정질 실리콘층의 표면으로부터의 거리에 따라 농도의 변화가 있는 금속 촉매를 포함하는 캡핑층 패턴이 형성된 기관을 열처리하여 비정질 실리콘층을 다결정 실리콘층으로 결정화하는 결정화법을 특징으로 하는 박막트랜지스터.

## 청구항 6.

제 1 항에 있어서,

상기 반도체층상에 잔류하는 금속 촉매의 양이  $10^9$  내지  $10^{13}$  atoms/cm<sup>2</sup>임을 특징으로 하는 박막트랜지스터.

## 청구항 7.

기판을 준비하는 단계;

상기 기판상에 비정질 실리콘층을 형성하는 단계;

상기 비정질 실리콘층상에 금속 촉매를 포함하는 캡핑층을 형성하는 단계;

상기 캡핑층을 패터닝하는 단계; 및

상기 기판을 열처리하여 비정질 실리콘층을 다결정 실리콘층으로 결정화하는 단계

를 포함하는 것을 특징으로 하는 박막트랜지스터 제조 방법.

## 청구항 8.

제 7 항에 있어서,

상기 결정화하는 단계 이후,

상기 캡핑층을 제거하는 단계;

상기 다결정 실리콘층을 패터닝하여 반도체층을 형성하는 단계; 및

상기 기판상에 게이트 절연막, 게이트 전극, 층간절연막 및 소오스/드레인 전극을 형성하는 단계를 더 포함함을 특징으로 하는 박막트랜지스터 제조 방법.

## 청구항 9.

제 7 항에 있어서,

상기 비정질 실리콘층상에 금속 촉매를 포함하는 캡핑층을 형성하는 단계는

상기 비정질 실리콘층상에 제1캡핑층을 형성하는 단계;

상기 제1캡핑층상에 금속 촉매층을 형성하는 단계; 및

상기 금속 촉매층상에 제2캡핑층을 형성하는 단계임을 특징으로 하는 박막트랜지스터 제조 방법.

## 청구항 10.

제 7 항에 있어서,

상기 비정질 실리콘층상에 금속 촉매를 포함하는 캡핑층을 형성하는 단계는

상기 비정질 실리콘층상에 캡핑층 형성 물질과 금속 촉매를 동시에 증착하여 금속 촉매를 포함하는 캡핑층을 형성하는 단계임을 특징으로 하는 박막트랜지스터 제조 방법.

### 청구항 11.

제 7 항에 있어서,

상기 비정질 실리콘층상에 금속 촉매를 포함하는 캡핑층을 형성하는 단계는

상기 비정질 실리콘층상에 소정의 두께를 형성하는 동안에는 캡핑층 형성 물질만을 증착하여 금속 촉매가 존재하지 않는 캡핑층을 형성하고, 연속적으로 캡핑층 형성 물질과 금속 촉매를 동시에 증착하여 소정의 두께는 금속 촉매를 포함하는 캡핑층을 형성하는 단계임을 특징으로 하는 박막트랜지스터 제조 방법.

### 청구항 12.

제 10 항 또는 제 11 항에 있어서,

상기 캡핑층에 포함된 금속 촉매는 비정질 실리콘층과 캡핑층의 계면으로부터의 거리에 따라 금속 촉매의 밀도가 변화하는 농도 구배를 갖도록함을 특징으로 하는 박막트랜지스터 제조 방법.

### 청구항 13.

제 7 항에 있어서,

상기 비정질 실리콘층상에 금속 촉매를 포함하는 캡핑층을 형성하는 단계는

상기 비정질 실리콘층상에 캡핑층을 형성하는 단계; 및

상기 캡핑층 내부로 이온 주입 공정으로 금속 촉매를 주입하는 단계임을 특징으로 하는 박막트랜지스터 제조 방법.

### 청구항 14.

제 7 항에 있어서,

상기 기판을 열처리하여 비정질 실리콘층을 다결정 실리콘층으로 결정화하는 단계는

상기 기판을 제1열처리하여 캡핑층 패턴 내의 금속 촉매를 확산 또는 침투시켜 다결정 실리콘층과 캡핑층 패턴의 계면에 시드를 형성하는 단계; 및

상기 기판을 제2열처리하여 시드에 의해 비정질 실리콘층이 다결정 실리콘층을 결정화하는 단계임을 특징으로 하는 박막트랜지스터 제조 방법.

### 청구항 15.

제 14 항에 있어서,

상기 제1열처리는 200 내지 800℃의 온도 범위에서 열처리함을 특징으로 하는 박막트랜지스터 제조 방법.

#### 청구항 16.

제 14 항에 있어서,

상기 제2열처리는 400 내지 1300℃의 온도 범위에서 열처리함을 특징으로 하는 박막트랜지스터 제조 방법.

#### 청구항 17.

제 7 항에 있어서,

상기 캡핑층의 두께는 5 내지 2000Å 임을 특징으로 하는 박막트랜지스터 제조 방법.

#### 청구항 18.

제 7 항에 있어서,

상기 금속 촉매는 Ni, Pd, Ti, Ag, Au, Al, Sn, Sb, Cu, Co, Mo, Tr, Ru, Rh, Cd 또는 Pt 중 어느 하나 이상임을 특징으로 하는 박막트랜지스터 제조 방법.

#### 청구항 19.

제 7 항에 있어서,

상기 캡핑층 패턴과 캡핑층 패턴간 사이의 간격은 3 내지 400 $\mu$ m 임을 특징으로 하는 박막트랜지스터 제조 방법.

#### 청구항 20.

제 7 항에 있어서,

상기 캡핑층 패턴의 너비는 1 내지 20 $\mu$ m 임을 특징으로 하는 박막트랜지스터 제조 방법.

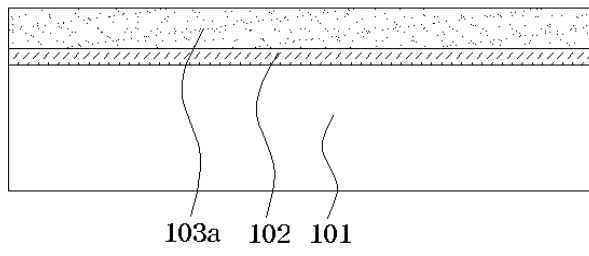
#### 청구항 21.

제 7 항에 있어서,

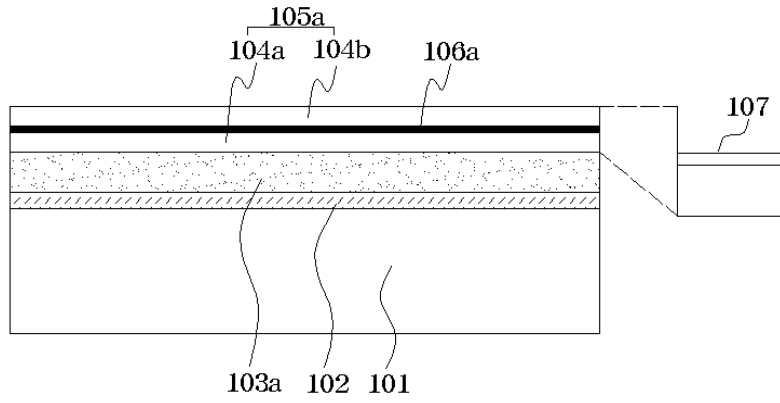
상기 다결정 실리콘층에 잔류하는 금속 촉매는 10<sup>9</sup> 내지 10<sup>13</sup> atoms/cm<sup>2</sup> 임을 특징으로 하는 박막트랜지스터 제조 방법.

도면

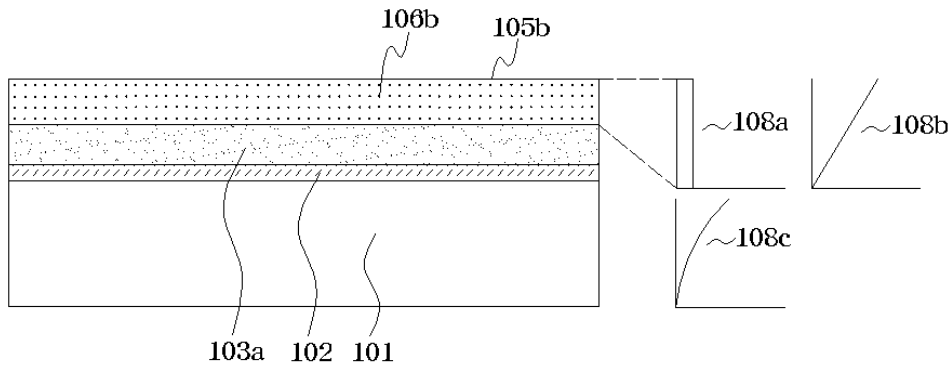
도면1



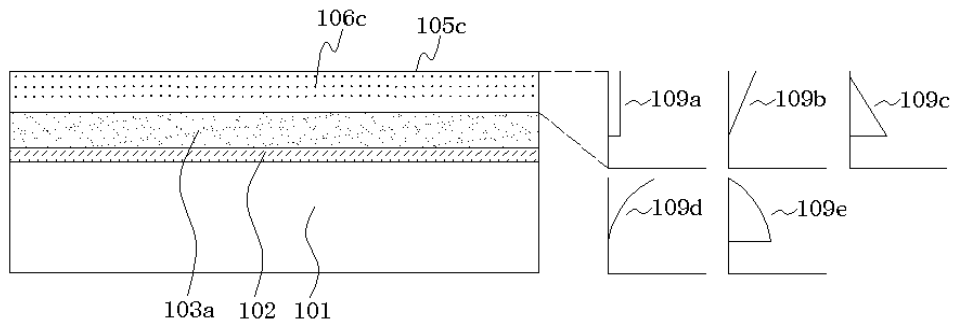
도면2a



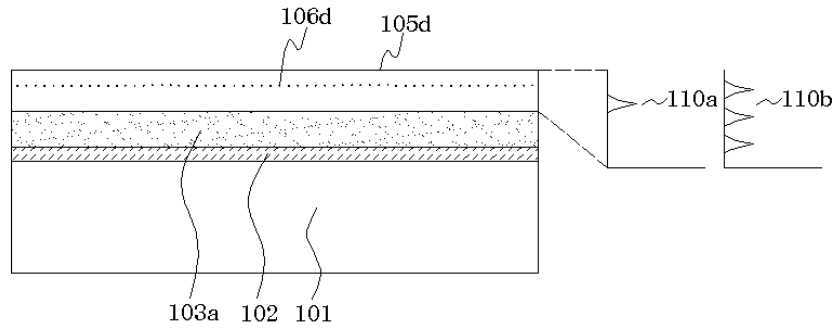
도면2b



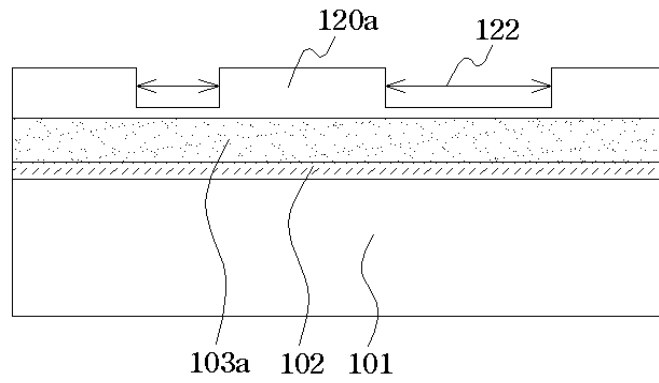
도면2c



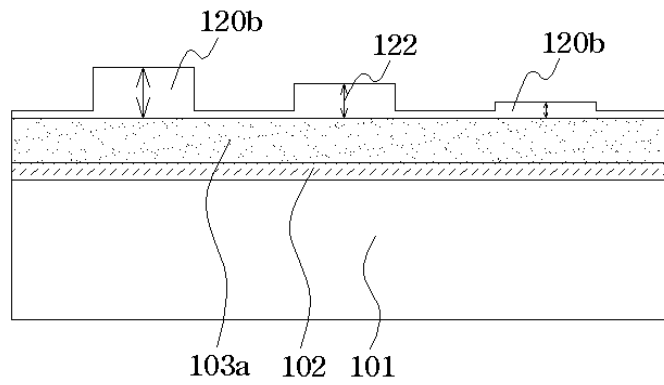
도면2d



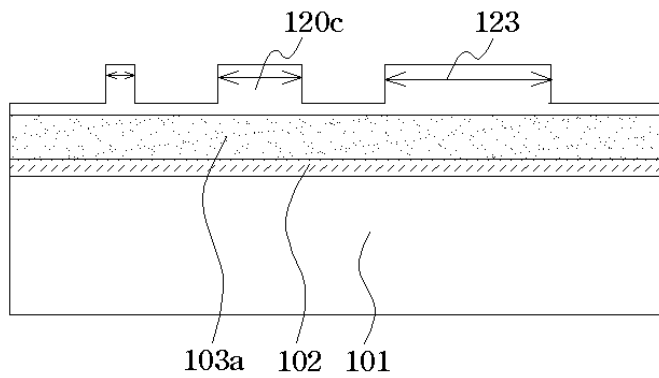
도면3a



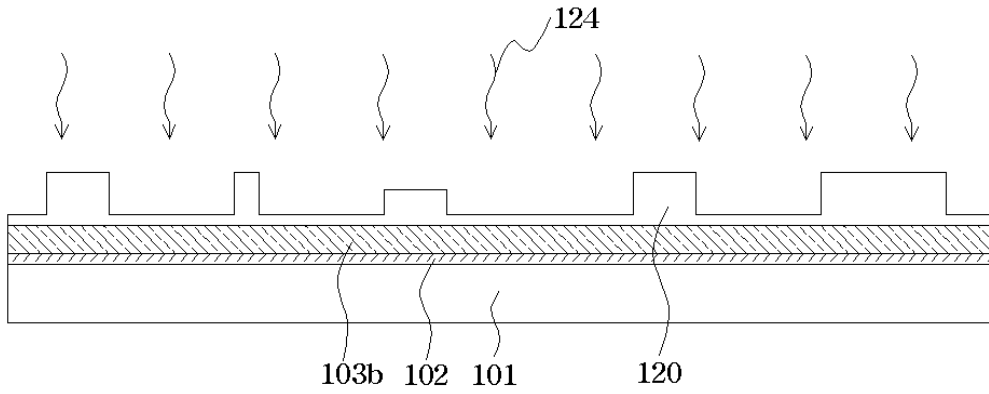
도면3b



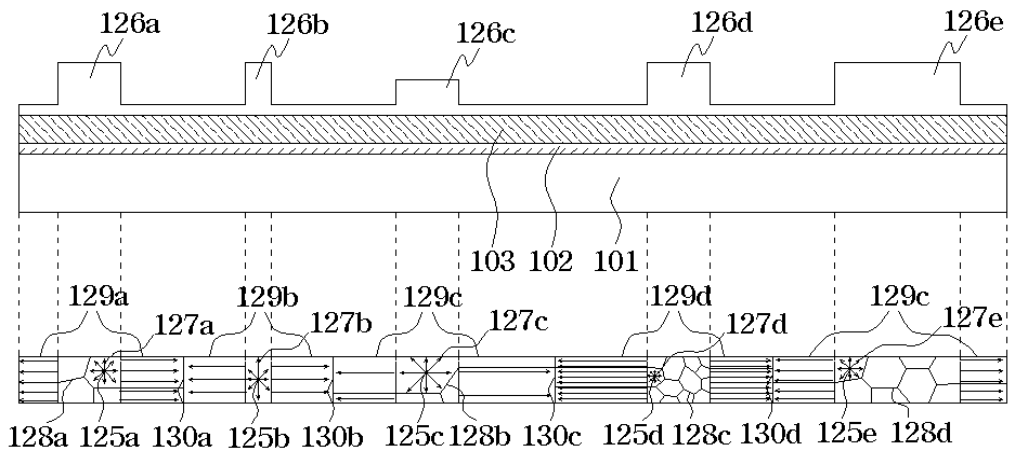
도면3c



도면4



도면5



도면6

