



(10) **DE 10 2010 029 526 B4** 2012.05.24

(12)

## Patentschrift

(21) Aktenzeichen: **10 2010 029 526.4**  
(22) Anmeldetag: **31.05.2010**  
(43) Offenlegungstag: **01.12.2011**  
(45) Veröffentlichungstag  
der Patenterteilung: **24.05.2012**

(51) Int Cl.: **H01L 23/38** (2006.01)  
**H01L 25/065** (2006.01)  
**H01L 23/50** (2006.01)  
**G06F 1/20** (2006.01)  
**F24F 11/00** (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:  
**GLOBALFOUNDRIES Dresden Module One Ltd.  
Liability Company & Co. KG, 01109, Dresden, DE;  
GLOBALFOUNDRIES Inc., Grand Cayman, KY**

(72) Erfinder:  
**Griebenow, Uwe, 04416, Markkleeberg, DE;  
Hoentschel, Jan, 01309, Dresden, DE; Scheiper,  
Thilo, 01099, Dresden, DE; Beyer, Sven, 01099,  
Dresden, DE**

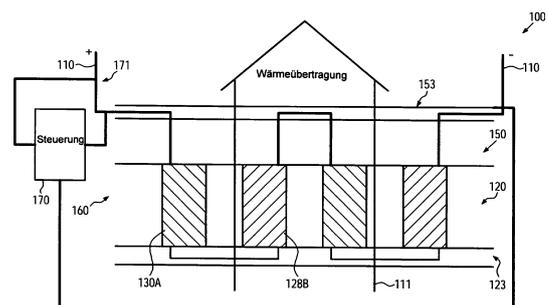
(74) Vertreter:  
**Grünecker, Kinkeldey, Stockmair &  
Schwanhäusser, 80802, München, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

**DE 10 2007 051 312 B4**  
**DE 10 2008 049 726 A1**  
**WO 2006/ 072 063 A1**

(54) Bezeichnung: **Halbleiterbauelement mit einer gestapelten Chipkonfiguration mit einem integrierten Peltier-Element**

(57) Hauptanspruch: Gestapelte Halbleiterkonfiguration, mit:  
einem ersten Substrat;  
einer ersten Halbleiterschicht, die über dem ersten Substrat ausgebildet ist;  
ersten Schaltungselementen, die in und über der ersten Halbleiterschicht gebildet sind;  
mehreren ersten Halbleitergebieten und mehreren zweiten Halbleitergebieten, die in dem ersten Substrat ausgebildet sind, wobei die ersten und die zweiten Halbleitergebiete unterschiedliche Leitungsbandenergien besitzen;  
einem ersten Verdrahtungssystem, das über dem ersten Substrat ausgebildet ist und mehrere erste Verbindungen aufweist, wovon jede eines der mehreren ersten Halbleitergebiete mit einem der mehreren zweiten Halbleitergebiete verbindet;  
einem zweiten Substrat, das an dem ersten Substrat angebracht ist; und  
einem zweiten Verdrahtungssystem, das über dem zweiten Substrat ausgebildet ist und mehrere zweite Verbindungen aufweist, wovon jede eines der mehreren ersten Halbleitergebiete mit einem der mehreren zweiten Halbleitergebiete verbindet.



## Beschreibung

Gebiet der vorliegenden Erfindung

**[0001]** Die vorliegende Erfindung betrifft allgemein das Gebiet der Herstellung integrierter Schaltungen und betrifft insbesondere die Temperaturverwaltung in drei-dimensionalen Chipkonfigurationen.

Beschreibung des Stands der Technik

**[0002]** In modernen integrierten Schaltungen wird eine sehr große Anzahl einzelner Schaltungselemente, etwa Feldeffekttransistoren in Form von CMOS, NMOS, PMOS-Elementen, in Form von Widerständen, Kondensatoren und dergleichen auf einer einzelnen Chipfläche vorgesehen. Typischerweise werden die Strukturgrößen dieser Schaltungselemente mit der Einführung jeder neuen Schaltungsgeneration verringert, woraus sich gegenwärtig verfügbare integrierte Schaltungen ergeben, die mittels Massenproduktionstechniken hergestellt sind und kritische Abmessungen von 50 nm oder mehr besitzen und außerdem einen verbesserten Grad an Leistungsvermögen im Hinblick auf Geschwindigkeit und/oder Leistungsaufnahme haben. Die Verringerung der Größe von Transistoren ist ein wichtiger Aspekt beim stetigen Verbessern des Bauteilverhaltens komplexer integrierter Schaltungen, etwa von CPU's. Die Verringerung der Größe ist typischerweise mit einer höheren Schaltgeschwindigkeit verknüpft, wodurch sich das Signalverarbeitungsverhalten auf Transistorebene verbessert.

**[0003]** Zusätzlich zu der großen Anzahl an Transistorelementen ist eine Vielzahl passiver Schaltungselemente, etwa von Kondensatoren, Widerständen, Verbindungsstrukturen und dergleichen in einer integrierten Schaltung ausgebildet, wie dies durch den grundlegenden Schaltungsaufbau erforderlich ist. Auf Grund der geringeren Abmessungen der aktiven Schaltungselemente wird nicht nur das Leistungsverhalten der einzelnen Transistoren verbessert, sondern es steigt auch die Packungsdichte an, wodurch die Möglichkeit geschaffen wird, immer mehr Funktionen in einen einzelnen Chip zu integrieren. Aus diesem Grunde wurden sehr komplexe Schaltungen entwickelt, die unterschiedliche Arten von Schaltungen aufweisen können, etwa Analogschaltungen, Digital-schaltungen und dergleichen, wodurch vollständige Systeme auf einem einzelnen Chip (SOC) bereitgestellt werden.

**[0004]** Wenn die Anzahl an Schaltungselementen, etwa von Transistoren und dergleichen pro Einheitsfläche in der Bauteilebene eines entsprechenden Halbleiterbauelements ansteigt, wird typischerweise auch die Anzahl an elektrischen Verbindungen, die mit den Schaltungselementen in der Bauteilebene verknüpft sind, größer, sogar typischerwei-

se in einer überproportionalen Weise, wodurch komplexe Verbindungsstrukturen erforderlich sind, die in Form von Metallisierungssystemen mit mehreren gestapelten Metallisierungsschichten vorgesehen werden. In diesen Metallisierungsschichten sind Metallleitungen, die für die elektrische Verbindung innerhalb der Ebene sorgen, und Kontaktdurchführungen, die für die Verbindung zwischen den Ebenen sorgen, auf der Grundlage gut leitender Metalle, etwa Kupfer und dergleichen in Verbindung mit geeigneten dielektrischen Materialien ausgebildet, die die parasitäre RC-(Widerstand/Kapazitäts-)Zeitkonstanten verringern, da in komplexen Halbleiterbauelementen typischerweise die Signalausbreitungsverzögerung im Wesentlichen durch das Metallisierungssystem und nicht mehr durch die Transistoren in der Bauteilebene beschränkt ist. Das Erweitern des Metallisierungssystems in Richtung der Höhe zur Bereitstellung der gewünschten Dichte an Verbindungsstrukturen ist jedoch durch die parasitären RC-Zeitkonstanten und durch die Bedingungen beschränkt, die den Materialeigenschaften komplexer Dielektrika mit kleinem  $\epsilon$  zu eigen sind. D. h., typischerweise ist eine reduzierte dielektrische Konstante mit einer geringeren mechanischen Stabilität dieser dielektrischen Materialien verknüpft, wodurch somit die Anzahl an Metallisierungsschichten beschränkt wird, die aufeinander gestapelt werden können im Hinblick auf Ausbeuteverluste während der diversen Fertigungsschritte und im Hinblick auf eine geringere Zuverlässigkeit während des Betriebs des Halbleiterbauelements. Somit wird die Komplexität von Halbleiterbauelementen, die in einem einzelnen Halbleiterchip bereitgestellt werden können, durch die Eigenschaften des entsprechenden Metallisierungssystems und insbesondere durch die Eigenschaften komplexer dielektrischer Materialien mit kleinem  $\epsilon$  beschränkt, da die Anzahl an Metallisierungsschichten nicht willkürlich erhöht werden kann.

**[0005]** Aus diesem Grunde wurde auch vorgeschlagen, die Gesamtdichte an Schaltungselementen bei einer vorgegebenen Größe oder eine Fläche eines entsprechenden Chipgehäuses zu erhöhen, indem zwei oder mehr einzelne Halbleiterchips gestapelt werden, die unabhängig voneinander hergestellt werden, jedoch mit einem angepassten Aufbau, so dass insgesamt ein komplexes System bereitgestellt wird, wobei viele der Probleme vermieden werden, die während der Herstellung sehr komplexer Halbleiterbauelemente auf einem einzelnen Chip angetroffen werden. Zum Beispiel werden geeignet ausgewählte Funktionseinheiten, etwa Speicherbereiche und dergleichen, auf einem einzelnen Chip gemäß gut etablierter Fertigungstechniken hergestellt, wobei die Ausbildung eines entsprechenden Metallisierungssystems enthalten ist, während andere Funktionseinheiten, etwa schnelle und leistungsfähige Logikschaltungen, etwa eine zentrale Recheneinheit (CPU) unabhängig als ein separater Chip hergestellt wird, wo-

bei jedoch entsprechende Verbindungssysteme ein nachfolgendes Stapeln und aneinander Befestigen der einzelnen Chips ermöglichen, so dass eine gesamte funktionelle Schaltung gebildet wird, die dann als eine einzelne Einheit in ein Gehäuse eingebracht werden kann. In anderen Fällen werden Leistungsschaltungen, die bei moderat hohen Spannungen betrieben werden und die eine hohe Leistungsaufnahme besitzen, mit empfindlichen Steuerschaltungen kombiniert, wobei beide Funktionseinheiten in separaten Chips vorgesehen sind. Somit bietet eine entsprechende dreidimensionale Konfiguration eine erhöhte Volumendichte an Schaltungselementen und Metallisierungsstrukturelementen im Hinblick auf eine vorgegebene Fläche eines Gehäuses, da ein wesentlich größerer Anteil der verfügbaren Volumens in einem Gehäuse durch Stapeln der einzelnen Halbleiterchips genutzt werden kann. Obwohl diese Technik eine vielversprechende Vorgehensweise repräsentiert, um die Volumenpackungsdichte und die Funktionsvielfalt für eine vorgegebene Gehäusegröße für einen gegebenen Technologiestandard zu erhöhen, während extrem kritische Fertigungstechniken, beispielsweise im Hinblick auf das Stapeln einer großen Anzahl sehr kritischer Metallisierungsschichten vermieden werden, ist die Wärmehandhabung in diesen drei-dimensionalen Chipanordnungen sehr schwierig, insbesondere wenn Chips mit hoher Leistungsaufnahme enthalten sind.

**[0006]** Beispielsweise führen in komplexen CPU-Bauelemente und statische und dynamische Leistungsaufnahme zu einer ausgeprägten Abwärme, die aus dem Bauteil abzuführen ist, was typischerweise bewerkstelligt wird, indem ein effizienter Wärmeableitpfad von dem halbleitenden Material zum Rand über ein Gehäusesubstrat bereitgestellt wird, das wiederum mit einer geeigneten Wärmesenke, etwa einem Lüfter und dergleichen, verbunden ist. In diesem Falle wird die Rückseite des Halbleitersubstrats effizient auf der Grundlage der externen Wärmesenke über das Substratmaterial und das Gehäusesubstrat gekühlt. In einer gestapelten Bauteilkonfiguration, in der Beispielsweise ein komplexes Speicherbauelement, etwa ein dynamischer RAM-Baustein, eingebaut ist, ist die effiziente thermische Kopplung der Rückseite der CPU mit der externen effizienten Wärmesenke nicht mehr verfügbar, da das Substrat der Speicherschaltung mit Hochleistungshalbleiterbauelementen in Verbindung ist, wodurch die gesamte Wärmeabfuhereigenschaft reduziert wird. In diesem Falle bietet die gestapelte Bauteilkonfiguration eine bessere Gesamtvolumenpackungsdichte, wobei das eigentliche Leistungsverhalten zumindest in der Betriebsphase verringert wird, in der eine erhebliche Leistungsaufnahme in der CPU erforderlich ist. Folglich werden in einigen konventionellen Vorgehensweisen spezielle Materialien oder Materialsysteme in gestapelte Bauteilkonfiguration eingebaut, beispielsweise zwischen den Rückseiten der

Halbleitersubstrate, um damit in effizienter Weise die Wärmeableitung von dem Hochleistungsbauelement, etwa beispielsweise der CPU, in das Bauelement mit der deutlich geringeren Leistungsaufnahme, um schließlich eine Verbindung zu einer externen Wärmesenke zu erzeugen. In anderen Fällen werden zusätzliche Maßnahmen getroffen, um damit die Wärmeableiteigenschaften über ein Metallisierungssystem des Bauelements mit hoher Leistung zu verbessern, wobei insbesondere in komplexen Anwendungen entsprechende dielektrische Materialien mit kleinem  $\epsilon$ , die in komplexen Metallisierungssystemen vorgesehen sind, wesentlich die gesamte Wärmeabfuhereigenschaft beeinträchtigen, wodurch diese Vorgehensweise zu einer weniger attraktiven Option für gestapelte Bauteilkonfigurationen wird, in denen komplexe Hochleistungsbauelemente, etwa komplexe CPU's zu verwenden sind.

**[0007]** Generell ermöglicht das Konzept des Übertragens einer größeren Menge an Wärme von dem Hochleistungsbauelement in das Bauelement mit geringerer Leistung eine gewisse Verringerung des gesamten Temperaturgradienten in der gestapelten Bauteilkonfiguration, wobei jedoch die begrenzten Wärmeableitfähigkeiten entsprechender Materialsysteme, die zwischen den Substraten des Bauelements mit hoher Leistung und des Bauelements mit geringerer Leistung vorhanden sind, in Verbindung mit der beschränkten Wärmeableiteigenschaft des Metallisierungssystems des Bauelements mit geringer Leistung zu einer insgesamt sehr begrenzten Wärmeableitfähigkeit führen, wodurch ebenfalls das Leistungsverhalten der gestapelten Bauteilkonfiguration beschränkt wird.

**[0008]** Die Druckschrift DE 10 2008 049 726 A1 beschreibt ein Halbleiterbauelement, in welchem ein thermoelektrisches Element vorgesehen ist, um die Steuerung der Wärmeverteilung in dem Halbleiterbauelement zu verbessern. Dabei ist das thermoelektrische Element auf einem einzelnen Substrat des Halbleiterbauelements vorgesehen.

**[0009]** Die Druckschrift DE 10 2007 051 312 B4 beschreibt ein Verfahren zur Herstellung eines CMOS-Bauelements mit einem Peltier-Element und einer Fotodiode, die auf einem gemeinsamen Substrat hergestellt sind, so dass beim Betrieb des CMOS-Bauelements der Dunkelstrom reduziert bzw. vermieden werden kann.

**[0010]** Die Druckschrift WO 2006/072063 A1 beschreibt ein Verfahren zur Herstellung eines mikroelektronischen Bauelements mit einem eingebauten thermoelektrischen Element, wobei diese Elemente auf einer gemeinsamen Substrat mit direktem Kontakt zueinander hergestellt sind.

**[0011]** Im Hinblick auf die zuvor beschriebene Situation betrifft die vorliegende Erfindung Halbleiterbauelemente mit einer gestapelten Konfiguration und Techniken um diese zu betreiben, wobei eines oder mehrere der oben erkannten Probleme vermieden oder zumindest in der Auswirkung reduziert werden.

#### Überblick über die Erfindung

**[0012]** Im Allgemeinen stellt die vorliegende Erfindung Halbleiterbauelemente mit einer gestapelten Bauteilkonfiguration bereit, d. h. einer Konfiguration, in der komplexe integrierte Schaltungen in und über einzelnen Substraten hergestellt sind, etwa Halbleitermaterialien, und die in einer gestapelten Konfiguration verbunden sind, wobei ein insgesamt besseres Temperaturverhalten erreicht wird, indem ein aktives Wärmeübertragungssystem bereitgestellt wird. Wie zuvor erläutert ist, werden häufig eine integrierte Schaltung mit hoher Leistung, etwa eine CPU, oder eine andere komplexe Schaltung und eine integrierte Schaltung kombiniert, indem die Substrate dieser Halbleiterbauelemente in geeigneter Weise verbunden werden, wobei jedoch insbesondere die Wärmeableitfähigkeit der Schaltung mit hoher Leistung deutlich beschränkt ist, da beispielsweise deren Rückseite nicht mehr gekühlt wird. Um verbesserte Wärmeableitfähigkeiten bereitzustellen, wird ein aktives Wärmeübertragungssystem in Form eines Peltier-Elements mit geeigneter Konfiguration eingerichtet, um damit einen insgesamt besseren thermisch leitenden Pfad innerhalb der gestapelten Bauteilkonfiguration vorzusehen. In einigen entsprechenden hierin offenbarten Aspekten wird das Peltier-Element in geeigneter Weise über zwei gestapelte Halbleiterbauelemente „verteilt“, wobei die wirksame Wärmesenke des verteilten Peltier-Elements an einem kritischen Bereich der gestapelten Bauteilkonfiguration angeordnet ist, beispielsweise nahe oder über der Halbleiterschicht, der komplexe Schaltungselemente vorgesehen sind, die typischerweise einen großen Anteil der Abwärme erzeugen. Andererseits wird der zweite thermische Kontaktbereich des verteilten Peltier-Elements in dem zweiten Halbleiterbauelement vorgesehen, beispielsweise innerhalb des Metallisierungssystems und kann effizient mit entsprechenden Halbleitergebieten des verteilten Peltier-Elements verbunden werden, um damit insgesamt einen sehr effizienten Wärmeableitpfad zu erreichen. Auf diese Weise kann folglich die Abwärme, die im Wesentlichen in einem der gestapelten Halbleiterbauelemente erzeugt wird, effizient zu dem zweiten gestapelten Halbleiterbauelement auf der Grundlage eines aktiven Wärmeübertragungsmechanismus geleitet werden, wobei die entsprechenden effektiven Temperaturreservoirs des verteilten Peltier-Elements in geeigneter Weise innerhalb der gestapelten Halbleiterbauelemente so positioniert sind, dass eine sehr effiziente Übertragung der Abwärme zu einer externen Wärmesenke einer gestapelten Bauteilkonfiguration

möglich ist. Folglich kann ein Bauteil mit hoher Leistung in einer gestapelten Konfiguration thermisch mit einer externen Wärmesenke in ähnlich effizienter Weise oder in besserer Weise gebunden werden, wie in einer Einzelbauteilkonfiguration, während gleichzeitig die Möglichkeit geschaffen wird, insgesamt eine höhere Gesamtvolumenpackungsdichte zu erreichen.

**[0013]** Eine anschauliche hierin offenbarte gestapelte Halbleiterkonfiguration umfasst ein erstes Substrat, eine Halbleiterschicht, die über dem ersten Substrat ausgebildet ist und eine erste Schaltung, die in und über der ersten Halbleiterschicht ausgebildet ist. Die gestapelte Halbleiterbauteilkonfiguration umfasst ferner mehrere erste Halbleitergebiete und mehrere zweite Halbleitergebiete, die in dem ersten Substrat ausgebildet sind, wobei die ersten und zweiten Halbleitergebiete unterschiedliche Leitungsbandenergiepegel besitzen. Ferner ist ein erstes Verdrahtungssystem über dem ersten Substrat ausgebildet und umfasst mehrere erste Verbindungen, wovon jede eines der mehreren der ersten Halbleitergebiete mit einem der mehreren zweiten Halbleitergebiete verbindet. Ferner umfasst die gestapelte Halbleiterkonfiguration ein zweites Substrat, das an dem ersten Substrat angebracht ist und ein zweites Verdrahtungssystem aufweist, das über dem zweiten Substrat ausgebildet ist. Das zweite Verdrahtungssystem umfasst mehrere zweite Verbindungen, wovon jede eines der mehreren ersten Halbleitergebiete mit einem der mehreren zweiten Halbleitergebiete verbindet.

**[0014]** Ein anschauliches hierin offenbartes Halbleiterbauelement umfasst ein erstes Substrat mit einer Rückseite und einer Vorderseite. Das Halbleiterbauelement umfasst ferner ein zweites Substrat mit einer Rückseite und einer Vorderseite. Des Weiteren umfasst das Halbleiterbauelement ein Peltier-Element in mehreren Halbleitergebieten, die in dem ersten Substrat ausgebildet sind. Das Peltier-Element umfasst ferner ein erstes Verdrahtungssystem, das mit den mehreren Halbleitergebieten über die Vorderseite des Substrats verbunden ist, und umfasst ferner ein zweites Verdrahtungssystem, das mit den mehreren Halbleitergebieten durch Öffnungen verbunden ist, die sich durch das zweite Substrat erstrecken.

#### Kurze Beschreibung der Zeichnungen

**[0015]** Weitere Ausführungsformen der vorliegenden Erfindung sind in den angefügten Patentansprüchen definiert und gehen deutlicher aus der folgenden detaillierten Beschreibung hervor, wenn diese mit Bezug zu den begleitenden Zeichnungen studiert wird, in denen:

**[0016]** [Fig. 1a](#) bis [Fig. 1i](#) schematisch Querschnittsansichten eines Halbleiterbauelements während di-

verser Phasen bei der Herstellung eines Teils eines Peltier-Elements und eines Halbleiterbauelements zeigen, das das erste Halbleiterbauelement einer gestapelten Bauteilkonfiguration gemäß anschaulicher Ausführungsformen darstellt;

**[0017]** Fig. 1j schematisch eine Querschnittsansicht eines Halbleiterbauelements in einer weiter fortgeschrittenen Fertigungsphase zeigt, in der ein Verdrahtungssystem so vorgesehen ist, dass dieses in geeigneter Weise die Halbleitergebiete des Peltier-Elements gemäß anschaulicher Ausführungsformen verbindet;

**[0018]** Fig. 1k bis Fig. 1n schematisch Querschnittsansichten eines Halbleiterbauelements gemäß anschaulicher Ausführungsformen zeigen, wobei diverse Konfigurationen des Verdrahtungssystems in Verbindung mit Schaltungselementen dargestellt sind;

**[0019]** Fig. 1o schematisch eine Querschnittsansicht eines zweiten Halbleiterbauelements zeigt, d. h. eines zweiten Teils einer gestapelten Bauteilkonfiguration mit einem zweiten Verdrahtungssystem zum Anschluss an das Peltier-Element gemäß anschaulicher Ausführungsformen;

**[0020]** Fig. 1p schematisch eine Querschnittsansicht des gesamten Halbleiterbauelements, das eine gestapelte Bauteilkonfiguration bildet und ein „verteiltes“ Peltier-Element so aufweist, dass ein effizientes Wärmeübertragungssystem durch die gestapelte Bauteilkonfiguration gemäß anschaulicher Ausführungsformen bereitgestellt wird; und

**[0021]** Fig. 1q schematisch das gestapelte Halbleiterbauelement gemäß anschaulicher Ausführungsformen zeigt, in der der Betrieb des verteilten Peltier-Elements auf der Grundlage einer Steuereinheit gesteuert wird, die intern oder extern vorgesehen wird, um damit eine bessere Gesamtwärmeverwaltung in der gestapelten Bauteilkonfiguration zu erreichen.

#### Detaillierte Beschreibung

**[0022]** Im Allgemeinen stellt die vorliegende Erfindung Halbleiterbauelemente bereit, die eine gestapelte Bauteilkonfiguration aufweisen, wobei eine bessere Wärmeverwaltung erreicht wird, indem ein aktives Wärmeübertragungssystem in der gestapelten Bauteilkonfiguration so vorgesehen wird, dass Abwärme effizient von kritischen Bauteilbereichen, etwa einem Halbleiterbauelement mit hoher Leistungsaufnahme, zu einer externen Wärmesenke über zumindest ein weiteres Halbleiterbauelement der gestapelten Konfiguration übertragen wird. Wie beispielsweise zuvor erläutert ist, werden häufig komplexe integrierte Schaltungen mit schnell schaltenden Schaltungsbereichen mit hoher Leistungsaufnahme mit weiteren Schaltungen kombiniert, etwa Speicher-

schaltungen, die weniger Leistung benötigen, um damit insgesamt die Volumenpackungsdichte zu erhöhen, wodurch insgesamt eine bessere Funktionsvielfalt innerhalb einer gegebenen Gehäusegröße oder einem Volumen erreicht wird, was bessere Anwendungsmöglichkeiten, beispielsweise in mobilen Anwendungen und dergleichen, ergibt. Da die gestapelte Bauteilkonfiguration eine Kopplung der einzelnen Halbleiterbauelemente über ihre Rückseiten der Bauelemente erfordert, ist eine effiziente thermische Kühlung des Halbleiterbauelement mit hoher Leistung, etwa einer CPU, mit einer externen Wärmesenke, etwa einem Lüfter, und dergleichen, nicht mehr verfügbar. Gemäß den hierin offenbarten Prinzipien wird ein aktives Wärmeübertragungssystem, d. h. ein Peltier-Element, mit einem geeigneten Aufbau so vorgesehen, dass der „Wärmesenkenbereich“ des Peltier-Elements in dem Halbleiterbauelement mit hoher Leistung liegt, während der „Wärmequellenbereich“ des Peltier-Elements in dem zweiten Halbleiterbauelement an einer geeigneten Position liegt, wodurch ein effizienter gesamter thermischer leitender Pfad innerhalb der gestapelten Bauteilkonfiguration geschaffen wird.

**[0023]** Z. B. kann das Substrat eines der Halbleiterbauelemente effizient verwendet werden, um darin Halbleiterelemente des Peltier-Elements vorzusehen, die geeignet mit einem metallbasierten Verdrahtungssystem verbunden sind, das somit als eine Wärmesenke oder eine Wärmequelle des Peltier-Elements dient, während die komplementäre Wärmequelle oder Wärmesenke des Peltier-Elements in und über dem zweiten Halbleiterelement der gestapelten Konfiguration vorgesehen wird. In diesem Sinne wird das Peltier-Element auch als ein „verteiltes Peltier-Element“ betrachtet, da zumindest die zwei metallbasierten Verdrahtungssysteme in oder über unterschiedlichen Substraten der gestapelten Halbleiterbauelemente vorgesehen sind.

**[0024]** Die Halbleitergebiete des Peltier-Elements sind typischerweise Halbleitergebiete mit einer unterschiedlichen Leitungsbandenergie, die beispielsweise in Form invers dotierter Bereiche des gleichen grundlegenden halbleitenden Materials, etwa eines Silizium/Germanium-Materials vorgesehen sind, oder es können auch andere geeignete Halbleiterverbindungsmaterialien, etwa Wismuttellurid, und dergleichen effizient auf der Grundlage gut etablierter Prozesstechnologien eingesetzt werden, wobei die moderat große Ausdehnung dieser Halbleitergebiete keine aufwendigen Lithographie- und Strukturierungsstrategien erfordert. D. h., im Vergleich zu den kritischen Abmessungen der eigentlichen Schaltungselemente, etwa von Gateelektrodenstrukturen, und dergleichen, die 50 nm und weniger betragen können, liegen die lateralen Abmessungen sowie die Dicke jeglicher derartiger Halbleitergebiete des Peltier-Elements in einem Bereich von mehreren Mi-

krometern bis mehrere 10 oder 100  $\mu\text{m}$ . Folglich können diese Halbleitergebiete effizient während einer beliebigen geeigneten Fertigungsstufe hergestellt werden, beispielsweise vor dem Vorsehen der eigentlichen Schaltungselemente, etwa von Transistoren, oder nach der Fertigstellung der Transistorstrukturen, wobei das entsprechende Verdrahtungssystem auf der Grundlage von Prozesstechniken hergestellt werden kann, das zur Herstellung des Verdrahtungssystems der Halbleiterbauelemente verwendet wird, etwa in Kontaktebenen, Metallisierungssystemen und dergleichen. Somit sind lediglich einige wenige zusätzliche Prozessschritte erforderlich, die auf der Grundlage weniger kritischer Prozessstrategien ausgeführt werden können, etwa auf der Grundlage von nicht-kritischen Lithographieprozessen, Strukturierungsprozessen, Abscheideprozessen und dergleichen.

**[0025]** Ferner wird in einigen anschaulichen hierin offenbarten Ausführungsformen das verteilte Peltier-Element in geeigneter Weise betrieben, beispielsweise auf der Grundlage einer Steuereinheit, die zumindest teilweise innerhalb der gestapelten Bauteilkonfiguration vorgesehen wird oder die extern von dem gestapelten Halbleiterbauelement vorgesehen wird, um damit ein besseres Leistungsverhalten hinsichtlich der gesamten Leistungsaufnahme, der Temperatursteuerung und dergleichen zu erreichen. Beispielsweise wird das Peltier-Element oder eines oder mehrere Peltier-Elemente, wenn mehrere Peltier-Elemente in der gestapelten Konfiguration vorgesehen sind, auf Verlangen betrieben, d. h. abhängig von der tatsächlichen Temperatur und der Temperaturverteilung in der gestapelten Konfiguration, wobei eine unnötige Leistungsaufnahme während jener Betriebsphasen vermieden wird, in denen ausgeprägte Wärmeübertragungseigenschaften nicht erforderlich sind. Dazu können geeignete Temperatursensoren verwendet werden oder eines oder mehrere der Peltier-Elemente kann selbst als ein Temperaturüberwachungssystem verwendet werden, das ein geeignetes Temperatursignal bereitstellt, das den Temperaturstatus in der gestapelten Konfiguration angibt. Somit kann ein geeigneter Betriebsmodus des Peltier-Elements auf der Grundlage des Temperatursignals ausgewählt werden, beispielsweise kann ein Stromfluss eingerichtet werden, indem etwa einfach das Peltier-Element aktiviert oder deaktiviert wird, während in anderen Fällen der Stromfluss in seiner Größe so eingestellt wird, dass die Wärmeübertragungseigenschaften in geeigneter Weise im Hinblick auf die Temperatursituation innerhalb der gestapelten Bauteilkonfiguration angepasst wird.

**[0026]** Mit Bezug zu den begleitenden Zeichnungen werden nunmehr weitere anschauliche Ausführungsformen detaillierter beschrieben.

**[0027]** **Fig. 1a** zeigt schematisch eine Querschnittsansicht eines Halbleiterbauelements **120**, das ein erstes Bauelement einer gestapelten Bauteilkonfiguration repräsentiert, die auf der Grundlage des Halbleiterbauelements **120** und zumindest eines weiteres Halbleiterbauelements aufgebaut wird, wie dies auch nachfolgend detaillierter beschrieben ist. Das Bauelement **120** umfasst ein Substrat **121**, etwa ein Halbleitermaterial, beispielsweise in Form von Silizium und dergleichen, wobei das Substrat **121** eine Rückseite oder hintere Seite **121r** und eine Vorderseite **121f** aufweist, wobei die Vorderseite **121f** als eine Oberfläche des Substrats zu verstehen ist, über welche halbleiterbasierte Schaltungselemente, etwa Transistoren, und dergleichen herzustellen sind. Es sollte beachtet werden, dass in **Fig. 1a** das Substrat **121** in einer „umgedrehten“ Konfiguration dargestellt ist, wobei eine Rückseitenbearbeitung angewendet wird, um damit geeignete Halbleitergebiete eines Peltier-Elements in dem Substrat **121** nachfolgend zu bilden, ohne dass die Vorderseite **121f** oder Bauteilebenen, die darüber ausgebildet sind, beeinflusst werden. Es sollte beachtet werden, dass die gesamten Abmessungen des Substrats **121** anschaulicher Natur sind und nicht maßstabsgetreu gezeigt sind. Beispielsweise liegt typischerweise die Dicke des Substrats **121** im Bereich von mehreren 100  $\mu\text{m}$ , während laterale Abmessungen im Bereich von mehreren Millimetern bis mehrere 10 mm liegen, wenn ein einzelner Chipbereich betrachtet wird, wobei in der gezeigten Fertigungsphase die mehreren Bauelemente **120** als eine einzelne Scheibe vorgesehen sein können, die laterale Abmessungen von mehreren 100 mm aufweisen kann. In der gezeigten Ausführungsform ist ein vergrabenes isolierendes Material **122** „über“ der Vorderseite **121f** vorgesehen und ist durch ein Siliziumdioxidmaterial und dergleichen repräsentiert. Eine Bauteilebene **123** ist über der Vorderseite **121f** ausgebildet und repräsentiert in der gezeigten Fertigungsphase zumindest ein Halbleitermaterial, etwa ein Siliziummaterial, möglicherweise in Verbindung mit einem dielektrischen Material einer Kontaktebene. Es sollte beachtet werden, dass das Halbleitermaterial in der Bauteilebene **123** in Verbindung mit dem vergrabenen isolierenden Material **122** eine SOI-(Halbleiter-oder-Silizium-auf-Isolator-)Konfiguration bildet, während in anderen Fällen das Material **122** weggelassen wird und das kristalline halbleitende Material der Bauteilebene **123** einen kristallinen Bereich des Substrats **121** darstellt, wodurch eine Vollsubstratkonfiguration erzeugt wird. Ferner können Schaltungselemente in der Bauteilebene **123**, beispielsweise in Form von Transistoren, etwa in Form von Feldeffekttransistoren, vorgesehen sein, die vorzugsweise in komplexen Logikschaltungen, etwa CPU's und dergleichen eingesetzt werden. In anderen Fällen werden derartige Schaltungselemente in einer späteren Fertigungsphase hergestellt.

**[0028]** Wie ferner gezeigt ist, ist eine Maskenschicht **124** über der Rückseite **121r** vorgesehen und besitzt geeignete Maskenöffnungen **124a**, die die laterale Größe und Lage von Halbleitergebieten für ein oder mehrere Peltier-Elemente definieren, die in dem Substrat **121** herzustellen sind. Das Maskenmaterial **124** kann in Form eines Lackmaterials, eines Hartmaskenmaterials in Verbindung mit dem Lackmaterial, und dergleichen vorgesehen sein.

**[0029]** Das in **Fig. 1a** gezeigte Halbleiterbauelement **120** kann auf der Grundlage der folgenden Prozessstrategie hergestellt werden. In einigen anschaulichen Ausführungsformen wird die Bauteilebene **123**, beispielsweise mit dem Halbleitermaterial in dieser Fertigungsphase, so bearbeitet, dass Schaltungselemente erzeugt werden, etwa Isolationsstrukturen, Transistoren, Widerstände und dergleichen, was komplexe Lithographietechniken, Ätztechniken, Abscheideprozesse, Einebnungsprozesse, Ausheizprozesse und dergleichen mit einschließen kann. Beispielsweise werden Transistoren auf der Grundlage kritischer Abmessungen von 50 nm und weniger abhängig von den Bauteilerfordernissen vorgesehen. In einigen Ausführungsformen werden jegliche Hochtemperaturausheizprozesse vor dem Ausführen einer Rückseitenbearbeitung des Bauelements **120** ausgeführt. In anderen Fällen erlauben die entsprechenden Halbleitergebiete, die für ein noch herzustellendes Peltier-Element zu verwenden sind, nicht das Ausführen nachfolgender Hochtemperaturprozesse, so dass entsprechende Schaltungselemente oder Teile davon, die Ausheizprozesse erfordern, in einer späteren Fertigungsphase hergestellt werden. Die Maske **124** kann auf der Grundlage einer beliebigen gut etablierten Prozessstrategie hergestellt werden, da, wie zuvor erläutert ist, die relativ großen Abmessungen der Maskenöffnungen **124a** zu nicht-kritischen Lithographie- und Strukturierungsbedingungen führen.

**[0030]** **Fig. 1b** zeigt schematisch das Bauelement **120** während eines Ätzprozesses **125**, etwa bei einem plasmaunterstützten Ätzprozess, wobei gut etablierte Rezepte typischerweise in Ätzprozessen für tiefe Gräben eingesetzt werden, um damit entsprechende Öffnungen **121a**, **121b** in dem Substrat **121** zu erzeugen. Die Öffnungen **121a**, die in Form von Gräben und dergleichen, vorgesehen werden, besitzen eine geeignete Tiefe und können sich, wie gezeigt ist, zu der vergrabenen isolierenden Materialschicht **122** erstrecken, die als ein effizientes Stoppmaterial verwendet werden kann. In anderen Fällen erstrecken sich die Öffnungen **121a**, **121b** zu einer anderen geeigneten Tiefe innerhalb der Schicht **121**, beispielsweise wenn das vergrabene isolierende Material **122** nicht vorgesehen ist. In diesem Falle wird ein zeitgesteuerter Ätzprozess angewendet, wobei auf Grund der wenig kritischen Prozessbedingungen ein hohes Maß an Gleichmäßigkeit für die Tiefe und die lateralen Abmessungen der Öffnung

**121a**, **121b** erreicht wird. Des Weiteren sollte beachtet werden, dass jegliche prozessabhängige Ungleichmäßigkeiten während des Strukturierungsprozesses **125** das Verhalten des schließlich erhaltenen Peltier-Elements wenig beeinflussen. Nach dem Ätzprozess **125** wird die Maskenschicht **124** entfernt, beispielsweise durch gut etablierte Lackabtragungsprozesse und dergleichen, möglicherweise mit zusätzlichen Reinigungsprozessen im Anschluss daran, wenn dies erforderlich ist. Es sollte beachtet werden, dass bei Bedarf eine beliebige geeignete Maskenschicht (nicht gezeigt) ebenfalls über der Bauteilebene **123** vorgesehen sein kann, um damit die Integrität von Schaltungselementen zu bewahren, die darin ausgebildet sind, oder um eine bessere Integrität zu schaffen, wenn der Kontakt mit einer reaktiven Prozessatmosphäre, etwa dem Ätzprozess **125** und zusätzlichen Reinigungsprozessen als ungeeignet erachtet wird.

**[0031]** **Fig. 1c** zeigt schematisch das Bauelement **120** nach dem Abscheiden eines isolierenden Materials **126** über dem Substrat **121** und den Öffnungen **121a**, **121b**. Das isolierende Material **126** kann in Form eines beliebigen geeigneten Materials vorgesehen werden, etwa als Siliziumdioxid, Siliziumnitrid und dergleichen, wodurch jegliche halbleitende Materialien, die in den Öffnungen **121a**, **121b** zu bilden sind, von dem Substrat **121** getrennt werden. Das dielektrische Material **126** kann auf der Grundlage einer beliebigen geeigneten Abscheidetechnik, etwa CVD (chemische Dampfabscheidung), und dergleichen aufgebracht werden.

**[0032]** **Fig. 1d** zeigt schematisch das Bauelement **120** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist eine Abscheidemaske **127** vorgesehen, beispielsweise in Form eines beliebigen geeigneten Materials, das in einer späteren Fertigungsphase effizient selektiv in Bezug auf das Material **126** und jegliches Halbleitermaterial, das in der Öffnung **121b** vorgesehen wird, zu entfernen ist. Beispielsweise ist die Maske **127** aus Siliziumnitrid und dergleichen oder anderen Materialien aufgebaut, die geeignet so behandelt werden, dass sie den Temperaturbedingungen während eines nachfolgenden Abscheideprozesses zum Vorsehen eines Halbleitermaterials in den Öffnungen **121b** widerstehen. Die Abscheidemaske **127** kann auf der Grundlage geeigneter Lithographietechniken bereitgestellt werden, wobei, wie zuvor erläutert ist, die nicht-kritischen lateralen Abmessungen der Öffnungen **121a**, **121b** auch für unkritische Bedingungen im Hinblick auf die Justierung und die Strukturierung der Maske **127** sorgen.

**[0033]** **Fig. 1e** zeigt schematisch das Bauelement **120** während eines Prozesses **128** zum Bereitstellen eines geeigneten Halbleitermaterials **128b** in den Öffnungen **121b**. Beispielsweise ist das Halbleitermaterial **121b** ein dotiertes Halbleitermaterial, das ge-

eignet ist, um ein Peltier-Element herzustellen. Beispielsweise ist Silizium/Germanium ein geeignetes Basismaterial zur Herstellung eines Peltier-Elements. Es sollte jedoch beachtet werden, dass auch eine andere geeignete Halbleiterverbindung mit einer geeigneten Dotierstoffkonzentration verwendet werden kann, um damit eine effiziente thermoelektrische Wirkung beim Fertigstellen eines Peltier-Elements zu erreichen. Der Prozess **128** kann einen beliebigen geeigneten Abscheideprozess umfassen, der eine ausreichend hohe Abscheiderate bietet, um die damit die tiefen Gräben **121b** zu füllen. Beispielsweise kann die Flüssigphasenepitaxie (LPE) angewendet werden, um vorzugsweise das Material **128** in den Öffnungen **121b** abzuscheiden. Dazu werden die Abscheideparameter so festgelegt, dass eine Abscheidung von Material auf der Abscheidemaske **127** ggf. verringert wird. In anderen Fällen umfasst der Prozess **128** einen zusätzlichen Abtragungsprozess zum Entfernen von überschüssigen Material, das während der Abscheidung des Halbleitermaterials **128b** auf der Abscheidemaske **127** gebildet wurde. Beispielsweise können CMP, Ätzen und dergleichen angewendet werden. Zu beachten ist, dass während des Abscheidens des Materials **128b** eine Konzentration und die Art der Dotierstoffsorte so eingebaut werden können, dass das Halbleitermaterial in Form eines dotierten Halbleitermaterials vorgesehen wird, beispielsweise als ein p-dotiertes Silizium/Germanium-Halbleitermaterial, und dergleichen.

**[0034]** [Fig. 1f](#) zeigt schematisch das Bauelement **120** nach dem Entfernen der Abscheidemaske **127** (siehe [Fig. 1e](#)). Dazu wird ein geeigneter Abtragungsprozess angewendet, wobei das dielektrische Material **126** und das Halbleitermaterial **128b** als Stoppmaterialien dienen. Z. B. ist eine Vielzahl an Ätzrezepten verfügbar, um Siliziumnitrid selektiv in Bezug auf Siliziumoxid, Silizium, Silizium/Germanium, und dergleichen abzutragen.

**[0035]** [Fig. 1g](#) zeigt schematisch das Halbleiterbauelement **120** in einer weiteren Abscheidemaske **129**, die die Öffnungen **121a** freilässt, während das zuvor hergestellte Halbleitermaterial **128b** abgedeckt wird. Die Maske **129** kann auf der Grundlage ähnlicher Prozessstrategien hergestellt werden, wie dies zuvor mit Bezug zu der Abscheidemaske **127** der [Fig. 1e](#) erläutert ist.

**[0036]** [Fig. 1h](#) zeigt schematisch das Bauelement **120** während eines weiteren Prozesses **120** zum Abscheiden eines Halbleitermaterials **130a**, etwa eines n-dotierten Halbleitermaterials mit der gleichen Basiskonfiguration wie das Material **128b**. Folglich besitzen die Halbleitermaterialien **120** und **128b** unterschiedliche Energieniveaus im Hinblick auf ihre Leitungsbändern, wie dies zum Erreichen der gewünschten thermoelektrischen Wirkung beim geeigneten Verbinden der Halbleitergebiete **128b** und

**130a** erforderlich ist, um damit ein Peltier-Element zu erzeugen, wie dies auch nachfolgend detaillierter beschrieben ist. Im Hinblick auf den Prozess **130** gelten die gleichen Kriterien, wie sie zuvor mit Bezug zu dem Abscheideprozess **128**, der in [Fig. 1e](#) beschrieben ist, angegeben wurden.

**[0037]** In den zuvor beschriebenen Ausführungsformen wird ein Unterschied in der Leitungsbandenergie erreicht, indem das gleiche grundlegende Material vorgesehen wird und indem eine n-Dotierung und eine p-Dotierung bereitgestellt werden, wobei die Dotierstoffsorte während der entsprechenden Abscheideprozesse eingebaut wird. D. h., in diesem Falle wird eine in-situ-Dotierung angewendet, indem eine geeignete Dotierstoffsorte in die Abscheidatmosphäre des jeweiligen Abscheideprozesses eingebaut wird. In anderen Fällen werden zusätzlich oder alternativ zum Vorsehen zweier unterschiedlicher Arten von Dotierungen unterschiedliche Basismaterialien verwendet, beispielsweise mit der gleichen Art an Dotierstoffsorten, solange ein geeigneter Unterschied in der Leitungsbahnenergie erreicht wird. In noch anderen anschaulichen Ausführungsformen (nicht gezeigt) werden die Materialien **128b**, **130a** als nicht dotierte Materialien vorgesehen, oder nur eines dieser Materialien wird in Form eines in-situ-dotierten Materials bereitgestellt, während die Dotierstoffsorte in das andere Material oder die Dotierstoffsorten für beide Halbleitermaterialien auf der Grundlage eines Ionenimplantationsprozesses in Verbindung mit einem geeigneten Maskierungsschema eingebaut werden. Dazu können gut etablierte Ionenimplantationsrezepte angewendet werden. In anderen anschaulichen Ausführungsformen (nicht gezeigt) wird ein Teil des Substrats selbst als eine Art an Halbleitermaterial verwendet, wobei eine geeignete Dotierkonzentration durch Ionenimplantation eingebaut wird, beispielsweise auf der Grundlage eines nicht-maskierten Implantationsprozesses vor dem Bilden jeglicher Öffnungen in dem Substrat **121**. Daraufhin werden geeignete Öffnungen hergestellt, etwa die Öffnungen **121a** oder die Öffnungen **121b** (siehe [Fig. 1b](#)) und das isolierende Material **126** wird in die entsprechenden Öffnungen **121a** oder **121b** eingeführt, um damit die erforderliche elektrische Trennung des verbleibenden Materials des Substrats **121** von einem weiteren Halbleitermaterial, etwa den Materialien **120a** oder **128b**, zu erreichen. In diesem Falle kann einer der Abscheideprozesse **128** oder **130** weggelassen und kann somit durch einen Implantationsprozess „ersetzt“ werden, wodurch die erforderliche Dotierstoffkonzentration in dem Substrat **121** bereitgestellt wird. Wenn eine nicht-maskierte Implantation einer Dotierstoffsorte in das Substrat **121** als ungeeignet erachtet wird, wird in anderen Fällen das Substrat **121** auf der Grundlage eines maskierten Ionenimplantationsprozesses so dotiert, dass lokal die gewünschte Dotierstoffkonzentration hervorgerufen wird.

**[0038]** In noch anderen anschaulichen Ausführungsformen wird das Substratmaterial **121** in Form eines geeigneten vordotierten Materials bereitgestellt, etwa als ein Silizium/Germanium-Material, wodurch ein zusätzlicher Implantationsprozess zum Erreichen einer gewünschten Dotierstoffkonzentration in dem Substrat **121** vermieden wird, das in Kombination mit einem weiteren Halbleitermaterial, das in einer der Öffnungen **121a**, **121b** zu bilden ist, zu der gewünschten Differenz in der Leitungsbandenergie führt.

**[0039]** [Fig. 1i](#) zeigt schematisch das Halbleiterbauelement **120** in einer weiter fortgeschrittenen Fertigungsphase, in der die Halbleitergebiete **128b**, **120a** als elektrisch isolierte Gebiete innerhalb des Substrats **121** vorgesehen sind, was erreicht werden kann, indem beispielsweise beginnend von der in [Fig. 1h](#) gezeigten Konfiguration durch Ausführen eines Materialabtragungsprozesses, etwa ein CMP-Prozess (chemisch-mechanischer Polier-)Prozess ausgeführt wird. Folglich kann eine im Wesentlichen ebene Oberfläche auf der Rückseite des Substrats **121** erreicht werden. Wie zuvor erläutert ist, wird in anderen anschaulichen Ausführungsformen eines der Halbleitergebiete **128b**, **130** in Form eines Teils des Substrats **121** vorgesehen, wenn dieses das gewünschte thermoelektrische Verhalten mit dem anderen Material **128b** oder **130a** besitzt.

**[0040]** Wie zuvor angegeben ist, kann die weitere Bearbeitung fortgesetzt werden, indem Schaltungselemente, etwa Transistoren hergestellt werden, wenn die Halbleitermaterialien **130a**, **128b** eine erforderliche hohe Temperaturstabilität besitzen, während in anderen Fällen derartige Schaltungselemente bereits in und über der Bauteilebene **123** zumindest bis zu einem Stadium hergestellt sind, in welchem weitere Hochtemperaturprozesse nicht mehr erforderlich sind.

**[0041]** [Fig. 1j](#) zeigt schematisch das Bauelement **120** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist ein Verdrahtungssystem **135** so vorgesehen, dass dieses in geeigneter Weise ein entsprechendes der Halbleitergebiete **128b** mit einem entsprechenden der Halbleitergebiete **130a** verbindet, wie dies durch die Verdrahtungskomponenten **135a** bis **135b** angegeben ist. Folglich stellt das Verdrahtungssystem **135** in Verbindung mit den Halbleitergebieten **128a**, **130a** den ersten Teil eines „verteilten“ Peltier-Elements dar, das auf der Grundlage eines weiteren Halbleiterbauelements einer gestapelten Bauteilkonfiguration fertiggestellt wird, wie dies nachfolgend detaillierter beschrieben ist.

**[0042]** Das Verdrahtungssystem **125** kann auf der Grundlage von Metallmaterialien bereitgestellt werden, wie sie typischerweise in der Bauteilebene **123** verwendet werden, oder auf der Grundlage ei-

nes anderen geeigneten leitenden Materials gemäß den Prozess- und Bauteilerfordernissen. Das Verdrahtungssystem **135** repräsentiert somit eine Wärmenenke oder einen Wärmequellenbereich eines noch herzustellenden Peltier-Elements, um damit eine bessere thermische Ankopplung an kritische Bauteilbereiche in der Bauteilebene **123** zu erzeugen, beispielsweise zu schnell schaltenden Transistorelementen und dergleichen, wie sie typischerweise in komplexen Schaltungen, etwa CPU's, und dergleichen eingesetzt werden. Wie nachfolgend detaillierter beschrieben ist, kann das Verdrahtungssystem **135** zusammen mit einem Verdrahtungsnetzwerk für das Bauelement **120**, etwa einer Kontaktebene oder einem Metallisierungssystem, und dergleichen, hergestellt werden, die in und über der Bauteilebene **123** herzustellen sind.

**[0043]** [Fig. 1k](#) zeigt schematisch eine Querschnittsansicht des Bauelements **120** in einer Fertigungsphase, in der Schaltungselemente **123b**, **123c**, **123d** in und über der Halbleiterschicht **123a** der Bauteilebene **123** ausgebildet sind. Die Schaltungselemente **123b**, **123c**, **123d** können komplexe Schaltungselemente darstellen, etwa Transistoren und dergleichen, wobei zumindest einige dieser Schaltungselemente eine komplexe Schaltung bilden. Beispielsweise erzeugen die Schaltungselemente **123b**, **123c** eine komplexe Logikschaltung, beispielsweise in Form einer CPU, und dergleichen. In der gezeigten Ausführungsform stellen die Schaltungselemente **123d** eine geeignete Steuerschaltung dar, um damit eine bessere Temperatursteuerung in dem Bauelement **120** und in einer gestapelten Bauteilkonfiguration zu erhalten, wie dies nachfolgend detaillierter beschrieben ist. Es sollte beachtet werden, dass zumindest einige der Schaltungselemente **123b**, ..., **123d** auf der Grundlage von kritischen Abmessungen von 50 nm und deutlich darunter hergestellt werden können. Des Weiteren sind die Schaltungselemente in einem geeigneten dielektrischen Material eingebettet, etwa in Siliziumdioxid, Siliziumnitrid, wobei geeignete Kontaktelemente **123e** eine Verbindung zu den Schaltungselementen **123b**, ..., **123d** herstellen. Ferner kann ein Teil des Verdrahtungssystems **135** in Form von Kontaktelementen **135c** vorgesehen sein, die sich durch die Bauteilebene **123** erstrecken und eine Verbindung zu entsprechenden Halbleitergebieten **128b**, **130a** herstellen.

**[0044]** Das in [Fig. 1k](#) gezeigte Halbleiterbauelement **120** kann auf der Grundlage gut etablierter Prozessstrategien zur Herstellung der Schaltungselemente **123b**, ..., **123d** in Verbindung mit Kontaktprozess-techniken hergestellt werden, woran sich geeignete Strukturierungsstrategien zur Herstellung von Öffnungen für die Kontaktelemente **123e**, **125c** anschließen, die nachfolgend mit einem geeigneten leitenden Material, etwa Wolfram, Aluminium, gefüllt werden. Zu beachten ist, dass bei Bedarf die Kontaktelemen-

te **135c** auf Basis einer Prozessstrategie hergestellt werden können, in der ein Teil dieser Elemente in einer frühen Fertigungsphase hergestellt wird, beispielsweise durch Bilden eines Fensters in der Halbleiterschicht **123a** und in dem vergrabenen isolierenden Material **122**, und dergleichen.

[0045] **Fig. 1l** zeigt schematisch das Bauelement **120** gemäß weiterer anschaulicher Ausführungsformen, in denen das Verdrahtungssystem **135** innerhalb des vergrabenen isolierenden Materials **122** und in der Halbleiterschicht **123a** eingerichtet werden, ohne dass diese im Wesentlichen sich zu der Kontaktebene **123b** erstrecken. Dazu werden geeignete Öffnungen in dem Halbleitermaterial hergestellt und mit einem geeigneten leitenden Material gefüllt, während eine Verbindungsleitung **135d** des Verdrahtungssystems **135**, die geeignete Halbleitergebiete **128b** und **130a** verbindet, in der Halbleiterschicht **123** hergestellt wird, beispielsweise in Form eines stark dotierten Materials, möglicherweise in Verbindung mit einem Metalisilizidmaterial. Zu diesem Zweck wird die Komponente **135d** mittels von Prozessen hergestellt, die auch für die Herstellung von Schaltungselementen und Kontaktbereichen der Transistoren eingesetzt werden, beispielsweise auf der Grundlage einer hohen Dotierstoffkonzentration und auf der Grundlage von Silizidierungsprozessen. Wie zuvor erläutert ist, kann in diesem Falle die eigentliche thermische Ankopplung, die durch das Verdrahtungssystem **135** geboten wird, direkt innerhalb des Halbleitermaterials der Bauteilebene **123** angeordnet wird, wodurch eine sehr effiziente thermische Kopplung zu leistungsaufnehmenden Schaltungsbereichen geschaffen wird.

[0046] **Fig. 1m** zeigt schematisch das Bauelement **120** gemäß weiterer anschaulicher Ausführungsformen, in denen die Verbindungs Komponente **135** des Verdrahtungssystem **135** in der Kontaktebene **132b** der Bauteilebene **123** vorgesehen wird. D. h., wie zuvor erläutert ist, wird typischerweise ein dielektrisches Material in der Kontaktebene **123b** so vorgesehen, dass Schaltungselemente, etwa Gateelektroden von Transistoren und dergleichen, passiviert werden, wie dies auch zuvor mit Bezug zu **Fig. 1k** beschrieben ist. Beim Herstellen geeigneter Kontaktelemente in der Kontaktebene **123b** kann auch die Verbindungs Komponente **135b** hergestellt werden, ohne dass zusätzliche Prozessschritte erforderlich sind. In diesem Falle wird ein gut leitender Pfad zwischen jeweiligen Gebieten der Halbleitergebiete **128b**, **130a** erzeugt, wobei auch eine effiziente thermische Ankopplung an die Schaltungselemente **123c**, **123b** erfolgt.

[0047] **Fig. 1n** zeigt schematisch das Bauelement **120** gemäß weiterer anschaulicher Ausführungsformen, in denen die Bauteilebene **123** ein Metallisierungssystem **123m** aufweist, das mit der Kontaktebene **123** in Verbindung steht, wobei die Verbindungs Komponenten **135d** des Verdrahtungssystems

**135** in einer oder mehreren Metallisierungsschichten des Metallisierungssystems **123m** vorgesehen sind. In der gezeigten Ausführungsform ist die erste Metallisierungsschicht **123m** als einzige dargestellt und die Komponenten **135d** sind in der ersten Metallisierungsschicht ausgebildet. Auf diese Weise wird ein gut leitender Pfad mit einer effizienten thermischen Ankopplung an die halbleiterbasierten Schaltungselemente erreicht, die in und über der Halbleiterschicht **123a** ausgebildet sind. Auch in diesem Falle werden die Verbindungs Komponenten **135d** ohne zusätzliche Prozessschritte im Vergleich zu einem konventionellen Metallisierungssystem eines Halbleiterbauelements bereitgestellt.

[0048] Ferner umfasst das Halbleiterbauelement **120** eine Kontaktstruktur oder Höckerstruktur **140**, die geeignete Kontaktbereiche **141** aufweist, die mit den Halbleitergebieten **128b**, **130a** verbunden sind, und die geeignet sind, um geeignete Elemente **142**, etwa Höcker, Metallsäulen und dergleichen aufzunehmen. Dazu werden geeignete Materialien verwendet, etwa Aluminium, Wolfram, Kupfer, Titan und dergleichen gemäß jeglicher gut etablierter Prozesstechnik zur Herstellung geeigneter Höckerstrukturen. Die Elemente **142** können in Form eines Lotmaterials bereitgestellt werden, etwa als bleifreie Lotmaterialien, als Kupfer, Gold und dergleichen. Zu diesem Zweck ist eine Vielzahl an Prozesstechniken verfügbar.

[0049] **Fig. 1o** zeigt schematisch eine Querschnittsansicht eines weiteren Halbleiterbauelements **150**, das in Verbindung mit dem Bauelement **120**, wie es zuvor mit Bezug zu den **Fig. 1a** bis **Fig. 1n** beschrieben ist, kombiniert wird, um damit eine gestapelte Bauteilkonfiguration bereitzustellen, wie dies auch nachfolgend detaillierter beschrieben ist. Das Bauelement **150** umfasst ein Substrat **151** mit einer Rückseite **151r** und einer Vorderseite **151f**, über der Schaltungselemente **153c**, **153d**, etwa Transistoren und dergleichen, vorgesehen sind. Die Schaltungselemente **153c**, **153d** repräsentieren Komponenten einer Bauteilebene **153** des Bauelements **150**, das zusätzlich eine Kontaktebene, ein Metallisierungssystem und dergleichen aufweisen kann, wie dies auch zuvor mit Bezug zu dem Bauelement **120** beschrieben ist. Die Schaltungselemente **153c**, **153d** können eine geeignete funktionelle Schaltung bilden, etwa eine Speicherschaltung etwa in Form einer dynamischen RAM-Schaltung in Verbindung mit geeigneten Speicherkondensatoren und dergleichen. In anderen Fällen bilden zusätzliche einige der Schaltungselemente, etwa die Elemente **153d**, eine geeignete Steuerschaltung zum Betreiben oder Steuern eines verteilten Peltier-Elements, das auf der Grundlage der Bauelemente **120** (siehe **Fig. 1a** bis **Fig. 1m**) und des Bauelements **150** hergestellt wird. Des weiteren umfasst das Bauelement **150** ein Verdrahtungssystem **155**, das mehrere metallbasierte Komponenten **155d** aufweist, die in der Bauteilebene **153** aus-

gebildet sind, d. h. in einer Kontaktebene und/oder einem Metallisierungssystem des Bauelements **150**, wodurch für eine effiziente Wärmesenke oder Wärmequelle des noch herzustellenden verteilten Peltier-Elements gesorgt ist. Das Verdrahtungssystem **155** umfasst ferner eine Kontaktstruktur **155c**, die eine komplementäre Struktur in Bezug auf die Kontaktstruktur **140** repräsentiert, wie sie in [Fig. 1n](#) gezeigt ist, um damit die Verbindung der Bauelement **150** und **120** zu ermöglichen. Des Weiteren ist die Kontaktstruktur **155c** mit den Komponenten **155d** mittels geeignet ausgebildeter Durchgangslöcher **155b** verbunden, die sich durch das Substrat **151** erstrecken und die mit einem geeigneten leitenden Material gefüllt sind, etwa einem Metallbasismaterial, einem Halbleitermaterial, Kohlenstoffmaterial und dergleichen.

**[0050]** Das in [Fig. 1o](#) gezeigte Bauelement **150** kann auf der Grundlage beliebiger geeigneter Prozessstrategien zur Herstellung der Elemente **153c**, **153d** erzeugt werden. In ähnlicher Weise können die Komponenten des **155d** des Verdrahtungssystems **155** auf der Grundlage von Fertigungstechniken hergestellt werden, die auch zum Bereitstellen einer geeigneten Kontaktebene und eines Metallisierungssystems für die Schaltungselement **153c**, **153d** angewendet werden, beispielsweise in ähnlicher Weise, wie dies zuvor mit Bezug zu dem Bauelement **120** erläutert ist. In ähnlicher Weise kann die Kontaktstruktur **155c** des Verdrahtungssystems **155** während einer beliebigen geeigneten Fertigungsphase hergestellt werden, d. h. die Kontaktdurchführungen **155v** können vor dem Bereitstellen von Schaltungselementen hergestellt werden, wenn diese Komponenten mit Hochtemperaturprozessen verträglich sind, während in anderen Fällen die Kontaktdurchführungen **155v** in einer späteren Fertigungsphase, beispielsweise nach der Fertigstellung zumindest eines Teils der Schaltungselement **153c**, **153d**, gebildet werden. Es sollte beachtet werden, dass die Kontaktstruktur **155c** und die Durchgangslöcher **155v** gemäß einer beliebigen geeigneten Prozessstrategie hergestellt werden, in der auch zusätzliche Durchgangslöcher und Kontaktbereiche für das funktionsmäßige Verbinden der Schaltungselement **153c**, **153d** mit dem Halbleiterbauelement **120** (siehe [Fig. 1a](#) bis [Fig. 1p](#)) vorgesehen werden, wie dies zum Einrichten einer kombinierten Schaltung mit besserer Funktionsfähigkeit erforderlich ist, wie dies auch zuvor beschrieben ist.

**[0051]** [Fig. 1p](#) zeigt schematisch ein kombiniertes Halbleiterbauelement **100**, das die Bauelemente **150** und **120** in einer gestapelten Bauteilkonfiguration umfasst. D. h., das Bauelement **120** ist mit dem Bauelement **150** über die Höckerstruktur **140** verbunden, wodurch das Verdrahtungssystem **155** des Bauelements **150** mit den Halbleitergebieten **128b**, **130a** des Bauelements **120** verbunden wird. Somit bilden das Verdrahtungssystem **155** in dem Bauelement **150** in

Verbindung mit der Höckerstruktur **140**, die Halbleitergebiete **130a**, **128b** und das Verdrahtungssystem **135** ein Peltier-Element **160**, das als ein verteiltes Peltier-Element betrachtet werden kann, da die diversen Komponenten in und über den Substraten **121** bzw. **151** vorgesehen sind.

**[0052]** Die Bauelement **120** und **150** können miteinander auf der Grundlage einer beliebigen gut etablierten Kontakttechnologie verbunden werden, beispielsweise durch Wiederaufschmelzen der Höcker **141** nach der mechanischen Kontaktierung der Substrate **151** und **121**. In dieser Weise können auch andere Verbindungen zwischen den Bauelementen **150** und **120** eingerichtet werden, wie dies zur Herstellung einer funktional kombinierten integrierten Schaltung des gestapelten Bauelements **100** erforderlich ist.

**[0053]** Wie gezeigt, ist das Verdrahtungssystem **155** ferner so ausgebildet, dass es zu einer Leistungsquelle **110** verbunden ist, die einen geeigneten Stromfluss durch das Peltier-Element **160** erlaubt, wobei in der gezeigten Ausführungsform das Verdrahtungssystem **135** den gekühlten Teil des Peltier-Elements **160** repräsentiert und somit als eine Wärmesenke dient, während das Verdrahtungssystem **155** als der geheizte Bereich dient und somit die Wärmequelle des Peltier-Elements **160** darstellt. Wenn folglich das Bauelement **120** einen Hochleistungsbereich, etwa eine CPU, darstellt, kann die in der Bauteilebene **123** erzeugte Abwärme effizient in das Verdrahtungssystem **135** eingekoppelt werden und wird in das Verdrahtungssystem **155** übertragen, das als eine Wärmequelle dient, wodurch effizient Abwärme von dem Element **120** in das Bauelement **150** übertragen wird, wodurch wiederum ein verbessertes Gesamtwärmeverhalten innerhalb des gestapelten Bauelements **100** erreicht wird. Es sollte beachtet werden, dass typischerweise das Bauelement **100** in einem Gehäuse vorgesehen wird, das mit einem externen Kühlsystem verbunden ist, etwa einem Lüfter, wobei dies über das Bauelement **150** erfolgt, wodurch eine effiziente gesamte Wärmeableitung von dem Bauelement **120** mit hoher Leistung zu einem externen Kühlsystem möglich ist.

**[0054]** [Fig. 1q](#) zeigt schematisch das gestapelte Halbleiterbauelement **100** gemäß weiterer anschaulicher Ausführungsformen. Wie gezeigt, ist eine Steuereinheit **170** vorgesehen, beispielsweise als ein bauteilinternes Steuersystem, das in einem oder beiden Bauelementen **120** und **150** vorgesehen ist, während in anderen Fällen ein Teil der Steuereinheit **170** als eine bauteilexterne Komponente bereitgestellt wird, beispielsweise außerhalb eines Gehäuses des gestapelten Halbleiterbauelements **100**. Ferner ist ein gesteuertes Schaltsystem **171** so vorgesehen, dass es in steuerbarer Weise die Energiezufuhr **110** aktiviert oder deaktiviert, die mit dem Peltier-Element **160** verbunden ist. Beispielsweise umfasst das Sys-

tem **171** einen elektronischen Schalter, der durch die Einheit **170** gesteuert wird, um damit die Energiezufuhr **110** zu aktivieren oder zu deaktivieren und somit die kühlende Wirkung des Peltier-Elements **160** zu steuern. In anderen anschaulichen Ausführungsformen umfasst das System **171** eine taktgradgesteuerte Schaltungskonfiguration, in der der Stromfluss durch das Peltier-Element **160** gesteuert wird, um die Wärmeübertragungseigenschaft des Peltier-Elements **160** einzustellen. Dazu erhält die Steuereinheit **170** ein geeignetes Temperatursignal **172**, das die Temperatur in einem oder beiden Bauelementen **120**, **150** angibt. Wenn beispielsweise das Temperatursignal **172** einen gewissen Temperaturstatus des Bauelements **100** angibt, kann die Steuereinheit **170** den Stromfluss durch das Peltier-Element deaktivieren, indem das Peltier-Element **160** von der Leistungszufuhr **110** abgetrennt wird. In anderen Fällen wird der Stromfluss auf der Grundlage des Temperatursignals **172** gesteuert, beispielsweise durch Einstellen des Taktgrades einer geschalteten Regeleinheit in dem System **171**. In anderen anschaulichen Ausführungsformen wird das Temperatursignal **172** von dem Peltier-Element **160** gewonnen, beispielsweise in einer Phase, wenn das Peltier-Element **160** von der Leistungszufuhr **110** abgetrennt ist, so dass eine entsprechende Temperatur hervorgerufene Spannung von der Steuereinheit **170** als das Temperatursignal **172** erkannt werden kann.

**[0055]** Es sollte beachtet werden, dass grundsätzlich das System **171** auch ausgebildet sein kann, den Stromfluss durch das Peltier-Element **160** umzukehren, wodurch auch eine Richtung des Wärmeübertrages **111** invertiert wird, so dass Wärme von dem Bauelement **150** in das Bauelement **120** übertragen wird, wenn dies als geeignet erachtet wird. In einigen anschaulichen Ausführungsformen wird das Peltier-Element **160** auch als ein thermoelektrischer Generator verwendet, der nicht nur das Temperatursignal **172** bereitstellt, sondern der auch einen gewissen Anteil an nutzbarer elektrischer Energie bietet, die zum Betreiben des Bauelements **100** verwendet wird, solange ein nicht-kritischer Temperaturzustand innerhalb des Halbleiterbauelements **100** aufrecht erhalten wird, ohne dass ein aktiver Betrieb des Peltier-Elements **160** zum Hervorrufen des aktiven Wärmeübertrags **111** erforderlich ist.

**[0056]** Es gilt also: Die vorliegende Erfindung stellt Halbleiterbauelemente mit gestapelter Konfiguration bereit, wobei ein verteiltes Peltier-Element für bessere Wärmeübertragungseigenschaften sorgt, beispielsweise von einer Schaltung mit hoher Leistung, etwa eine CPU, zu einer Schaltung mit geringer Leistung, etwa einer dynamischen RAM-Schaltung, und schließlich zu einer externen Wärmesenke, wodurch ein besseres Leistungsverhalten für eine gegebene

gewünschte hohe Volumenpackungsdichte erreicht wird.

### Patentansprüche

1. Gestapelte Halbleiterkonfiguration, mit:  
 einem ersten Substrat;  
 einer ersten Halbleiterschicht, die über dem ersten Substrat ausgebildet ist;  
 ersten Schaltungselementen, die in und über der ersten Halbleiterschicht gebildet sind;  
 mehreren ersten Halbleitergebieten und mehreren zweiten Halbleitergebieten, die in dem ersten Substrat ausgebildet sind, wobei die ersten und die zweiten Halbleitergebiete unterschiedliche Leitungsbandenergien besitzen;  
 einem ersten Verdrahtungssystem, das über dem ersten Substrat ausgebildet ist und mehrere erste Verbindungen aufweist, wovon jede eines der mehreren ersten Halbleitergebiete mit einem der mehreren zweiten Halbleitergebiete verbindet;  
 einem zweiten Substrat, das an dem ersten Substrat angebracht ist; und  
 einem zweiten Verdrahtungssystem, das über dem zweiten Substrat ausgebildet ist und mehrere zweite Verbindungen aufweist, wovon jede eines der mehreren ersten Halbleitergebiete mit einem der mehreren zweiten Halbleitergebiete verbindet.

2. Gestapelte Halbleiterkonfiguration nach Anspruch 1, wobei die ersten Schaltungselemente eine zentrale Recheneinheit bilden.

3. Gestapelte Halbleiterkonfiguration nach Anspruch 2, die ferner zweite Schaltungselemente umfasst, die in und über einer zweiten Halbleiterschicht hergestellt sind, die über dem zweiten Substrat ausgebildet ist, wobei die zweiten Schaltungselemente eine Speicherschaltung bilden.

4. Gestapelte Halbleiterkonfiguration nach Anspruch 1, wobei das erste Verdrahtungssystem zumindest teilweise in der ersten Halbleiterschicht vorgesehen ist.

5. Gestapelte Halbleiterkonfiguration nach Anspruch 4, wobei das erste Verdrahtungssystem zumindest teilweise über der ersten Halbleiterschicht ausgebildet ist.

6. Gestapelte Halbleiterkonfiguration nach Anspruch 1, wobei das zweite Substrat an dem ersten Substrat mittels einer Höckerstruktur angebracht ist.

7. Gestapelte Halbleiterkonfiguration nach Anspruch 6, wobei das zweite Verdrahtungssystem mehrere Durchgangslöcher aufweist, die sich durch das zweite Substrat erstrecken und mit der Höckerstruktur in Verbindung stehen.

8. Gestapelte Halbleiterkonfiguration nach Anspruch 1, wobei die ersten und die zweiten Halbleitergebiete und das erste und das zweite Verdrahtungssystem mindestens ein Peltier-Element bilden.

9. Gestapelte Halbleiterkonfiguration nach Anspruch 8, die ferner eine Steuerschaltung aufweist, die ausgebildet ist, das mindestens eine Peltier-Element steuerbar zu aktivieren.

10. Gestapelte Halbleiterkonfiguration nach Anspruch 9, wobei die Steuerschaltung ferner ausgebildet ist, ein Temperatursignal von einem des mindestens einen Peltier-Elements zu erhalten.

11. Halbleiterbauelement mit:  
einem ersten Substrat mit einer Rückseite und einer Vorderseite;  
einem zweiten Substrat mit einer Rückseite und einer Vorderseite; und  
einem Peltier-Element mit mehreren Halbleitergebieten, die in dem ersten Substrat ausgebildet sind, einem ersten Verdrahtungssystem, das mit den mehreren Halbleitergebieten über die Vorderseite des ersten Substrats verbunden ist, und einem zweiten Verdrahtungssystem, das mit den mehreren Halbleitergebieten durch Öffnungen verbunden ist, die sich durch das zweite Substrat erstrecken.

12. Halbleiterbauelement nach Anspruch 11, das ferner einen ersten Schaltungsbereich aufweist, der über der Vorderseite des ersten Substrats ausgebildet ist und eine arithmetische Einheit bildet.

13. Halbleiterbauelement nach Anspruch 12, das ferner einen zweiten Schaltungsbereich aufweist, der über der Vorderseite des zweiten Substrats ausgebildet ist und eine Speicherschaltung bildet.

14. Halbleiterbauelement nach Anspruch 11, wobei das zweite Verdrahtungssystem eine Höckerstruktur umfasst.

15. Halbleiterbauelement nach Anspruch 11, wobei ein Teil des ersten Verdrahtungssystems in einem ersten Metallisierungssystem ausgebildet ist, das über der Vorderseite des ersten Substrats gebildet ist.

16. Halbleiterbauelement nach Anspruch 15, wobei ein Teil des zweiten Verdrahtungssystems in einem zweiten Metallisierungssystem gebildet ist, das über der Vorderseite des zweiten Substrats gebildet ist.

17. Halbleiterbauelement nach Anspruch 12, wobei das erste Verdrahtungssystem so angeschlossen ist, dass es als ein Kühlbereich dient.

Es folgen 8 Blatt Zeichnungen

Anhängende Zeichnungen

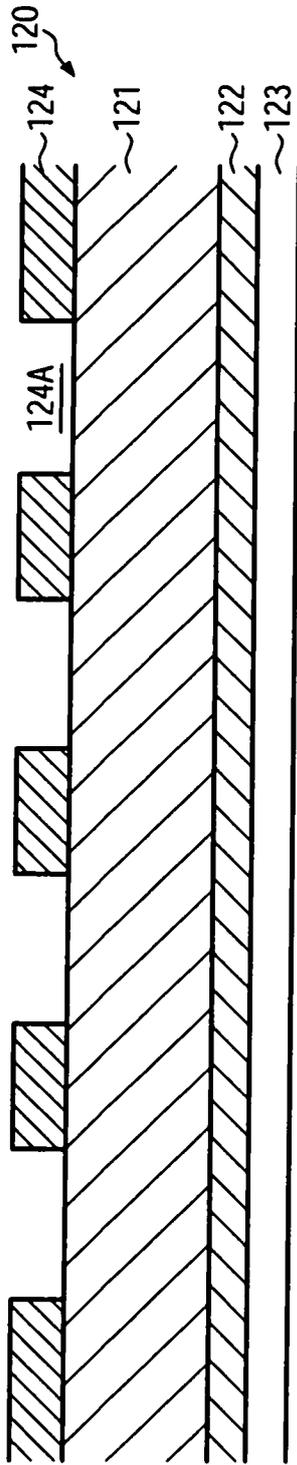


FIG. 1a

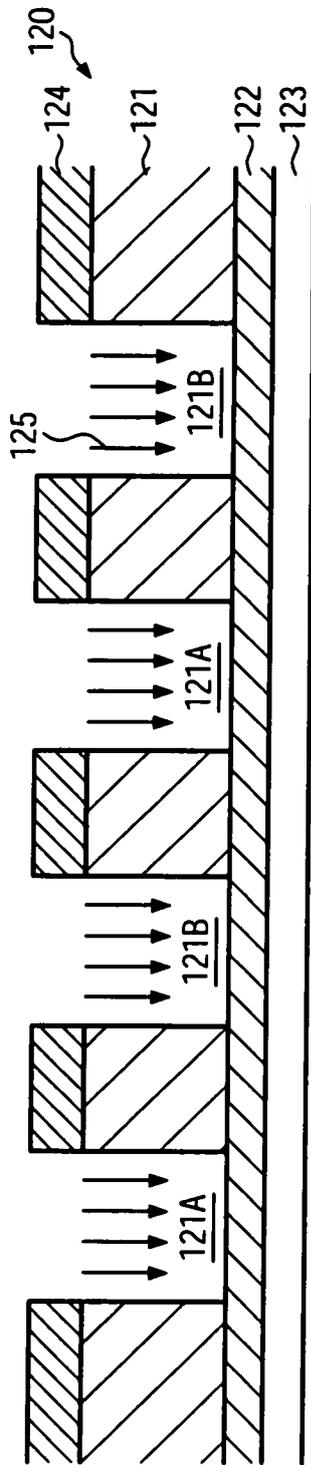


FIG. 1b

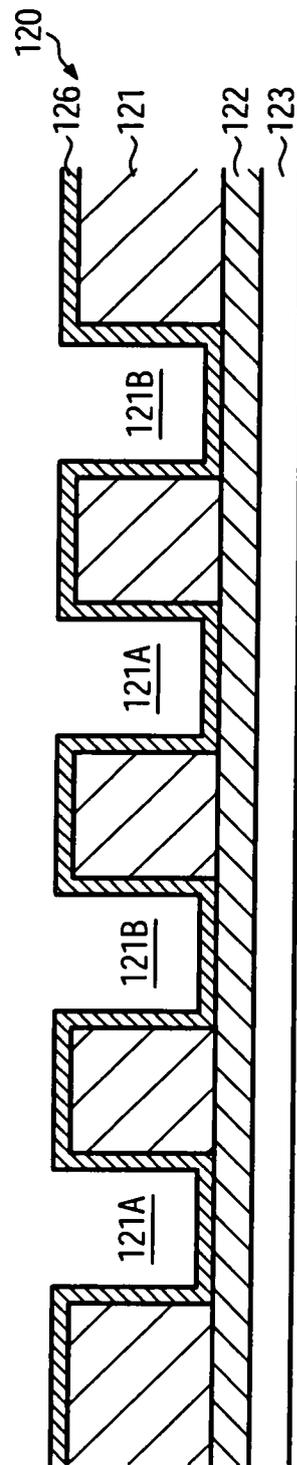


FIG. 1c

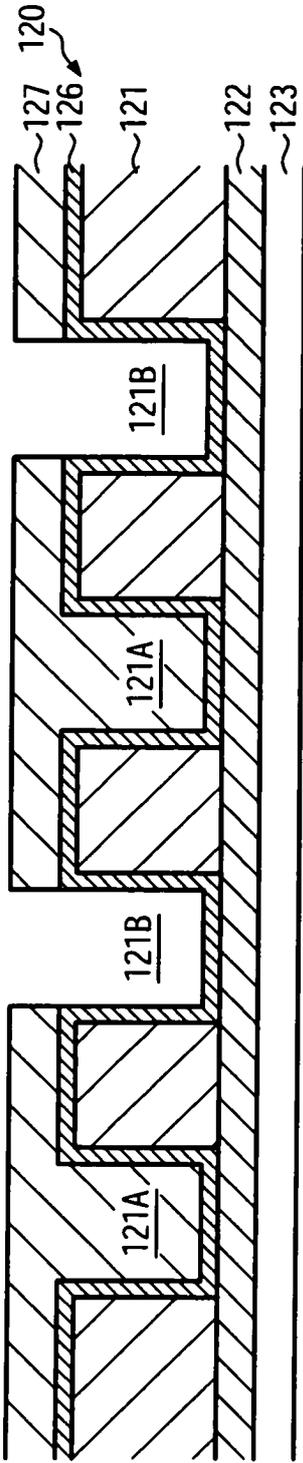


FIG. 1d

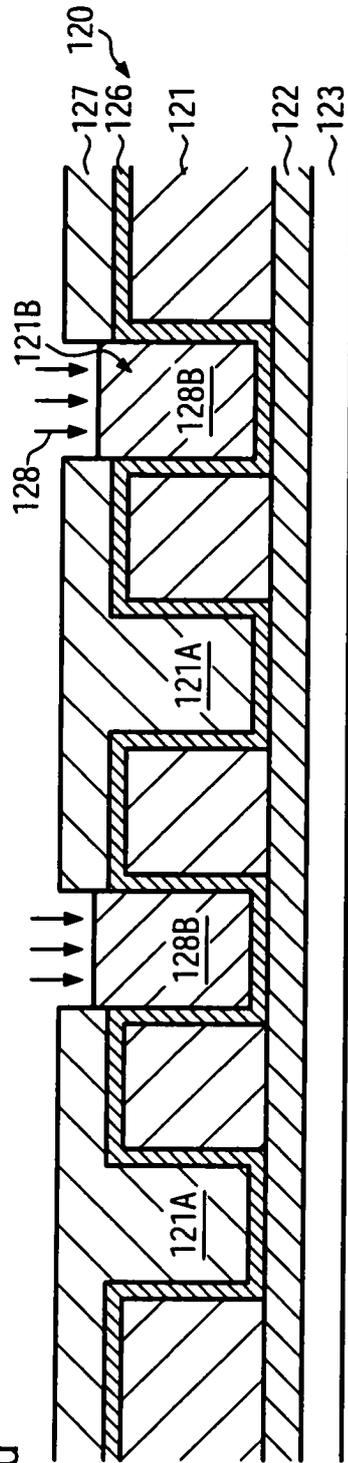


FIG. 1e

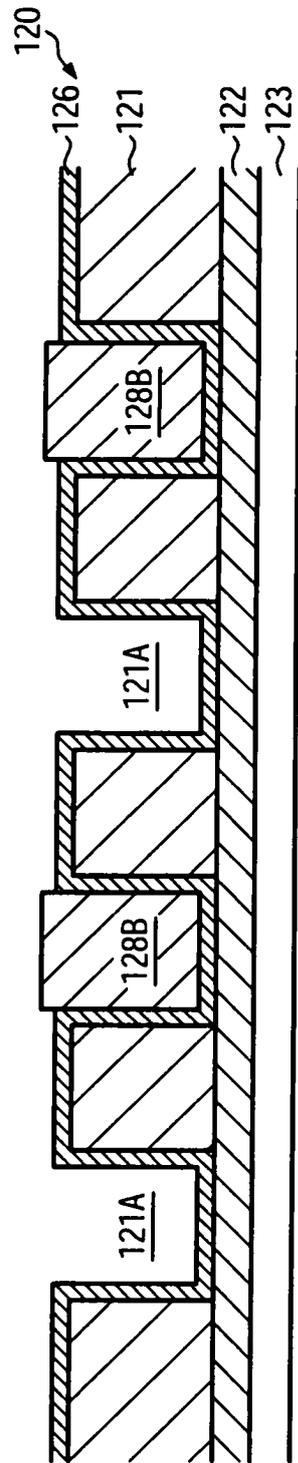


FIG. 1f

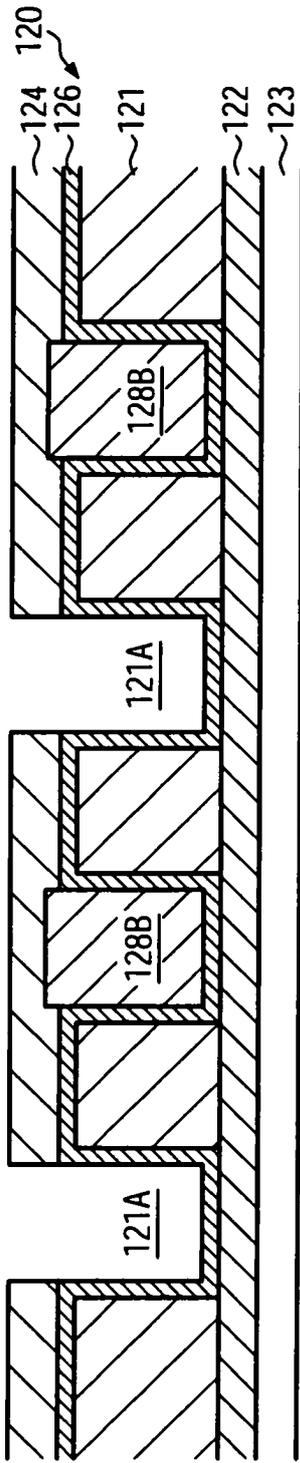


FIG. 1g

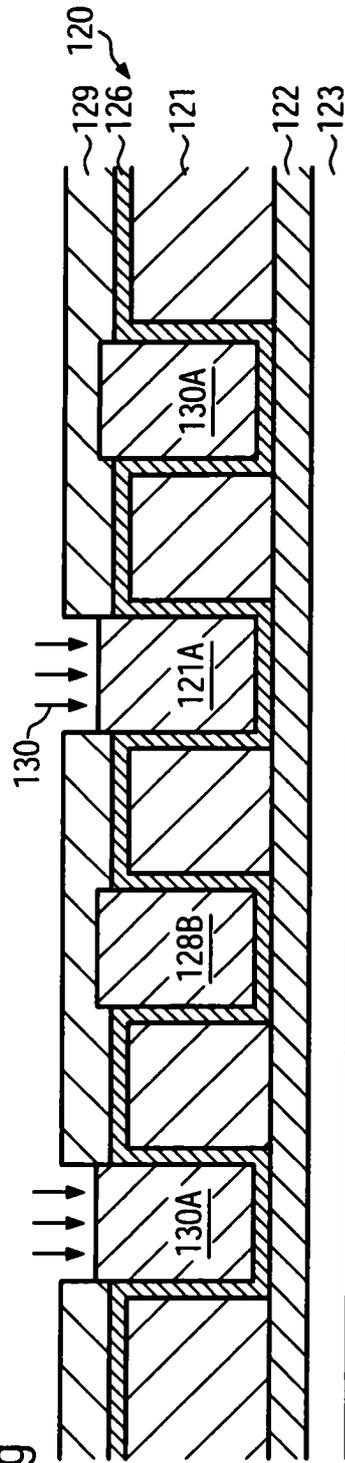


FIG. 1h

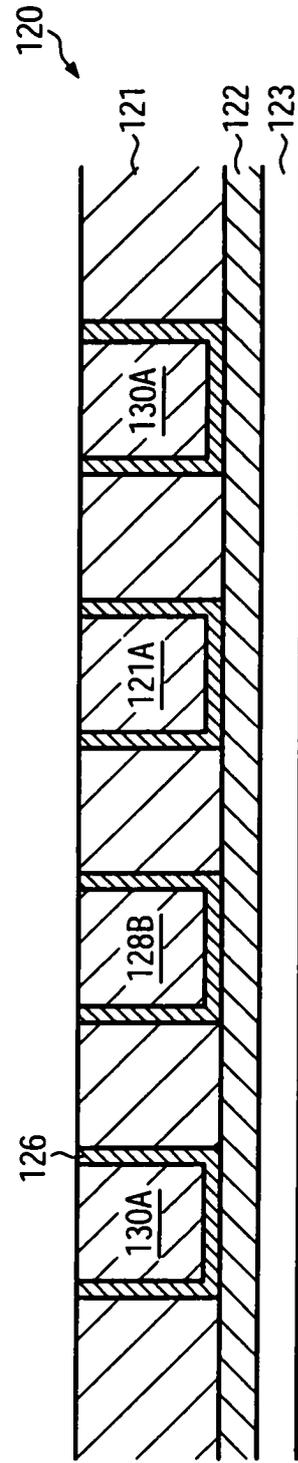


FIG. 1i

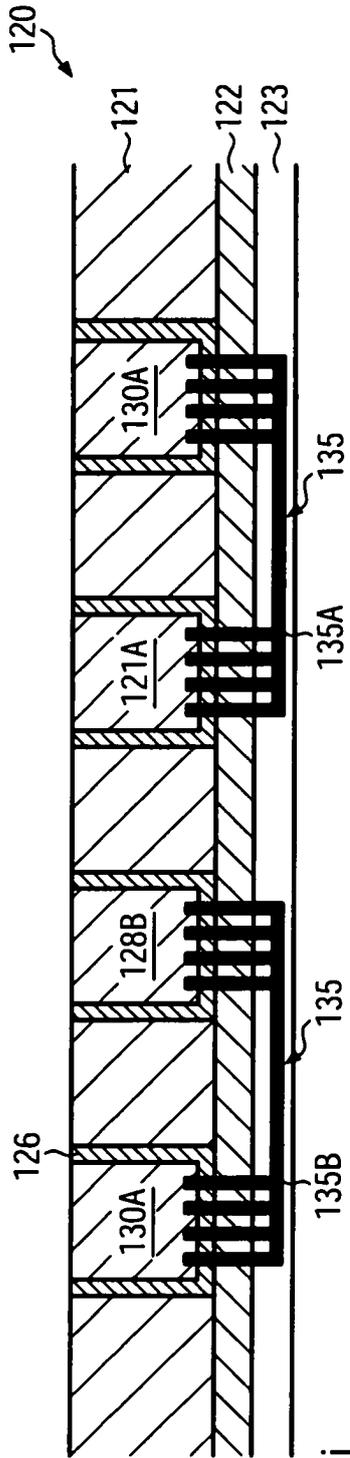


FIG. 1j

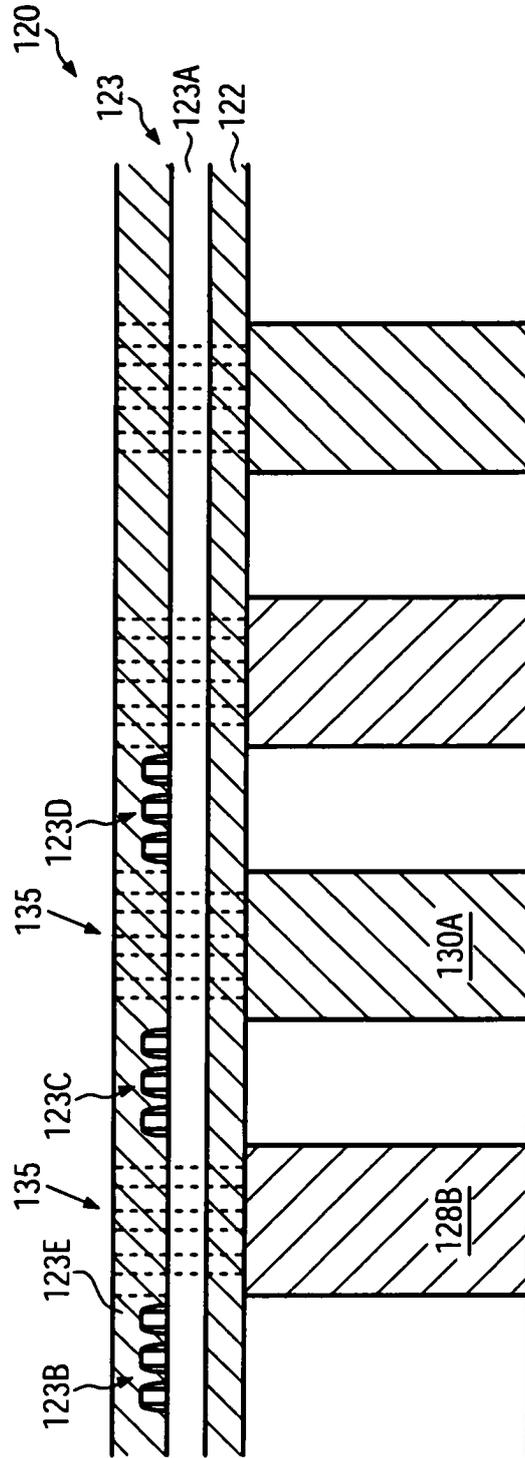


FIG. 1k

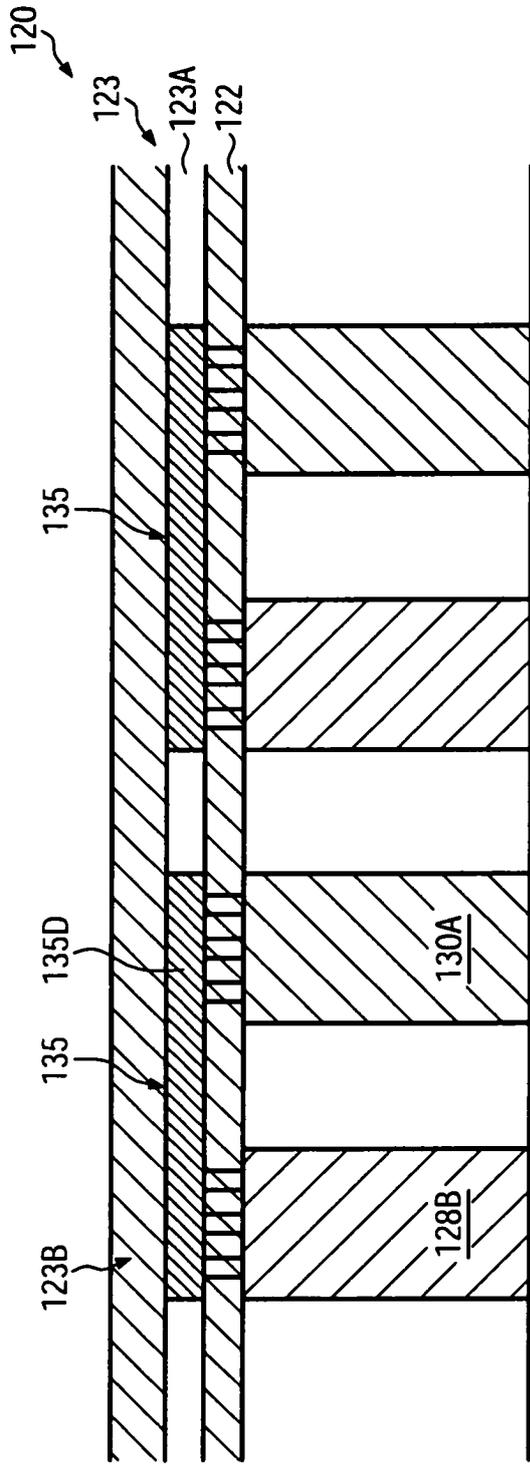


FIG. 11

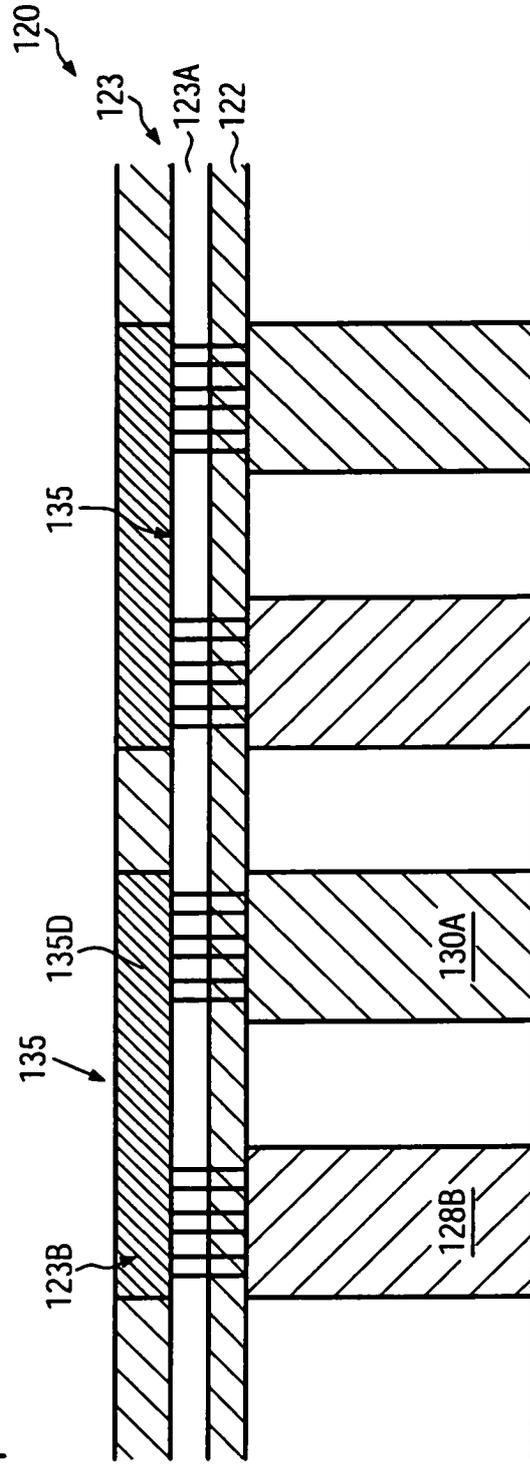


FIG. 1m

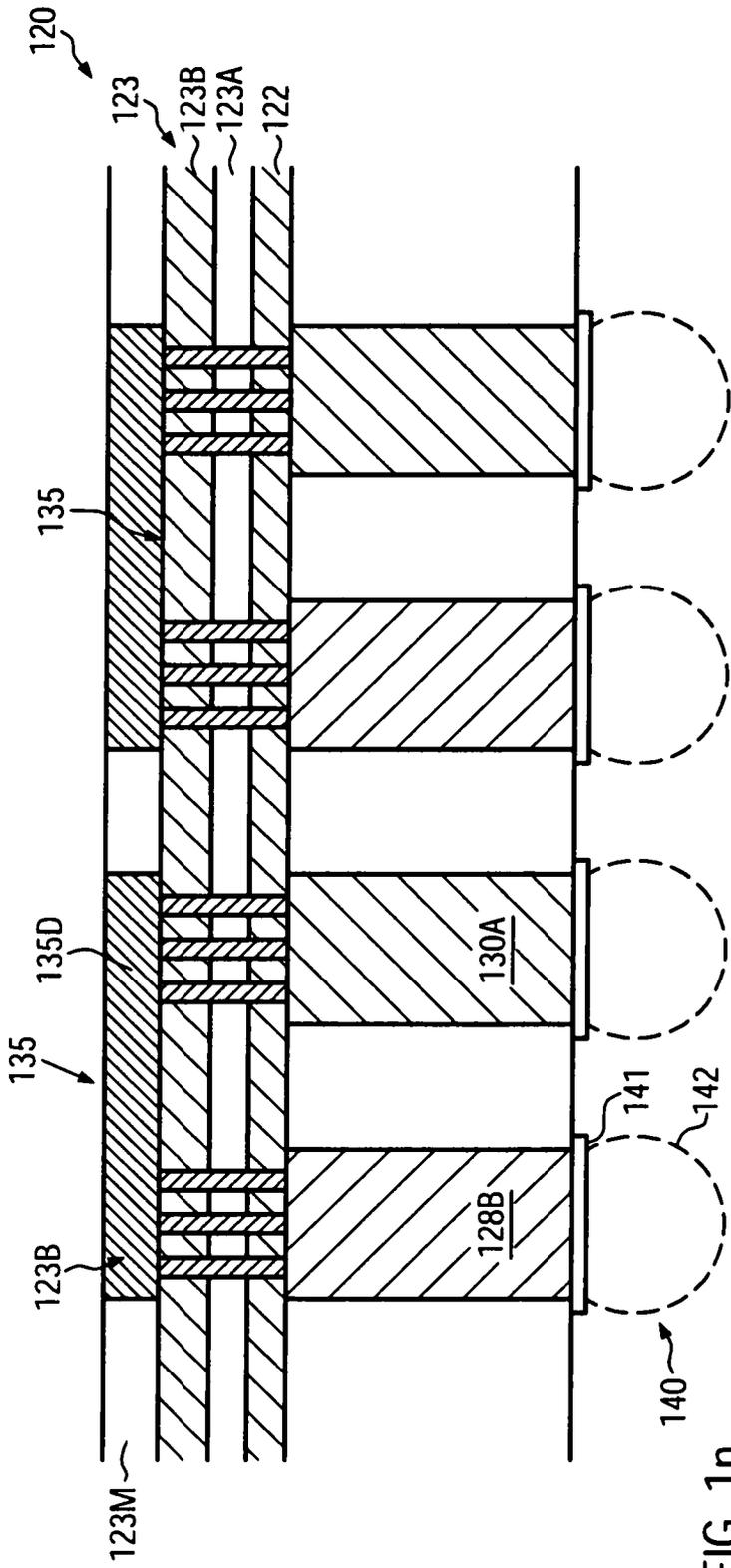


FIG. 1n

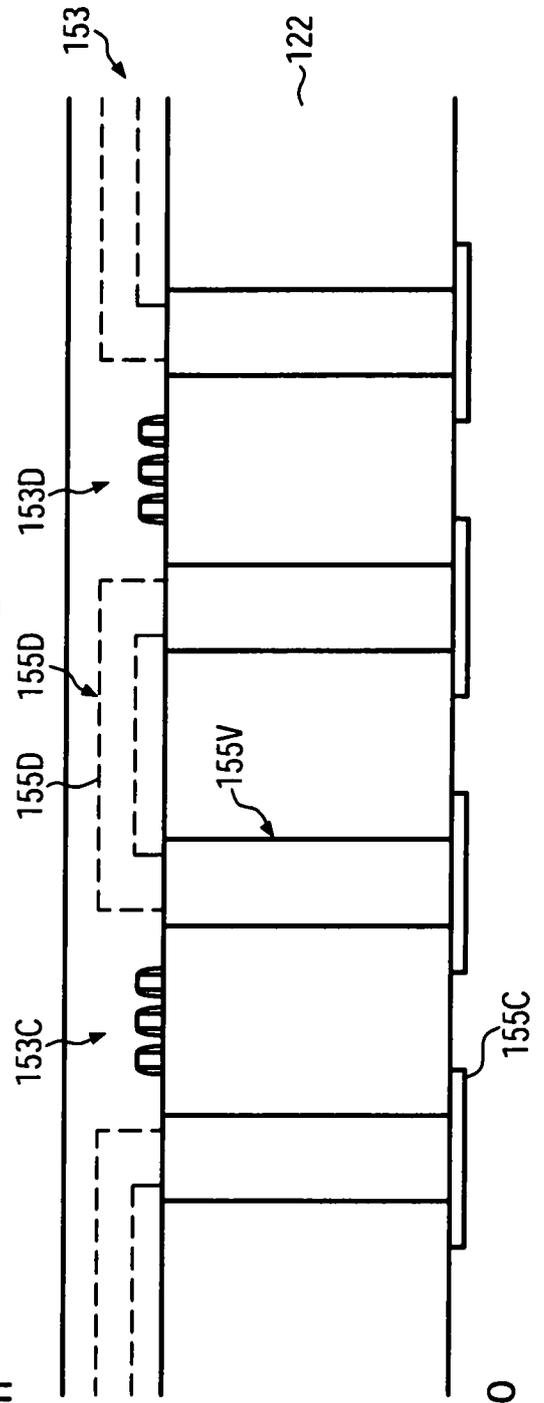


FIG. 1o

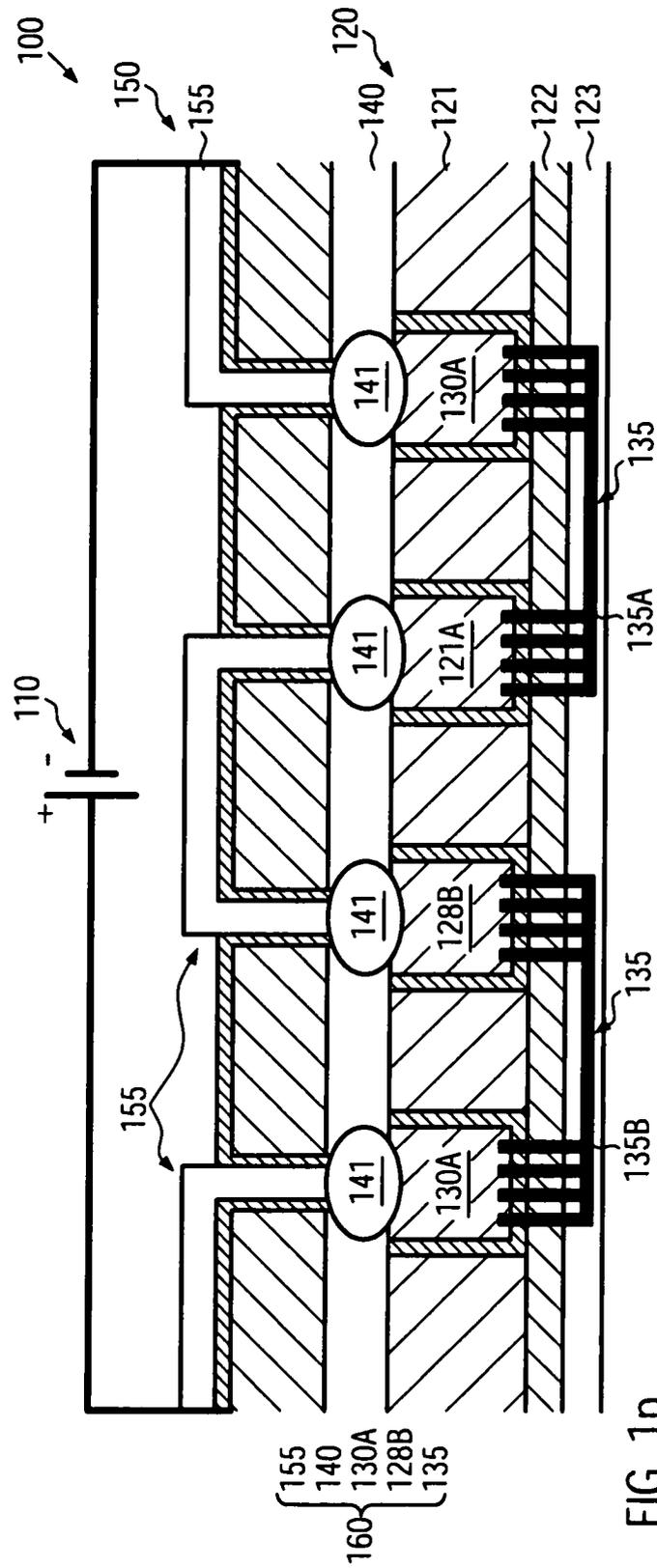


FIG. 1p

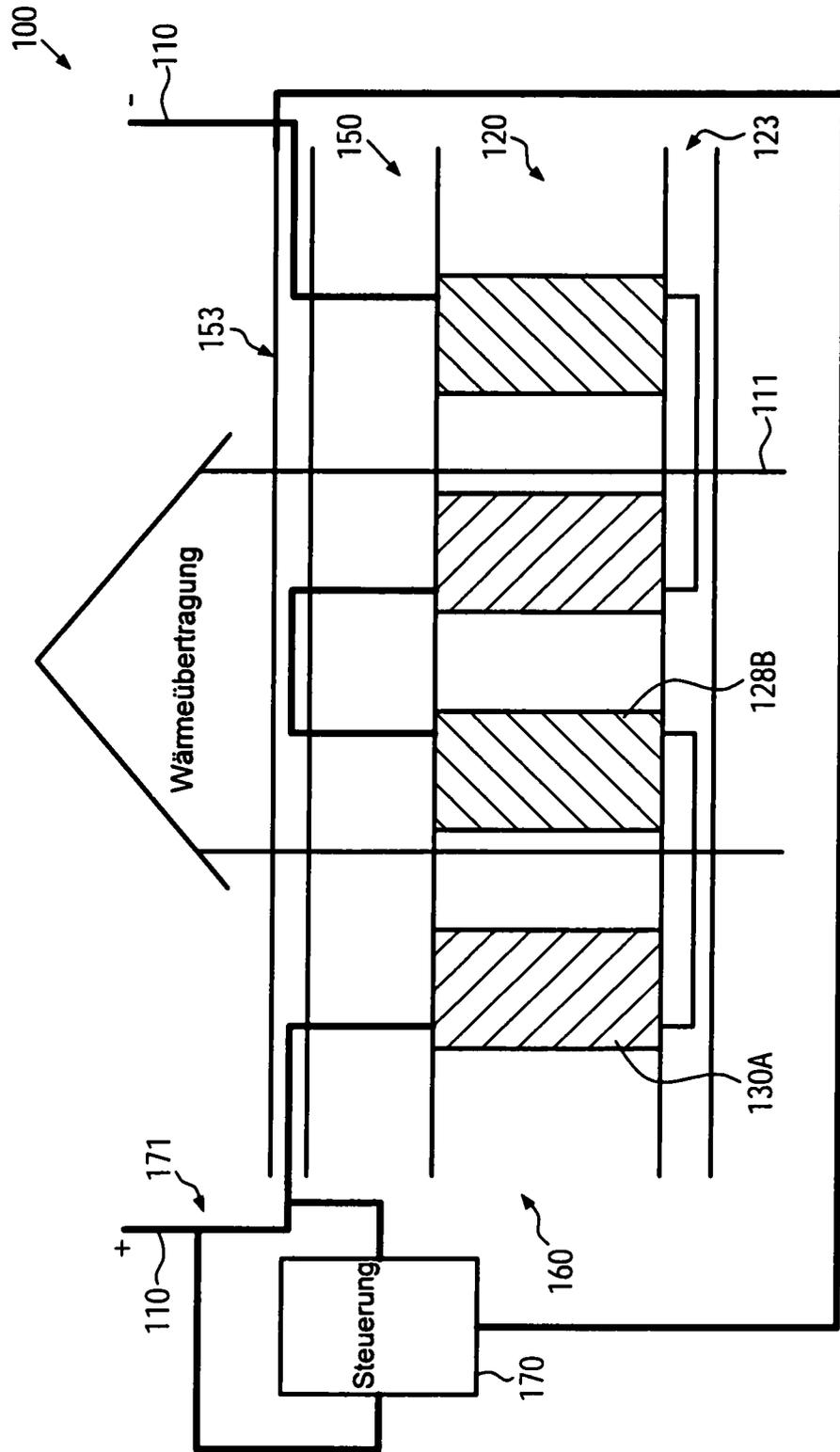


FIG. 1q